

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6529128号
(P6529128)

(45) 発行日 令和1年6月12日 (2019.6.12)

(24) 登録日 令和1年5月24日 (2019.5.24)

(51) Int. Cl.

F I

H02M 3/00 (2006.01)

H02M 3/00 H

H03K 7/08 (2006.01)

H02M 3/00 P

H03K 7/08 C

請求項の数 6 (全 27 頁)

(21) 出願番号 特願2015-210646 (P2015-210646)
 (22) 出願日 平成27年10月27日 (2015.10.27)
 (65) 公開番号 特開2017-85744 (P2017-85744A)
 (43) 公開日 平成29年5月18日 (2017.5.18)
 審査請求日 平成30年2月19日 (2018.2.19)

(73) 特許権者 000103208
 コーセル株式会社
 富山県富山市上赤江町1丁目6番43号
 (74) 代理人 100079359
 弁理士 竹内 進
 (72) 発明者 堀井 一宏
 富山県富山市上赤江町1丁目6番43号
 コーセル株式会社内

審査官 高野 誠治

最終頁に続く

(54) 【発明の名称】 基準電圧発生回路及びスイッチング電源装置

(57) 【特許請求の範囲】

【請求項 1】

周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、

前記複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、

前記複数の抵抗の他端を共通接続したコンデンサと、

前記複数の抵抗と前記コンデンサの接続点に発生する電圧を基準電圧として取り出す構成と、

を備え、

前記複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、前記第1パルス幅変調回路に接続した第1抵抗の抵抗値 (R_{i1}) に対し前記第2パルス幅変調回路に接続した第2抵抗の抵抗値 (R_{i1+i2}) が、前記複数のパルス幅変調回路が出力する矩形波信号の電圧変化の組合せにより前記基準電圧を調整して、当該基準電圧のリップル電圧を低減させるのに十分に大きな値に設定されたことを特徴とする基準電圧発生回路。

10

【請求項 2】

周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、

20

前記複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、
前記複数の抵抗の他端を共通接続したコンデンサと、
前記複数の抵抗と前記コンデンサの接続点に発生する電圧を基準電圧として取り出す構成と、
を備え、

前記複数のパルス幅変調回路は所定のデューティ分解能を有し、

前記複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、前記第1パルス幅変調回路に接続した第1抵抗の抵抗値 (R_i) と前記第2パルス幅変調回路に接続した第2抵抗の抵抗値 (R_{i+1}) の比 (R_{i+1} / R_i) が、前記第1パルス幅変調回路のデューティ分解能と前記第2パルス幅変調回路のデューティ分解能とを掛け合わせた値に対応した微小電圧単位に前記基準電圧を調整して当該基準電圧のリプル電圧を低減させる範囲で、前記第1パルス幅変調回路のデューティ分解能とほぼ等しくなるように、前記第1抵抗及び前記第2抵抗の抵抗値が設定されたことを特徴とする基準電圧発生回路。

10

【請求項3】

請求項1又は2記載の基準電圧発生回路に於いて、

前記パルス幅変調回路は、カウンタ回路、第1比較回路、第2比較回路及び出力反転回路を備え、

20

前記カウンタ回路は、外部から供給されたクロック信号を計数してカウント値を出力すると共に前記第1比較回路から出力されたりセット信号によりリセットされ、

前記第1比較回路は、前記カウンタ回路のカウント値を外部から設定された所定の第1設定値と比較し、前記カウント値が前記第1設定値に一致した場合に前記リセット信号を出力し、

前記第2比較回路は、前記カウンタ回路のカウント値を外部から設定された第2設定値と比較し、前記カウント値が前記第2設定値に一致した場合に出力反転信号を出力し、

前記出力反転回路は、前記リセット信号が得られたときに出力を正転し、前記出力反転信号が得られた場合に出力を反転して矩形波信号を出力することを特徴とする基準電圧発生回路。

30

【請求項4】

電力変換部、スイッチング素子駆動回路及び基準電圧発生回路を備え、

前記電力変換部はスイッチング素子のオンオフによって入力電源が供給する入力電圧を断続電圧に変換すると共に当該断続電圧を整流平滑して直流電圧を生成し、

スイッチング素子駆動回路は、前記基準電圧発生回路からの基準電圧に対応して前記スイッチング素子のオンデューティを制御するスイッチング電源装置に於いて、

前記基準電圧発生回路は、

周期とデューティを外部から設定できる矩形波信号を出力する複数のパルス幅変調回路と、

40

前記複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、

前記複数の抵抗の他端を共通接続したコンデンサと、

前記複数の抵抗と前記コンデンサの接続点で発生する電圧を基準電圧として取り出す構成と、
を備え、

前記複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、前記第1パルス幅変調回路に接続した第1抵抗の抵抗値 (R_i) に対し前記第2パルス幅変調回路に接続した第2抵抗の抵抗値 (R_{i+1}) が、前記複数のパルス幅変調回路が出力する矩形波信号の電圧変化の組合せにより前記基準電圧を調整して、当該基準電圧のリ

50

リップル電圧を低減させるのに十分に大きな値に設定されたことを特徴とするスイッチング電源装置。

【請求項 5】

電力変換部、スイッチング素子駆動回路及び基準電圧発生回路を備え、

前記電力変換部はスイッチング素子のオンオフによって入力電源が供給する入力電圧を断続電圧に変換すると共に当該断続電圧を整流平滑して直流電圧を生成し、

スイッチング素子駆動回路は、前記基準電圧発生回路からの基準電圧に対応して前記スイッチング素子のオンデューティを制御するスイッチング電源装置に於いて、

前記基準電圧発生回路は、

周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、

前記複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、

前記複数の抵抗の他端を共通接続したコンデンサと、

前記複数の抵抗と前記コンデンサの接続点に発生する電圧を基準電圧として取り出す構成と、

を備え、

前記複数のパルス幅変調回路は所定のデューティ分解能を有し、

前記複数のパルス幅変調回路を相互に重なるように並び順に 2 回路ずつのグループに分け、各グループ内で並び順に第 1 パルス幅変調回路と第 2 パルス幅変調回路とした場合、前記第 1 パルス幅変調回路に接続した第 1 抵抗の抵抗値 (R_i) と前記第 2 パルス幅変調回路に接続した第 2 抵抗の抵抗値 (R_{i+1}) の抵抗値の比 (R_{i+1} / R_i) が、前記第 1 パルス幅変調回路のデューティ分解能と前記第 2 パルス幅変調回路のデューティ分解能とを掛け合わせた値に対応した微小電圧単位に前記基準電圧を調整して当該基準電圧のリップル電圧を低減させる範囲で、前記第 1 パルス幅変調回路のデューティ分解能とほぼ等しくなるように、前記第 1 抵抗及び前記第 2 抵抗の抵抗値が設定されたことを特徴とするスイッチング電源装置。

【請求項 6】

請求項 4 又は 5 記載のスイッチング電源装置に於いて、

前記パルス幅変調回路は、カウンタ回路、第 1 比較回路、第 2 比較回路及び出力反転回路を備え、

前記カウンタ回路は、外部から供給されたクロック信号を計数してカウント値を出力すると共に前記第 1 比較回路から出力されたりセット信号によりリセットされ、

前記第 1 比較回路は、前記カウンタ回路のカウント値を外部から設定された所定の第 1 設定値と比較し、前記カウント値が前記第 1 設定値に一致した場合に前記リセット信号を出力し、

前記第 2 比較回路は、前記カウンタ回路のカウント値を前記第 1 設定値以下の外部から設定された第 2 設定値と比較し、前記カウント値が前記第 2 設定値に一致した場合に出力反転信号を出力し、

前記出力反転回路は、前記リセット信号が得られたときに前記リセット信号が得られたときに出力を正転し、前記出力反転信号が得られた場合に出力を反転して矩形波信号を出力することを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルプロセッサ等により基準電圧を変更する制御を可能とする基準電圧発生回路及びスイッチング電源装置に関する。

【背景技術】

【 0 0 0 2 】

従来、入力電圧をスイッチング素子のオン、オフにより断続電圧に変換し、これを整流・平滑することで直流の出力電圧を得ることができるスイッチング電源装置が広く用いられている。

【 0 0 0 3 】

スイッチング電源装置は、出力電圧を安定な一定の電圧に制御するためのフィードバック制御回路を備えたものが一般的である。また、フィードバック制御回路には、スイッチング電源装置の出力電圧を所定の値に設定するために、基準電圧発生回路が設けられる。

【 0 0 0 4 】

基準電圧発生回路をD/Aコンバータで構成したスイッチング電源装置が知られている（特許文献1）。D/Aコンバータで構成した基準電圧発生回路は、D/Aコンバータをデジタルプロセッサで制御することで、スイッチング電源装置の出力電圧を高精度に制御することが可能となる。例えば、スイッチング電源装置のソフトスタート動作の制御をD/Aコンバータとデジタルプロセッサを用いて行うことで、スイッチング電源が起動する際のオーバーシュートを抑制している。

10

【 0 0 0 5 】

スイッチング電源装置の基準電圧発生回路としてD/Aコンバータを用いる場合、D/Aコンバータの分解能が十分に高くなければスイッチング電源装置の実用性を低下させてしまう。例えば、5Vを出力するスイッチング電源装置の基準電圧発生回路に8ビットのD/Aコンバータを用いたとする。8ビットのD/Aコンバータの分解能は256であるので、D/Aコンバータの電圧設定は、 $5V \div 256 = 19.5mV$ 単位となり、離散的にしか出力電圧設定ができないスイッチング電源装置となってしまう。

20

【 0 0 0 6 】

これでは、DSP (Digital Signal Processor) やFPGA (Field Programmable Gate Array) 等の高精度な電圧設定が求められる半導体デバイス用のスイッチング電源装置として用いることが難しい。

【 0 0 0 7 】

スイッチング電源装置として実用的な出力電圧設定精度を得るためには、基準電圧発生回路に最低でも12ビット（分解能4096、5V出力のスイッチング電源装置では1.22mV単位）、可能であれば14ビット（分解能16384、5V出力のスイッチング電源装置では0.305mV単位）の分解能を持つD/Aコンバータを用いる必要がある。

30

【 0 0 0 8 】

ところで、高分解能のD/Aコンバータは高価であるので、これを用いた基準電圧発生回路は、高価なものになってしまうため、スイッチング電源装置も高価なものになってしまうといった問題を持っている。

【 0 0 0 9 】

（デジタルPWM回路）

スイッチング電源装置の基準電圧発生回路をデジタルプロセッサで制御する方法として、デジタルプロセッサで制御可能なパルス幅変調回路（以下「デジタルPWM回路」という）を用いた方法が知られている（特許文献2）。この方法では、デジタルPWM回路、抵抗、および、コンデンサを用いて基準電圧発生回路を構成し、デジタルPWM回路の出力を抵抗とコンデンサで平滑することで得た直流電圧を基準電圧として用いる。

40

【 0 0 1 0 】

デジタルPWM回路は、市販のワンチップマイクロコンピュータ等のデジタルプロセッサに一般的に内蔵されているもので、マイクロコンピュータでは、タイマと呼ばれている場合もある。デジタルPWM回路は、安価なマイクロコンピュータにも内蔵されていることから、安価に基準電圧発生回路を構成することができる。

【 0 0 1 1 】

しかしながら、デジタルPWM回路を用いた基準電圧発生回路によりスイッチング電源

50

装置の出力電圧設定精度を高めた場合には、スイッチング電源装置の出力電圧を高速に変化させる用途には使用できないという欠点を持つ。以下、その理由を説明する。

【 0 0 1 2 】

(デジタル P W M 回路の動作)

図 8 はデジタル P W M 回路およびこれを用いた従来の基準電圧発生回路を示した回路ブロック図である。図 8 に示すように、デジタル P W M 回路 1 0 0 は、カウンタ回路 1 0 4、第 1 比較回路 1 0 6、第 2 比較回路 1 0 8、R S - フリップフロップ回路 1 1 0 から構成される。

【 0 0 1 3 】

クロック発振回路 1 0 2 は、決まった周期 T_{ck} で H レベルと L レベルが繰り返されるクロック信号 E 1 を出力する回路である。デジタル P W M 回路 1 0 0 がマイクロコンピュータに内蔵されている場合は、C P U にクロック信号を供給するためのクロック発振回路とデジタル P W M 回路にクロック信号を供給するクロック発振回路を共用して用いる場合が多い。

10

【 0 0 1 4 】

カウンタ回路 1 0 4 は、クロック発振回路 1 0 2 が出力するクロック信号 E 1 をカウントし、第 1 比較回路 1 0 6 及び第 2 比較回路 1 0 8 にカウント値 N を出力する。また、リセット信号 E 2 が入力されると、カウント値 N がゼロにリセットされる。

【 0 0 1 5 】

第 1 比較回路 1 0 6 は、外部から設定できる第 1 設定値 S 1 を持ち、カウンタ回路 1 0 4 が出力するカウント値 N が第 1 設定値 S 1 と等しくなると、次のクロック信号 E 1 が入力されるタイミングでリセット信号 E 2 を出力する。

20

【 0 0 1 6 】

第 2 比較回路 1 0 8 は、外部から設定できる第 2 設定値 S 2 を持ち、カウンタ回路 1 0 4 が出力するカウント値 N が第 2 設定値 S 2 と等しくなったタイミングで出力反転信号 E 3 を出力する。

【 0 0 1 7 】

R S - フリップフロップ回路 1 1 0 は、第 1 比較回路 1 0 6 が出力するリセット信号 E 2 が入力されると出力 Q B が H レベル、出力 Q が L レベルとなってこれを維持し、第 2 比較回路 1 0 8 が出力する出力反転信号 E 3 が入力されると出力 Q B が L レベル、出力 Q が H レベルとなってこれを維持し、出力 Q B から矩形波信号 (P W M 信号) E 4 を出力する。

30

【 0 0 1 8 】

デジタル P W M 回路 1 0 0 は、このような構成を持つことで、クロック信号 E 1 のクロック周期を T_{ck} とすると、 $T_{ck} \times (S_1 + 1)$ の周期で、 $S_2 / (S_1 + 1)$ のデューティを持つ矩形波信号 E 4 を出力することができる。

【 0 0 1 9 】

図 9 は図 8 のデジタル P W M 回路の動作を示したタイムチャートであり、クロック周期 $T_{ck} = 100\text{ ns}$ 、第 1 設定値 $S_1 = 3999$ 、第 2 設定値 $S_2 = 1600$ とした場合を例にとっている。ここで、図 9 (A) はクロック信号 E 1 を示し、図 9 (B) はカウンタ回路のカウント値 N を示し、図 9 (C) はリセット信号 E 2 を示し、図 9 (D) は出力反転信号 E 3 を示し、図 9 (E) は矩形波信号 E 4 を示す。

40

【 0 0 2 0 】

(期間 A の動作)

図 9 の期間 A は、カウンタ回路 1 0 4 のカウント値 N が 0 から第 2 設定値 S 2 に達した瞬間までの期間である。ここでは、R S - フリップフロップ回路 1 1 0 は出力 Q B が H レベル、出力 Q が L レベルとなっている。

【 0 0 2 1 】

カウンタ回路 1 0 4 は、クロック信号 E 1 が L レベルから H レベルに変化するタイミングでカウント値 N が 1 だけ上昇する。カウント値 N が第 2 設定値 $S_2 = 1600$ になった

50

瞬間に、第2比較回路108が出力反転信号E3をRS-フリップフロップ回路110のセット端子Sへ出力する。このとき、RS-フリップフロップ回路110は出力QBがLレベル、出力QがHレベルとなる。

【0022】

(期間Bの動作)

期間Bは、カウンタ回路104のカウント値Nが0から第1設定値S1に1を加えた($S1 + 1$)に達する直前までの期間である。

【0023】

カウンタ回路104は、クロック信号E1がLレベルからHレベルに変化するタイミングでカウント値Nが1だけ上昇する。カウント値Nが第1設定値S1と等しくなると、次のクロック信号が入力されるタイミングで第1比較回路106がリセット信号E2を出力し、カウンタ回路104をリセットする。即ち、カウント値Nが($S1 + 1$) = 4000になるタイミングでリセット信号E2が出力されることで、カウント値Nがリセットされて0となる。

【0024】

このとき、RS-フリップフロップ回路110のリセット端子Rへもリセット信号E2が出力されるため、RS-フリップフロップ回路110の出力QBがLレベルからHレベルとなる。従って、デジタルPWM回路100から出力される矩形波信号E4は、

$$100ns \times (3999 + 1) = 400\mu s$$

の周期を持つことになる。

【0025】

このようにデジタルPWM回路100からは、(期間A)/(期間B)のデューティ dutyと期間Bの周期Tpwmを持った矩形波信号E4が出力される。期間Aは($Tck \times S2$)であり、期間Bは($Tck \times (S1 + 1)$)であるため、デジタルPWM回路100の周期Tpwm、デューティ dutyは、以下の式で表される。

$$Tpwm = Tck \times (S1 + 1) \quad (1)$$

$$duty = S2 / (S1 + 1) \quad (2)$$

例えば、図9に示した動作となる図8のデジタルPWM回路100からは、周期400 μs 、デューティ0.4の矩形波信号E4が出力される。

【0026】

第1比較回路106の第1設定値S1および第2比較回路108の第2設定値S2は、デジタルプロセッサ等を用いて、外部から設定を変更することが可能であるため、デジタルPWM回路100のデューティと周期は自由に設定することができる。

【0027】

(デジタルPWM回路を用いた基準電圧発生回路の動作)

デジタルPWM回路100を用いた基準電圧発生回路は、デジタルPWM回路100の出力する矩形波信号E4を、抵抗112とコンデンサ114を用いて平滑した電圧を基準電圧Vrefとしている。基準電圧Vrefは、デジタルPWM回路100のHレベルの出力電圧、Lレベルの出力電圧、デジタルPWM回路100のデューティで決定される。

【0028】

例えば、デジタルPWM回路100のHレベルの出力電圧をVH、Lレベルの出力電圧をVL、デジタルPWM回路100のデューティをdutyとすると、基準電圧Vrefは以下の式で表すことができる。

$$Vref = (VH - VL) \times duty + VL \quad (3)$$

例えば、図8及び図9において、VH = 5V、VL = 0V、S1 = 3999、S2 = 1600とすると、duty = 0.4となるので、図8の基準電圧発生回路は基準電圧Vrefとして2Vを出力する。

【0029】

(分解能)

デジタルPWM回路100を用いた基準電圧発生回路が出力する基準電圧Vrefの電

10

20

30

40

50

圧分解能は、デジタルPWM回路100のデューティ分解能で決定される。デジタルPWM回路100はクロック信号E1をカウントすることで周期 T_{pwm} とデューティ $duty$ を生成しており、第2設定値 $S2$ が0に設定されたときデューティ $duty$ は0になり、設定値 $S2$ が $(S1 + 1)$ に設定されたときデューティ $duty$ は1になる。

【0030】

従って、デジタルPWM回路100のデューティ分解能は第1設定値 $S1$ で決定され、基準電圧 V_{ref} の電圧分解能となる最小変化幅 V_{step} は以下の式で決定される。

$$V_{step} = (V_H - V_L) / (S1 + 1) \quad (4)$$

例えば、図8及び図9において、 $V_H = 5V$ 、 $V_L = 0V$ 、 $S1 = 3999$ とすると、図8の基準電圧 V_{ref} の電圧分解能となる最小変化幅 V_{step} は、 $1.25mV$ となる。

10

【0031】

以上より、デジタルPWM回路100を用いた基準電圧発生回路において、基準電圧 V_{ref} の電圧分解能を向上させる場合、第1比較回路106の第1設定値 $S1$ を大きくする必要がある。

【0032】

(リップル電圧)

デジタルPWM回路100を用いた基準電圧発生回路は、デジタルPWM回路100の出力となる矩形波信号E4を平滑して基準電圧 V_{ref} を作るため、抵抗112の抵抗値 $R0$ 、コンデンサ114の容量 $C0$ 、および、矩形波信号E4の周期 T_{pwm} の値で決定されるリップル電圧 V_{rip} が重畳する。出力電圧 V_o を、基準電圧 V_{ref} を基に制御を行うスイッチング電源装置の場合、基準電圧 V_{ref} にリップル電圧が重畳していると出力電圧 V_o にもリップル電圧が重畳することになる。

20

【0033】

例えば、基準電圧 $V_{ref} = 2V$ のとき、出力電圧 $V_o = 12V$ となるスイッチング電源装置を考える。出力電圧 V_o は基準電圧 V_{ref} の6倍になるように制御が行われていることになるので、出力電圧 V_o のリップル電圧は基準電圧 V_{ref} のリップル電圧 V_{rip} の6倍の値となる。

【0034】

一般的なスイッチング電源装置では、出力電圧 V_o のリップル電圧は出力電圧の0.2%程度に設計されているが小さいほど望ましい。例えば、 $12V$ を出力するスイッチング電源装置のリップル電圧は $24mV$ となる。基準電圧 $V_{ref} = 2V$ のとき、出力電圧 $V_o = 12V$ となるスイッチング電源装置において、出力電圧のリップル電圧を $24mV$ 以下とする場合、基準電圧 V_{ref} のリップル電圧 V_{rip} を $4mV$ 以下とする必要がある。そこで、基準電圧 V_{ref} に重畳しているリップル電圧 V_{rip} を求めると次のようになる。

30

【0035】

デジタルPWM回路100がHレベルのときの出力電圧を V_H 、Lレベルのときの出力電圧を $0V$ として、以下を説明する。また、抵抗112の抵抗値を $R0$ 、コンデンサ114の容量を $C0$ とする。デジタルPWM回路100の出力がHレベルのとき、抵抗112を流れる電流 I_{r0} は、以下の式で表される。

40

$$I_{r0} = (V_H - V_{ref}) / R0 \quad (5)$$

【0036】

抵抗112を流れる電流 I_{r0} は、コンデンサ114に流れ込む電流となる。デジタルPWM回路100がHレベルを出力している時間は、デジタルPWM回路100の周期 T_{pwm} とデューティ $duty$ の積である。従って、コンデンサ114には、

$$\text{時間 } T = T_{pwm} \times duty$$

の間、電流 I_{r0} が流れ込む。この間のコンデンサ114の電圧変動 ΔV_{c0} がデジタルPWM回路100のリップル電圧 V_{rip} となる。

【0037】

50

【数 1】

$$V_{rip} = \Delta V_{c0} = \frac{1}{C_0} \int I_{r0} dt = \frac{(V_H - V_{ref}) \cdot T_{pwm} \cdot duty}{C_0 \cdot R_0} \quad (6)$$

【0038】

例えば、図 8 及び図 9 においては、 $V_H = 5V$ 、 $V_{ref} = 2V$ 、 $T_{pwm} = 400 \mu S$ 、 $duty = 0.4$ であるので、 $V_{rip} = 4mV$ となる条件は、以下の式で表される。

$$C_0 \cdot R_0 = \{ (V_H - V_{ref}) \cdot T_{pwm} \cdot duty \} / 4mV$$

$$= 0.12 \quad (7)$$

10

例えば、 $C_0 = 10 \mu F$ 、 $R_0 = 12 k\Omega$ とすれば、 $V_{rip} = 4mV$ が得られる。

【0039】

以上より、リップル電圧を小さくしようとする場合、コンデンサ 114 の容量 C_0 および抵抗 112 の抵抗値 R_0 を大きくする必要がある。

【0040】

また、リップル電圧を小さくするための他の方法としては、式 (6) からデジタル PWM 回路 100 の周期 T_{pwm} を短くして周波数を高くする方法がある。

【0041】

(基準電圧変更時間)

デジタル PWM 回路 100 を用いた基準電圧発生回路において、基準電圧 V_{ref} を変更する場合は、デジタル PWM 回路 100 からの出力する矩形波信号 E4 のデューティを変更する。例えば、図 8 では、第 2 比較回路 108 の第 2 設定値 S_2 を変更することで、矩形波信号のデューティを変えて、基準電圧 V_{ref} を変更する。

20

【0042】

基準電圧 V_{ref} を電圧 V_{ref1} から電圧 V_{ref2} に変更する場合、変更に必要な時間を考える。デジタル PWM 回路 100 を用いた基準電圧発生回路は、抵抗 112 とコンデンサ 114 を用いた平滑回路を内部に持っているため、平滑回路の時定数 τ の計算を行うことで、基準電圧 V_{ref} を電圧 V_{ref1} から電圧 V_{ref2} に変更する時間を求めることができる。

【0043】

30

一般的に、時定数 τ は $\tau = RC$ で求められる。従って、デジタル PWM 回路 100 のデューティを変更してからコンデンサ 114 の容量 C_0 と抵抗 112 の抵抗値 R_0 の積で求める時間 τ が経過すると、基準電圧 V_{ref} は、 $V_{ref} = (V_{ref2} - V_{ref1}) \times 0.632 + V_{ref1}$ になっている。

【0044】

例えば、図 8 及び図 9 のデジタル PWM 回路 100 を用いた基準電圧発生回路において、第 2 設定値 S_2 が 1600 のとき基準電圧 V_{ref} は 2V であるが、第 2 設定値 S_2 を 2000 に変更するとデジタル PWM 回路 100 のデューティは 0.5 となり、基準電圧 V_{ref} は 2.5V を目指して変化し、 $0.12 sec (= 10 \mu F \times 12 k\Omega)$ 後には、 $2.316V (= (2.5V - 2V) \times 0.632 + 2V)$ になっている。

40

【先行技術文献】

【特許文献】

【0045】

【特許文献 1】特開 2010 - 028951 号公報

【特許文献 2】特開 2014 - 128110 号公報

【発明の概要】

【発明が解決しようとする課題】

【0046】

このようにスイッチング電源装置の出力電圧を制御するための基準電圧発生回路として

50

、D Aコンバータを用いる方法は、基準電圧発生回路は高分解能であることが求められるため、高価なD Aコンバータが必要となり、基準電圧発生回路が高価なものになってしまう問題がある。

【0047】

この問題を解決する方法として、前述したように、デジタルPWM回路から出力された周期とデューティを外部から設定できる矩形波信号を抵抗とコンデンサを用いて平滑して得られた電圧をスイッチング電源の基準電圧とする方法があるが、この方法は、矩形波信号を抵抗とコンデンサにより平滑しているため、基準電圧にリップル電圧が重畳し、基準電圧のリップル電圧は、出力電圧のリップル電圧になってしまう。

【0048】

10

一般的に、スイッチング電源装置は出力電圧のリップル電圧が小さいほど良く、出力電圧設定値を変更する際に必要な時間が短いほど良いが、基準電圧のリップル電圧を小さくするためには、矩形波信号の周波数を高くすることが考えられ、周波数を高くしようとすると高速クロックを用いたデジタルPWM回路が必要となるため、基準電圧発生回路が高価なものになるという問題が発生する。

【0049】

また、リップル電圧を小さくするためにコンデンサと抵抗の積を大きくする必要があるが、スイッチング電源装置の出力電圧設定値を変更する際に必要な時間を短くするには、コンデンサと抵抗の積を小さくする必要があり、両方を満たすことができない。

【0050】

20

従って、従来のデジタルPWM回路を用いた基準電圧発生回路では、分解能、リップル電圧、設定変更時間の要素を低コストで成り立たせることができないという問題があった。

【0051】

本発明は、高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さを低コストで両立可能とするデジタルPWM回路を用いた基準電圧発生回路及びスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0052】

(基準電圧発生回路：2つのパルス幅変調回路の出力抵抗の関係)

30

本発明は、基準電圧発生回路に於いて、
周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、

複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、

複数の抵抗の他端を共通接続したコンデンサと、

複数の抵抗とコンデンサの接続点に発生する電圧を基準電圧として取り出す構成と、
を備え、

複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、第1パルス幅変調回路に接続した第1抵抗の抵抗値(R_{i1})に対し第2パルス幅変調回路に接続した第2抵抗の抵抗値(R_{i1+i2})が、複数のパルス幅変調回路が出力する矩形波信号の電圧変化の組合せにより基準電圧を調整して、当該基準電圧のリップル電圧を低減させるのに十分に大きな値に設定されたことを特徴とする。

40

【0054】

(基準電圧発生回路：2つのパルス幅変調回路の出力抵抗比をデューティ分解能に基づき設定)

本発明は、基準電圧発生回路に於いて、

周期とデューティを外部から設定可能な矩形波信号を出力する3回路以上となる複数のパルス幅変調回路と、

50

複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、
複数の抵抗の他端を共通接続したコンデンサと、
記複数の抵抗とコンデンサの接続点に発生する電圧を基準電圧として取り出す構成と、
 を備え、

複数のパルス幅変調回路は所定のデューティ分解能を有し、

複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、第1パルス幅変調回路に接続した第1抵抗の抵抗値 (R_i) と第2パルス幅変調回路に接続した第2抵抗の抵抗値 (R_{i+1}) の比 (R_{i+1} / R_i) が、第1のパルス幅変調回路のデューティ分解能と第2のパルス幅変調回路のデューティ分解能とを掛け合わせた値に対応した微小電圧単位に基準電圧を調整して当該基準電圧のリプル電圧を低減させる範囲で、第1パルス幅変調回路のデューティ分解能とほぼ等しくなるように、第1抵抗及び第2抵抗の抵抗値が設定されたことを特徴とする。

10

【0055】

(パルス幅変調回路の詳細とデューティ分解能)

パルス幅変調回路は、カウンタ回路、第1比較回路、第2比較回路及び出力反転回路を備え、

カウンタ回路は、外部から供給されたクロック信号を計数してカウント値を出力すると共に第1比較回路から出力されたりセット信号によりリセットされ、

20

第1比較回路は、カウンタ回路のカウント値を外部から設定された所定の第1設定値と比較し、カウント値が第1設定値に一致した場合にリセット信号を出力し、

第2比較回路は、カウンタ回路のカウント値を第1設定値以下の外部から設定された第2設定値と比較し、カウント値が第2設定値に一致した場合に出力反転信号を出力し、

出力反転回路は、リセット信号が得られたときに出力をLレベルからHレベルに立上げ、出力反転信号が得られた場合に出力をHレベルからLレベルに反転して矩形波信号を出力する。

【0056】

(スイッチング電源装置：2つのパルス幅変調回路の出力抵抗の関係)

本発明は、

30

電力変換部、スイッチング素子駆動回路及び基準電圧発生回路を備え、

電力変換部はスイッチング素子のオン、オフによって入力電源が供給する入力電圧を断続電圧に変換すると共に断続電圧を整流平滑して直流電圧を生成し、

スイッチング素子駆動回路は、基準電圧発生回路からの基準電圧に対応してスイッチング素子のオンデューティを制御するスイッチング電源装置に於いて、

基準電圧発生回路は、

周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、

複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、

複数の抵抗の他端を共通接続したコンデンサと、

40

複数の抵抗とコンデンサの接続点で発生する電圧を基準電圧として取り出す構成と、
 を備え、

複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、第1パルス幅変調回路に接続した第1抵抗の抵抗値 (R_i) に対し第2パルス幅変調回路に接続した第2抵抗の抵抗値 (R_{i+1}) が、複数のパルス幅変調回路が出力する矩形波信号の電圧変化の組合せにより基準電圧を調整して、当該基準電圧のリプル電圧を低減させるのに十分に大きな値に設定されたことを特徴とする。

【0058】

50

(スイッチング電源装置：２つのパルス幅変調回路の出力抵抗比をデューティ分解能に基づき設定)

本発明は、

電力変換部、スイッチング素子駆動回路及び基準電圧発生回路を備え、

電力変換部はスイッチング素子のオンオフによって入力電源が供給する入力電圧を断続電圧に変換すると共に当該断続電圧を整流平滑して直流電圧を生成し、

スイッチング素子駆動回路は、基準電圧発生回路からの基準電圧に対応してスイッチング素子のオンデューティを制御するスイッチング電源装置に於いて、

基準電圧発生回路は、

周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、

複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、

複数の抵抗の他端を共通接続したコンデンサと、

複数の抵抗とコンデンサの接続点に発生する電圧を基準電圧として取り出す構成と、を備え、

複数のパルス幅変調回路は所定のデューティ分解能を有し、

複数のパルス幅変調回路を相互に重なるように並び順に２回路ずつのグループに分け、各グループ内で並び順に第１パルス幅変調回路と第２パルス幅変調回路とした場合、第１パルス幅変調回路に接続した第１抵抗の抵抗値 (R_i) と第２パルス幅変調回路に接続した第２抵抗の抵抗値 (R_{i+1}) の抵抗値の比 (R_{i+1} / R_i) が、第１のパルス幅変調回路のデューティ分解能と第２のパルス幅変調回路のデューティ分解能とを掛け合わせた分解能に対応した微小電圧単位に基準電圧を調整して当該基準電圧のリプル電圧を低減させる範囲で、第１パルス幅変調回路のデューティ分解能とほぼ等しくなるように、第１抵抗及び第２抵抗の抵抗値が設定されたことを特徴とする。

【 ０ ０ ５ ９ 】

(パルス幅変調回路の詳細とデューティ分解能)

スイッチング電源装置に設けたパルス幅変調回路は、カウンタ回路、第１比較回路、第２比較回路及び出力反転回路を備え、

カウンタ回路は、外部から供給されたクロック信号を計数してカウント値を出力すると共に第１比較回路から出力されたりセット信号によりリセットされ、

第１比較回路は、カウンタ回路のカウント値を外部から設定された所定の第１設定値と比較し、カウント値が第１設定値に一致した場合にリセット信号を出力し、

第２比較回路は、カウンタ回路のカウント値を第１設定値以下の外部から設定された第２設定値と比較し、カウント値が第２設定値に一致した場合に出力反転信号を出力し、

出力反転回路は、リセット信号が得られたときに出力を正転し、出力反転信号が得られた場合に出力を反転して矩形波信号を出力する。

【発明の効果】

【 ０ ０ ６ ０ 】

(基準電圧発生回路の基本的な効果)

本発明は、基準電圧発生回路に於いて、周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、複数の抵抗の他端を共通接続したコンデンサとを備え、複数の抵抗とコンデンサの接続点に発生する電圧を基準電圧として取り出す構成を備えるようにしたため、パルス幅変調回路として低速クロックで動作するデジタルPWM回路をデューティ分解能を低く設定して用いても、基準電圧の分解能を高くすることが可能となるため、高速クロックで動作する高価なデジタルPWM回路を用いることなく、矩形波信号の周期を短くすることが可能となり、また、デジタルPWM回路のデューティ分解能を低く設定したことで矩形波信号の周期を短くできることから、基準電圧の設定電圧変更時間を短くするために、デジタルPWM回路の出力に接続する抵抗とコンデンサの時定数を小さく

した場合でも、基準電圧のリップル電圧が大きくなることなく、高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さを低コストで両立可能とする。

【0061】

(2つのパルス幅変調回路の出力抵抗の関係による効果)

また、複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、第1パルス幅変調回路に接続した第1抵抗の抵抗値(R_i)に対し第2パルス幅変調回路に接続した第2抵抗の抵抗値(R_{i+1})が十分に大きな値に設定されたため、基準電圧に対しては、第1比較回路からの矩形波信号による電圧変化は直接に基準電圧の電圧変化に反映されることで粗調整として働き、第1比較回路からの矩形波信号による電圧変化は第1抵抗と第2抵抗の大小関係に基づき小さな電圧変化として基準電圧に反映されることで微調整として働き、両者の組合せにより高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さを低コストで両立可能とする。

10

【0062】

(2つのパルス幅変調回路の出力抵抗比をデューティ分解能に基づき設定する効果)

また、複数のパルス幅変調回路は所定のデューティ分解能を有し、複数のパルス幅変調回路を相互に重なるように並び順に2回路ずつのグループに分け、各グループ内で並び順に第1パルス幅変調回路と第2パルス幅変調回路とした場合、第1パルス幅変調回路に接続した第1抵抗の抵抗値(R_i)と第2パルス幅変調回路に接続した第2抵抗の抵抗値(R_{i+1})の比(R_{i+1}/R_i)が第1パルス幅変調回路のデューティ分解能とほぼ等しくなるように、第1抵抗及び第2抵抗の抵抗値が設定されたため、第1抵抗と第2抵抗の比を第1パルス幅変調回路のデューティ分解能とほぼ等しく設定したことで、デジタルプロセッサ等による外部から周期、デューティ分解能及びデューティを変更する制御により、基準電圧を例えば0Vから矩形波信号のHレベル電圧の範囲で、第1パルス幅変調回路のデューティ分解能と第2パルス幅変調回路のデューティ分解能を掛け合わせた分解能に対応した微小電圧単位に調整が可能となり、基準電圧を高精度に制御することが可能となる。

20

【0063】

また、基準電圧は、第1パルス幅変調回路のデューティ分解能と第2パルス幅変調回路のデューティ分解能を掛け合わせた分解能に基づき生成されるため、第1パルス幅変調回路及び第2パルス幅変調回路のデューティ分解能は小さくすることができ、デューティ分解能が小さければ、従来と同じクロック周期とすると、矩形波信号の周期は短くなることで高速動作することとなり、パルス幅変調回路の出力に接続する抵抗とコンデンサの時定数を小さくしても、基準電圧のリップルを小さくすることができる。

30

【0064】

その結果、高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さを低コストで両立可能とする。

【0065】

(パルス幅変調回路の詳細とデューティ分解能による効果)

また、パルス幅変調回路は、カウンタ回路、第1比較回路、第2比較回路及び出力反転回路を備え、カウンタ回路は、外部から供給されたクロック信号を計数してカウント値を出力すると共に第1比較回路から出力されたリセット信号によりリセットされ、第1比較回路は、カウンタ回路のカウント値を外部から設定された所定の第1設定値と比較し、カウント値が第1設定値に一致した場合にリセット信号を出力し、第2比較回路は、カウンタ回路のカウント値を外部から設定された第2設定値と比較し、カウント値が第2設定値に一致した場合に出力反転信号を出力し、出力反転回路は、リセット信号が得られたときに出力を正転し、出力反転信号が得られた場合に出力を反転して矩形波信号を出力するようにしたため、このような構成を備えた第1パルス幅変調回路と第2パルス幅変調回路に対し、デジタルプロセッサ等により外部から第1設定値を変更することで矩形波信号の周期とデューティ分解能を変更する制御ができ、また、第2設定値を変更することで矩形波

40

50

信号のデューティを変更する制御が可能となり、第1パルス幅変調回路のデューティ分解能と第2パルス幅変調回路のデューティ分解能を掛け合わせた分解能に対応した微小電圧単位に基準電圧の調整が可能となり、基準電圧を高精度に制御することができる。

【0066】

また、基準電圧は、第1パルス幅変調回路のデューティ分解能と第2パルス幅変調回路のデューティ分解能を掛け合わせた分解能に基づき生成されるため、第1パルス幅変調回路及び第2パルス幅変調回路の第1設定値を小さな値に設定することでデューティ分解能を小さくすることができ、デューティ分解能が小さければ、従来と同じクロック周期とすると、矩形波信号の周期は短くなることで高速動作することとなり、パルス幅変調回路の出力に接続する抵抗とコンデンサの時定数を小さくしても基準電圧のリップルを小さくすることができる。

10

【0067】

その結果、高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さを低コストで両立可能とする。

【0068】

(スイッチング電源装置の効果)

本発明は、電力変換部、スイッチング素子駆動回路及び基準電圧発生回路を備え、電力変換部はスイッチング素子のオンオフによって入力電源が供給する入力電圧を断続電圧に変換すると共に断続電圧を整流平滑して直流電圧を生成し、スイッチング素子駆動回路は、基準電圧発生回路からの基準電圧に対応してスイッチング素子のオンデューティを制御するスイッチング電源装置に於いて、基準電圧発生回路は、周期とデューティを外部から設定可能な矩形波信号を出力する複数のパルス幅変調回路と、複数のパルス幅変調回路の出力の各々に一端を接続した複数の抵抗と、複数の抵抗の他端を共通接続したコンデンサとを備え、複数の抵抗とコンデンサの接続点で発生する電圧を基準電圧として取り出す構成を備えるようにしたため、前述した本発明による基準電圧発生回路の効果により、デジタルプロセッサ等で高精度かつ高速応答に出力電圧を制御でき、出力電圧リップルが小さいスイッチング電源装置を低コストで作ることができる。

20

【0069】

なお、スイッチング電源装置におけるそれ以外の特徴による効果は、基準電圧発生回路の場合と基本的に同様となる。

30

【図面の簡単な説明】

【0070】

【図1】デジタルPWM回路を2回路設けた基準電圧発生回路の概略を示した回路ブロック図

【図2】図1の基準電圧発生回路につきデジタルPWM回路の具体的な回路構成を含めて示した回路ブロック図

【図3】基準電圧発生回路のコンデンサ容量を無限大とした場合の等価回路を示した回路ブロック図

【図4】デジタルPWM回路を3回路以上設けた基準電圧発生回路の概略を示した回路ブロック図

40

【図5】本発明の基準電圧発生回路を設けたスイッチング電源装置の第1実施形態を示した回路ブロック図

【図6】本発明の基準電圧発生回路を設けたスイッチング電源装置の第2実施形態を示した回路ブロック図

【図7】本発明の基準電圧発生回路を設けたフィードバック制御回路を持たないスイッチング電源装置の第3実施形態を示した回路ブロック図

【図8】従来のデジタルPWM回路を用いた基準電圧発生回路を示した回路ブロック図

【図9】図7のデジタルPWM回路における各部の動作波形を示したタイムチャート

【発明を実施するための形態】

【0071】

50

[基準電圧発生回路の第 1 実施形態]

図 1 はデジタル P W M 回路を 2 回路設けた基準電圧発生回路の概略を示した回路ブロック図、図 2 は図 1 の基準電圧発生回路につきデジタル P W M 回路の具体的な回路構成を含めて示した回路ブロック図、図 3 は基準電圧発生回路のコンデンサ容量を無限大とした場合の等価回路を示した回路ブロック図である。

【 0 0 7 2 】

(基準電圧発生回路の概略)

図 1 に示すように、本実施形態の基準電圧発生回路 1 0 は、第 1 パルス幅変調回路として機能する第 1 デジタル P W M 回路 1 2 - 1 と第 2 パルス幅変調回路として機能する第 2 デジタル P W M 回路 1 2 - 2 を備え、第 1 デジタル P W M 回路 1 2 - 1 の出力に第 1 抵抗 1 4 - 1 の一端を接続し、第 2 デジタル P W M 回路 1 2 - 2 の出力に第 2 抵抗 1 4 - 2 の一端を接続し、第 1 抵抗 1 4 - 1 及び第 2 抵抗 1 4 - 2 の他端はコンデンサ 1 6 の一端に共通接続し、第 1 抵抗 1 4 - 1、第 2 抵抗 1 4 - 2 及びコンデンサ 1 6 の接続点から出力端子 1 8 に接続し、基準電圧 V_{ref} を得る構成としている。

【 0 0 7 3 】

(第 1 デジタル P W M 回路)

図 2 に示すように、基準電圧発生回路 1 0 に設けた第 1 デジタル P W M 回路 1 2 - 1 は、カウンタ回路 2 0 - 1、第 1 比較回路 2 2 - 1、第 2 比較回路 2 4 - 1、R S - フリップフロップ回路 2 6 - 1 から構成される。

【 0 0 7 4 】

カウンタ回路 2 0 - 1 は、クロック発振回路 1 5 - 1 が出力するクロック信号 E_{11} をカウントし、第 1 比較回路 2 2 - 1 及び第 2 比較回路 2 4 - 1 にカウント値 N_1 を出力する。また、カウンタ回路 2 0 - 1 にリセット信号 E_{12} が入力されると、カウント値 N_1 がゼロにリセットされる。

【 0 0 7 5 】

第 1 比較回路 2 2 - 1 は、外部から設定できる第 1 設定値 S_{11} を持ち、カウンタ回路 2 0 - 1 が出力するカウント値 N_1 が第 1 設定値 S_{11} と等しくなると、次のクロック信号 E_{11} が入力されるタイミングでリセット信号 E_{12} を出力する。

【 0 0 7 6 】

第 2 比較回路 2 4 - 1 は、外部から設定できる第 2 設定値 S_{12} を持ち、カウンタ回路 2 0 - 1 が出力するカウント値 N_1 が第 2 設定値 S_{12} と等しくなったタイミングで出力反転信号 E_{13} を出力する。

【 0 0 7 7 】

R S - フリップフロップ回路 2 6 - 1 は、出力反転回路として機能し、第 1 比較回路 2 2 - 1 が出力するリセット信号 E_{12} が入力されると出力 Q_B が H レベル、出力 Q が L レベルとなってこれを維持し、第 2 比較回路 2 4 - 1 が出力する出力反転信号 E_{13} が入力されると出力 Q_B が L レベル、出力 Q が H レベルとなってこれを維持し、出力 Q_B から矩形波信号 (P W M 信号) E_{14} を出力する。

【 0 0 7 8 】

これにより第 1 デジタル P W M 回路 1 2 - 1 は、周期 T_{pwm1} とデューティ $duty_1$ をもつ矩形波信号 E_{14} を出力する。ここで、周期 T_{pwm1} とデューティ $duty_1$ は次式で与えられる。

$$T_{pwm1} = T_{ck1} \times (S_{11} + 1)$$

$$duty_1 = S_{12} / (S_{11} + 1)$$

【 0 0 7 9 】

(第 2 デジタル P W M 回路)

図 2 に示すように、基準電圧発生回路 1 0 に設けた第 2 デジタル P W M 回路 1 2 - 2 は、カウンタ回路 2 0 - 2、第 1 比較回路 2 2 - 2、第 2 比較回路 2 4 - 2、R S - フリップフロップ回路 2 6 - 2 から構成される。

【 0 0 8 0 】

カウンタ回路 20 - 2 は、クロック発振回路 15 - 2 が出力するクロック信号 E 2 1 をカウントし、第 1 比較回路 22 - 2 及び第 2 比較回路 24 - 2 にカウント値 N 2 を出力する。また、カウンタ回路 20 - 2 は、リセット信号 E 2 2 が入力されると、カウント値 N 2 がゼロにリセットされる。

【 0 0 8 1 】

第 1 比較回路 22 - 2 は、外部から設定できる第 1 設定値 S 2 1 を持ち、カウンタ回路 20 - 2 が出力するカウント値 N 2 が第 1 設定値 S 2 1 と等しくなると、次のクロック信号 E 2 1 が入力されるタイミングでリセット信号 E 2 2 を出力する。

【 0 0 8 2 】

第 2 比較回路 24 - 2 は、外部から設定できる第 2 設定値 S 2 2 を持ち、カウンタ回路 20 - 2 が出力するカウント値 N 2 が第 2 設定値 S 2 2 と等しくなったタイミングで出力反転信号 E 2 3 を出力する。

10

【 0 0 8 3 】

R S - フリップフロップ回路 26 - 2 は、出力反転回路として機能し、第 1 比較回路 22 - 2 が出力するリセット信号 E 2 2 が入力されると出力 Q B が H レベル、出力 Q が L レベルとなってこれを維持し、第 2 比較回路 24 - 2 が出力する出力反転信号 E 2 3 が入力されると出力 Q B が L レベル、出力 Q が H レベルとなってこれを維持し、出力 Q B から矩形波信号 (P W M 信号) E 2 4 を出力する。

【 0 0 8 4 】

これにより第 2 デジタル P W M 回路 12 - 2 は、周期 T p w m 2 とデューティ d u t y₂ をもつ矩形波信号 (P W M 信号) E 2 4 を出力する。ここで、周期 T p w m 2 とデューティ d u t y₂ は次式で与えられる。

20

$$T p w m 2 = T c k 2 \times (S 2 1 + 1)$$

$$d u t y_2 = S 2 2 / (S 2 1 + 1)$$

【 0 0 8 5 】

(整流平滑)

第 1 デジタル P W M 回路 12 - 1 の出力と第 2 デジタル P W M 回路 12 - 2 の出力は、第 1 抵抗 14 - 1 及び第 2 抵抗 14 - 2 を介して接続される。第 1 抵抗 14 - 1 と第 2 抵抗 14 - 2 の接続点にコンデンサ 16 を接続し、コンデンサ 16 の電圧を基準電圧 V r e f として出力端子 18 から取り出す。

30

【 0 0 8 6 】

(基準電圧の生成動作)

図 1 及び図 2 に示した基準電圧発生回路 10 の基準電圧 V r e f の発生動作について、以下に説明する。

【 0 0 8 7 】

コンデンサ 16 の容量 C 1 を無限大とすると、基準電圧 V r e f 側から見た第 1 デジタル P W M 回路 12 - 1 と第 2 デジタル P W M 回路 12 - 2 の出力電圧は、それぞれが出力するパルス電圧の矩形波信号を平滑した電圧を出力する直流電圧源と考えることができる。

【 0 0 8 8 】

40

このため、第 1 及び第 2 デジタル P W M 回路 12 - 1 , 12 - 2 からの矩形波信号 E 1 4 , E 2 4 の H レベル出力電圧を V H 1 , V H 2 とし、L レベル出力電圧を V L 1 , V L 2 とすると、第 1 デジタル P W M 回路 12 - 1 の出力を平滑した電圧 V S M 1 および第 2 デジタル P W M 回路 12 - 2 の出力を平滑した電圧 V S M 2 は以下の式で表される。

【 0 0 8 9 】

$$\begin{aligned} V S M 1 &= (V H 1 - V L 1) \times S 1 2 / (S 1 1 + 1) + V L 1 \\ &= (V H 1 - V L 1) \cdot d u t y_1 + V L 1 \end{aligned} \quad (8)$$

$$\begin{aligned} V S M 2 &= (V H 2 - V L 2) \times S 2 2 / (S 2 1 + 1) + V L 2 \\ &= (V H 2 - V L 2) \cdot d u t y_2 + V L 2 \end{aligned} \quad (9)$$

【 0 0 9 0 】

50

第1デジタルPWM回路12-1および第2デジタルPWM回路12-2は第1抵抗14-1と第2抵抗14-2を介して接続されており、第1抵抗14-1と第2抵抗14-2の接続点の電圧が基準電圧 V_{ref} となっているので、基準電圧発生回路10は図3のように表すことができる。

【0091】

図3で示すように、第1デジタルPWM回路12-1から第1抵抗14-1及び第2抵抗14-2を介して第2デジタルPWM回路12-2に流れる電流を i_1 として計算すると、基準電圧 V_{ref} を求めることができる。

【0092】

第1抵抗14-1を流れる電流 i_1 は、第1抵抗14-1の抵抗値を R_1 とすると、第1抵抗14-1の両端の電圧差と抵抗値 R_1 から、以下の式が成り立つ。

$$i_1 = (V_{SM1} - V_{ref}) / R_1 \quad (10)$$

【0093】

また、第2抵抗14-2にも同じ電流 i_1 が流れるので、第2抵抗14-2の抵抗値を R_2 とすると、同様に、以下の式が成り立つ。

$$i_1 = (V_{ref} - V_{SM2}) / R_2 \quad (11)$$

【0094】

第1抵抗14-1の抵抗値 R_1 と第2抵抗14-2の抵抗値 R_2 の関係を $A = R_2 / R_1$

とすると、基準電圧 V_{ref} は以下の式で求められる。

$$V_{ref} = \{ A / (A + 1) \} V_{SM1} + \{ 1 / (A + 1) \} V_{SM2} \quad (12)$$

【0095】

ここで、 $A \gg 1$ となるように、即ち、第1抵抗14-1の抵抗値 R_1 に対し第2抵抗14-2の抵抗値 R_2 が十分に大きくなるように、抵抗値 R_1 、 R_2 の値を設定すると、 $A + 1 \approx A$

となるので、基準電圧 V_{ref} は以下の式で表すことができる。

$$V_{ref} \approx V_{SM1} + (1 / A) V_{SM2} \quad (13)$$

【0096】

この式(13)の関係から、基準電圧 V_{ref} に対しては、平滑電圧 V_{SM1} の電圧変化は直接に基準電圧 V_{ref} の電圧変化に反映され、平滑電圧 V_{SM2} の電圧変化は $(1 / A)$ 倍で基準電圧 V_{ref} の電圧変化に反映されることが分かる。

【0097】

第1デジタルPWM回路12-1からの平滑電圧 V_{SM1} は、基準電圧 V_{ref} の電圧変化に対して粗調整として働くことができ、また、第2デジタルPWM回路12-2からの平滑電圧 V_{SM2} は、基準電圧 V_{ref} の電圧変化に対して微調整として働くことができる。

【0098】

また、基準電圧 V_{ref} の電圧分解能は、第1デジタルPWM回路12-1におけるデューティ分解能が第1比較回路12-1の第1設定値 S_{11} に1を加えた $(S_{11} + 1)$ であり、また第2デジタルPWM回路12-2のデューティ分解能が第1比較回路22-1の第1設定値 S_{21} に1を加えた $(S_{21} + 1)$ であり、基準電圧 V_{ref} の電圧分解能は、両者のデューティ分解能を掛け合わせた分解能 $(S_{11} + 1)(S_{21} + 1)$ として決定できる。このため第1デジタルPWM回路12-1および第2デジタルPWM回路12-2のそれぞれのデューティ分解能が低くても基準電圧 V_{ref} の電圧分解能を高くすることができる。

【0099】

また、基準電圧 V_{ref} の電圧分解能が第1及び第2デジタルPWM回路12-1、12-2のデューティ分解能を掛け合わせた分解能 $(S_{11} + 1)(S_{21} + 1)$ により決定できるということは、第1デジタルPWM回路12-1と第2デジタルPWM回路12-2のデューティ分解能が小さくて良いということである。

【 0 1 0 0 】

このように第 1 デジタル P W M 回路 1 2 - 1 と第 2 デジタル P W M 回路 1 2 - 2 のデューティ分解能を小さくすることができると、両者の周期 T_{pwm1} 、 T_{pwm2} を短くして用いることができる。

【 0 1 0 1 】

(本実施形態のメリット)

このような図 1 乃至図 3 に示した本実施形態の基準電圧発生回路 1 0 は、低速クロックで動作するデジタル P W M 回路をデューティ分解能を低く設定して用いても、基準電圧 V_{ref} の分解能を高くすることが可能となるため、第 1 及び第 2 デジタル P W M 回路 1 2 - 1, 1 2 - 2 に高速クロックで動作する高価なデジタル P W M 回路を用いることなく、デジタル P W M 回路が出力する矩形波信号の周期を短くすることが可能となり、また、デジタル P W M 回路のデューティ分解能を低く設定したことで矩形波信号の周期を短くすることから、基準電圧 V_{ref} の設定電圧変更時間を短くするために、デジタル P W M 回路の出力に接続する抵抗とコンデンサの時定数を小さくした場合でも、基準電圧 V_{ref} のリップルを小さくすることができることになり、高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さの全てを低コストで両立できる。

【 0 1 0 2 】

(第 1 実施形態の変形)

図 4 はデジタル P W M 回路を 3 回路以上となる複数回路設けた基準電圧発生回路の概略を示した回路ブロック図である。

【 0 1 0 3 】

図 1 乃至図 3 に示した第 1 実施形態の基準電圧発生回路では、2 回路のデジタル P W M 回路をそれぞれ抵抗を介してコンデンサに接続した回路としているが、3 回路以上となる複数のデジタル P W M 回路を、それぞれ抵抗を介してコンデンサに接続した回路としても良く、この場合にも同様の効果を得ることができる。

【 0 1 0 4 】

図 4 の基準電圧発生回路 1 0 では、3 回路以上となる複数のデジタル P W M 回路 1 2 - 1 ~ 1 2 - n のそれぞれの出力に、抵抗 1 4 - 1 ~ 1 4 - n の一端を接続し、抵抗 1 4 - 1 ~ 1 4 - n の他端のすべてをコンデンサ 1 6 と接続し、コンデンサ 1 6 から電圧 V_{ref} を得る構成としている。

【 0 1 0 5 】

この場合、複数のデジタル P W M 回路 1 2 - 1 ~ 1 2 - n 及び抵抗 1 4 - 1 ~ 1 4 - n を、相互に重なるように並び順に 2 回路ずつのグループ $G_1 \sim G_{n-1}$ に分け、 i 番目と $i + 1$ 番目を含む任意のグループ G_i のデジタル P W M 回路を、グループ内での並び順に第 1 デジタル P W M 回路 1 2 - i と第 2 デジタル P W M 回路 1 2 - ($i + 1$) とした場合、第 1 デジタル P W M 回路 1 2 - i に接続した第 1 抵抗 1 4 - i の抵抗値 R_i に対し第 2 デジタル P W M 回路 1 2 - ($i + 1$) に接続した第 2 抵抗 1 4 - ($i + 1$) の抵抗 R_{i+1} を十分に大きな値に設定し、グループ単位に前記の式 (1 3) の関係が得られるようにすれば良い。ただし、 $i = 1 \sim n$ の整数とする。

【 0 1 0 6 】

ここで、抵抗 1 4 - 1 ~ 1 4 - n の抵抗値 $R_1 \sim R_n$ の関係を、

$$R_2 / R_1 = A_1$$

$$R_3 / R_2 = A_2$$

...

$$R_n / R_{n-1} = A_{n-1}$$

とすると、前記の式 (1 3) の関係から、本実施形態の基準電圧発生回路 1 0 による基準電圧 V_{ref} は以下の式で表すことができる。

$$V_{ref} = V_{SM1} + (1 / A_1) V_{SM2} + (1 / A_2) V_{SM3} + \dots + (1 / A_{n-1}) V_{SMn} \quad (14)$$

【 0 1 0 7 】

この第1実施形態の変形例においても、第1実施形態と同様に、高分解能の出力電圧設定、出力電圧のリプル電圧の低減、設定電圧変更時間の短さの全てを低コストで両立できる。

【0108】

[基準電圧発生回路の第2実施形態]

第2実施形態の基準電圧発生回路は、その構成は図1及び図2に示した第1実施形態と同じであるが、第1抵抗14-1の抵抗値 R_1 と第2抵抗14-2の抵抗値 R_2 の比(R_2/R_1)を、下記の式(15)のように、第1デジタルPWM回路12-1のデューティ分解能($R_{d1}-1$)に設定することで、基準電圧 V_{ref} を高精度に制御できるようにしたものである。

$$R_2/R_1 = R_{d1} - 1 \quad (15)$$

【0109】

以下、本実施形態による基準電圧の発生動作を、図1及び図2に示した第1デジタルPWM回路12-1および第2デジタルPWM回路12-2のHレベル出力電圧を共に V_H とし、Lレベル出力電圧を0として説明を行う。

【0110】

本実施形態は、第1実施形態で示した式(8)～式(15)から得られる以下の式で説明できる。

【0111】

第1デジタルPWM回路12-1および第2デジタルPWM回路12-2からの矩形波信号のHレベル出力電圧を V_H とすると、 $V_{H1} = V_{H2} = V_H$ となる。また、Lレベル出力電圧が0であるので、 $V_{L1} = V_{L2} = 0$ となる。この条件を式(8)、式(9)に与える。

【0112】

また、式(12)で第1抵抗14-1と第2抵抗14-2の抵抗値の関係を記述するのに用いた

$$A = R_2/R_1$$

を、式(15)に代入すると

$$A = R_{d1} - 1$$

となるので、これを式(12)に代入する。これより、以下の式が得られる。

$$V_{ref} = (V_H \cdot duty_1) + (1/R_{d1})(V_H \cdot duty_2) \quad (16)$$

【0113】

第1デジタルPWM回路12-1の $duty_1$ は($1/R_{d1}$)を最小単位として0～1まで変化することができる。第2デジタルPWM回路12-2の $duty_2$ は($1/R_{d2}$)を最小単位として0～1まで変化することができる。

【0114】

式(16)より、第2デジタルPWM回路12-2の $duty_2$ が基準電圧 V_{ref} の電圧変化に及ぼす寄与率は、($1/R_{d1}$)となっている。第2デジタルPWM回路12-2の $duty_2$ が0～1の範囲で変化したとき、第2デジタルPWM回路12-2が V_{ref} の電圧変化に及ぼす影響は、第1デジタルPWM回路12-1の $duty$ の最小単位($1/R_{d1}$)分ということになる。

【0115】

以上の点に関して、具体的に数値を与えて説明すると次のようになる。まず、矩形波信号のHレベル出力電圧 $V_H = 5V$ 、
第1デジタルPWM回路12-1の第1設定値 $S_{11} = 99$
第2デジタルPWM回路12-2の第1設定値 $S_{21} = 99$
とする。

【0116】

第1デジタルPWM回路12-1からの矩形波信号のデューティ $duty_1$ は、
 $duty_1 = S_{12}/(S_{11} + 1)$

10

20

30

40

50

であるので、第1設定値 $S_{12} = 0$ のときデューティ $duty_1 = 0$ 、第2設定値 $S_{12} = 100$ のときデューティ $duty_1 = 1$ となる。第2設定値 S_{12} は0から100の値を取り得ることからデューティ $duty_1$ の分解能 Rd_1 は $Rd_1 = 100$ となる。

【0117】

そこで、第1抵抗 $14-1$ と第2抵抗 $14-2$ の抵抗値 R_1 、 R_2 を、

$$R_1 = 1 \text{ k}\Omega$$

$$R_2 = 99 \text{ k}\Omega$$

とすることで、 $(R_2 / R_1 = Rd_1 - 1)$ の関係を満たすことができる。

【0118】

また、第2デジタルPWM回路 $12-2$ から出力される矩形波信号のデューティ $duty_2$ は、

$$duty_2 = S_{22} / (S_{21} + 1)$$

であるので、デューティ $duty_2$ は第2設定値 $S_{22} = 0$ のとき $duty_2 = 0$ となり、第2設定値 $S_{22} = 100$ のときデューティ $duty_2 = 1$ となる。これにより式(16)は以下の式に変形できる。

$$V_{ref} = (5 \cdot S_{12} / 100) + (1 / 100) (5 \cdot S_{22} / 100) \quad (17)$$

【0119】

第1デジタルPWM回路 $12-1$ の第1設定値 $S_{12} = 0$ のとき(周期 $T_{pwm} = 1$ で出力を0Vに固定)、第2デジタルPWM回路 $12-2$ の第2設定値 S_{22} を0から100の範囲で変化させると、式(17)の右边第2項から、基準電圧 V_{ref} は、0から50mVの範囲で変化させることができる。ここで、第2設定値 S_{22} は整数であるので、 $S_{22} = 1$ とすると、基準電圧 V_{ref} は式(17)の右边第2項から、 $(1 / 100) \cdot 5 \cdot (1 / 100) = 0.5 \text{ mV}$

単位で値を設定できる。

【0120】

一方、第1設定値 $S_{12} = 0$ とし、第2設定値 $S_{22} = 100$ としたときの基準電圧 $V_{ref} = 50 \text{ mV}$ は、第1設定値 $S_{12} = 1$ とし、第2設定値 $S_{22} = 0$ としても作ることができる。第1デジタルPWM回路 $12-1$ の第1設定値 $S_{12} = 1$ のとき、第2デジタルPWM回路 $12-2$ の第2設定値 S_{22} を0から100の範囲で変化させると、基準電圧 V_{ref} は、50mVから100mVの範囲で、先と同様に、0.5mV単位で値を設定できる。

【0121】

以上のように、本実施形態にあっては、第1デジタルPWM回路 $12-1$ の第1設定値 S_{12} の設定値によって基準電圧 V_{ref} を50mV単位で変化させることが可能であり(粗調整)、同時に第2デジタルPWM回路 $12-2$ の第2設定値 S_{22} によって基準電圧 V_{ref} を0.5mV単位で変化させる(微調整)ことが可能であることが分かる。

【0122】

従って、第1デジタルPWM回路 $12-1$ の第1設定値 S_{12} と第2デジタルPWM回路 $12-2$ の第2設定値 S_{22} を調整することで、基準電圧 V_{ref} は0～5Vの範囲で0.5mV単位で設定できることになる。このとき、基準電圧 V_{ref} の分解能は、第1デジタルPWM回路 $12-1$ のデューティ分解能 $Rd_1 = 100$ と第2デジタルPWM回路 $12-2$ のデューティ分解能 $Rd_2 = 100$ を掛け合わせた分解能

$$Rd_1 \times Rd_2 = 100 \times 100 = 10000$$

となる。

【0123】

(第2実施形態のメリット)

本実施形態は、図1及び図2に示した基準電圧発生回路10において、第1デジタルPWM回路 $12-1$ および第2デジタルPWM回路 $12-2$ のHレベル出力電圧を共に V_H とし、Lレベル出力電圧を0とし、第1抵抗 $14-1$ と第2抵抗 $14-2$ の抵抗値 R_1 、

R_2 の比 (R_2 / R_1) を第 1 デジタル PWM 回路 12 - 1 のデューティ分解能 R_{d1} から 1 を引いた値 ($R_{d1} - 1$)、即ち第 1 デジタル PWM 回路 12 - 1 の第 1 設定値 S_1 に設定することで、基準電圧 V_{ref} を、 $0 \sim V_H$ の範囲で、第 1 デジタル PWM 回路 12 - 1 と第 2 デジタル PWM 回路 12 - 2 のデューティ分解能を乗算した値で除算した $V_H / (R_{d1} \times R_{d2})$

の単位で調整することが可能となるため、基準電圧 V_{ref} を高精度に制御することが可能となる。

【0124】

第 1 実施形態と比較すると、第 1 デジタル PWM 回路 12 - 1 の分解能に対して第 1 抵抗 14 - 1 と第 2 抵抗 14 - 2 の抵抗値 R_1 、 R_2 の比 (R_2 / R_1) を設定したことで、基準電圧 V_{ref} を変化させる際の調整を均等な変化幅で調整できることが第 2 実施形態の利点となる。

10

【0125】

また、第 1 実施形態と同様に、第 1 及び第 2 デジタル PWM 回路 12 - 1、12 - 2 に高速クロックで動作する高価なデジタル PWM を用いることなく、周期を短く設定して用いることが可能となる。例えば、従来の図 8 のデジタル PWM 回路 102 と比較すると、次のようになる。

【0126】

まず、図 8 の従来例では、第 1 比較回路 106 の第 1 設定値 S_1 を $S_1 = 3999$ としていたので分解能 R_d は $R_d = S_1 + 1 = 4000$ となり、クロック周期 $T_{ck} = 100 \text{ ns}$ の場合のデジタル PWM 回路 102 の周期は $T_{pwm} = 400 \mu\text{s}$ となる。

20

【0127】

これに対し本実施形態では、例えば第 1 デジタル PWM 回路 12 - 1 における第 1 比較回路 22 - 1 の第 1 設定値 $S_{11} = 99$ とし、第 2 デジタル PWM 回路 12 - 2 における第 1 比較回路 22 - 2 の第 1 設定値 $S_{21} = 99$ と、

$$(S_{11} + 1) \times (S_{21} + 1) = (99 + 1) \times (99 + 1) = 10000$$

により分解能は 10000 となり、クロック周期 $T_{ck} = 100 \text{ ns}$ の場合、第 1 及び第 2 デジタル PWM 回路 12 - 1、12 - 2 からの矩形波信号の周期は $T_{pwm} = 10 \mu\text{s}$ となる。

【0128】

30

従って、従来に比べ本実施形態は、デューティ分解能が 4000 から 10000 と 2.5 倍になっているにも関わらず、周期は $400 \mu\text{s}$ から $10 \mu\text{s}$ と短くなっており、40 倍速い周波数で動作させていることが分かる。このため、第 1 及び第 2 デジタル PWM 回路 12 - 1、12 - 2 の出力に接続する第 1 及び第 2 抵抗 14 - 1、14 - 2 とコンデンサ 16 の時定数を小さくしても、基準電圧 V_{ref} のリップル電圧を小さくすることができることになり、高分解能の出力電圧設定、出力電圧のリップル電圧の低減、設定電圧変更時間の短さの全てを低コストで両立できる。

【0129】

(第 2 実施形態の変形 1)

第 2 実施形態の基準電圧発生回路では、第 1 抵抗 14 - 1 の抵抗値 R_1 と第 2 抵抗 14 - 2 の抵抗値 R_2 の比を第 1 デジタル PWM 回路 12 - 1 のデューティ分解能 ($R_{d1} - 1$) に設定したが、実際の回路においては、以下の式 (18) のように、第 1 抵抗 14 - 1 の抵抗値 R_1 と第 2 抵抗 14 - 2 の抵抗値 R_2 の比を第 1 デジタル PWM 回路 12 - 1 のデューティ分解能 R_{d1} とほぼ近い値としても、上記の効果が得られる。

40

$$R_2 / R_1 \quad R_{d1} \quad (18)$$

【0130】

(第 2 実施形態の変形 2)

第 2 実施形態の基準電圧発生回路では、2 回路のデジタル PWM 回路を、それぞれ抵抗を介してコンデンサに接続した回路としているが、図 4 に示したと同様に、3 回路以上のデジタル PWM 回路 12 - 1 ~ 12 - n のそれぞれの出力に、抵抗 14 - 1 ~ 14 - n の

50

一端を接続し、抵抗 $14-1 \sim 14-n$ の他端のすべてをコンデンサ 16 と接続し、コンデンサ 16 から電圧 V_{ref} を得る構成とすることができる。

【0131】

この場合、図4に示したと同様に、複数のデジタルPWM回路 $12-1 \sim 12-n$ 及び抵抗 $14-1 \sim 14-n$ を、相互に重なるように並び順に2回路ずつのグループ $G_1 \sim G_{n-1}$ に分け、 i 番目と $i+1$ 番目を含む任意のグループ G_i のデジタルPWM回路を、グループ内での並び順に第1デジタルPWM回路 $12-i$ と第2デジタルPWM回路 $12-(i+1)$ とした場合、第1デジタルPWM回路 $12-i$ の分解能を Rd_i とすると、第1抵抗 $14-i$ の抵抗値 R_i と第2抵抗 $14-(i+1)$ の抵抗値 R_{i+1} を以下の式の形にすれば良い。

$$R_{i+1} / R_i = Rd_i - 1 \quad (19)$$

【0132】

これにより本実施形態の基準電圧発生回路10で発生する基準電圧 V_{ref} は次のようになる。本実施形態の基準電圧発生回路10に設けた抵抗 $14-1 \sim 14-n$ の抵抗値 $R_1 \sim R_n$ の関係を

$$R_2 / R_1 = Rd_1 - 1$$

$$R_3 / R_2 = Rd_2 - 1$$

...

$$R_n / R_{n-1} = Rd_{n-1} - 1$$

とすると、式(16)の関係から、本実施形態の基準電圧発生回路10による基準電圧 V_{ref} は以下の式で表すことができる。

$$V_{ref} = (V_H \cdot duty_1) + (1 / Rd_1) (V_H \cdot duty_2) + \dots + (1 / Rd_{n-1}) (V_H \cdot duty_n) \quad (20)$$

【0133】

従って、第2実施形態の変形例においても、第2実施形態と同様に、高分解能の出力電圧設定、出力電圧のリプル電圧の低減、設定電圧変更時間の短さの全てを低コストで両立できる。

【0134】

また、この場合でも、第1抵抗 $14-i$ の抵抗値 R_i と第2抵抗 $14-(i+1)$ の抵抗値 R_{i+1} の比を、以下の式のように、第1デジタルPWM回路 $12-i$ のデューティ分解能 Rd_i とほぼ近い値としても、上記と同様の効果が得られる。

$$R_{i+1} / R_i = Rd_i \quad (21)$$

【0135】

[スイッチング電源装置]

(スイッチング電源装置の第1実施形態)

図5は本発明による基準電圧発生回路を設けたスイッチング電源装置の第1実施形態を示した回路ブロック図である。

【0136】

図5に示すように、本実施形態のスイッチング電源装置30は、電力変換部34、スイッチング素子駆動回路38、フィードバック制御回路36及び基準電圧発生回路10を備える。

【0137】

電力変換部34は、入力電源28が供給する入力電圧 V_{in} を断続電圧に変換するためのスイッチング素子、および、スイッチング素子が生成した断続電圧を整流平滑して直流出力電圧 V_o を生成する整流平滑回路を内部に備えている。

【0138】

スイッチング素子駆動回路38は、フィードバック制御信号 FBA を受けて、スイッチング素子の駆動信号を生成する回路であり、スイッチング素子のデューティを制御する。即ち、スイッチング素子駆動回路38は、三角波発振器48とPWMコンパレータ46で

10

20

30

40

50

構成されており、三角波電圧 V_{tri} がフィードバック信号 FBA よりも低いとき、スイッチング素子をオンし、三角波電圧 V_{tri} がフィードバック信号 FBA よりも高いとき、スイッチング素子をオフする制御を行う。これにより、フィードバック信号 FBA が上昇するとスイッチング素子のデューティを広くし、フィードバック信号 FBA が低下するとスイッチング素子のデューティを狭くする制御を行う。

【0139】

フィードバック制御回路 36 は、誤差アンプ 44 により出力電圧 V_o と基準電圧 V_{ref} を比較し、出力電圧 V_o が基準電圧 V_{ref} で決定される所定の値にフィードバック信号 FBA を調整する。

【0140】

10

即ち、誤差アンプ 44 は、出力電圧 V_o が基準電圧 V_{ref} よりも高いとフィードバック信号 FBA を低下させ、出力電圧 V_o が基準電圧 V_{ref} よりも低いとフィードバック信号 FBA を上昇させる。これにより、出力電圧 V_o が基準電圧 V_{ref} で決定される所定の値になるように制御される。

【0141】

基準電圧発生回路 10 は、図 1 ~ 図 4 に示した第 1 実施形態、第 1 実施形態の変形、第 2 実施形態または第 2 実施形態の変形に示した回路であり、デジタルプロセッサ等で基準電圧発生回路 10 に設けている複数のデジタル PWM 回路の周期、デューティ分解能、及びデューティを制御することで、基準電圧 V_{ref} を高精度かつ高速応答に制御し、この結果、スイッチング電源装置の出力電圧を高精度かつ高速応答に制御し、出力電圧リップルが小さいスイッチング電源装置を低コストで作ることができる。

20

【0142】

(スイッチング電源装置の第 2 実施形態)

図 6 は本発明による基準電圧発生回路を設けたスイッチング電源装置の第 2 実施形態を示した回路ブロック図である。

【0143】

図 5 の第 1 実施形態では、フィードバック制御回路 36 に、基準電圧発生回路 10 の出力を接続していたが、本実施形態では、フィードバック制御回路 36 に設けた誤差アンプ 44 の非反転入力に所定の基準電圧 V_{ref1} を固定的に発生する基準電圧源 45 を接続し、誤差アンプ 44 の反転入力に、出力電圧 V_o を抵抗 40, 42 で分圧した出力電圧情報 V_{o1} を入力しており、この出力電圧情報 V_{o1} が入力される箇所に基準電圧発生回路 10 の出力を抵抗 50 を介して接続して基準電圧 V_{ref} を加算している。それ以外の構成は図 5 の第 1 実施形態と同じになる。

30

【0144】

図 6 のスイッチング電源装置 30 にあっては、基準電圧発生回路 10 からの基準電圧 V_{ref} を大きくすると、フィードバック制御回路 36 に設けた誤差アンプ 44 からのフィードバック制御信号 FBA を低下させ、スイッチング素子のデューティを狭くして出力電圧 V_o を下げることかできる。また、基準電圧発生回路 10 からの基準電圧 V_{ref} を小さくすると、フィードバック制御回路 36 に設けた誤差アンプ 44 からのフィードバック制御信号 FBA を上昇させ、スイッチング素子のデューティを広くして出力電圧 V_o を上げるることかできる。

40

【0145】

本実施形態の基準電圧発生回路 10 は、図 5 のスイッチング電源装置の第 1 実施形態と同様に、図 1 ~ 図 4 に示した第 1 実施形態、第 1 実施形態の変形、第 2 実施形態または第 2 実施形態の変形に示した回路であり、デジタルプロセッサ等で基準電圧発生回路 10 に設けている複数のデジタル PWM 回路の周期、デューティ分解能、及びデューティを制御することで、基準電圧を高精度かつ高速応答に制御し、この結果、スイッチング電源装置の出力電圧を高精度かつ高速応答に制御でき、出力電圧リップルが小さいスイッチング電源装置を低コストで作ることができる。

【0146】

50

(スイッチング電源装置の第3実施形態)

図7は本発明による基準電圧発生回路を設けたスイッチング電源装置の第3実施形態を示した回路ブロック図である。

【0147】

図5及び図6では、フィードバック制御回路36を持つスイッチング電源装置に本発明による基準電圧発生回路10を適用していたが、図7の本実施形態に示すように、フィードバック制御回路を持たないスイッチング電源装置に適用しても良い。

【0148】

図7の第3実施形態によるスイッチング電源装置30では、基準電圧発生回路10の出力をスイッチング素子駆動回路38のPWMコンパレータ46に入力することで、電力変換部34に設けたスイッチング素子のデューティを直接制御し、スイッチング素子のデューティで決定される出力電圧に変換する。

【0149】

本実施形態の基準電圧発生回路10は、図5及び図6の第1及び第2実施形態と同様に、図1～図4に示した第1実施形態、第1実施形態の変形、第2実施形態または第2実施形態の変形に示した回路であり、デジタルプロセッサ等で基準電圧発生回路10に設けている複数のデジタルPWM回路の周期、デューティ分解能、及びデューティを制御することで、基準電圧を高精度かつ高速応答に制御し、この結果、スイッチング電源装置の出力電圧を高精度かつ高速応答に制御し、出力電圧リップルが小さいスイッチング電源装置を低コストで作ることができる。

【0150】

[本発明の変形例]

また、本発明は上記の実施形態に限定されず、その目的と利点を損なうことのない適宜の変形を含み、更に上記の実施形態に示した数値による限定は受けない。

【符号の説明】

【0151】

- 10：基準電圧発生回路
- 12-1：第1デジタルPWM回路
- 12-2：第2デジタルPWM回路
- 14-1：第1抵抗
- 14-2：第2抵抗
- 15-1, 15-2：クロック発振回路
- 16：コンデンサ
- 20-1, 20-2：カウンタ回路
- 22-1, 22-2：第1比較回路
- 24-1, 24-2：第2比較回路
- 26-1, 26-2：RS-フリップフロップ回路
- 28：入力電源
- 30：スイッチング電源装置
- 32：負荷
- 34：電力変換部
- 36：フィードバック制御回路
- 38：スイッチング素子駆動回路
- 44：誤差アンプ
- 45：基準電圧源
- 46：PWMコンパレータ
- 48：三角波発振器

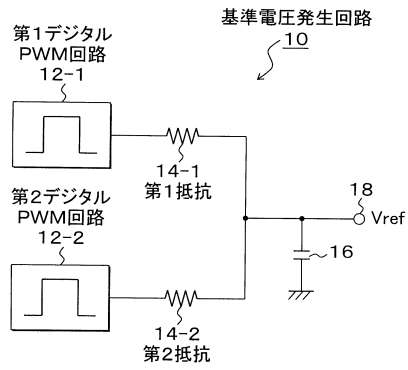
10

20

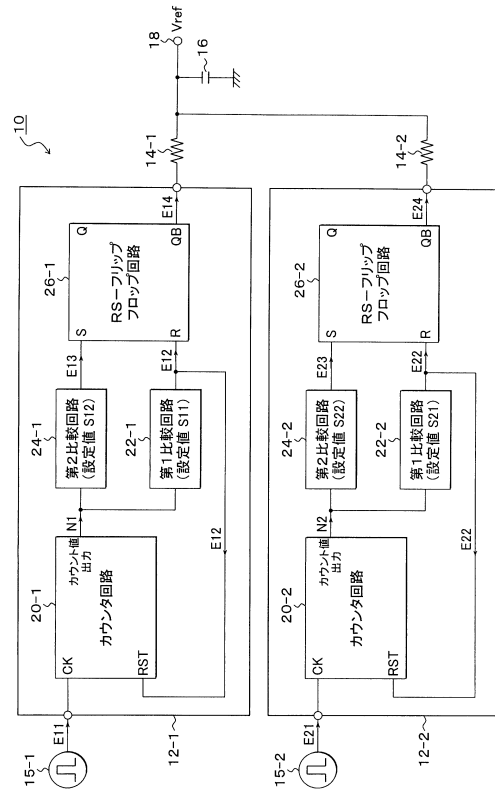
30

40

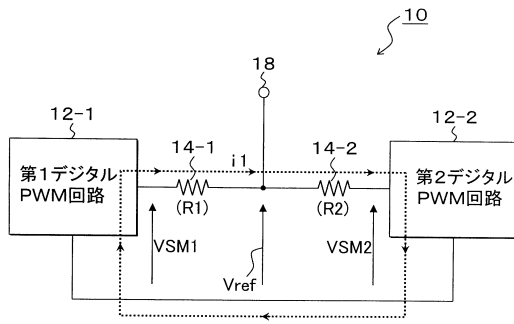
【図 1】



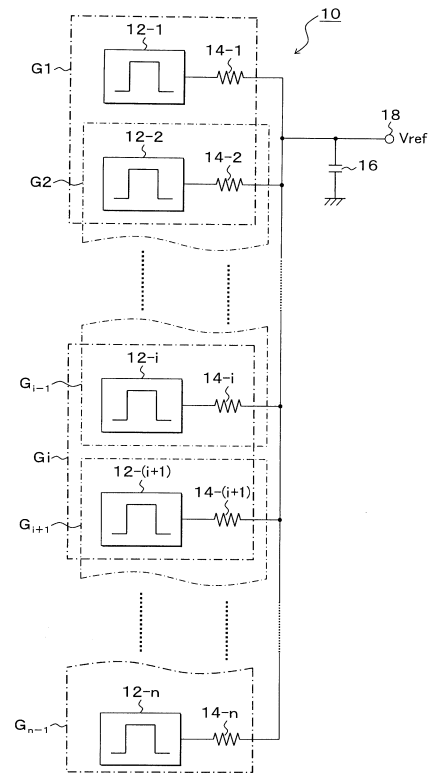
【図 2】



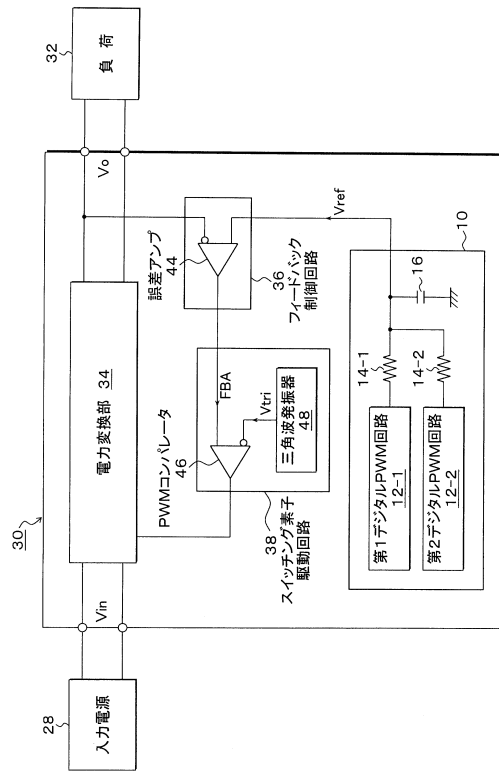
【図 3】



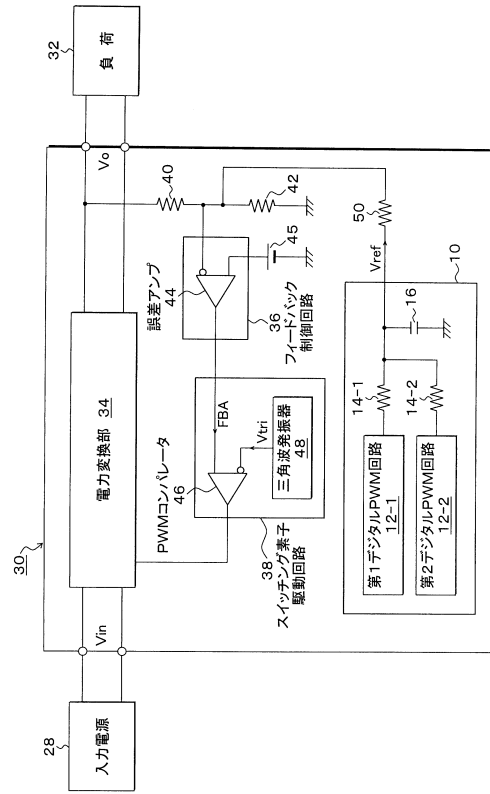
【図 4】



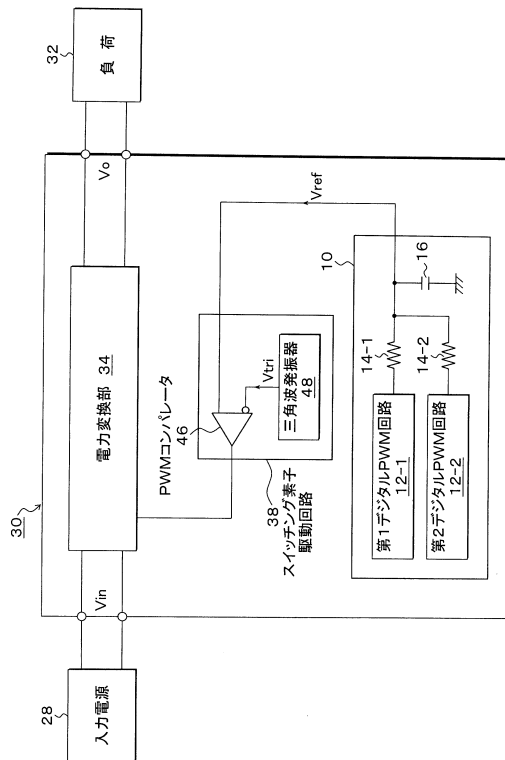
【図5】



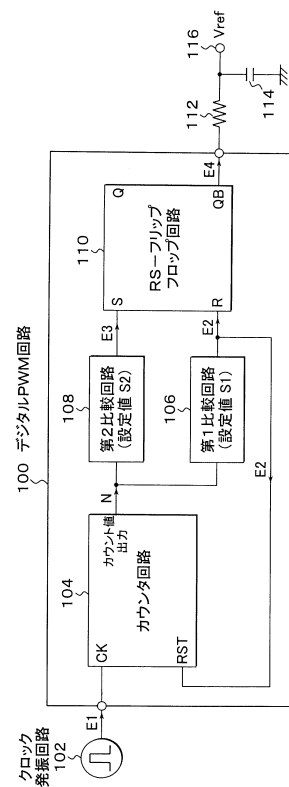
【図6】



【図7】



【図8】



フロントページの続き

(56)参考文献 特開 2 0 0 3 - 1 3 1 2 8 1 (J P , A)
特開平 1 0 - 3 0 0 5 4 4 (J P , A)
特開 2 0 0 8 - 0 2 6 7 5 4 (J P , A)
特開 2 0 1 0 - 1 2 4 5 2 4 (J P , A)
特開 2 0 1 4 - 1 2 8 1 1 0 (J P , A)
特開平 0 9 - 2 8 4 1 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 3 / 0 0 - 3 / 4 4
H 0 3 K 7 / 0 8