

(12) 发明专利申请

(10) 申请公布号 CN 102683190 A

(43) 申请公布日 2012. 09. 19

(21) 申请号 201110055216. 4

(22) 申请日 2011. 03. 07

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 何永根

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/28(2006. 01)

H01L 21/336(2006. 01)

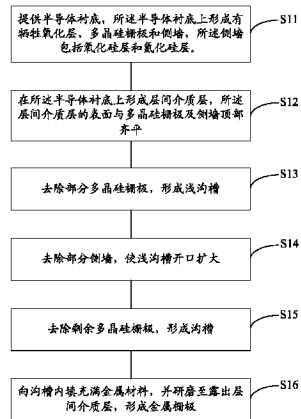
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 发明名称

一种金属栅极及 MOS 晶体管的形成方法

(57) 摘要

一种金属栅极及 MOS 晶体管的形成方法,包括以下步骤:提供半导体衬底,所述半导体衬底上依次形成有牺牲氧化层和多晶硅栅极,所述多晶硅栅极两侧的半导体衬底上具有侧墙,所述侧墙包含依次位于多晶硅栅极两侧的氧化硅层和氮化硅层;在所述半导体衬底上形成层间介质层,所述层间介质层的表面与多晶硅栅极及侧墙顶部齐平;去除部分多晶硅栅极,形成浅沟槽;去除部分宽度侧墙,增大浅沟槽开口;去除剩余多晶硅栅极,形成沟槽;向沟槽内填充金属材料,并研磨至露出层间介质层,形成金属栅极。本发明形成的半导体器件有效防止形成的金属栅极内部产生空洞的问题,提高半导体器件的电性能和可靠性。



1. 一种金属栅极的形成方法,其特征在于,包括以下步骤:

提供半导体衬底,所述半导体衬底上依次形成有牺牲氧化层和多晶硅栅极,所述多晶硅栅极两侧的半导体衬底上具有侧墙;

在所述半导体衬底上形成层间介质层,所述层间介质层的表面与多晶硅栅极及侧墙顶部齐平;

去除部分多晶硅栅极,形成浅沟槽;

去除部分宽度侧墙,增大浅沟槽开口;

去除剩余多晶硅栅极,形成沟槽;

向沟槽内填充金属层,形成金属栅极。

2. 根据权利要求 1 所述的形成方法,其特征在于,所述去除部分宽度侧墙采用的方法为干法刻蚀法或湿法刻蚀法。

3. 根据权利要求 2 所述的形成方法,其特征在于,所述干法刻蚀法为反应离子刻蚀法。

4. 根据权利要求 3 所述的形成方法,其特征在于,所述反应离子刻蚀法采用的气体为 CHF_3 、 CH_2F_2 或 CH_3F ,刻蚀速率为:100 ~ 500 埃 / 分钟,刻蚀氮化硅层与氧化硅层的速率比大于 20 : 1。

5. 根据权利要求 2 所述的形成方法,其特征在于,所述湿法刻蚀法采用热磷酸,温度 120 ~ 160°C,浓度为 85%,刻蚀速率为 40 ~ 100 埃 / 分钟,刻蚀氮化硅层与氧化硅层的速率比大于 50 : 1。

6. 根据权利要求 1 所述的形成方法,其特征在于,所述去除部分多晶硅栅极的去除厚度为 30 ~ 200 埃。

7. 根据权利要求 1 所述的形成方法,其特征在于,所述沟槽开口增大 1 ~ 10 纳米。

8. 根据权利要求 1 所述的形成方法,其特征在于,所述去除部分多晶硅栅极和去除剩余多晶硅栅极的方法为反应离子刻蚀法。

9. 根据权利要求 1 所述的形成方法,其特征在于,所述去除部分多晶硅栅极和去除剩余多晶硅栅极的方法采用四甲基氢氧化铵溶液,浓度为 2 ~ 4%,温度为 50 ~ 90°C,刻蚀速率为 100 ~ 3000 埃 / 分钟,刻蚀多晶硅与氧化硅的速率比大于 100 : 1。

10. 根据权利要求 1 所述的形成方法,其特征在于,所述金属层的材料是铝、铜、镍、铬、钨、钛、钛钨、钽和镍铂中的一种或其组合。

11. 根据权利要求 1 所述的形成方法,其特征在于,在形成金属栅极之前还包括:在沟槽内的半导体衬底上形成栅介质层。

12. 根据权利要求 11 所述的形成方法,其特征在于,所述栅介质层的材料为高 k 材料。

13. 根据权利要求 12 所述的形成方法,其特征在于,所述高 k 材料为 HfSiO 、 HfO_2 、 HfZrO 和 HfLaO 中的一种或其组合。

14. 一种 MOS 晶体管的形成方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底上依次形成有牺牲氧化层和多晶硅栅极,所述多晶硅栅极两侧的半导体衬底上具有侧墙;

在多晶硅栅极和侧墙两侧形成源 / 漏极;

在所述半导体衬底上形成层间介质层,所述层间介质层的表面与多晶硅栅极及侧墙顶部齐平;

去除部分多晶硅栅极,形成浅沟槽;
去除部分宽度侧墙,增大浅沟槽开口;
去除剩余多晶硅栅极,形成沟槽;
向沟槽内填充金属层,形成金属栅极。

一种金属栅极及 MOS 晶体管的形成方法

技术领域

[0001] 本发明涉及半导体制备工艺,特别是一种金属栅极及 MOS 晶体管的形成方法。

背景技术

[0002] 随着半导体器件的特征尺寸越来越小,相应的核心器件所占用面积也相应减小,导致单位面积的能量密度大幅增高,漏电问题更加凸显,功耗也随之增大。因此在 45 纳米以下的工艺中,传统的以二氧化硅为材料的栅极介质层的工艺已遇到瓶颈,无法满足半导体器件的工艺要求;为解决上述瓶颈,目前采用高介电常数(高 k:k 值大于等于 10)介质材料作为栅介质层,然后,形成以金属为材料的栅极以减小漏电,使功耗得到很好的控制。

[0003] 目前制备金属栅极的工艺主要有两种方法,分别是“先栅极”和“后栅极”。“后栅极”又称为可替换栅极(以下简称 RMG),使用该工艺时高介电常数栅介质层无需经过高温步骤,所以阈值电压 V_T 偏移很小,芯片的可靠性更高。因此, RMG 工艺得到更广泛的应用。美国专利 US7091118 介绍了一种金属栅极的制备方法,其工艺流程主要如下:如图 1 所示,首先在半导体衬底 1 上形成多晶硅栅极结构,所述多晶硅栅极结构包括牺牲氧化层 2、侧墙 3 和多晶硅栅极 4,所述侧墙 3 包括氧化硅层 31、氮化硅层 32;在半导体衬底 1 上形成层间介质层 5,研磨所述层间介质层 5 直至露出多晶硅栅极 4,使得层间介质层 5 的表面与多晶硅栅极 4 及侧墙 3 顶部齐平。如图 2 所示,去除多晶硅栅极 4 和牺牲氧化层 2 至露出半导体衬底 1,形成沟槽。如图 3 所示,在沟槽内侧壁及底部形成阻挡层 6。如图 4 所示,向沟槽内填充金属层,并研磨至露出层间介质层 5,形成金属栅极 7。

[0004] 上述工艺制备的金属栅极,很容易在金属栅极 7 中出现空洞 8(图 4 所示),影响栅极的电性能,从而引起半导体器件的可靠性问题。

发明内容

[0005] 本发明解决的问题是提供一种金属栅极及 MOS 晶体管的形成方法,解决现有工艺制备过程中在金属栅极内部形成空洞,引起金属栅极电性能不稳定的问题。

[0006] 为解决上述问题,本发明采用如下技术方案:

[0007] 一种金属栅极的形成方法,包括以下步骤:提供半导体衬底,所述半导体衬底上依次形成有牺牲氧化层和多晶硅栅极,所述多晶硅栅极两侧的半导体衬底上具有侧墙;在所述半导体衬底上形成层间介质层,所述层间介质层的表面与多晶硅栅极及侧墙顶部齐平;去除部分多晶硅栅极,形成浅沟槽;去除部分宽度侧墙,增大浅沟槽开口;去除剩余多晶硅栅极,形成沟槽;向沟槽内填充金属层,形成金属栅极。

[0008] 可选的,所述去除部分宽度侧墙采用的方法为干法刻蚀法或湿法刻蚀法。

[0009] 可选的,所述干法刻蚀法为反应离子刻蚀法。

[0010] 可选的,所述反应离子刻蚀法采用的气体为 CHF_3 、 CH_2F_2 或 CH_3F ,刻蚀速率为: 100 ~ 500 埃 / 分钟,刻蚀氮化硅层与氧化硅层的速率比大于 20 : 1。

[0011] 可选的,所述湿法刻蚀法采用热磷酸,温度 120 ~ 160℃,浓度为 85%,刻蚀速率为

40 ~ 100 埃 / 分钟,刻蚀氮化硅层与氧化硅层的速率比大于 50 : 1。

[0012] 可选的,所述去除部分多晶硅栅极的去除厚度为 30 ~ 200 埃。

[0013] 可选的,所述沟槽开口增大 1 ~ 10 纳米。

[0014] 可选的,所述去除部分多晶硅栅极和去除剩余多晶硅栅极的方法为反应离子刻蚀法。

[0015] 可选的,所述去除部分多晶硅栅极和去除剩余多晶硅栅极的方法采用四甲基氢氧化铵溶液,浓度为 2 ~ 4%,温度为 50 ~ 90℃,刻蚀速率为 100 ~ 3000 埃 / 分钟,刻蚀多晶硅与氧化硅的速率比大于 100 : 1。

[0016] 可选的,所述金属层的材料是铝、铜、镍、铬、钨、钛、钛钨、钽和镍铂中的一种或其组合。

[0017] 可选的,在形成金属栅极之前还包括:在沟槽内的半导体衬底上形成栅介质层。

[0018] 可选的,所述栅介质层的材料为高 k 材料。

[0019] 可选的,所述高 k 材料为 HfSiO₂、HfO₂、HfZrO₂ 和 HfLaO₃ 中的一种或其组合。

[0020] 一种 MOS 晶体管的形成方法,包括:提供半导体衬底,所述半导体衬底上依次形成有牺牲氧化层和多晶硅栅极,所述多晶硅栅极两侧的半导体衬底上具有侧墙;在多晶硅栅极和侧墙两侧形成源 / 漏极;在所述半导体衬底上形成层间介质层,所述层间介质层的表面与多晶硅栅极及侧墙顶部齐平;去除部分多晶硅栅极,形成浅沟槽;去除部分宽度侧墙,增大浅沟槽开口;去除剩余多晶硅栅极,形成沟槽;向沟槽内填充金属层,形成金属栅极。

[0021] 与现有技术相比,本发明具有以下优点:

[0022] 通过先去除部分多晶硅栅极,形成浅沟槽;接着去除部分宽度侧墙,增大浅沟槽的开口;然后再去除剩余的多晶硅栅极和牺牲氧化层,形成沟槽;向沟槽内填充金属层,形成金属栅极。由于沟槽的开口扩大了,因此在填充金属材料时,能够使金属材料更充分地充满沟槽,避免了形成的金属栅极内部出现空洞,影响金属栅极电性能的稳定性的稳定性,从而提高半导体器件的可靠性。

附图说明

[0023] 图 1 至图 4 是现有技术形成金属栅极的示意图;

[0024] 图 5 为本发明的金属栅极形成方法具体实施例流程示意图;

[0025] 图 6 至图 12 为本发明形成金属栅极的具体实施例示意图;

[0026] 图 13 至图 19 为本发明形成 MOS 晶体管的具体实施例示意图。

具体实施方式

[0027] 发明人发现现有工艺在制备金属栅极过程中,很容易在金属栅极内部产生空洞,其原因在于目前制备的金属栅极,其深宽比很高,相应的栅极沟槽深宽比也很高,使得在向沟槽内填充金属材料时,宽度方向比深度方向更快被填充满,因此,很容易发生沟槽开口处宽度方向已经填满封住,但沟槽的深度方向仍未填满,从而在形成的金属栅极内部留下空洞,导致金属栅极的电性能不稳定。

[0028] 针对上述问题,发明人提出了一种解决方案,具体为:如图 5 所示,执行步骤 S11,

提供半导体衬底,所述半导体衬底上依次形成有牺牲氧化层和多晶硅栅极,所述多晶硅栅极两侧的半导体衬底上具有侧墙;执行步骤 S12,在所述半导体衬底上形成层间介质层,所述层间介质层的表面与多晶硅栅极及侧墙顶部齐平;执行步骤 S13,去除部分多晶硅栅极,形成浅沟槽;执行步骤 S14,去除部分宽度侧墙,增大浅沟槽开口;执行步骤 S15,去除剩余多晶硅栅极,形成沟槽;执行步骤 S16,向沟槽内填充金属层,形成金属栅极。

[0029] 发明提供的技术方案,是通过先去除一部分多晶硅栅极,形成浅沟槽;然后去除部分宽度侧墙,使得沟槽的开口增大;然后再去除剩余的多晶硅栅极,形成沟槽;向沟槽内填充金属层,并研磨金属层至露出层间介质层,形成金属栅极。由于去除部分宽度侧墙后,用于填充金属层的沟槽开口变大了,使得在填充金属材料过程中,开口处不会很快被填满封住,从而保证在沟槽深度方向能够持续填充金属材料直至填满,避免了形成的金属栅极内部产生空洞,提高了金属栅极的电性能。

[0030] 下面结合附图对本发明的具体实施方式做详细的说明。

[0031] 第一实施例

[0032] 图 6 至图 12 为本发明具体实施例示意图。如图 6 所示,提供半导体衬底 61;在所述半导体衬底 61 上依次形成有牺牲氧化层 62 和多晶硅栅极 63,具体形成多晶硅栅极的工艺如下:在半导体衬底 61 上形成牺牲氧化层 62;在牺牲氧化层 62 上形成多晶硅层,在所述多晶硅层上形成第一光刻胶层(未示出),经过曝光显影后,定义出栅极图形;以所述第一光刻胶层为掩膜,沿栅极图形刻蚀多晶硅层和牺牲氧化层 62 至露出半导体衬底 61。

[0033] 本实施例中,所述牺牲氧化层 62 的材料为含硅氧化物,采用炉管热氧化的方法形成。

[0034] 如图 7 所示,在所述多晶硅栅极 63 两侧的半导体衬底 61 上形成侧墙 64,所述侧墙 64 包含依次位于多晶硅栅极 63 两侧的氧化硅层 641 和氮化硅层 642,具体形成工艺如下:用化学气相沉积法在半导体衬底 61 上形成包围多晶硅栅极 63 的氧化硅层 641;用化学气相沉积法在氧化硅层 641 上形成氮化硅层 642;然后采用回蚀法刻蚀氮化硅层 642 和氧化硅层 641,去除半导体衬底 61 上的氮化硅层 642 和氧化硅层 641,保留多晶硅栅极 63 两侧的氧化硅层 641 和氮化硅层 642。

[0035] 如图 8 所示,在所述半导体衬底 61 上形成层间介质层 65,所述层间介质层 65 的表面与多晶硅栅极 63 及侧墙 64 顶部齐平,具体形成工艺如下:用化学气相沉积法在半导体衬底 61 上形成层间介质层 65,所述层间介质层 65 覆盖多晶硅栅极 63 及侧墙 64;采用化学机械研磨工艺对层间介质层 65 进行平坦化至露出多晶硅栅极 63 及侧墙 64 顶部。

[0036] 本实施例中,所述层间介质层 65 的材料为含硅氧化物,形成所述层间介质层 65 的方法为高密度等离子(HDP:high density plasma)生长方法或高深宽比(HARP:high aspect ratio process)生长方法。

[0037] 如图 9 所示,去除部分多晶硅栅极 63,形成浅沟槽;所述多晶硅栅极 63 去除的厚度为 30~200 埃。

[0038] 本实施例中,去除部分多晶硅栅极 63 采用反应离子刻蚀法(RIE:Reaction Ion Etching),选用的气体为溴化氢气体。作为另一实例,去除部分多晶硅栅极 63 采用湿法刻蚀法,选用四甲基氢氧化铵溶液,浓度为 2~4%,温度为 50~90℃,刻蚀速率为 100~3000 埃/分钟,刻蚀多晶硅与氧化硅的速率比大于 100:1。

[0039] 如图 10 所示,去除部分宽度侧墙 64,增大浅沟槽开口;所述浅沟槽开口增大 1 ~ 10 纳米。

[0040] 本实施例中,去除部分宽度侧墙 64 的方法为干法刻蚀法或湿法刻蚀法。其中,如采用干法刻蚀法去除部分宽度侧墙 64 的话,可以采用反应离子刻蚀法 (RIE),其采用的气体为 CHF_3 、 CH_2F_2 或 CH_3F ,刻蚀速率为:100 ~ 500 埃 / 分钟,刻蚀氮化硅层与氧化硅层的速率比大于 20 : 1。如采用湿法刻蚀法,则采用热磷酸,温度 120 ~ 160℃,浓度为 85%,刻蚀速率为 40 ~ 100 埃 / 分钟,刻蚀氮化硅层与氧化硅层的速率比大于 50 : 1。

[0041] 继续参考图 10,去除部分宽度侧墙 64 后,在浅沟槽开口处形成斜坡 10,也即增大了浅沟槽的开口,所述浅沟槽开口增大 1 ~ 10 纳米。

[0042] 本实施例中,先去除部分多晶硅栅极 63,形成浅沟槽;再去除部分宽度侧墙 64,可以使得去除部分宽度侧墙 64 时,在侧墙 64 顶部形成的斜坡 10,向浅沟槽内倾斜,即浅沟槽开口呈现 V 型形状,利于后续的金属材料填充。

[0043] 如图 11 所示,去除剩余的多晶硅栅极 63 和牺牲氧化层 62 至露出半导体衬底 61,形成沟槽。

[0044] 本实施例中,去除剩余多晶硅栅极 63 的方法为干法刻蚀法或湿法刻蚀法。去除牺牲氧化层 62 的方法为干法刻蚀法,如采用含氟的气体 CF_4 、 CHF_3 或 C_2F_6 进行刻蚀。

[0045] 本实施例中,根据实际需要,也可以不去除牺牲氧化层 62。

[0046] 本实施例中,去除部分宽度侧墙 64 也可以在去除全部多晶硅栅极 63 后进行,只要去除部分宽度侧墙 64 时,刻蚀气体或溶液不会损伤半导体衬底 61 即可。换句话说,本实施例中,可以先多晶硅栅极 63,形成沟槽;再去除部分宽度侧墙 64,然后去除牺牲氧化层,同样可以增大沟槽开口,从而有利于后续的金属栅极的形成质量。

[0047] 如图 12 所示,在沟槽内形成栅介质层 12 和金属栅极 14。具体形成工艺如下:在沟槽底部的半导体衬底 61 上形成栅介质层 12;然后,在层间介质层 65 和侧墙 64 上形成金属层,所述金属层填充满沟槽;用化学机械研磨法研磨金属层至露出层间介质层 65 和侧墙 64 表面,形成金属栅极 14。

[0048] 作为另一实例,在形成完栅介质层 12 后还可以形成以 TiN、TaN、TiAl、Ti 为材料的扩散阻挡层,防止后续形成的金属栅极 14 的金属离子扩散至层间介质层 65 中。

[0049] 本实施例中,所述栅介质层 12 为高 k 材料,具体可以选自 HfSiO_2 、 HfZrO_2 、 HfLaO_2 、 HfO_2 的一种或其组合。形成栅介质层 12 的方法为化学气相沉积 (CVD)、低压化学气相沉积 (LPCVD)、等离子体增强化学气相沉积 (PECVD) 或物理气相沉积 (PVD)。

[0050] 本实施例中,金属栅极 14 的材料可以是铝、铜、镍、铬、钛、钛钨、钽和镍铂中的一种或其组合。金属栅极 14 的形成也采用常规的沉积工艺处理,如化学气相沉积 (CVD)、低压化学气相沉积 (LPCVD)、等离子体增强化学气相沉积 (PECVD)、蒸发、化学溶液沉积及原子层沉积 (ALD)、或物理气相沉积 (PVD)。

[0051] 本实施例中,在形成金属栅极 14 的过程中,由于先刻蚀去掉一部分宽度侧墙 64,使侧墙 64 顶部形成斜坡 10,扩大沟槽的开口,使得后续形成金属层时,金属材料能够充分填充满沟槽,避免形成的金属栅极内部产生空洞,从而提高了金属栅极的电性能及半导体器件的可靠性。

[0052] 第二实施例

[0053] 图 13 至图 19 为本发明形成 MOS 晶体管的实施例示意图。

[0054] 如图 13 所示,提供半导体衬底 200,在所述半导体衬底 200 上依次形成有牺牲氧化层 204 和多晶硅栅极 206;在多晶硅栅极两侧的半导体衬底 200 内形成有浅掺杂区 202。

[0055] 具体形成工艺如下:用热氧化法在半导体衬底 200 上形成一层牺牲氧化层 204,在牺牲氧化层 204 上形成第一光刻胶层(未示出);经过曝光显影,定义出 n 阱或 p 阱图形;以第一光刻胶层为掩膜,采用离子注入法对半导体衬底 200 进行掺杂,形成 MOS 阱(未示出);去除第一光刻胶层,在牺牲氧化层 204 上形成多晶硅层;在多晶硅层上形成第二光刻胶层(未示出),经曝光显影,定义出栅极图形;沿栅极图形刻蚀多晶硅层和牺牲氧化层 204 至露出半导体衬底 200,形成多晶硅栅极 206;然后,以多晶硅栅极 206 为掩膜,向半导体衬底 200 内进行离子注入,形成浅掺杂区 202。

[0056] 如图 14 所示,在多晶硅栅极 206 两侧的半导体衬底 200 上形成侧墙 208,所述侧墙 208 包含依次位于多晶硅栅极 206 两侧的氧化硅层 2081 和氮化硅层 2082;以侧墙 208 及多晶硅栅极 206 为掩膜,向两侧的半导体衬底 200 内注入离子,形成源极 210 和漏极 211,所述源极 210 和漏极 211 的掺杂深度比浅掺杂漏区 212(LDD) 深。

[0057] 如图 15 所示,在所述半导体衬底 200 上形成层间介质层 214,所述层间介质层 214 表面与多晶硅栅极 206 和侧墙 208 顶部齐平。具体形成工艺如第一实施例所述。

[0058] 如图 16 所示,去除部分多晶硅栅极 206,形成浅沟槽;所述多晶硅栅极 206 去除的厚度为 30 ~ 200 埃。

[0059] 本实施例中,去除部分多晶硅栅极 206 采用反应离子刻蚀法(RIE:Reaction Ion Etching),选用的气体为溴化氢气体。作为另一实例,去除部分多晶硅栅极 206 采用湿法刻蚀法,选用四甲基氢氧化铵溶液,浓度为 2 ~ 4%,温度为 50 ~ 90℃,刻蚀速率为 100 ~ 3000 埃/分钟,刻蚀多晶硅与氧化硅的速率比大于 100 : 1。

[0060] 如图 17 所示,去除部分宽度侧墙 208,使侧墙 208 顶部形成斜坡 310,增大浅沟槽的开口;所述浅沟槽开口增大 1 ~ 10 纳米。

[0061] 本实施例中,去除部分宽度侧墙 208 的方法为干法刻蚀法或湿法刻蚀法。其中,如采用干法刻蚀法去除部分宽度侧墙 208 的话,可以采用反应离子刻蚀法(RIE),其采用的气体为 CHF_3 、 CH_2F_2 或 CH_3F ,刻蚀速率为:100 ~ 500 埃/分钟,刻蚀氮化硅层与氧化硅层的速率比大于 20 : 1。如采用湿法刻蚀法,则采用热磷酸,温度 120 ~ 160℃,浓度为 85%,刻蚀速率为 40 ~ 100 埃/分钟,刻蚀氮化硅层与氧化硅层的速率比大于 50 : 1。

[0062] 如图 18 所示,去除剩余的多晶硅栅极 206 和牺牲氧化层 204 至露出半导体衬底 200,形成沟槽。

[0063] 本实施例中,去除剩余多晶硅栅极的方法为干法刻蚀法或湿法刻蚀法。具体如第一实施例所述。所述牺牲氧化层 204 可以根据实际需要保留。

[0064] 本实施例中,去除部分宽度侧墙 208 也可以在去除全部多晶硅栅极 206 后进行,只要去除部分宽度侧墙 208 时,刻蚀气体或溶液不会损伤半导体衬底 200 即可。换句话说,本实施例中,可以先多晶硅栅极 206,形成沟槽;再去除部分宽度侧墙 208,然后去除牺牲氧化层,同样可以增大沟槽开口,从而有利于后续的金属栅极的形成质量。

[0065] 如图 19 所示,在沟槽内形成栅介质层 312 和金属栅极 314。具体形成工艺如第一实施例所述。

[0066] 作为另一实例,在形成完栅介质层 312 后还可以形成以 TiN、TaN、TiAl、Ti 为材料的扩散阻挡层,防止后续形成的金属栅极 314 的金属离子扩散至层间介质层 214 中。

[0067] 本实施例中,所述栅介质层 312 为高 k 材料,具体可以选自 HfSiO₂、HfZrO₂, HfLaO₂, HfO₂ 的一种或其组合。形成栅介质层 312 的方法如第一实施例所述。

[0068] 本实施例中,金属栅极 314 的材料可以是铝、铜、镍、铬、钛、钛钨、钽和镍铂中的一种或其组合。金属栅极 314 的形成也采用常规的沉积工艺处理。

[0069] 本实施例中,在形成 MOS 晶体管的过程中,由于先刻蚀去掉一部分宽度侧墙 208,使侧墙 208 顶部形成斜坡 310,扩大沟槽的开口,使得后续形成金属层时,金属材料能够充分填满沟槽,避免形成的金属栅极内部产生空洞,从而提高了金属栅极的电性能及半导体器件的可靠性。

[0070] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动和修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

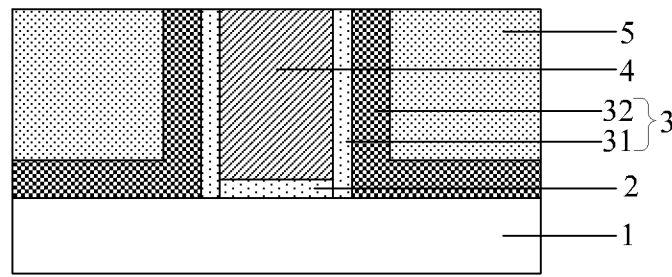


图 1

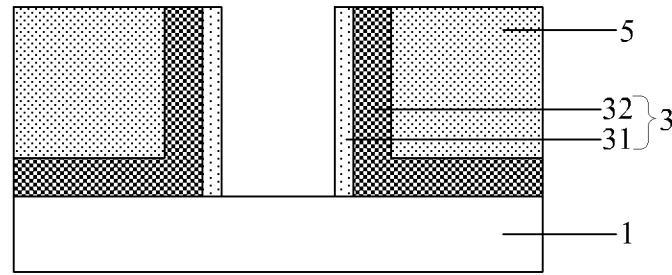


图 2

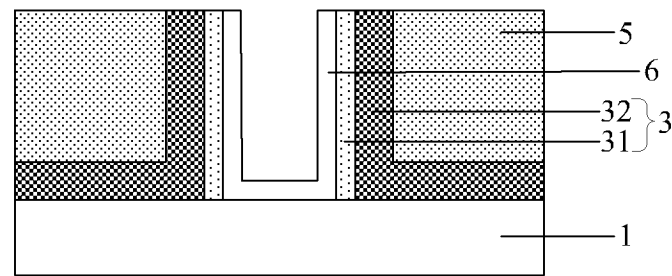


图 3

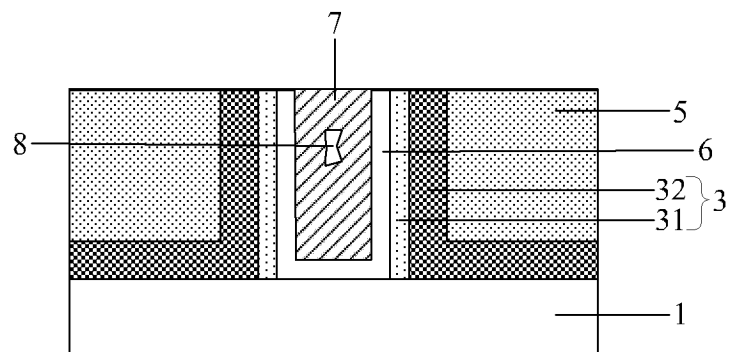


图 4

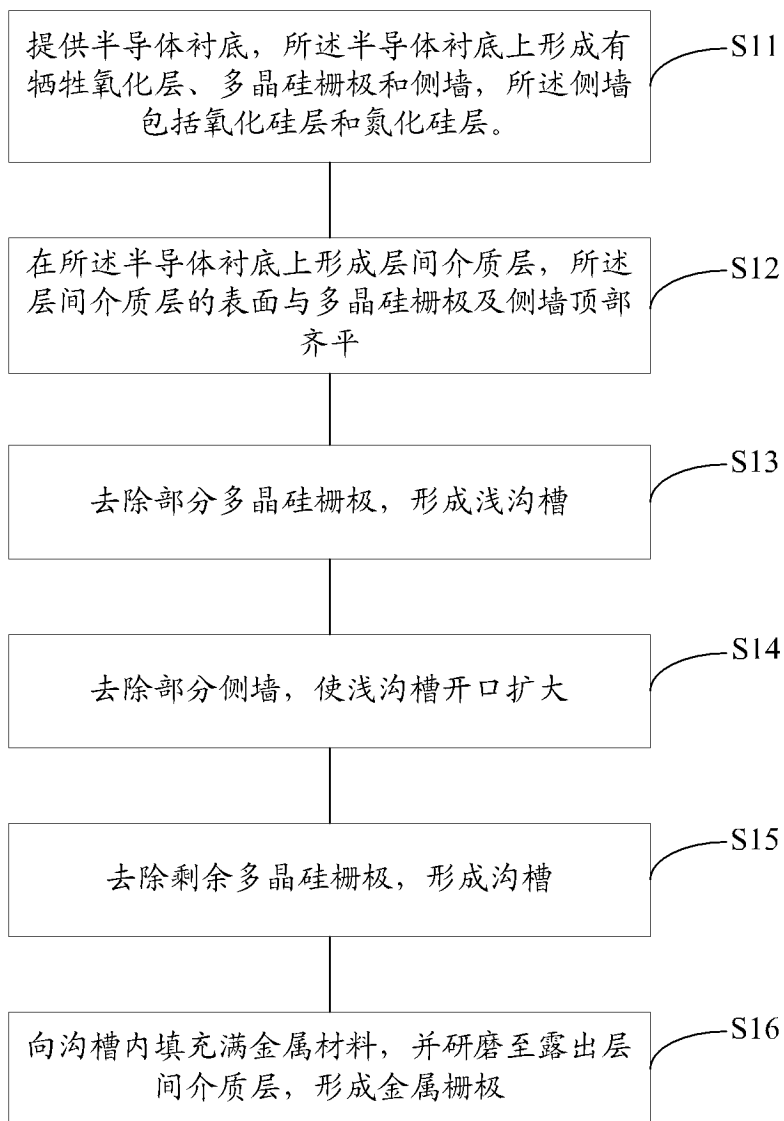


图 5

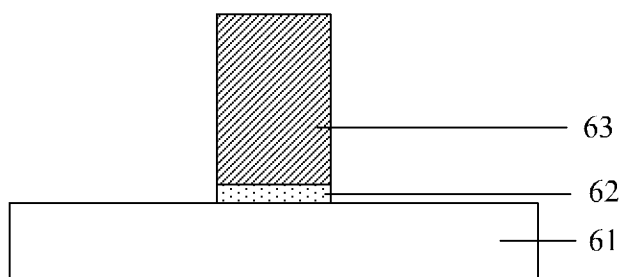


图 6

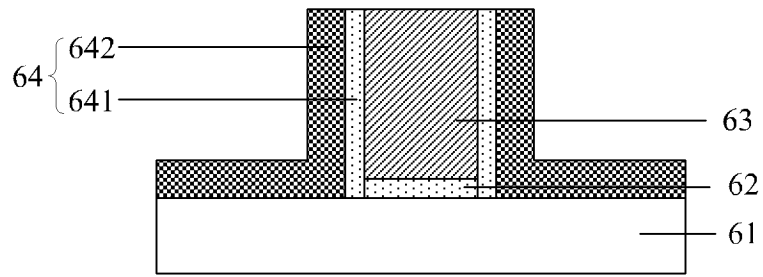


图 7

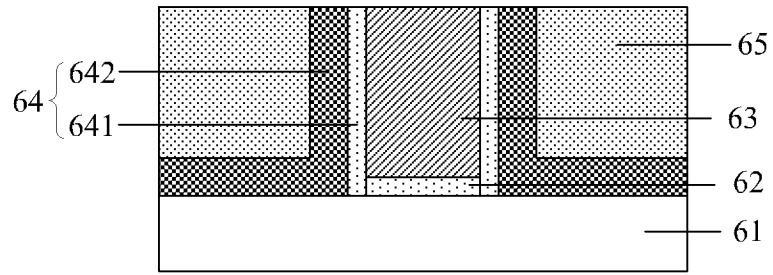


图 8

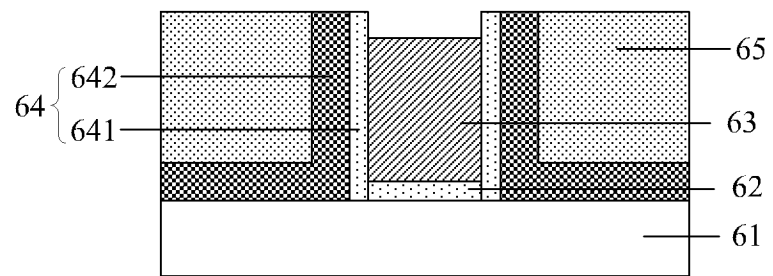


图 9

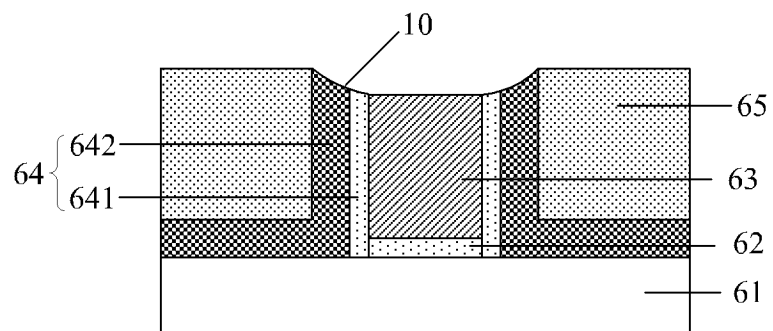


图 10

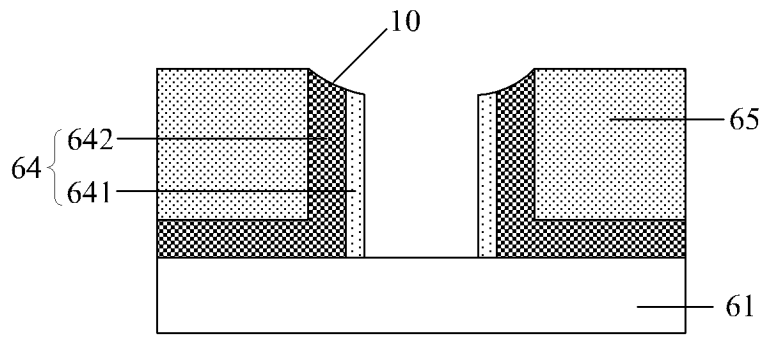


图 11

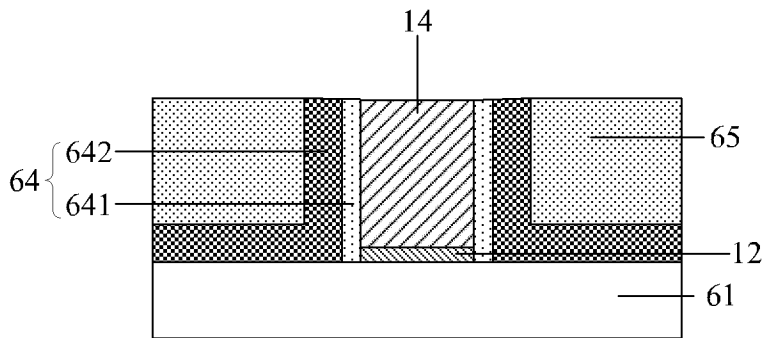


图 12

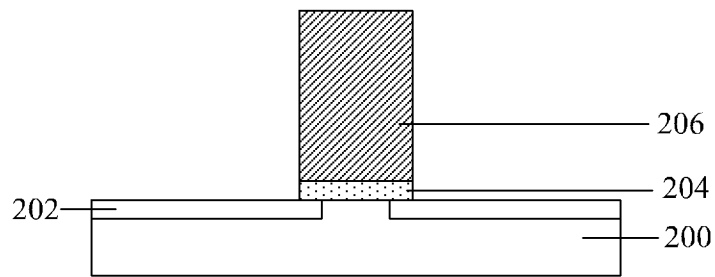


图 13

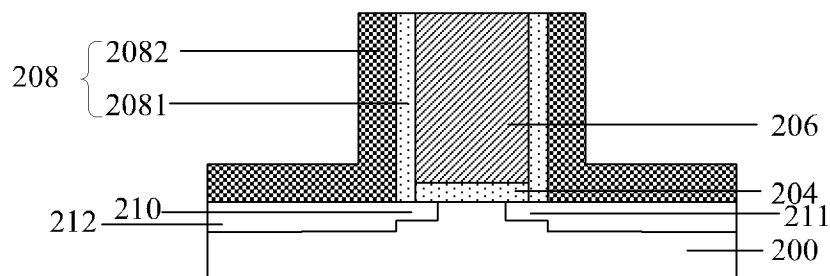


图 14

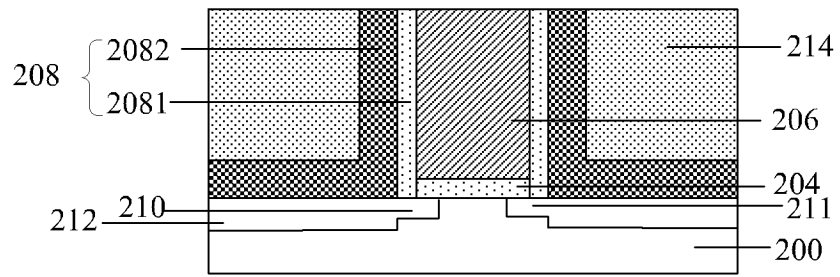


图 15

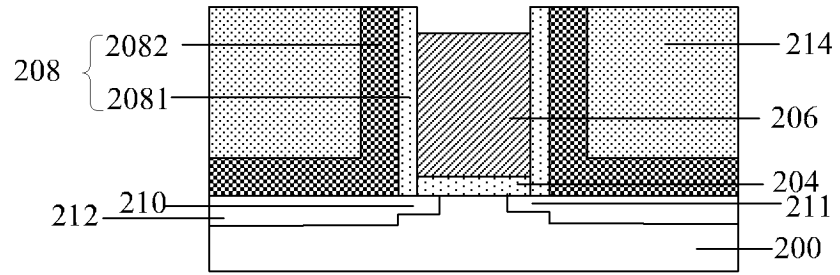


图 16

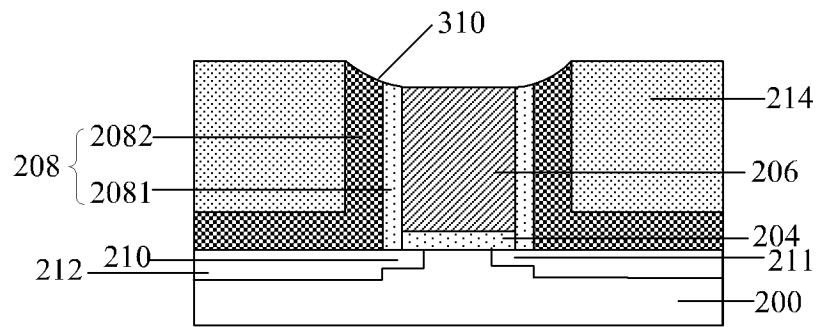


图 17

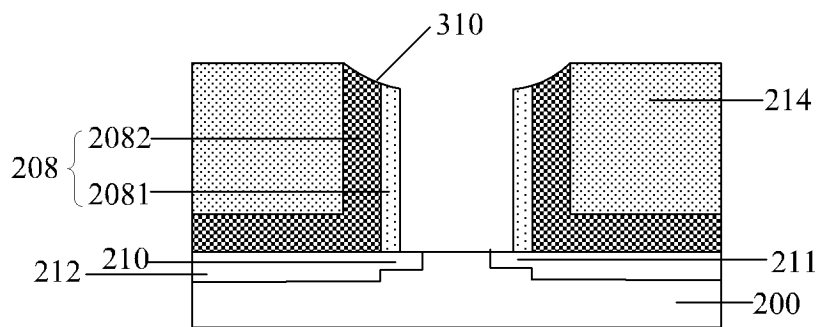


图 18

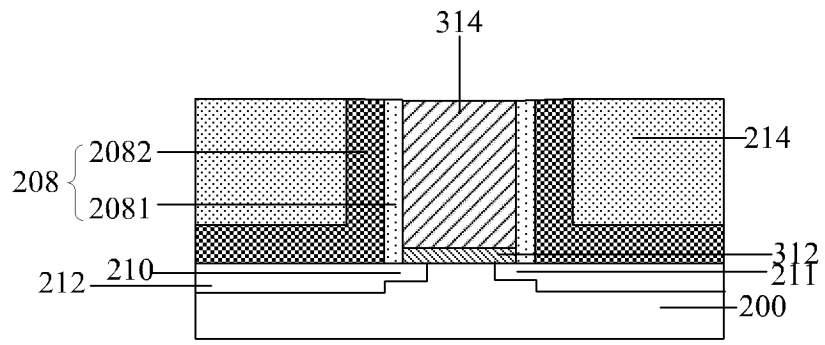


图 19