

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2012 年 11 月 15 日 (15.11.2012)

WIPO | PCT

(10) 国际公布号
WO 2012/151725 A1

- (51) 国际专利分类号:
H01L 27/112 (2006.01) H01L 29/788 (2006.01)
H01L 21/8246 (2006.01) H01L 45/00 (2006.01)
- (21) 国际申请号: PCT/CN2011/001353
- (22) 国际申请日: 2011 年 8 月 15 日 (15.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110119859.0 2011 年 5 月 10 日 (10.05.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 复旦大学 (FUDAN UNIVERSITY) [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 王鹏飞 (WANG, Peng-fei) [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。 孙清清 (SUN, Qingqing) [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。 张卫 (ZHANG, Wei) [CN/CN]; 中国上海市邯郸路 220 号, Shanghai 200433 (CN)。
- (74) 代理人: 中国商标专利事务所有限公司 (CHINA TRADEMARK & PATENT LAW OFFICE CO., LTD.); 中国北京市西城区月坛南街 14 号月新大厦, Beijing 100045 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR MEMORY STRUCTURE AND CONTROL METHOD THEREOF

(54) 发明名称: 一种半导体存储器结构及其控制方法

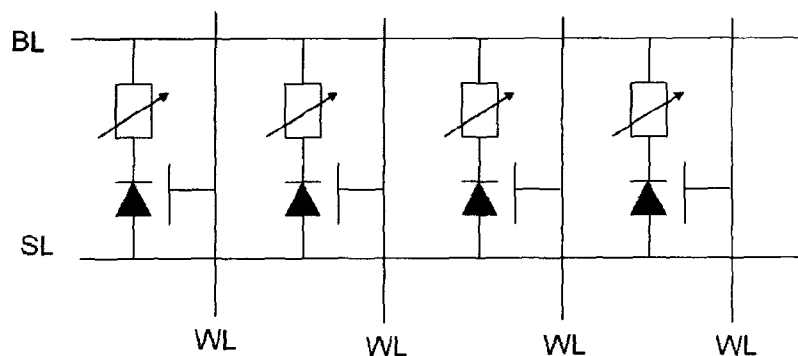


图 6 /FIG. 6

(57) Abstract: Provided are a semiconductor memory structure and a control method thereof, relating to the technical field of semiconductor non-volatile memories. The semiconductor memory structure includes a storage unit for storing information and a tunneling field effect transistor connected to the storage unit. The tunneling field effect transistor is used for controlling the semiconductor memory, for example, erase and write operation and read operation. A plurality of semiconductor memory structures constitute a semiconductor memory array. The semiconductor memory control method includes steps of resetting, setting and reading. The vertical grid-control diode structure in the tunneling field effect transistor can not only satisfy the large current requirements for writing into the resistance change memory and phase change memory, but can also improve the density of the memory device array, so is suitable for manufacturing a semiconductor memory chip, and the control method and control circuit thereof are also simple.

[见续页]

WO 2012/151725 A1



(57) 摘要:

提供一种半导体存储器结构及其控制方法，其属于半导体非易失存储器技术领域。该半导体存储器结构包括一个用于存储信息的存储单元和一个连接存储单元的隧穿场效应晶体管。隧穿场效应晶体管用来对所述半导体存储器进行控制，例如擦写操作和读操作。由多个半导体存储器结构组成一个半导体存储器阵列。半导体存储器的控制方法包括复位、置位、读取步骤。隧穿场效应晶体管中垂直的栅控二极管结构不仅可以满足对阻变存储器和相变存储器进行写入的大电流要求，而且可以提高存储器件阵列的密度，适合于半导体存储器芯片的制造，并且其控制方法和控制电路也较简单。

一种半导体存储器结构及其控制方法

技术领域

5 本发明属于半导体非挥发性存储器技术领域，具体涉及一种半导体存储器结构及其控制方法，特别涉及一种采用自对准工艺的半导体存储器结构及其控制方法。

背景技术

10 随着微电子技术的不断发展，集成电路芯片的发展基本上遵循摩尔定律，即半导体芯片的集成度以每 18 个月翻一番的速度增长，这使得集成电路的设计朝着片上系统集成（SOC）的方向发展，而实现 SOC 的一个关键技术就是低功耗、高密度、存取速度快的片上存储器的集成。如今的集成电路器件技术已经处于 30 纳米左右，但是传统浮栅（Flash）存储器由于耦合比和电压较高等问题，很难缩小到 30 纳米以下，因此新型的非挥发性存储器的开发成为了当前研究的热点。相变存储器和阻变存储器都可以作为新型的存储器。

15 相变存储器（phase change memory）是利用硫族化合物在晶态和非晶态时的巨大导电性差异来存储数据的。相变硫族化合物在由无定形相转向结晶相时会表现出可逆的相变现象，在无定形相时，材料是高度无序的状态，不存在结晶体的网格结构。在此种状态下，材料具有高阻抗和高反射率。相反地，在结晶相，材料具有规律的晶体结构，具有低阻抗和低反射率。相变存储器利用的就是两相间的阻抗差。由电流注入产生的剧烈的热量可以引发材料的相变。相变后的材料性质由注入的电流、电压及操作时间决定。图 1 为一个典型的相变存储器单元的剖面图，如图 1 所示，一层硫族化合物层 100 夹在顶端电极 105 与底端电极 101 之间，底端电极 101 延伸出的加热电阻 102 接触硫族化合物层 100。电流注入加热电阻 102 与硫族化合物层 100 的连接点后产生的焦耳热引起相变，在晶体结构硫族化合物层 100 中产生了无定形相的区域 103，区域 104 为结晶向的区域，由于反射率的差异，无定形相区域 103 呈现如蘑菇菌盖的形状。图 2 为一个相变存储器单元的概要等效电路图，如图 2 所示，相变存储器单元 106 包含 1 个晶体管 107 和一个相变元件 108，晶体管 107 的一个源极/漏极（S/D）接地，且晶体管 107 的另一 S/D 与相变元件 108 的一端连接。晶体管 107 的栅极与栅极电压 V_G 连接。相变元件 108 的另一端与位线电压 V_{BL} 连接。要存取相变元件 108 中的储存

的数据时, 电压 V_G 施加于晶体管 107, 且开启晶体管 107, 且位线电压 V_{BL} 施加于相变元件 108, 使得一读取电流经过相变元件 108 及晶体管 107。基于输出电流的大小, 储存在相变元件 120 的数据得以被读取。与传统的 Flash 浮栅存储器相比, 相变存储器具有更快的写入和擦除速度和更好的缩放比例。

5 阻变存储器的信息读写是依靠读取或者改变阻变材料的电阻来实现的。图 3 为一个阻变存储器的基本结构示意图。如图 3 所示, 在上电极 109 和下电极 111 之间, 设置有电阻转变存储层 110。上电极 109 和下电极 111 通常使用 Pt 和 Ti 等化学性质较稳定的金属材料, 电阻转变存储层 110 通常为 TiO_2 、 ZrO 、 Cu_2O 和 $SrTiO_3$ 等二元或三元金属氧化物。电阻转变存储层 110 的电阻值在外加电压作用下可以具有两种不同的状态, 即高阻态和低阻态, 其可以分别用来表征“0”和“1”两种状态。在不同外加电压的作用下, 阻变存储器的电阻值在高阻态和低阻态之间可以实现可逆转换, 以此来实现信息存储的功能。在阻变存储器的读写操作中, 一般定义高阻态存储一位二进制信息 0, 低阻态存储一位二进制信息 1。由于阻变材料的初始阻态为高阻态, 因此将向信息位写入 1 的操作 (对应阻变材料由高阻态转为低阻态) 10 定义为写入操作, 而向信息位写入 0 的操作 (对应阻变材料由低阻态转为高阻态) 定义为擦除操作。器件写入操作, 一般需要在顶电极和底电极之间施加大约 1-5V 的短电压脉冲, 并设置适当的最大电流限制, 以避免阻变材料由高阻态转向低阻态的过程中由于电流突然增大数个量级而导致器件失效。15 器件的擦除操作, 一般需要施加与写入电压同向或反向的大约 0.5-1V 的短电压脉冲。用于写入和擦除的电压脉冲宽度从数十纳秒到上百微秒不等, 视具体的阻变材料特性而定。擦除电压宽度一般大于写入脉冲宽度。器件存储信息的读取可以通过施加 0.2V 左右的小电压并检测相应的电流大小实现。由于材料本身的电阻率与材料的尺度无关, 因此理论上阻变存储器的存储性能并不会随着器件尺寸的缩小而退化。这就决定了阻变存储器潜在的集成能力远远高于当前主流的 Flash 浮栅存储器。另一方面, 阻变存储器的器件结构简单, 可以非常容易地实现与现有的 CMOS 生产工艺的集成。20 25

但是相变存储器和阻变存储器都需要较大的擦写电流, 因此需要特殊的阵列存取器件对其进行擦写。

30 发明的公开

本发明的目的在于提出一种半导体存储器结构, 该半导体存储器结构可以采用特殊的阵列存取器件来进行对半导体存储器读、写等的操作。

为达到本发明的上述目的, 本发明提出了一种半导体存储器结构, 所述

5 半导体存储器结构包括一个电阻可变的存储单元和一个用于对半导体存储器进行操作的隧穿场效应晶体管结构；其中，所述的隧穿场效应晶体管包括一个源极、一个漏极、一个低掺杂沟道区和一个栅极；所述隧穿场效应晶体管的栅极与多条字线中的任意一条相连接，其源极与多条源线中的任意一条相连接，其可变电阻的两端分别连至位线和所述隧穿场效应晶体管的漏极。

对这种半导体存储器结构的进行控制的方法包括复位、置位、读取三个步骤。

10 对所述的半导体存储器结构的复位步骤为：对与所述半导体存储器相连的源线施加第一个电压；对与所述半导体存储器结构相连的字线施加第二个电压；对与所述半导体存储器结构相连的位线施加第三个电压；由此使所述半导体存储器结构中隧穿场效应晶体管的 p-n 结二极管被正向偏置，该半导体存储器结构被重置，其阻值变大。

进一步地，所述第一个电压的范围为 0.1 V 到 4 V；所述第二个电压的范围为 -1 V 到 1 V；所述第三个电压的范围为 0 V 到 3 V。

15 对所述的半导体存储器结构的置位步骤为：对与所述半导体存储器结构相连的源线施加第四个电压；对与所述半导体存储器结构相连的字线施加第五个电压；对与所述半导体存储器结构相连的位线施加第六个电压；由此使所述半导体存储器结构被置位，其阻值变小。

20 进一步地，所述第四个电压的范围为 0 V 到 -3 V；所述第五个电压的范围为 0 V 到 10 V；所述第六个电压的范围为 0.1 V 到 3 V。

对所述的半导体存储器结构的读取步骤为：对与所述半导体存储器结构相连的源线施加第七个电压；对与所述半导体存储器结构相连的字线施加第八个电压；对与所述半导体存储器结构相连的位线施加第九个电压；由此，基于输出电流的大小，存储在半导体存储器结构中的数据被选中读取。

25 进一步地，所述第七个电压的范围为 0 V 到 -3 V；所述第八个电压的范围为 0 V 到 10 V；所述第九个电压的范围为 0.1 V 到 2 V。

30 进一步地，本发明提出的半导体存储器结构中的隧穿场效应晶体管的漏极处于一个垂直于水平表面的平台结构的顶部，该平台结构采用的是半导体衬底材料，所述的源极处于所述平台结构底部向外延伸的衬底内，所述的低掺杂沟道区处于所述漏极与源极之间，所述的栅极将该平台结构的低掺杂区以下的部位覆盖以控制通过沟道区域的源极与漏极之间的电流大小。所述的

5 半导体衬底为单晶硅、多晶硅或者绝缘体上的硅(SOI)。所述的栅极是一个叠层结构，其包括至少一个导电层和一个将所述导电层与所述半导体衬底隔离的绝缘层；所述的导电层为多晶硅、无定形硅、钨金属、氮化钛、氮化钽或者金属硅化物，所述的绝缘层为 SiO_2 、 HfO_2 、 HfSiO 、 HfSiON 、 SiON 或 Al_2O_3 ，或者它们之中几种的混合物。

所述的栅极导电层环绕在垂直的低掺杂沟道区周围形成边墙结构，而电阻可变的存储器单元由相变材料构成或者阻变材料构成。

10 由本发明所提出的器件结构，还可以组成一种半导体存储器结构的阵列。这种半导体存储器结构的阵列的控制方法，可以先对半导体存储器阵列中的多个存储器进行复位，再对其中的个别存储器进行置位。

15 本发明所述的半导体存储器结构的控制方法采用隧穿场效应晶体管进行对半导体存储器结构的擦写、读等操作，隧穿场效应晶体管中垂直的栅控二极管结构不仅可以满足对阻变存储器和相变存储器进行写入的大电流要求，而且可以提高存储器件阵列的密度，非常适用于半导体存储器芯片的制造，而且，其控制方法及控制电路也较为简单。

附图的简要说明

图 1 为一个典型的相变存储器单元的剖面图。

图 2 为一个相变存储器单元的概要等效电路图。

图 3 为一个典型的阻变存储器单元的剖面图。

20 图 4 为本发明提供的一种半导体存储器结构实施例的俯视图。

图 5 为本发明提供的一种半导体存储器结构实施例的截面图。

图 6 为本发明提供的一种半导体存储器结构实施例的等效电路图。

图 7 为本发明提供的一个半导体存储器结构阵列控制方法实施例进行复位的等效电路图。

25 图 8 为本发明提供的一个半导体存储器阵列控制方法实施例进行置位的等效电路图。

图 9 为本发明提供的一个半导体存储器阵列控制方法实施例进行读取的等效电路图。

实现本发明的最佳方式

下面将参照附图对本发明的一个示例性实施方式作详细说明。在图中，为了方便说明，放大了或缩小了层和区域的厚度，所示大小并不代表实际尺寸。参考图是本发明的理想化实施例的示意图，本发明所示的实施例不应该被认为仅限于图中所示区域的特定形状，而是包括所得到的形状，比如制造引起的偏差。例如刻蚀得到的曲线通常具有弯曲或圆润的特点，但在本发明实施例中，均以矩形表示，图中的表示是示意性的，但这不应该被认为是限制本发明的范围。同时在下方的描述中，所使用的术语晶片和衬底可以理解为包括正在工艺加工中的半导体晶片，可能包括在其上所制备的其它薄膜层。

如图 4 为本发明所提供的一种半导体存储器结构的控制方法的俯视图，图 5 为本发明所提供的一种半导体存储器结构的截面图。如图 4 和图 5，所示 200 为提供的半导体衬底；所示 201 为 n 型离子掺杂区域；所示 202 为 SiO_2 栅介质；所示 203 为高 k 材料栅介质；所示 204 为栅极导电层比如为 TiN 或者 TaN，栅极导电层 204 环绕在垂直的沟道周围形成边墙结构；所示 205 为多晶硅；所示 202、203、204 和 205 构成隧穿场效应晶体管的栅极，而且，该栅极覆盖器件的沟道且所述沟道与该隧穿场效应晶体管所处的衬底表面垂直；所示 206 为 p 型离子掺杂区域；所示 208 为由 SiO_2 、 Si_3N_4 或者它们之间相混合的绝缘材料构成的绝缘层；所示 208 为由相变材料或者阻变材料构成的用于存储电荷的存储单元；所示 209 为与存储单元 208 相连的金属电极，可以为 TiN、Ti、Ta、或者 TaN。隧穿场效应晶体管的栅极可以控制通过存储器单元 208 的电流，而实现对存储器单元 208 的读写操作。

图 6 为本发明提供的一种半导体存储器结构控制方法的等效电路图。如图 6 所示，位线 BL 与金属电极 209 相连接，字线 WL 与所述隧穿场效应晶体管的栅极相连接，源线 SL 与所述隧穿场效应晶体管的源极或者漏极相连接。

由多个如图 5 所示的半导体存储器可以构成一个半导体存储器阵列，如图 7、图 8 和图 9 分别为对一个半导体存储器阵列进行复位、置位和读取的等效电路图。

具体的说，对半导体存储器阵列进行复位的步骤如图 7：

对源线 SL1 和 SL2 全部施加电压 2V；

对字线 WL1、WL2、WL3 和 WL4 全部施加电压 0V；

对位线 BL1 施加电压 0V，对位线 BL2 施加电压 2V。

由于 $SL2 = BL2 = 2V$ ，因此与 BL2 相连的存储器中没有电流经过，而 $BL1 = 0V < SL1 = 0V$ ，因此与 BL1 相连的隧穿场效应晶体管的 p-n 被正向偏置，有电流经过，与 BL1 相连的存储器被选中复位，其电阻变大。

5 对半导体存储器阵列进行置位的步骤如图 8:

对源线 SL1 和 SL2 全部施加电压 0V;

对字线 WL1、WL3 和 WL4 全部施加电压 0V，对字线 WL2 施加电压 3V;

对位线 BL1 施加电压 1V，对位线 BL2 施加电压 0V。

10 由于 $WL2 = 3V > SL1 = 0V$ ，图 8 中 301 中所示的隧穿场效应晶体管的 p-n 被反向偏置，301 中所示的存储器被选中置位，其阻值变小。

对半导体存储器阵列进行读取的步骤如图 9:

对源线 SL1 和 SL2 全部施加电压 0V;

15 对字线 WL1、WL3 和 WL4 全部施加电压 0V，对字线 WL2 施加电压 3V;

对位线 BL1 和位线 BL2 施加电压 0.5V。

基于电流的大小，图 9 中 302 中所示的存储单元中储存的数据得以被读取。为防止置位操作，读取步骤中施加在位线 WL 的电压应比置位步骤中施加在位线 WL 的电压低。

20 工业应用性

根据本发明，隧穿场效应晶体管中垂直的栅控二极管结构不仅可以满足对阻变存储器和相变存储器进行写入的大电流要求，而且可以提高存储器件阵列的密度，非常适用于半导体存储器芯片的制造，而且，其控制方法及控制电路也较为简单。

25 如上所述，在不偏离本发明精神和范围的情况下，还可以构成许多有很大差别的实施例。应当理解，除了如所附的权利要求所限定的，本发明不限于在说明书中所述的具体实例。

权 利 要 求

1、一种半导体存储器结构，其特征在于：包括一个电阻可变的存储单元和一个用于对半导体存储器进行操作的隧穿场效应晶体管结构；

5 其中，所述的隧穿场效应晶体管包括一个源极、一个漏极、一个低掺杂沟道区和一个栅极；

所述隧穿场效应晶体管的栅极与多条字线中的任意一条相连接，其源极与多条源线中的任意一条相连接，其可变电阻的两端分别连至位线和所述隧穿场效应晶体管的漏极。

10 2、根据权利要求 1 所述的半导体存储器结构，其特征在于：所述的隧穿场效应晶体管的漏极处于一个垂直于水平表面的平台结构的顶部，该平台结构采用的是半导体衬底材料，所述的源极处于所述平台结构底部向外延伸的衬底内，所述的低掺杂沟道区处于所述漏极与源极之间，所述的栅极将该平台结构的低掺杂区以下的部位覆盖以控制通过沟道区域的源极与漏极之间的电流大小。

15 3、根据权利要求 1 或 2 所述的半导体存储器结构，其特征在于：所述的半导体衬底为单晶硅、多晶硅或者绝缘体上的硅；所述的栅极是一个叠层结构，其包括至少一个导电层和一个将所述导电层与所述半导体衬底隔离的绝缘层；所述的导电层为多晶硅、无定形硅、钨金属、氮化钛、氮化钽或者金属硅化物，所述的绝缘层为 SiO_2 、 HfO_2 、 HfSiO 、 HfSiON 、 SiON 或 Al_2O_3 ，
20 或者它们之中几种的混合物。

4、根据权利要求 1 或 2 所述的半导体存储器结构，其特征在于：所述的栅极导电层环绕在垂直的低掺杂沟道区周围形成边墙结构；所述的电阻可变的存储器单元由相变材料构成或者阻变材料构成。

25 5、如权利要求 1 至 4 之一所述的半导体存储器结构的控制方法，包括复位、置位、读取操作；其特征在于：

对所述的复位操作步骤如下：

对与所述半导体存储器结构相连的源线施加第一个电压；

对与所述半导体存储器结构相连的字线施加第二个电压；

对与所述半导体存储器结构相连的位线施加第三个电压；

由此使所述半导体存储器结构中隧穿场效应晶体管的 p-n 结二极管被正向偏置，该半导体存储器结构被重置，其阻值变大；

对所述的置位操作步骤如下：

对与所述半导体存储器结构相连的源线施加第四个电压；

5 对与所述半导体存储器结构相连的字线施加第五个电压；

对与所述半导体存储器结构相连的位线施加第六个电压；

由此使所述半导体存储器结构被置位，其阻值变小；

对所述的读取操作步骤如下：

对与所述半导体存储器结构相连的源线施加第七个电压；

10 对与所述半导体存储器结构相连的字线施加第八个电压；

对与所述半导体存储器结构相连的位线施加第九个电压；

由此，基于输出电流的大小，存储在所述半导体存储器中的数据被读取。

6、根据权利要求 5 所述的控制方法，其特征在于，所述第一个电压的范围为 0.1 V 到 4 V；所述第二个电压的范围为 -1 V 到 1 V；所述第三个电压的范围为 0 V 到 -3 V；

7、根据权利要求 5 所述的控制方法，其特征在于，所述第四个电压的范围为 0 V 到 -3 V；所述第五个电压的范围为 0 V 到 10 V；所述第六个电压的范围为 0.1 V 到 3 V。

8、根据权利要求 5 所述的控制方法，其特征在于，所述第七个电压的范围为 0 V 到 -3 V；所述第八个电压的范围为 0 V 到 10 V；所述第九个电压的范围为 0.1 V 到 2 V。

9、一种半导体存储器结构的阵列，其特征在于由权利要求 1 至 4 之一所述的半导体存储器结构组成。

10、如权利要求 9 所述的半导体存储器结构的阵列的控制方法，其特征在于，先对半导体存储器阵列中的多个存储器进行复位，再对其中的个别存储器进行置位。

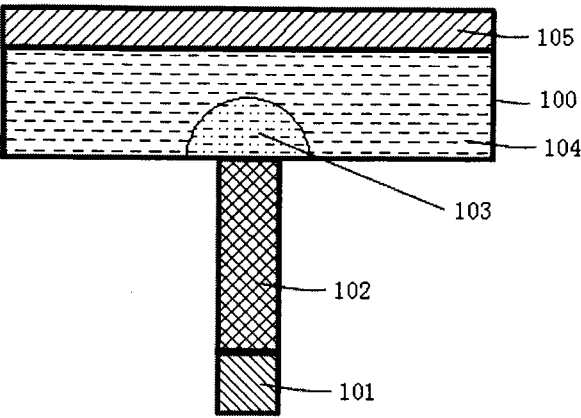


图 1

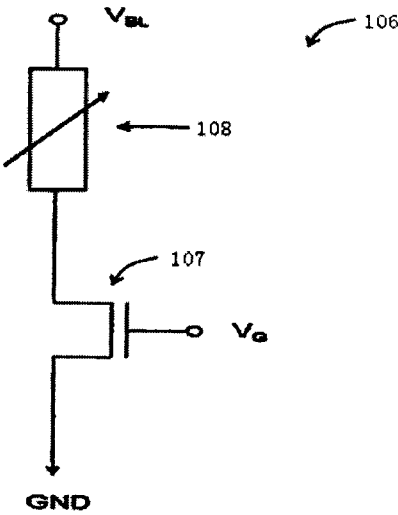


图 2

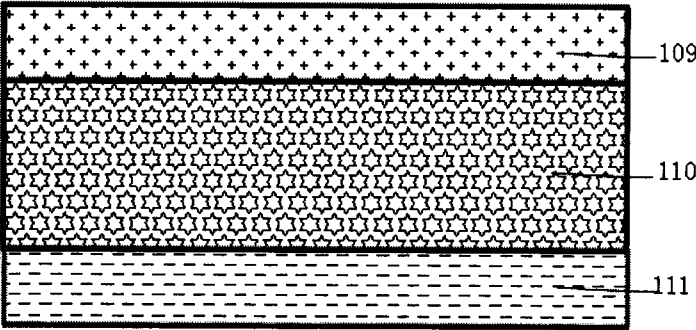


图 3

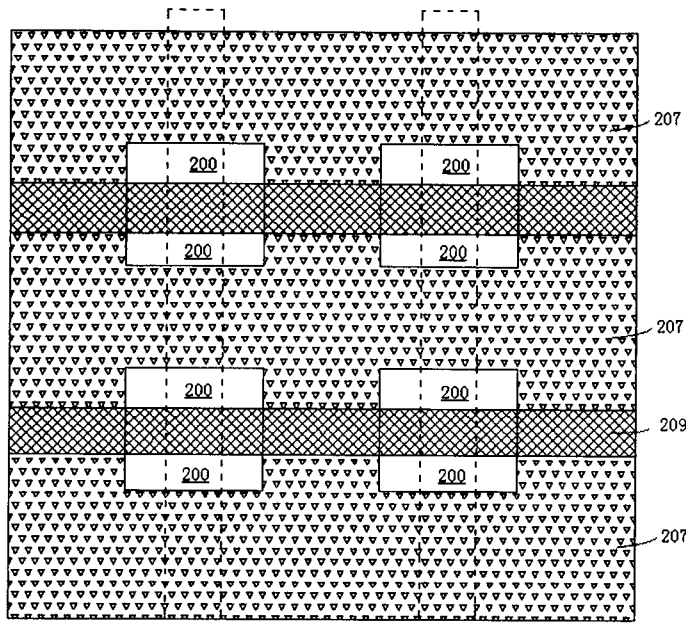


图 4

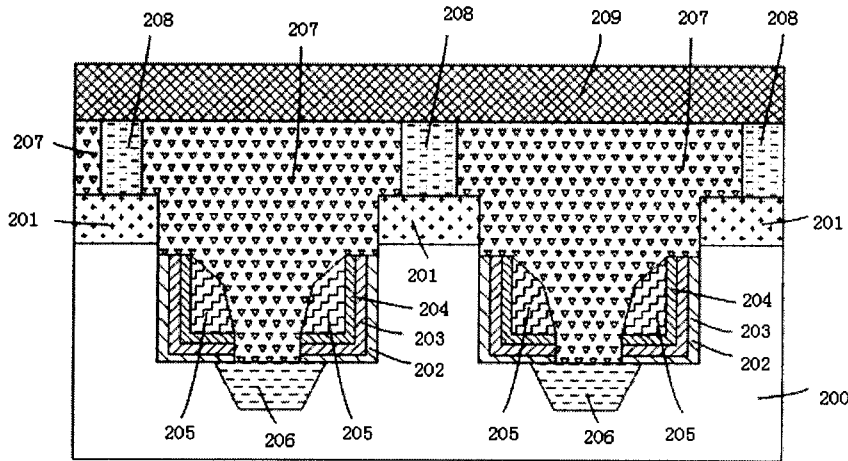


图 5

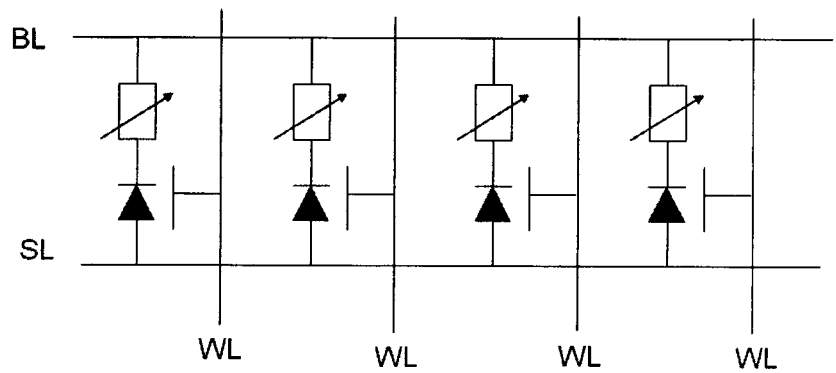


图 6

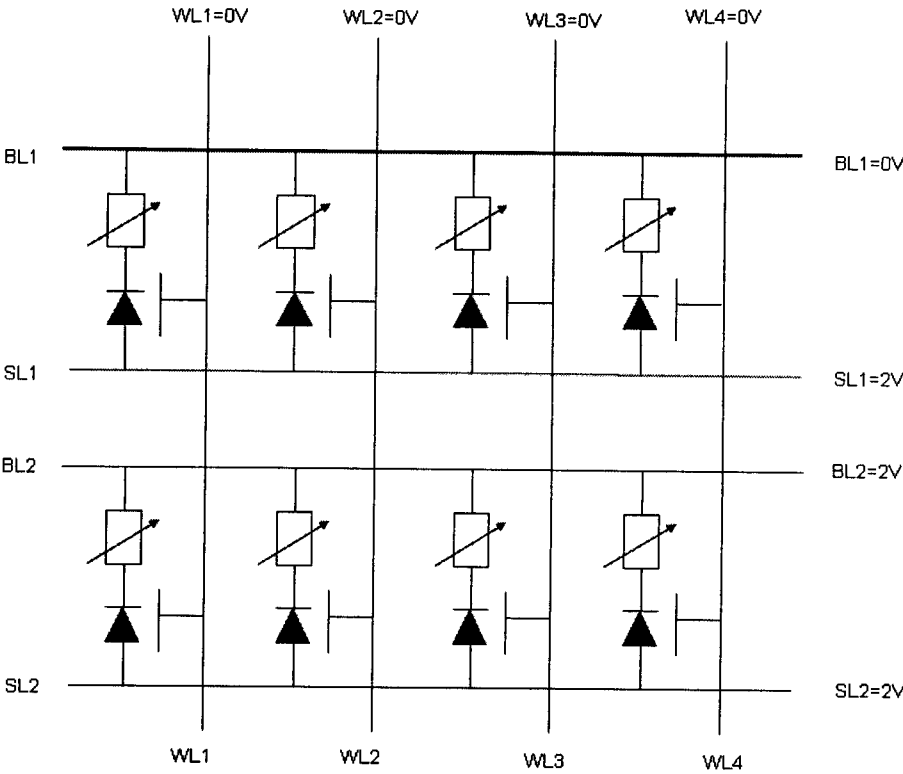


图 7

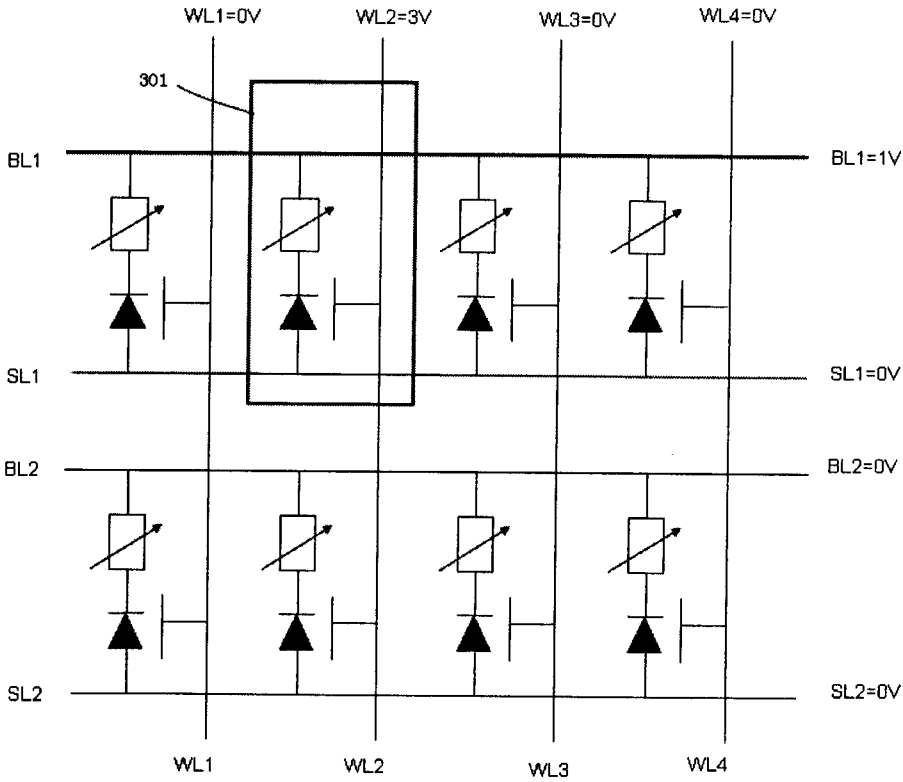


图 8

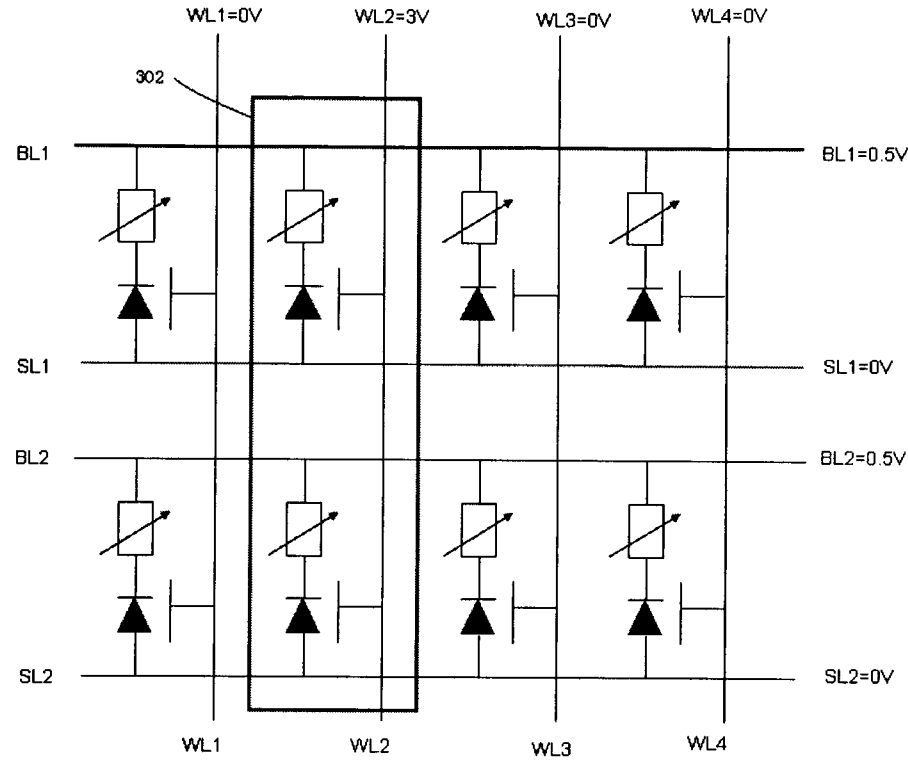


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001353

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 27/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: phase, resistor, memory, field, transistor, tunnel+, trench??, step, gate, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US2007/0267619A1 (Nirschl) 22 Nov. 2007 (22.11.2007) paragraphs [0018]-[0023], figures.1-3	1
X	CN101777572A (UNIV FUDAN) 14 Jul. 2010 (14.07.2010) paragraphs [0029]-[0046], claims 1-11, figures.2a-3c	1-10
X	CN101807596A (UNIV FUDAN) 18 Aug.2010 (18.08.2010) paragraphs [0035]-[0043], fig.9a	1-4,9-10
X	CN101777570A (UNIV FUDAN) 14 Jul. 2010 (14.07.2010) paragraphs [0033]-[0046], claims 1-8, figures. 2,11	1-4,9-10
A	US2009/0034355A1 (Peng-fei WANG) 05 Feb. 2009 (05.02.2009) The Whole Document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 Dec. 2011 (23.12.2011)	Date of mailing of the international search report 16 Feb. 2012 (16.02.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer CHE, Xiaolu Telephone No. (86-10) 62411843

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/001353

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2007/0267619A1	22.11.2007	EP1860702A2	28.11.2007
		JP2008021970A	31.01.2008
		KR20070112727A	27.11.2007
		US7880160B2	01.02.2011
CN101777572A	14.07.2010	NONE	
CN101807596A	18.08.2010	NONE	
CN101777570A	14.07.2010	NONE	
US2009/0034355A1	05.02.2009	DE102007037888A1	05.02.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001353

Continuation of : CLASSIFICATION OF SUBJECT MATTER

H01L 27/112 (2006.01) i
H01L 21/8246 (2006.01) i
H01L 29/788 (2006.01) n
H01L 45/00 (2006.01) n

A. 主题的分类

参见 附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/-, H01L 27/-, H01L 29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI: 相变, 阻变, 存储, 隧穿, 隧道, 晶体管, 场效应, 沟槽, 台阶, 栅, 源, 漏 WPI, EPODOC: phase, resistor, memory, field, transistor, tunnel+, trench??, step, gate, source, drain

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2007/0267619A1 (Nirschl) 22. 11 月 2007 (22.11.2007) 第[0018]-[0023]段, 附图 1-3	1
X	CN101777572A (复旦大学) 14.7 月 2010 (14.07.2010) 第[0029]-[0046]段, 权利要求 1-11, 附图 2a-3c	1-10
X	CN101807596A (复旦大学) 18.8 月 2010 (18.08.2010) 第[0035]-[0043]段, 附图 9a	1-4, 9-10
X	CN101777570A (复旦大学) 14.7 月 2010 (14.07.2010) 第[0033]-[0046]段, 权利要求 1-8, 附图 2 和 11	1-4, 9-10
A	US2009/0034355A1 (Peng-fei WANG) 05.2 月 2009 (05.02.2009) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

23.12 月 2011 (23.12.2011)

国际检索报告邮寄日期

16.2 月 2012 (16.02.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

车晓璐

电话号码: (86-10) 62411843

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/001353

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2007/0267619A1	22.11.2007	EP1860702A2	28.11.2007
		JP2008021970A	31.01.2008
		KR20070112727A	27.11.2007
		US7880160B2	01.02.2011
CN101777572A	14.07.2010	无	
CN101807596A	18.08.2010	无	
CN101777570A	14.07.2010	无	
US2009/0034355A1	05.02.2009	DE102007037888A1	05.02.2009

续：主题的分类

H01L 27/112 (2006.01) i

H01L 21/8246 (2006.01) i

H01L 29/788 (2006.01) n

H01L 45/00 (2006.01) n