

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年9月22日(2005.9.22)

【公開番号】特開2004-111904(P2004-111904A)

【公開日】平成16年4月8日(2004.4.8)

【年通号数】公開・登録公報2004-014

【出願番号】特願2003-86145(P2003-86145)

【国際特許分類第7版】

H 01 L 29/82

G 11 C 11/15

H 01 L 27/105

H 01 L 43/08

【F I】

H 01 L 29/82 Z

G 11 C 11/15 110

H 01 L 43/08 Z

H 01 L 27/10 447

【手続補正書】

【提出日】平成17年4月19日(2005.4.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

スピニフィルタ効果によってスピニ偏極したホットキャリアを注入するスピニンジェクタと、この注入されたスピニ偏極ホットキャリアをスピニフィルタ効果によって選別するスピニアライザと、を有することを特徴とするトランジスタ。

【請求項2】

前記スピニンジェクタは、両端に電圧を印加することによりキャリアのトンネルが可能な第1の強磁性障壁層と、該第1の強磁性障壁層の一端面に接合した第1の非磁性電極層と、前記第1の強磁性障壁層の他端面に接合した第2の非磁性電極層とを有することを特徴とする請求項1に記載のトランジスタ。

【請求項3】

前記スピニアライザは、

第2の強磁性障壁層と、この第2の強磁性障壁層の一端面に接合した前記第2の非磁性電極層と、上記第2の強磁性障壁層の他端面に接合した第3の非磁性電極層とを有しており、かつ、前記スピニンジェクタと前記第2の非磁性電極層を共通にしていることを特徴とする請求項2に記載のトランジスタ。

【請求項4】

前記第1及び第2の強磁性障壁層は、強磁性半導体又は強磁性絶縁体を含んでいることを特徴とする請求項2または3に記載のトランジスタ。

【請求項5】

前記第2の非磁性電極層の厚さは、該第2の非磁性電極層におけるスピニ偏極ホットキャリアの平均自由行程以下の厚さであることを特徴とする、請求項2から4までのいずれか1項に記載のトランジスタ。

【請求項6】

前記スピニンジェクタのスピニルタ効果は、前記第1の非磁性電極層と前記第2の非磁性電極層とに電圧を印加して生じさせる前記第1の強磁性障壁層におけるキャリアのトンネル効果において、上記第1の非磁性電極層に存在するキャリアのうち、上記第1の強磁性障壁層のバンド端におけるスピニルと平行なスピニの向きを有するキャリアのトンネル確率が大きく、反平行となるスピニの向きを有するキャリアのトンネル確率が小さいことを利用したことを特徴とする請求項2から5までのいずれか1項に記載のトランジスタ。

#### 【請求項7】

前記スピニアライザのスピニルタ効果は、前記スピニンジェクタから注入されたスピニ偏極ホットキャリアのスピニの向きと前記第2の強磁性障壁層のバンド端におけるスピニルのスピニの向きが平行の場合には、前記スピニ偏極ホットキャリアが前記第2の強磁性障壁層のバンド端におけるスピニルを伝導し前記第3の非磁性電極層へ達するが、前記スピニ偏極ホットキャリアのスピニの向きと前記第2の強磁性障壁層のバンド端のスピニルのスピニの向きが反平行の場合には、前記スピニ偏極ホットキャリアが前記第3の非磁性電極層へ達することができないことを利用したことを特徴とする請求項2から6までのいずれか1項に記載のトランジスタ。

#### 【請求項8】

前記第1の非磁性電極層と前記第2の非磁性電極層との間に第1の電源により第1の電圧を印加し、前記第2の非磁性電極層と前記第3の非磁性電極層との間、または、前記第1の非磁性電極層と前記第3の非磁性電極層との間に第2の電源により第2の電圧を印加し、前記第1の強磁性障壁層と前記第2の強磁性障壁層の相対的な磁化の向きに応じて、前記第1の非磁性電極層から前記第2の非磁性電極層に注入されたスピニ偏極ホットキャリアを、前記第2の強磁性障壁層と前記第2の電源を介して流れる電流に、または、前記第2の非磁性電極層と前記第1の電源を介して流れる電流に切り替えることを特徴とする請求項2から7までのいずれか1項に記載のトランジスタ。

#### 【請求項9】

前記第1の電圧は、注入されたスピニ偏極ホットキャリアのエネルギーが、前記第2の強磁性障壁層のバンド端におけるスピニル端エネルギーより大きく、このスピニル端のエネルギーにスピニ分裂幅を加えたエネルギーよりも小さくなるように印加することを特徴とする請求項8に記載のトランジスタ。

#### 【請求項10】

磁場を印加することによって、上記第1の強磁性障壁層と上記第2の強磁性障壁層の内のいずれか一方の磁化の向きを反転させることができることを特徴とする請求項9に記載のトランジスタ。

#### 【請求項11】

請求項1から10までのいずれか1項に記載のトランジスタをメモリセルとしたことを特徴とする記憶回路。

#### 【請求項12】

前記トランジスタの第2の非磁性電極層をワード線に接続し、前記トランジスタの第3の非磁性電極層をピット線に接続し、該ピット線を負荷を介して電源に接続し、前記トランジスタの第1の非磁性電極層を接地したことを特徴とする請求項11に記載の記憶回路。

#### 【請求項13】

強磁性体を内部に含み、キャリアのスピニの向きに依存する出力特性を有するトランジスタ(以下、「スピントランジスタ」と称する。)と、

前記強磁性体の磁化の状態を変えることにより前記スピントランジスタ内に情報の書き換えを行う情報書き換え手段と、

前記出力特性から前記スピントランジスタ内に磁化の状態として記憶された情報を読み出す情報読み出し手段と

を有することを特徴とする記憶素子。

**【請求項 1 4】**

前記スピントランジスタは、

磁化の方向を独立に制御できる強磁性体（以下「フリー層」と称する。）と、磁化の方向を変化させない強磁性体（以下、「ピン層」と称する。）と、を少なくとも1つずつ有しており、

前記フリー層と前記ピン層とが同じ磁化の向きを持つ第1の状態と、異なる磁化の向きを持つ第2の状態と、の2つの記憶状態のうちいずれか一方を保持することを特徴とする請求項13に記載の記憶素子。

**【請求項 1 5】**

請求項14に記載の1つのスピントランジスタを用いて、前記ピン層に対する前記フリー層の相対的な磁化の向きによって情報を記憶し、前記ピン層と前記フリー層との相対的な磁化の向きに依存する前記スピントランジスタの出力特性に基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

**【請求項 1 6】**

前記スピントランジスタは、

スピニ偏極キャリアを注入する第1の電極構造及び前記スピニ偏極キャリアを受け入れる第2の電極構造と、前記第1の電極構造から前記第2の電極構造へ伝導するスピニ偏極キャリアの量を制御する第3の電極構造とを備えており、前記ピン層と前記フリー層とは前記第1から第3までの電極構造のいずれかに含まれていることを特徴とする請求項14又は15に記載の記憶素子。

**【請求項 1 7】**

請求項16に記載の1つのスピントランジスタと、  
前記第1の電極構造を接地する第1の配線と、  
前記第2の電極構造と接続する第2の配線と、  
前記第3の電極構造と接続する第3の配線と  
を有する記憶素子。

**【請求項 1 8】**

請求項16に記載の1つのスピントランジスタと、  
前記第1の電極構造を接地する第1の配線と、  
前記第2の電極構造と接続する第2の配線と、  
前記第3の電極構造と接続する第3の配線と、  
前記第2の配線の一端に形成される出力端子と、  
前記第2の配線から分岐し負荷を介して電源と接続する第4の配線と  
を有する記憶素子。

**【請求項 1 9】**

さらに、前記スピントランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求項17又は18に記載の記憶素子。

**【請求項 2 0】**

前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記第2の配線および前記第3の配線、又は、前記第2の配線又は前記第3の配線のいずれか一方を用いることを特徴とする請求項19に記載の記憶素子。

**【請求項 2 1】**

前記第1の別配線及び第2の別配線または前記第2の配線及び前記第3の配線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記ピン層と前記フリー層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項19又は20に記載の記憶素子。

**【請求項 2 2】**

前記第3の配線に対して第1のバイアスを加え、前記第1の配線と第2の配線との間に

第2のバイアスを加えた場合の前記スピントランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求項17又は18に記載の記憶素子。

【請求項23】

前記第3の配線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記スピントランジスタを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項18から22までのいずれか1項に記載の記憶素子。

【請求項24】

マトリックス状に配置された請求項16に記載の1つのスピントランジスタと、前記第1の電極構造をそれぞれ接地する第1の配線と、列方向に並ぶ前記スピントランジスタの前記第3の電極構造を共通に接続する複数本のワード線と、行方向に並ぶ前記スピントランジスタの前記第2の電極構造を共通に接続する複数本のビット線とを有する記憶回路。

【請求項25】

マトリックス状に配置された請求項16に記載のスピントランジスタと、前記第1の電極構造をそれぞれ接地する第1の配線と、列方向に並ぶ前記スピントランジスタの前記第3の電極構造を共通に接続する複数本のワード線と、行方向に並ぶ前記スピントランジスタの前記第2の電極構造を共通に接続する複数本のビット線と、該ビット線の一端に形成される出力端子と、該ビット線から分岐し負荷を介して電源に接続する第2の配線とを有する記憶回路。

【請求項26】

さらに、前記トランジスタ上で互いに電気的に絶縁された状態で交差する第1の別配線及び第2の別配線とを有することを特徴とする請求項24又は25に記載の記憶回路。

【請求項27】

前記第1の別配線および前記第2の別配線、又は、前記第1の別配線又は前記第2の別配線のいずれか一方に代えて、前記ワード線および前記ビット線、又は、前記ワード線又は前記ビット線のいずれか一方を用いることを特徴とする請求項26に記載の記憶回路。

【請求項28】

前記第1の別配線及び第2の別配線又は前記ワード線及び前記ビット線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記フリー層と前記ビン層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項26又は27に記載の記憶回路。

【請求項29】

前記ワード線に対して第1のバイアスを加え、前記第1の配線と前記ビット線との間に第2のバイアスを加えた場合の前記スピントランジスタの出力特性に基づき情報の読み出しを行うことを特徴とする請求項24又は25に記載の記憶回路。

【請求項30】

前記ワード線に対して第1のバイアスを印加した場合において、前記電源と前記第1の配線との間に生じる前記負荷と前記スピントランジスタを介する電流による前記負荷の電圧降下に基づいて得られる出力電圧により、情報の読み出しを行うことを特徴とする請求項25から27までのいずれか1項に記載の記憶回路。

【請求項31】

請求項16に記載の第1及び第2の2つのスピントランジスタと、前記第1及び前記第2のスピントランジスタに共通の第1の電極構造を接地する第1の配線と、

前記第1のスピントランジスタが有する第2の電極構造と前記第2のスピントランジスタが有する第2の電極構造とをそれぞれ接続する第2及び第3の配線と、

前記第1のスピントランジスタが有する第3の電極構造と前記第2のスピントランジスタが有する第3の電極構造とを接続する第4の配線と  
を有する記憶素子。

#### 【請求項32】

マトリックス状に配置される請求項16に記載の複数のスピントランジスタと、

複数の該スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行と、該第1のスピントランジスタの行と列方向に隣接し行方向に複数配置される第2のスピントランジスタの行と、が有するそれぞれの前記第1の電極構造を共通にするとともに接地する第1の配線と、

複数の前記スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第1のビット線と、前記第1のスピントランジスタの行と列方向に隣接する第2のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第2のビット線と、

複数の前記スピントランジスタのうち、列方向に複数配置されるスピントランジスタの列が有する第3の電極構造を共通に接続するワード配線と  
を有する記憶回路。

#### 【請求項33】

マトリックス状に配置される請求項16に記載の複数のスピントランジスタと、

複数の該スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行と、該第1のスピントランジスタの行と列方向に隣接し行方向に複数配置される第2のスピントランジスタの行と、が有するそれぞれの前記第1の電極構造を共通にするとともに接地する第1の配線であって、2行毎に1本設けられている複数の配線と、

複数の前記スピントランジスタのうち、行方向に複数配置される第1のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第1のビット線であって、前記スピントランジスタの2行毎に1本設けられている複数本の第1のビット線と、前記第1のスピントランジスタの行と列方向に隣接する第2のスピントランジスタの行が有する前記第2の電極構造を共通に接続する第2のビット線であって、前記スピントランジスタの2・行毎に1本設けられている複数本の第2のビット線と、

複数の前記スピントランジスタのうち、列方向に複数配置されるスピントランジスタの列が有する第3の電極構造をそれぞれ共通に接続する複数本のワード線と  
を有する記憶回路。

#### 【請求項34】

前記第1の別配線又は前記第2の別配線のいずれか一方を置き換えた前記第2の配線又は前記第3の配線及びこれらに置き換えられなかつた方の前記第1の別配線又は前記第2の別配線に電流を流すことにより誘起される磁場により、前記フリー層の磁化を反転させ、前記ピン層と前記フリー層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項20に記載の記憶素子。

#### 【請求項35】

前記第1の別配線又は前記第2の別配線のいずれか一方を置き換えた前記ワード線又は前記ビット線及びこれらに置き換えられなかつた方の前記第1の別配線又は第2の別配線に電流を流すことにより誘起される磁場により、前記フリー層と前記ピン層との間の相対的な磁化状態を変化させることにより情報の書き換えを行うことを特徴とする請求項27に記載の記憶回路。

#### 【請求項36】

スピニフィルタ効果によってスピニ偏極したホットキャリアを注入するスピニインジェクタと、この注入されたスピニ偏極したホットキャリアをスピニフィルタ効果によって選別するスピニアライザと、を有し、

前記スピニインジェクタ又は前記スピニアライザのうち少なくともいずれか一方が強

磁性体からなる障壁層を含むことを特徴とするトランジスタ。

**【請求項 37】**

スピンフィルタ効果によってスピン偏極したキャリアを注入するスピンインジェクタと、この注入されたスピン偏極したキャリアをスピンフィルタ効果によって選別するスピンアナライザと、を有し、

前記スピンインジェクタ又は前記スピンアナライザのうち少なくともいずれか一方が強磁性体からなる障壁層を含むことを特徴とするトランジスタ。

**【請求項 38】**

強磁性体からなるエミッタと、強磁性体からなるベースと、非磁性体または強磁性体からなるコレクタと、前記エミッタと前記ベースとの間に設けられ非磁性体からなる第1障壁層と、前記ベースと前記コレクタとの間に設けられ非磁性体からなる第2障壁層とを有し、

前記エミッタから前記ベースへスピン偏極したキャリアをファウラー・ノルドハイム(Fowler-Nordheim)トンネリングによって注入することを特徴とするトランジスタ。

**【請求項 39】**

前記エミッタと前記ベースは、強磁性金属又は強磁性半導体から構成されることを特徴とする請求項38に記載のトランジスタ。

**【請求項 40】**

前記エミッタ及び前記ベースは強磁性半導体により、前記第1障壁層および前記第2障壁層は半導体により形成されていることを特徴とする請求項38に記載のトランジスタ。

**【請求項 41】**

前記第1障壁層および第2障壁層の障壁高さを調整することによって室温動作を可能にすることを特徴とする請求項38に記載のトランジスタ。

**【請求項 42】**

前記エミッタから前記ベースへ注入されたキャリアの前記コレクタへの電流伝送率が前記エミッタと前記ベースとの相対的な磁化の向きに依存することを特徴とする請求項38に記載のトランジスタ。

**【請求項 43】**

強磁性体からなるエミッタと、強磁性体からなるベースと、非磁性体または強磁性体からなるコレクタと、前記エミッタと前記ベースとの間に設けられた第1障壁層と、前記ベースと前記コレクタとの間に設けられた第2障壁層とを有し、

前記エミッタから前記ベースへスピン偏極したキャリアを熱放出によって注入することを特徴とするトランジスタ。

**【請求項 44】**

前記エミッタと前記ベースとは、強磁性金属又は強磁性半導体から構成され、前記第1障壁層および第2障壁層は半導体から構成されることを特徴とする請求項43に記載のトランジスタ。

**【請求項 45】**

前記エミッタと前記第1障壁層とは、オーミックコンタクト又はトンネルコンタクトを利用して形成されていることを特徴とする請求項43に記載のトランジスタ。

**【請求項 46】**

前記ベースと前記第1障壁層との障壁構造は、前記ベースが強磁性金属の場合にはショットキー接合により形成され、前記ベースが強磁性半導体の場合には前記ベースと前記第1障壁層とのバンド不連続に基づいて形成されることを特徴とする請求項43に記載のトランジスタ。

**【請求項 47】**

前記ベースと前記第2障壁層との障壁構造は、前記ベースが強磁性金属の場合にはショットキー接合により形成され、前記ベースが強磁性半導体の場合には前記ベースと前記第2障壁層とのバンド不連続に基づいて形成されることを特徴とする請求項43に記載のト

ランジスタ。

【請求項 4 8】

前記エミッタは強磁性半導体から構成され、前記ベースは強磁性金属から構成され、前記第1障壁層は強磁性半導体と強磁性金属との間に形成されるショットキー障壁により形成されること特徴とする請求項43に記載のトランジスタ。

【請求項 4 9】

前記エミッタから前記ベースへ注入されたキャリアの前記コレクタへの電流伝送率が前記エミッタと前記ベースとの相対的な磁化の向きに依存することを特徴とする請求項43に記載のトランジスタ。

【請求項 5 0】

第1伝導型の強磁性半導体からなるエミッタ及び第1伝導型の強磁性半導体からなるコレクタと、前記第1伝導型とは異なる第2伝導型の非磁性半導体からなるベースとを有し、前記ベースの幅は前記エミッタから前記コレクタへキャリアのトンネルが生じる程度に調整されていることを特徴とするトランジスタ。

【請求項 5 1】

前記ベースは、前記エミッタ及び前記コレクタの多数キャリアに対してトンネル障壁となり、前記エミッタと前記コレクタは、前記ベースの多数キャリアに対して、エネルギー障壁となるように、エミッタ-ベース間、ベース-コレクタ間は、タイプIIのヘテロ接合により形成されていることを特徴とする請求項50に記載のトランジスタ。

【請求項 5 2】

前記エミッタと前記コレクタの相対的な磁化の向きによって、相互コンダクタンスまたは出力電流の大きさを制御できることを特徴とする請求項50に記載のトランジスタ。

【請求項 5 3】

強磁性半導体層と、該強磁性半導体層に対して形成されるソース及びドレインと、前記強磁性半導体層に対して形成されるゲート電極と、を有し、前記ソース及び前記ドレインの少なくとも一方が強磁性体により構成されていることを特徴とするトランジスタ。

【請求項 5 4】

前記ソース及び前記ドレインの少なくとも一方に用いられる強磁性体は、強磁性金属または強磁性半導体であることを特徴とする請求項53に記載のトランジスタ。

【請求項 5 5】

前記ソース及び前記ドレインの少なくとも一方は、強磁性金属と前記強磁性半導体層とのショットキー接合によって形成されることを特徴とする請求項53に記載のトランジスタ。

【請求項 5 6】

さらに、前記強磁性半導体層と前記ゲート電極との間に設けられたゲート絶縁層を有することを特徴とする請求項53に記載のトランジスタ。

【請求項 5 7】

前記ソースまたは前記ドレインと前記強磁性半導体との相対的な磁化の向きによって相互コンダクタンスまたは出力電流の大きさを制御できることを特徴とする請求項53に記載のトランジスタ。

【請求項 5 8】

絶縁性の非磁性体からなるトンネル障壁と該トンネル障壁を挟み込む強磁性体からなるソース及び強磁性体からなるドレインとにより形成されるトンネル接合構造と、前記トンネル障壁に対して形成されるゲート電極と、を有することを特徴とするトランジスタ。

【請求項 5 9】

前記ソース及び前記ドレインに用いる強磁性体は、前記強磁性金属または強磁性半導体であることを特徴とする請求項58に記載のトランジスタ。

【請求項 6 0】

前記トンネル障壁の厚さは前記ゲート電極に電圧を印加することによって前記ソースか

ら前記ドレインにトンネル電流が生じる程度に調整されていることを特徴とする請求項 5 8 に記載のトランジスタ。

【請求項 6 1】

前記ソースと前記ドレインとの相対的な磁化の向きによって、相互コンダクタンスまたは出力電流の大きさを制御できることを特徴とする請求項 5 8 に記載のトランジスタ。

【請求項 6 2】

絶縁性の強磁性体からなるトンネル障壁と該トンネル障壁を挟み込む強磁性体からなるソース及び非磁性体または強磁性体からなるドレインとにより形成されるトンネル接合構造と、前記トンネル障壁に対して形成されるゲート電極と、を有することを特徴とするトランジスタ。

【請求項 6 3】

前記ソースまたは前記ドレインに用いる強磁性体は、強磁性金属または強磁性半導体であることを特徴とする請求項 6 2 に記載のトランジスタ。

【請求項 6 4】

前記トンネル障壁の厚さは前記ゲート電極に電圧を印加することによって前記ソースから前記ドレインにトンネル電流が生じる程度に調整されていることを特徴とする請求項 6 2 に記載のトランジスタ。

【請求項 6 5】

前記ソースと前記トンネル障壁との相対的な磁化の向きによって、相互コンダクタンスまたは出力電流の大きさを制御できることを特徴とする請求項 6 2 に記載のトランジスタ。

【請求項 6 6】

請求項 3 6 から 6 5 までのいずれか 1 項に記載の 1 つのトランジスタと、  
前記トランジスタ内に含まれる強磁性体の磁化の状態を変えることにより前記トランジスタ内に情報の書き換えを行う情報書き換え手段と、  
前記トランジスタの出力特性から磁化の状態として記憶された情報を読み出す情報読み出し手段と  
を有することを特徴とする請求項 6 6 に記載の記憶素子。

【請求項 6 7】

請求項 3 6 から 6 5 までのいずれか 1 項に記載のトランジスタは、  
磁化の方向を独立に制御できる強磁性体（以下「フリー層」と称する。）と、磁化の方向を変化させない強磁性体（以下、「ピン層」と称する。）と、を有しており、  
前記フリー層と前記ピン層とが同じ磁化の向きを有する第 1 の状態及び、異なる磁化の向きを有する第 2 の状態とを保持できることを特徴とする請求項 6 6 に記載の記憶素子。

【請求項 6 8】

請求項 3 6 から 6 5 までのいずれか 1 項に記載の 1 つのトランジスタを用いて、前記ピン層に対する前記フリー層の相対的な磁化の向きによって情報を記憶し、前記ピン層と前記フリー層との相対的な磁化の向きに依存する前記トランジスタの出力特性に基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

【請求項 6 9】

請求項 3 8 から 5 2 までのいずれか 1 項に記載の 1 つのトランジスタと、  
前記エミッタと接続する第 1 の配線と、  
前記ベースと接続する第 2 の配線と、  
前記コレクタと接続する第 3 の配線と  
を有する記憶素子。

【請求項 7 0】

請求項 5 3 から 6 4 までのいずれか 1 項に記載の 1 つのトランジスタと、  
前記ソースと接続する第 1 の配線と、  
前記ゲート電極と接続する第 2 の配線と、  
前記ドレインと接続する第 3 の配線と

を有する記憶素子。