

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 11 月 28 日 (28.11.2024)



(10) 国际公布号
WO 2024/239366 A1

(51) 国际专利分类号:

G02F 1/1343 (2006.01)

(21) 国际申请号:

PCT/CN2023/097609

(22) 国际申请日:

2023 年 5 月 31 日 (31.05.2023)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202310582371.4 2023年5月22日 (22.05.2023) CN

(71) 申请人:惠州华星光电显示有限公司(**HUIZHOU CHINA STAR OPTOELECTRONICS DISPLAY CO., LTD.**) [CN/CN]; 中国广东省惠州市仲恺高新区陈江街道华星大道6号模组厂房A, Guangdong 516006 (CN)。TCL华星光电技术有限公司(**TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。

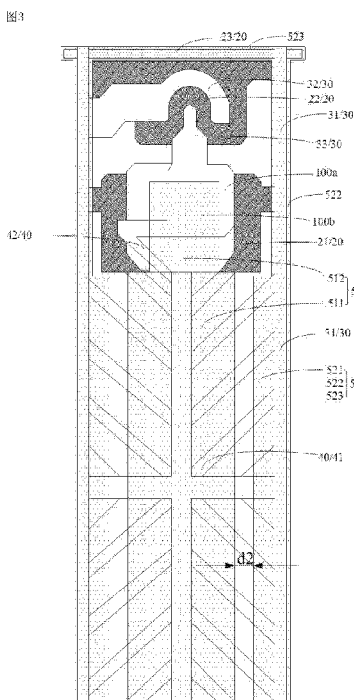
(72) 发明人:严允晟(**UM, Yoonsung**); 中国广东省惠州市仲恺高新区陈江街道华星大道6号模组厂房A, Guangdong 516006 (CN)。刘净(**LIU, Jing**); 中国广东省惠州市仲恺高新区陈江街道华星大道6号模组厂房A, Guangdong 516006 (CN)。

(74) 代理人:深圳紫藤知识产权代理有限公司(**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦C座2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 阵列基板及显示面板



(57) Abstract: An array substrate (100) and a display panel. A shielding layer (50) of the array substrate (100) comprises a first shielding electrode (51), which has the same potential as a pixel electrode (41), and a second shielding electrode (52), which has the same potential as a common signal line (21), wherein an orthographic projection of the first shielding electrode (51) on a substrate (10) overlaps with an orthographic projection of the pixel electrode (41) on the substrate (10), and an orthographic projection of the second shielding electrode (52) on the substrate (10) covers an orthographic projection of a data line (31) on the substrate (10), and at least partially overlaps with the orthographic projection of the pixel electrode (41) on the substrate (10).

(57) 摘要: 一种阵列基板 (100) 及显示面板, 阵列基板 (100) 的屏蔽层 (50) 包括与像素电极 (41) 具有相同电位的第一屏蔽电极 (51) 和与公共信号线 (21) 具有相同电位的第二屏蔽电极 (52); 第一屏蔽电极 (51) 在基底 (10) 上的正投影与像素电极 (41) 在基底 (10) 上的正投影重叠, 第二屏蔽电极 (52) 在基底 (10) 上的正投影覆盖数据线 (31) 在基底 (10) 上的正投影, 且与像素电极 (41) 在基底 (10) 上的正投影至少部分重叠。

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

阵列基板及显示面板

技术领域

[0001] 本申请涉及显示领域，尤其涉及一种阵列基板及显示面板。

背景技术

[0002] 现有像素结构(新增透明电极层代替DBS(data line BM less)，透明电极层与数据线交叠，可以屏蔽数据线的电场，且透明电极层整面设置且与像素电极层之间形成较大透明存储电容，可大幅提升穿透率及存储电容，但整面设置的透明电极层具有电场封闭效果，其与像素电极之间形成横向电场，导致液晶倾倒状态达不到设定的理想值，从而导致液晶效率降低。

发明概述

[0003] 本申请实施例提供一种阵列基板及显示面板，可以解决现有的阵列基板中整面设置的透明电极层与像素电极之间形成横向电场，导致液晶效率降低的技术问题。

[0004] 为解决上述问题，本申请提供的技术方案如下：

[0005] 本申请提供一种阵列基板，包括：

[0006] 基底；

[0007] 第一金属层，位于所述基底上且包括公共信号线；

[0008] 第二金属层，位于所述第一金属层的背离所述基底的一侧且包括数据线；

[0009] 像素电极层，位于所述第二金属层的背离所述第一金属层的一侧且包括多个像素电极；以及

[0010] 屏蔽层，位于所述第二金属层和所述像素电极层之间且包括间隔设置的多个第一屏蔽电极和第二屏蔽电极，所述第一屏蔽电极与所述像素电极具有相同电位，所述第二屏蔽电极与所述公共信号线具有相同电位；

[0011] 其中，所述第一屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠，所述第二屏蔽电极在所述基底上的正投影覆盖所述数据线在所

述基底上的正投影，且与所述像素电极在所述基底上的正投影至少部分重叠。

[0012] 根据本申请提供的阵列基板，所述阵列基板包括多个像素电极区和位于所述像素电极区一侧的至少一个驱动电路区，所述像素电极位于所述像素电极区；

[0013] 所述像素电极层还包括与所述像素电极相接并从所述像素电极区延伸至所述驱动电路区的连接电极，所述第一屏蔽电极在所述驱动电路区内与所述连接电极电连接。

[0014] 根据本申请提供的阵列基板，所述第一屏蔽电极包括第一子屏蔽电极以及自所述第一子屏蔽电极的一侧延伸而出的第二子屏蔽电极；所述第一子屏蔽电极位于所述像素电极区，所述第二子屏蔽电极至少位于所述驱动电路区，所述第二子屏蔽电极在所述驱动电路区内与所述连接电极电连接。

[0015] 根据本申请提供的阵列基板，所述第二金属层还包括间隔设置且位于所述驱动电路区的源极及漏极；所述源极与所述数据线电连接，所述第二子屏蔽电极通过第一过孔与所述漏极电连接，所述连接电极通过第二过孔与所述第二子屏蔽电极在所述第一过孔内搭接，所述第一过孔与所述第二过孔相连通。

[0016] 根据本申请提供的阵列基板，所述阵列基板还包括：

[0017] 色阻层，形成在所述第二金属层和所述屏蔽层之间；以及

[0018] 绝缘层，设置于所述屏蔽层和所述像素电极层之间；

[0019] 其中，所述第一过孔贯穿所述色阻层，所述第二过孔贯穿所述绝缘层。

[0020] 根据本申请提供的阵列基板，所述第二屏蔽电极包括延伸方向与所述数据线平行且相连接的第三子屏蔽电极和第四子屏蔽电极，所述第三子屏蔽电极位于所述像素电极区一侧，所述第四子屏蔽电极位于所述驱动电路区一侧；所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影至少部分重叠。

[0021] 根据本申请提供的阵列基板，所述第一金属层还包括扫描线，所述扫描线与所述数据线交叉设置；

[0022] 所述第二屏蔽电极还包括与所述扫描线平行并与所述第三子屏蔽电极相连的第五子屏蔽电极，所述第三子屏蔽电极、第四子屏蔽电极和所述第五子屏蔽电极连接成网格状，每一所述第一屏蔽电极位于一网格中；

- [0023] 其中，所述第五子屏蔽电极在所述基底上的正投影覆盖所述扫描线在所述基底上的正投影。
- [0024] 根据本申请提供的阵列基板，所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠的部分的宽度范围大于5微米。
- [0025] 根据本申请提供的阵列基板，所述第一子屏蔽电极的面积与所述像素电极的面积比值范围为30%-85%。
- [0026] 根据本申请提供的阵列基板，所述第三子屏蔽电极和所述第一子屏蔽电极之间的最小间距的范围为4微米-10微米。
- [0027] 根据本申请提供的阵列基板，所述阵列基板还包括第三过孔，所述第二屏蔽电极与所述公共信号线通过所述第三过孔电连接。
- [0028] 本申请提供一种显示面板，包括：
- [0029] 阵列基板；
- [0030] 彩膜基板，与所述阵列基板相对设置；以及
- [0031] 液晶层，位于所述阵列基板和所述彩膜基板之间；
- [0032] 其中，所述阵列基板包括：
- [0033] 基底；
- [0034] 第一金属层，位于所述基底上且包括公共信号线；
- [0035] 第二金属层，位于所述第一金属层的背离所述基底的一侧且包括数据线；
- [0036] 像素电极层，位于所述第二金属层的背离所述第一金属层的一侧且包括多个像素电极；以及
- [0037] 屏蔽层，位于所述第二金属层和所述像素电极层之间且包括间隔设置的多个第一屏蔽电极和第二屏蔽电极，所述第一屏蔽电极与所述像素电极具有相同电位，所述第二屏蔽电极与所述公共信号线具有相同电位；
- [0038] 其中，所述第一屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠，所述第二屏蔽电极在所述基底上的正投影覆盖所述数据线在所述基底上的正投影，且与所述像素电极在所述基底上的正投影至少部分重叠。
- [0039] 根据本申请提供的显示面板，所述阵列基板包括多个像素电极区和位于所述像素电极区一侧的至少一个驱动电路区，所述像素电极位于所述像素电极区；

- [0040] 所述像素电极层还包括与所述像素电极相接并从所述像素电极区延伸至所述驱动电路区的连接电极，所述第一屏蔽电极在所述驱动电路区内与所述连接电极电连接。
- [0041] 根据本申请提供的显示面板，所述第一屏蔽电极包括第一子屏蔽电极以及自所述第一子屏蔽电极的一侧延伸而出的第二子屏蔽电极；所述第一子屏蔽电极位于所述像素电极区，所述第二子屏蔽电极至少位于所述驱动电路区，所述第二子屏蔽电极在所述驱动电路区内与所述连接电极电连接。
- [0042] 根据本申请提供的显示面板，所述第二金属层还包括间隔设置且位于所述驱动电路区的源极及漏极；所述源极与所述数据线电连接，所述第二子屏蔽电极通过第一过孔与所述漏极电连接，所述连接电极通过第二过孔与所述第二子屏蔽电极在所述第一过孔内搭接，所述第一过孔与所述第二过孔相连通。
- [0043] 根据本申请提供的显示面板，所述阵列基板还包括：
- [0044] 色阻层，形成在所述第二金属层和所述屏蔽层之间；以及
- [0045] 绝缘层，设置于所述屏蔽层和所述像素电极层之间；
- [0046] 其中，所述第一过孔贯穿所述色阻层，所述第二过孔贯穿所述绝缘层。
- [0047] 根据本申请提供的显示面板，所述第二屏蔽电极包括延伸方向与所述数据线平行且相连接的第三子屏蔽电极和第四子屏蔽电极，所述第三子屏蔽电极位于所述像素电极区一侧，所述第四子屏蔽电极位于所述驱动电路区一侧；所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影至少部分重叠。
- [0048] 根据本申请提供的显示面板，所述第一金属层还包括扫描线，所述扫描线与所述数据线交叉设置；
- [0049] 所述第二屏蔽电极还包括与所述扫描线平行并与所述第三子屏蔽电极相连的第五子屏蔽电极，所述第三子屏蔽电极、第四子屏蔽电极和所述第五子屏蔽电极连接成网格状，每一所述第一屏蔽电极位于一网格中；
- [0050] 其中，所述第五子屏蔽电极在所述基底上的正投影覆盖所述扫描线在所述基底上的正投影。
- [0051] 根据本申请提供的显示面板，所述第三子屏蔽电极在所述基底上的正投影与所

述像素电极在所述基底上的正投影重叠的部分的宽度范围大于5微米。

[0052] 根据本申请提供的显示面板，所述第一子屏蔽电极的面积与所述像素电极的面积比值范围为30%–85%。

有益效果

[0053] 本申请的有益效果：在本申请实施例提供的阵列基板及显示面板中，将整面设置的屏蔽层设置为两部分，分别为间隔设置的第一屏蔽电极和多个第二屏蔽电极，第一屏蔽电极与像素电极具有相同电位，第一屏蔽电极在基底上的正投影与像素电极在基底上的正投影重叠，由于第一屏蔽电极与像素电极之间没有电压差，避免两者之间产生横向电场对液晶偏转角度造成影响；与此同时，第二屏蔽电极与公共信号线具有相同电位，第二屏蔽电极在基底上的正投影覆盖数据线在基底上的正投影，且与像素电极在基底上的正投影至少部分重叠，有利于增大两者之间的存储电容，能够提高穿透率。如此，同时保证了穿透率和液晶效率。

附图说明

[0054] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0055] 图1为本申请实施例提供的一种显示面板的截面结构示意图；

[0056] 图2为本申请实施例提供的一种显示面板的膜层结构示意图；

[0057] 图3为本申请实施例提供的一种阵列基板的平面结构示意图；

[0058] 图4为图3中的阵列基板的数据线、像素电极和屏蔽层的位置关系示意图；

[0059] 图5为图3中的阵列基板的像素电极区与驱动电路区的位置关系示意图；

[0060] 图6为图3中的阵列基板的屏蔽层的第一种平面结构示意图；

[0061] 图7为图6中的A位置处的局部放大结构示意图；

[0062] 图8为图3中的第三过孔进行剖切的阵列基板的剖视图；

[0063] 图9为图3中的阵列基板的屏蔽层的第二种平面结构示意图；

[0064] 图10为图3中的阵列基板的屏蔽层的第三种平面结构示意图。

本发明的实施方式

[0065] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0066] 在本申请的描述中，需要理解的是，术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中，“多个”的含义是两个或两个以上，除非另有明确具体地限定。

[0067] 本申请可以在不同实施中重复参考数字和/或参考字母，这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施方式和/或设置之间的关系。

[0068] 以下将结合具体实施例及附图对本申请提供的阵列基板及显示面板进行详细描述。

[0069] 请参阅图1，本申请提供一种显示面板，所述显示面板包括阵列基板100、彩膜基板200及液晶层300，所述阵列基板100和所述彩膜基板200相对设置，所述液晶层300位于所述彩膜基板200与所述阵列基板100之间。所述液晶层300包括多个液晶分子301，所述阵列基板100和所述彩膜基板200之间存在电压差，该电压差能够驱动所述液晶层300中的液晶分子301产生转动，从而实现画面显示。

[0070] 请参阅图2-图4，本申请提供一种阵列基板100，所述阵列基板100包括基底10、第一金属层20、第二金属层30、像素电极层40及屏蔽层50。

[0071] 所述第一金属层20位于所述基底10上且包括公共信号线21。所述第二金属层30位于所述第一金属层20的背离所述基底10的一侧且包括数据线31。所述像素电极层40位于所述第二金属层30的背离所述第一金属层20的一侧且包括间隔设置

的多个像素电极41。所述屏蔽层50位于所述第二金属层30和所述像素电极层40之间且包括间隔设置的多个第一屏蔽电极51和第二屏蔽电极52，所述第一屏蔽电极51与所述像素电极41具有相同电位，所述第二屏蔽电极52与所述公共信号线21具有相同电位。其中，所述第一屏蔽电极51在所述基底10上的正投影与所述像素电极41在所述基底10上的正投影重叠，所述第二屏蔽电极52在所述基底10上的正投影覆盖所述数据线31在所述基底10上的正投影，且与所述像素电极41在所述基底10上的正投影至少部分重叠。

[0072] 可以理解的是，所述第二屏蔽电极52与所述公共信号线21具有相同电位，且所述第二屏蔽电极52在所述基底10上的正投影覆盖所述数据线31在所述基底10上的正投影，使得所述第二屏蔽电极52和所述彩膜基板200之间不存在电压差，从而确保所述数据线31上方的液晶处于暗态，起到黑矩阵的作用，避免所述数据线31两侧漏光。并且，所述第二屏蔽电极52在所述基底10上的正投影与所述像素电极41在所述基底10上的正投影至少部分重叠，增大了所述像素电极41与所述屏蔽层50之间的存储电容，有利于提高穿透率。

[0073] 与此同时，所述第一屏蔽电极51与所述像素电极41具有相同电位，使得所述第一屏蔽电极51与所述像素电极41之间没有电压差，从而避免两者之间产生横向电场对液晶偏转角度造成影响，有利于提升液晶效率。如此，同时保证了穿透率和液晶效率。

[0074] 在本申请实施例中，所述像素电极41在所述基底10上的正投影覆盖所述第一屏蔽电极51在所述基底10上的正投影。

[0075] 所述像素电极41为透明的，所述像素电极41的材质为氧化铟锡(Indium tin oxide, ITO)。当然，所述像素电极41的材质并不局限于ITO，还可以是其他的透明电极材料。

[0076] 在本申请实施例中，所述屏蔽层50也为透明的，避免对位于阵列基板100一侧的背光模组提供的背光造成遮挡。

[0077] 在本申请实施例中，请参阅图5，所述阵列基板100包括至少一像素电极区101及至少一个驱动电路区102，所述驱动电路区102位于所述像素电极区101的一侧。所述像素电极区101用于放置所述像素电极41，所述驱动电路区102用于放置

驱动液晶偏转的驱动电路。在本实施例中，所述像素电极区101的数量为至少两个，一个所述驱动电路区102位于两个相邻的所述像素电极区101之间。

[0078] 在本申请实施例中，请结合图2和图5，所述像素电极层40还包括从所述像素电极区101延伸至所述驱动电路区102且与所述像素电极41相接的连接电极42，所述第一屏蔽电极51在所述驱动电路区102内与所述连接电极42电连接，在不影响所述像素电极41的开口率的情况下，能够使得所述第一屏蔽电极51与所述像素电极41具有相同电位。

[0079] 具体的，在本申请实施例中，请结合图2和图6，所述第一屏蔽电极51包括第一子屏蔽电极511以及自所述第一子屏蔽电极511的一侧延伸而出的第二子屏蔽电极512；所述第一子屏蔽电极511位于所述像素电极区101，所述第二子屏蔽电极512至少位于所述驱动电路区102，所述第二子屏蔽电极512在所述驱动电路区102内与所述连接电极42电连接。在本实施例中，所述第二子屏蔽电极512完全位于所述驱动电路区102。

[0080] 可选的，所述第二子屏蔽电极512在所述基底10上的正投影的形状可以包括矩形、菱形、三角形规则图形或不规则图形中的其中一种。所述第二子屏蔽电极512的形状也并不局限于上述的结构。在本实施例中，所述第二子屏蔽电极512在所述基底10上的正投影的形状为矩形。

[0081] 需要说明的是，实现所述第一屏蔽电极51与所述像素电极41具有相同电位的方式具有多种方式。例如，在一种实施例中，所述第一屏蔽电极51与所述像素电极41电连接且接入同一信号。在另一种实施例中，所述第一屏蔽电极51与所述像素电极41之间不存在连接关系，但两者接入同一信号，具体的，所述第一屏蔽电极51接入一信号走线，该信号走线与所述像素电极41电连接的信号走线为同一信号走线。在另一种实施例中，所述第一屏蔽电极51与所述像素电极41之间不存在连接关系且接入不同的信号，但两者具有同一电位，具体的，所述第一屏蔽电极51接入一信号走线，该信号走线与所述像素电极41电连接的信号走线为不同的信号走线。

[0082] 以下，本申请实施例以所述第一屏蔽电极51与所述像素电极41电连接且接入同一信号为例进行阐述说明，但需要说明的是，其它实施例也在本申请提供的技

术方案的保护范围之内。

[0083] 在本申请实施例中，请结合图2至图6，所述第二金属层30还包括间隔设置且位于所述驱动电路区102的源极32及漏极33；所述源极32与所述数据线31电连接，所述第二子屏蔽电极512通过第一过孔100a与所述漏极33电连接，所述像素电极41通过第二过孔100b与所述第二子屏蔽电极512在所述第一过孔100a内搭接，所述第一过孔100a与所述第二过孔100b相连通。如此，数据信号自所述数据线31依次进入所述源极32、所述漏极33、所述第二子屏蔽电极512、所述连接电极42和所述像素电极41，所述第二子屏蔽电极512和所述像素电极41接收同一数据信号，即，两者之间不会产生电压差，从而不会产生横向电场，位于所述第二子屏蔽电极512正上方的液晶分子301仅受到所述像素电极41和所述彩膜基板200上的公共电极之间形成的垂直电场，而不会受到横向电场的影响，从而能够液晶分子301偏转角度可以达到预期值，有利于提升液晶效率。

[0084] 在本申请实施例中，所述第一过孔100a和所述第二过孔100b在所述阵列基板100的厚度方向上交叠，以减小所述第一过孔100a和所述第二过孔100b占据所述驱动电路区102的空间，从而为驱动电路中的多种走线的排布留出足够空间，使得所述驱动电路区102的面积减小，所述像素电极区101的面积增大，从而进一步提升了开口率。

[0085] 在其他实施例中，所述连接电极42也可通过一过孔与所述漏极33电连接，所述连接电极42通过另一过孔与所述第二子屏蔽电极512电连接；或者，所述连接电极42通过一过孔与所述漏极33电连接，所述第二子屏蔽电极512通过一过孔与所述漏极33电连接。

[0086] 在本申请实施例中，所述第一金属层20还包括扫描线23和栅极22，所述扫描线23与所述数据线31交叉设置，所述扫描线23的延伸方向与所述数据线31的延伸方向垂直，相邻的两条扫描线23及相邻的两条数据线31之间的区域限定为一个所述子像素，每一所述子像素包括一个所述像素电极区101和所述驱动电路区102。在本实施例中，所述扫描线23沿X方向延伸并沿Y方向间隔排列，所述数据线31沿Y方向延伸并沿X方向间隔排列。

[0087] 其中，所述扫描线23与所述栅极22电连接，所述源极32及所述漏极33分别与所

述栅极22位置相对。所述阵列基板100还包括位于所述第一金属层20的一侧的栅极绝缘层81和有源层60，所述栅极绝缘层81覆盖所述第一金属层20，所述有源层60位于所述栅极绝缘层81远离所述基底10的一侧。所述阵列基板100还包括多个晶体管，每个晶体管包括一个所述栅极22、一个所述有源层60及与所述栅极22及所述有源层60位置相对设置的一个所述源极32及一个所述漏极33。扫描信号自所述扫描线23进入所述栅极22，以控制晶体管的开合和关闭。公共信号自所述公共信号线21进入所述第一屏蔽电极51，以使所述第一屏蔽电极51和所述彩膜基板200上的公共电极层203的信号均为同一公共信号，两者之间不存在电压差。

[0088] 在本申请实施例中，所述阵列基板100还包括色阻层70和绝缘层82。所述色阻层70形成在所述第二金属层30和所述屏蔽层50之间。所述绝缘层82设置于所述屏蔽层50和所述像素电极层40之间。其中，所述第一过孔100a贯穿所述色阻层70，所述第二过孔100b贯穿所述绝缘层82。所述色阻层70包括多个色阻块，所述多个色阻块包括蓝色色阻块、红色色阻块和绿色色阻块。

[0089] 在本申请实施例中，所述阵列基板100还包括钝化层83，所述钝化层83覆盖所述第二金属层30，所述色阻层70位于所述钝化层83远离所述基底10的一侧。其中，所述第一过孔100a贯穿所述色阻层70和所述钝化层83。在本实施例中，所述钝化层83的材料包括无机材料，所述无机材料可以包括氮化硅、氧化硅和氮氧化硅的其中一种或多种的组合。

[0090] 在本申请实施例中，所述第二屏蔽电极52包括与所述数据线31平行且相连接的第三子屏蔽电极521和第四子屏蔽电极522，所述第三子屏蔽电极521位于所述像素电极区101一侧，所述第四子屏蔽电极522位于所述驱动电路区102一侧；所述第三子屏蔽电极521在所述基底10上的正投影与所述像素电极41在所述基底10上的正投影至少部分重叠。也即是说，所述第三子屏蔽电极521与所述数据线31及所述像素电极41交叠，其中，所述第三子屏蔽电极521与所述数据线31交叠的部分用于防止所述数据线31漏光，与所述像素电极41交叠的部分用于与所述像素电极41之间形成存储电容，以提升穿透率。

[0091] 其中，所述第四子屏蔽电极522与所述数据线31的部分交叠，以防止所述数据

线31漏光。

[0092] 在本申请实施例中，所述第二屏蔽电极52还包括与所述扫描线23平行并与所述第三子屏蔽电极521相连的第五子屏蔽电极523，所述第三子屏蔽电极521、第四子屏蔽电极522和所述第五子屏蔽电极523连接成网格状，每一所述第一屏蔽电极51位于一网格中，具体的，所述第一子屏蔽电极511和所述第二子屏蔽电极512均位于同一所述网格中。

[0093] 在本申请实施例中，所述第五子屏蔽电极523在所述基底10上的正投影覆盖所述扫描线23在所述基底10上的正投影，以用于遮蔽所述扫描线23，从而确保所述扫描线23上方的液晶处于暗态，起到黑矩阵的作用，避免所述扫描线23两侧漏光。

[0094] 可以理解的是，若所述第二屏蔽电极52与所述像素电极41交叠的面积过大，即所述第一屏蔽电极51与所述像素电极41交叠的面积过小，所述第二屏蔽电极52与所述像素电极41之间的存储电容较大，穿透率较高，但所述第一屏蔽电极51对于其与所述像素电极41之间形成的横向电场的改善作用不明显，液晶效率低。若所述第二屏蔽电极52与所述像素电极41交叠的面积过小，即所述第一屏蔽电极51与所述像素电极41交叠的面积过大，所述第一屏蔽电极51对于其与所述像素电极41之间形成的横向电场的改善作用较为明显，液晶效率高，但所述第二屏蔽电极52与所述像素电极41之间的存储电容较小，穿透率低。因此，所述第二屏蔽电极52与所述像素电极41交叠的面积、以及所述第一屏蔽电极51与所述像素电极41交叠的面积之间需要存在一平衡，以同时保证较高的穿透率和液晶效率。

[0095] 有鉴于此，在本申请实施例中，请参阅图4，所述第三子屏蔽电极521在所述基底10上的正投影与所述像素电极41在所述基底10上的正投影重叠的部分的宽度 d_1 的范围大于5微米。进一步的，所述第一子屏蔽电极511的面积与所述像素电极41的面积比值范围为30%–85%，以保证较高的穿透率和液晶效率。

[0096] 在本申请实施例中，请参阅图2和图7，所述第三子屏蔽电极521和所述第一子屏蔽电极511之间的最小间距 d_2 的范围为4微米–10微米，以避免同层设置的所述第三子屏蔽电极521和所述第一子屏蔽电极511之间发生短路。

- [0097] 在本申请实施例中，请参阅图8，所述阵列基板100还包括第三过孔100c，所述第二屏蔽电极52与所述公共信号线21通过所述第三过孔100c电连接，所述第三过孔100c贯穿所述色阻层70、所述钝化层83和所述栅极22绝缘层82。
- [0098] 所述公共信号线21包括第一公共信号线及第二公共信号线，所述第一公共信号线与所述第二公共信号线垂直连接，所述第一公共信号线21及所述第二公共信号线中的一条平行于所述数据线31。所述第二屏蔽电极52通过所述第三过孔100c与所述第一公共信号线和所述第二公共信号线中的其中一条电连接，在本申请实施例中，所述第三过孔100c可位于所述驱动电路区102。
- [0099] 在本申请实施例中，所述第一子屏蔽电极511在所述基底10上的正投影的形状包括矩形、菱形、三角形规则图形或不规则图形中的其中一种。所述第一子屏蔽电极511的形状也并不局限于上述的结构。具体的，如图6所示，所述第一子屏蔽电极511在所述基底10上的正投影的形状为矩形。如图9所示，所述第一子屏蔽电极511在所述基底10上的正投影的形状为菱形。如图10所示，所述第一子屏蔽电极511在所述基底10上的正投影的形状为六边形，其中，该六边形由两个等腰梯形组成，两个等腰梯形分别为正等腰梯形和倒等腰梯形。
- [0100] 在本申请实施例中，请参阅图1和图2，所述彩膜基板200包括一彩膜基底201、形成在所述彩膜基底201上的图案化的黑矩阵层202及形成在所述彩膜基底201上且包覆所述黑矩阵层202的公共电极，所述公共电极面向所述像素电极层40。
- [0101] 所述阵列基板100和所述彩膜基板200之间还设置有支撑柱400，所述支撑柱400与所述黑矩阵层202对应设置，起到支撑作用。
- [0102] 有益效果：在本申请提供的阵列基板及显示面板中，将整面设置的屏蔽层设置为两部分，分别为间隔设置的第一屏蔽电极和多个第二屏蔽电极，第一屏蔽电极与像素电极具有相同电位，第一屏蔽电极在基底上的正投影与像素电极在基底上的正投影重叠，由于第一屏蔽电极与像素电极之间没有电压差，避免两者之间产生横向电场对液晶偏转角度造成影响；与此同时，第二屏蔽电极与公共信号线具有相同电位，第二屏蔽电极在基底上的正投影覆盖数据线在基底上的正投影，且与像素电极在基底上的正投影至少部分重叠，有利于增大两者之间的存储电容，能够提高穿透率。如此，同时保证了穿透率和液晶效率。

[0103] 在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中未详述的部分，可以参见其他实施例的相关描述。

[0104] 以上对本申请实施例所提供的一种阵列基板及显示面板进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想；本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

权利要求书

- [权利要求 1] 一种阵列基板，包括：
- 基底；
- 第一金属层，位于所述基底上且包括公共信号线；
- 第二金属层，位于所述第一金属层的背离所述基底的一侧且包括数据线；
- 像素电极层，位于所述第二金属层的背离所述第一金属层的一侧且包括多个像素电极；以及
- 屏蔽层，位于所述第二金属层和所述像素电极层之间且包括间隔设置的多个第一屏蔽电极和第二屏蔽电极，所述第一屏蔽电极与所述像素电极具有相同电位，所述第二屏蔽电极与所述公共信号线具有相同电位；
- 其中，所述第一屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠，所述第二屏蔽电极在所述基底上的正投影覆盖所述数据线在所述基底上的正投影，且与所述像素电极在所述基底上的正投影至少部分重叠。
- [权利要求 2] 根据权利要求1所述的阵列基板，其中，所述阵列基板包括多个像素电极区和位于所述像素电极区一侧的至少一个驱动电路区，所述像素电极位于所述像素电极区；
- 所述像素电极层还包括与所述像素电极相接并从所述像素电极区延伸至所述驱动电路区的连接电极，所述第一屏蔽电极在所述驱动电路区内与所述连接电极电连接。
- [权利要求 3] 根据权利要求2所述的阵列基板，其中，所述第一屏蔽电极包括第一子屏蔽电极以及自所述第一子屏蔽电极的一侧延伸而出的第二子屏蔽电极；所述第一子屏蔽电极位于所述像素电极区，所述第二子屏蔽电极至少位于所述驱动电路区，所述第二子屏蔽电极在所述驱动电路区内与所述连接电极电连接。
- [权利要求 4] 根据权利要求3所述的阵列基板，其中，所述第二金属层还包括间隔

设置且位于所述驱动电路区的源极及漏极；所述源极与所述数据线电连接，所述第二子屏蔽电极通过第一过孔与所述漏极电连接，所述连接电极通过第二过孔与所述第二子屏蔽电极在所述第一过孔内搭接，所述第一过孔与所述第二过孔相连通。

[权利要求 5] 根据权利要求4所述的阵列基板，其中，所述阵列基板还包括：色阻层，形成在所述第二金属层和所述屏蔽层之间；以及绝缘层，设置于所述屏蔽层和所述像素电极层之间；其中，所述第一过孔贯穿所述色阻层，所述第二过孔贯穿所述绝缘层。

[权利要求 6] 根据权利要求3所述的阵列基板，其中，所述第二屏蔽电极包括延伸方向与所述数据线平行且相连接的第三子屏蔽电极和第四子屏蔽电极，所述第三子屏蔽电极位于所述像素电极区一侧，所述第四子屏蔽电极位于所述驱动电路区一侧；所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影至少部分重叠。

[权利要求 7] 根据权利要求6所述的阵列基板，其中，所述第一金属层还包括扫描线，所述扫描线与所述数据线交叉设置；所述第二屏蔽电极还包括与所述扫描线平行并与所述第三子屏蔽电极相连的第五子屏蔽电极，所述第三子屏蔽电极、第四子屏蔽电极和所述第五子屏蔽电极连接成网格状，每一所述第一屏蔽电极位于一网格中；其中，所述第五子屏蔽电极在所述基底上的正投影覆盖所述扫描线在所述基底上的正投影。

[权利要求 8] 根据权利要求7所述的阵列基板，其中，所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠的部分的宽度范围大于5微米。

[权利要求 9] 根据权利要求8所述的阵列基板，其中，所述第一子屏蔽电极的面积与所述像素电极的面积比值范围为30%–85%。

[权利要求 10] 根据权利要求6所述的阵列基板，其中，所述第三子屏蔽电极和所述

第一子屏蔽电极之间的最小间距的范围为4微米-10微米。

[权利要求 11] 根据权利要求1所述的阵列基板，其中，所述阵列基板还包括第三过孔，所述第二屏蔽电极与所述公共信号线通过所述第三过孔电连接。

[权利要求 12] 一种显示面板，包括：

阵列基板；

彩膜基板，与所述阵列基板相对设置；以及

液晶层，位于所述阵列基板和所述彩膜基板之间；

其中，所述阵列基板包括：

基底；

第一金属层，位于所述基底上且包括公共信号线；

第二金属层，位于所述第一金属层的背离所述基底的一侧且包括数据线；

像素电极层，位于所述第二金属层的背离所述第一金属层的一侧且包括多个像素电极；以及

屏蔽层，位于所述第二金属层和所述像素电极层之间且包括间隔设置的多个第一屏蔽电极和第二屏蔽电极，所述第一屏蔽电极与所述像素电极具有相同电位，所述第二屏蔽电极与所述公共信号线具有相同电位；

其中，所述第一屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠，所述第二屏蔽电极在所述基底上的正投影覆盖所述数据线在所述基底上的正投影，且与所述像素电极在所述基底上的正投影至少部分重叠。

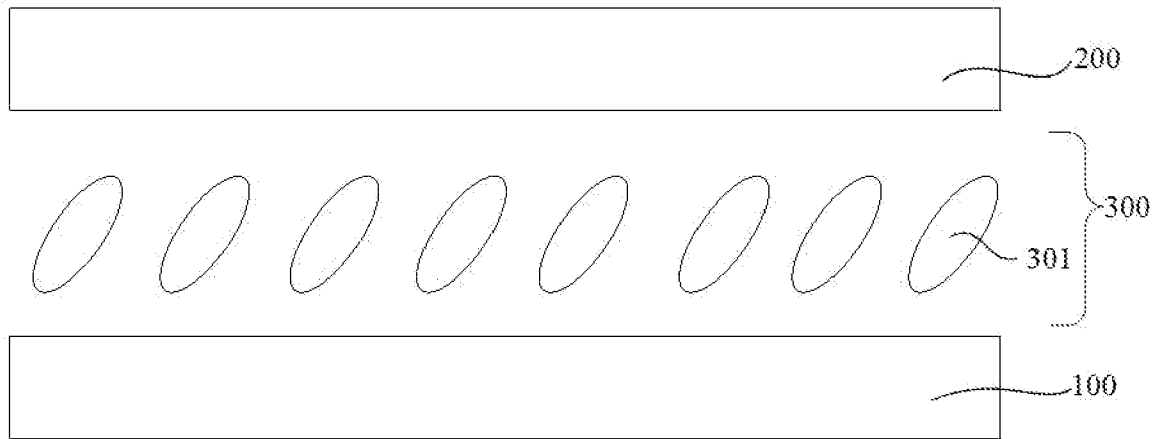
[权利要求 13] 根据权利要求12所述的显示面板，其中，所述阵列基板包括多个像素电极区和位于所述像素电极区一侧的至少一个驱动电路区，所述像素电极位于所述像素电极区；

所述像素电极层还包括与所述像素电极相接并从所述像素电极区延伸至所述驱动电路区的连接电极，所述第一屏蔽电极在所述驱动电路区内与所述连接电极电连接。

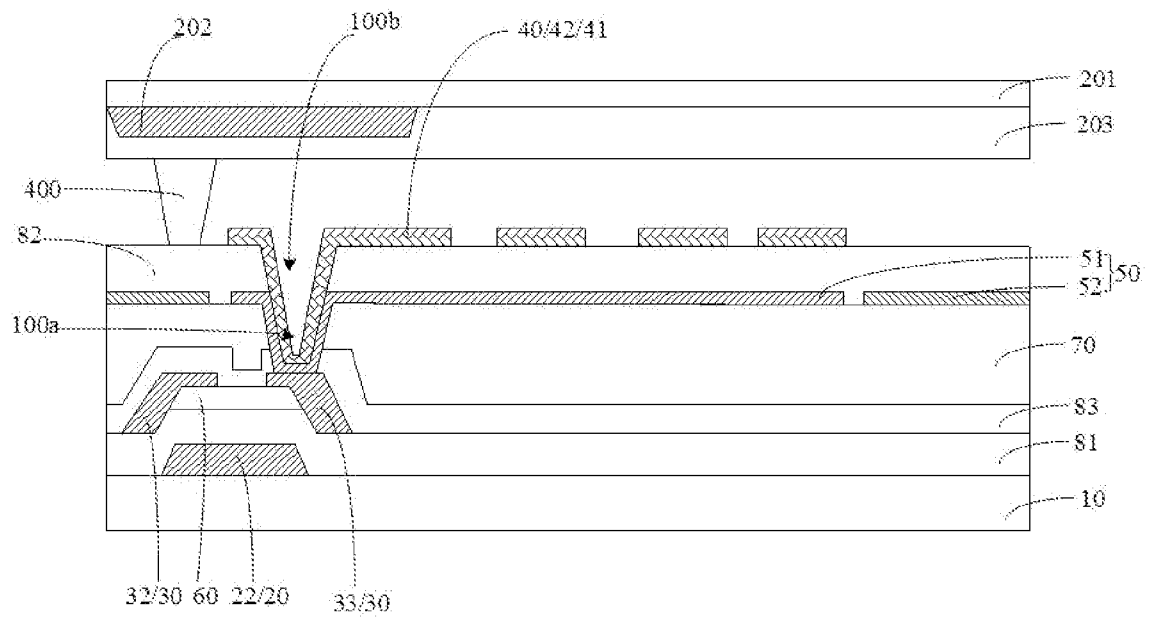
- [权利要求 14] 根据权利要求13所述的显示面板，其中，所述第一屏蔽电极包括第一子屏蔽电极以及自所述第一子屏蔽电极的一侧延伸而出的第二子屏蔽电极；所述第一子屏蔽电极位于所述像素电极区，所述第二子屏蔽电极至少位于所述驱动电路区，所述第二子屏蔽电极在所述驱动电路区内与所述连接电极电连接。
- [权利要求 15] 根据权利要求14所述的显示面板，其中，所述第二金属层还包括间隔设置且位于所述驱动电路区的源极及漏极；所述源极与所述数据线电连接，所述第二子屏蔽电极通过第一过孔与所述漏极电连接，所述连接电极通过第二过孔与所述第二子屏蔽电极在所述第一过孔内搭接，所述第一过孔与所述第二过孔相连通。
- [权利要求 16] 根据权利要求15所述的显示面板，其中，所述阵列基板还包括：色阻层，形成在所述第二金属层和所述屏蔽层之间；以及绝缘层，设置于所述屏蔽层和所述像素电极层之间；其中，所述第一过孔贯穿所述色阻层，所述第二过孔贯穿所述绝缘层。
- [权利要求 17] 根据权利要求14所述的显示面板，其中，所述第二屏蔽电极包括延伸方向与所述数据线平行且相连接的第三子屏蔽电极和第四子屏蔽电极，所述第三子屏蔽电极位于所述像素电极区一侧，所述第四子屏蔽电极位于所述驱动电路区一侧；所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影至少部分重叠。
- [权利要求 18] 根据权利要求17所述的显示面板，其中，所述第一金属层还包括扫描线，所述扫描线与所述数据线交叉设置；所述第二屏蔽电极还包括与所述扫描线平行并与所述第三子屏蔽电极相连的第五子屏蔽电极，所述第三子屏蔽电极、第四子屏蔽电极和所述第五子屏蔽电极连接成网格状，每一所述第一屏蔽电极位于一网格中；其中，所述第五子屏蔽电极在所述基底上的正投影覆盖所述扫描线在所述基底上的正投影。

- [权利要求 19] 根据权利要求18所述的显示面板，其中，所述第三子屏蔽电极在所述基底上的正投影与所述像素电极在所述基底上的正投影重叠的部分的宽度范围大于5微米。
- [权利要求 20] 根据权利要求19所述的显示面板，其中，所述第一子屏蔽电极的面积与所述像素电极的面积比值范围为30%-85%。

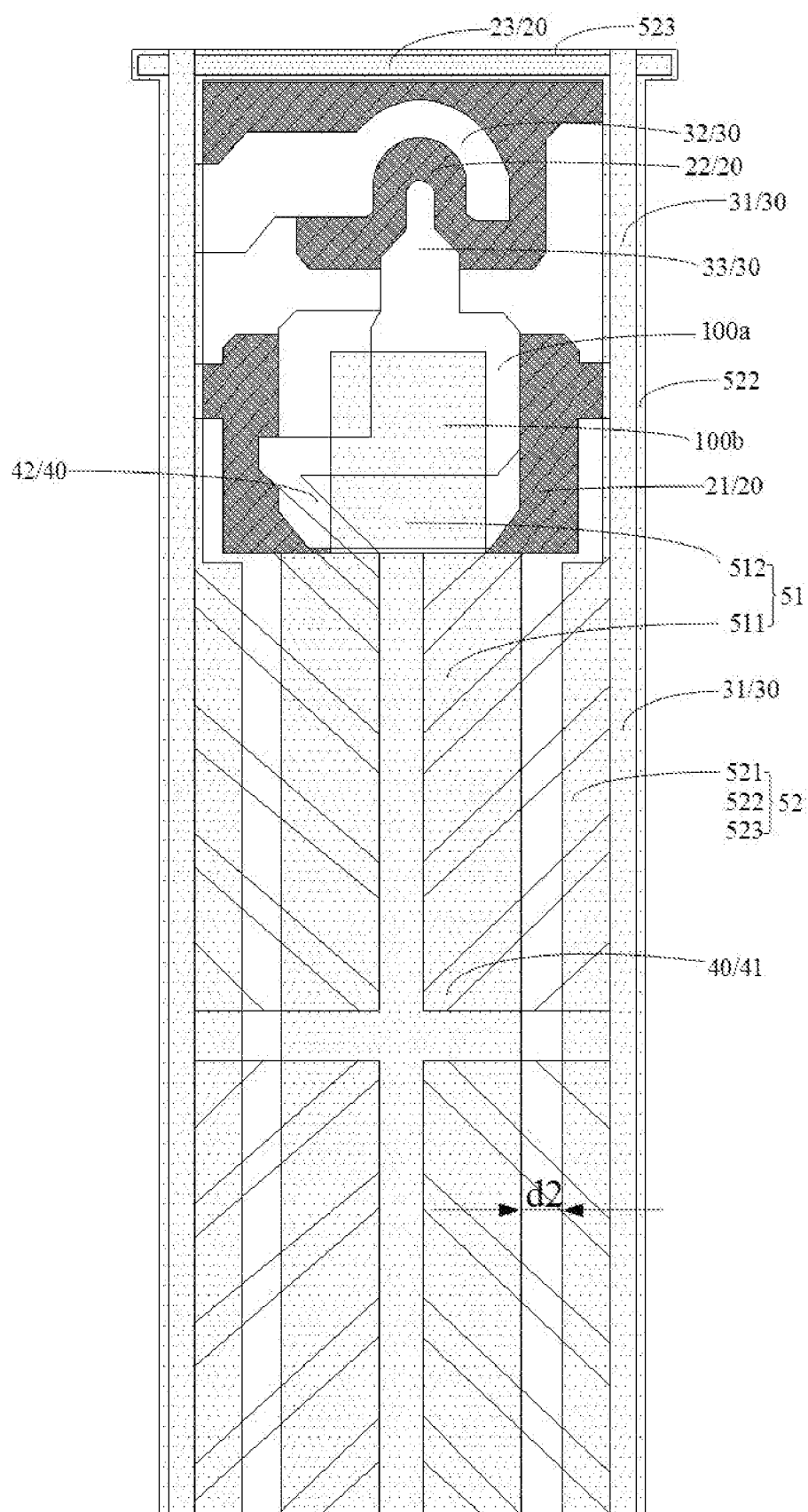
[图1]



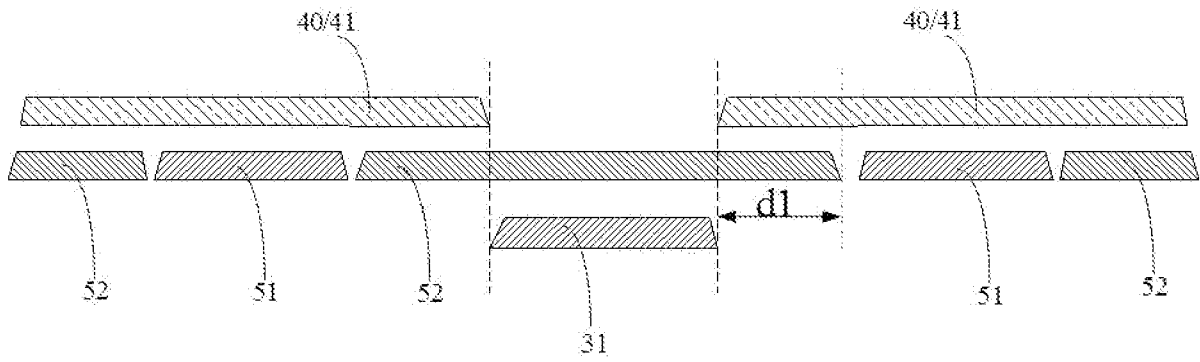
[图2]



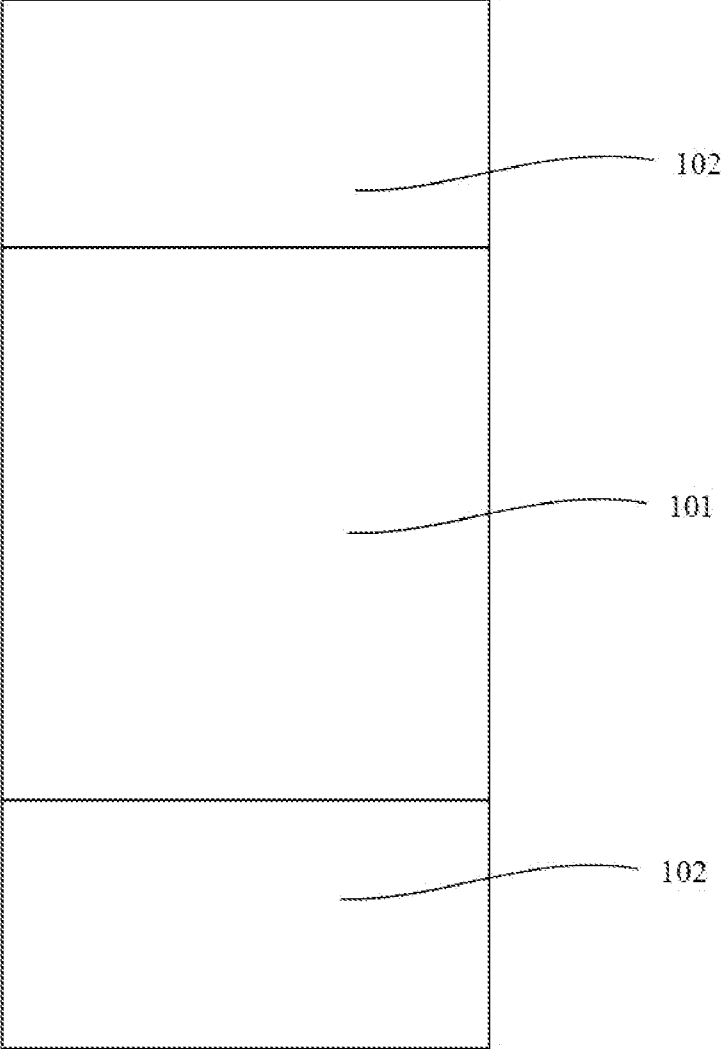
[图3]



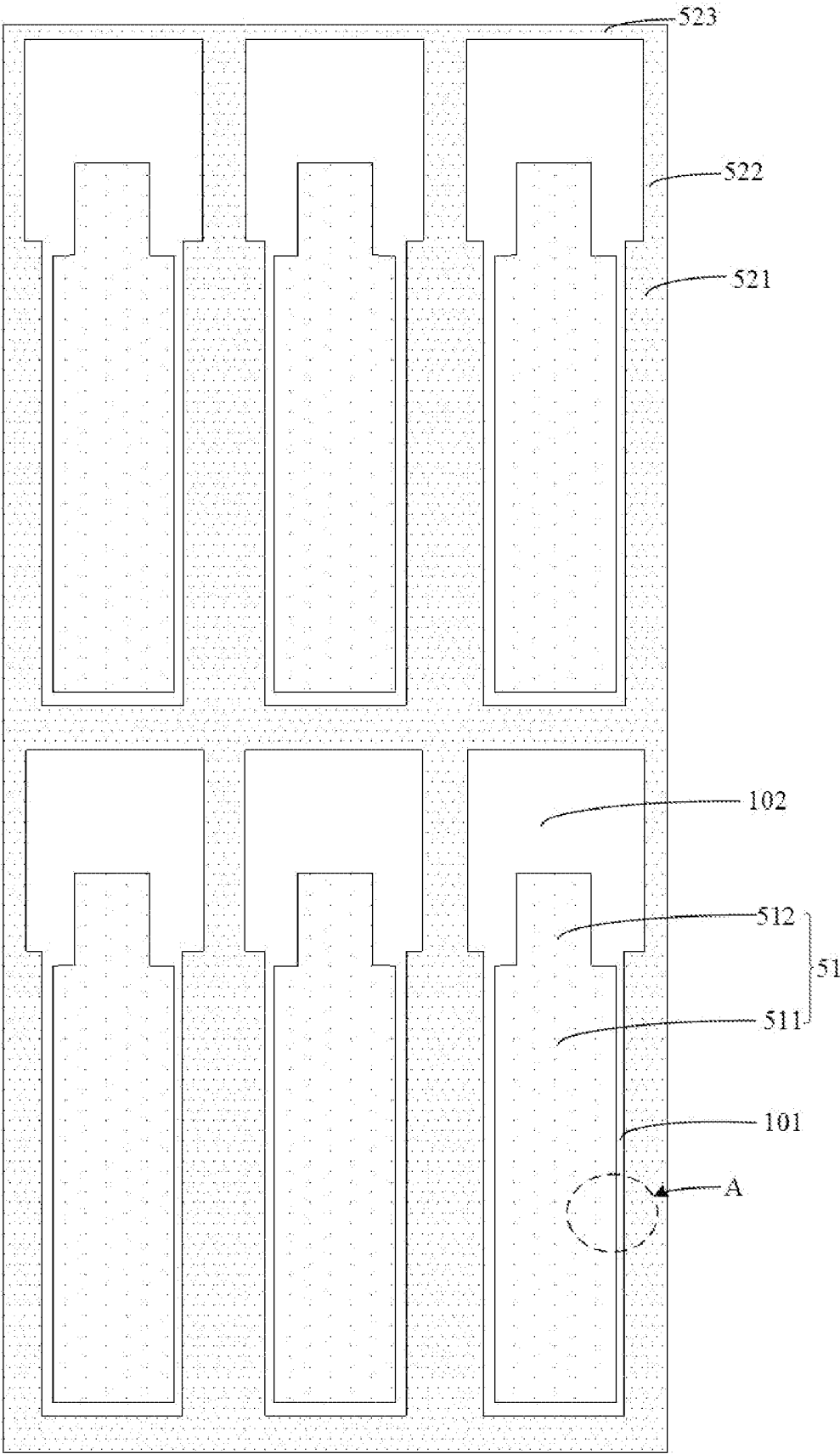
[图4]



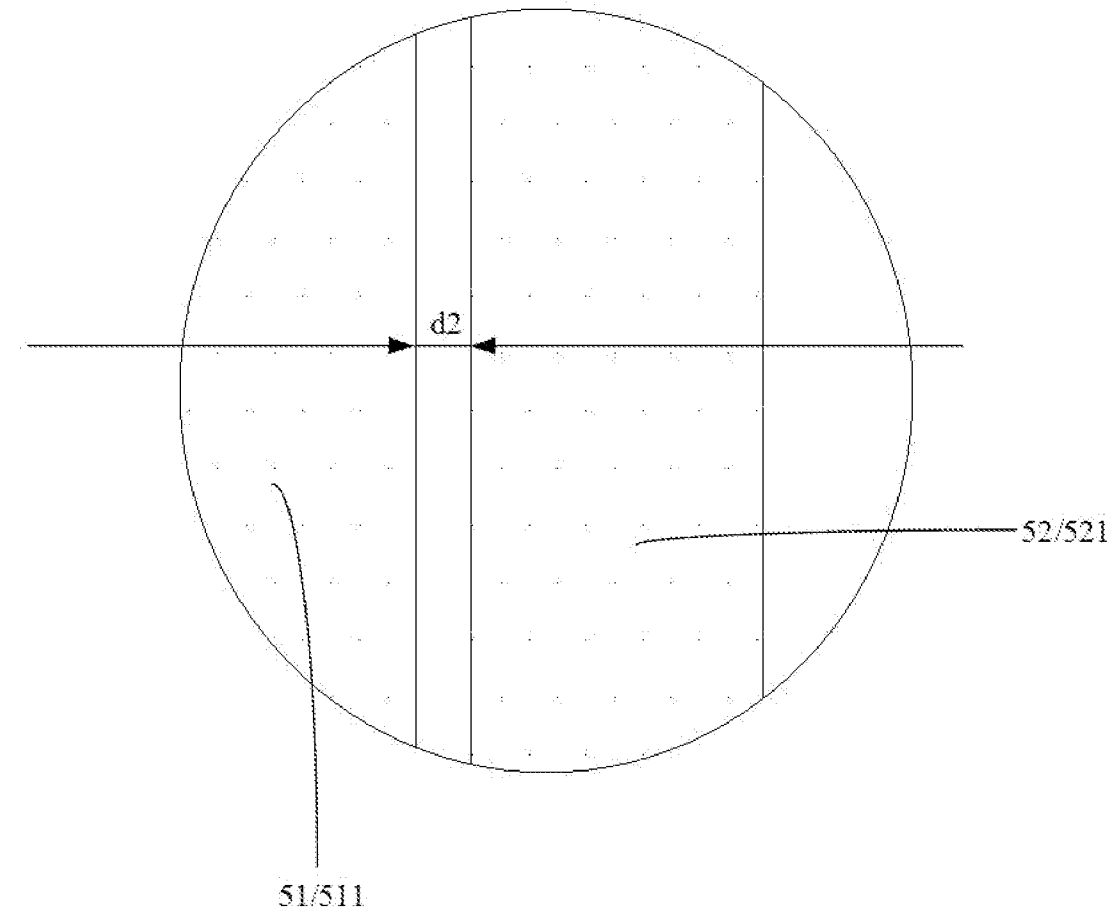
[图5]



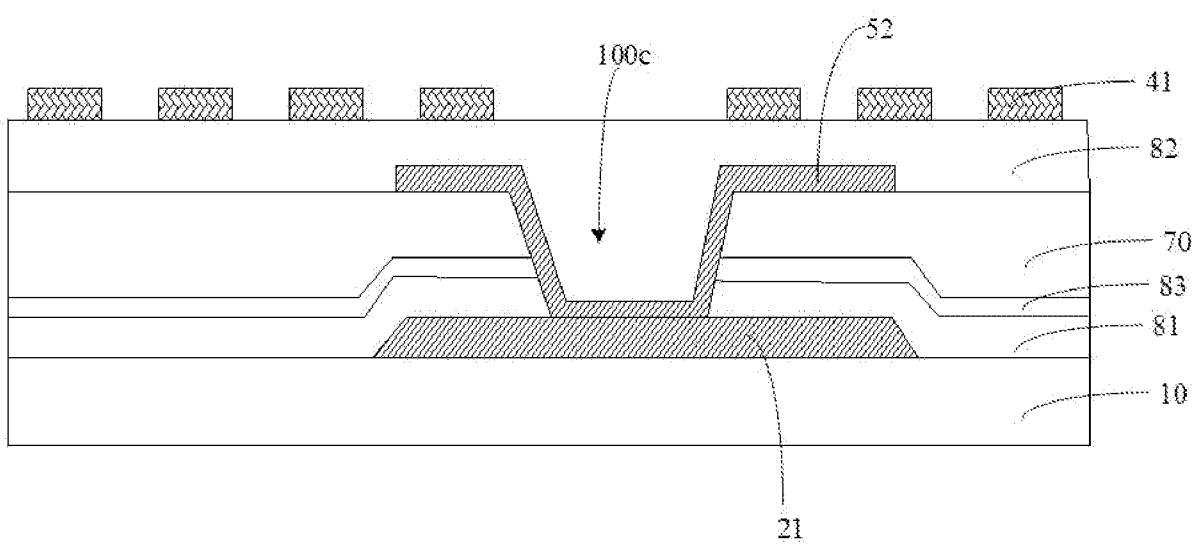
[图6]



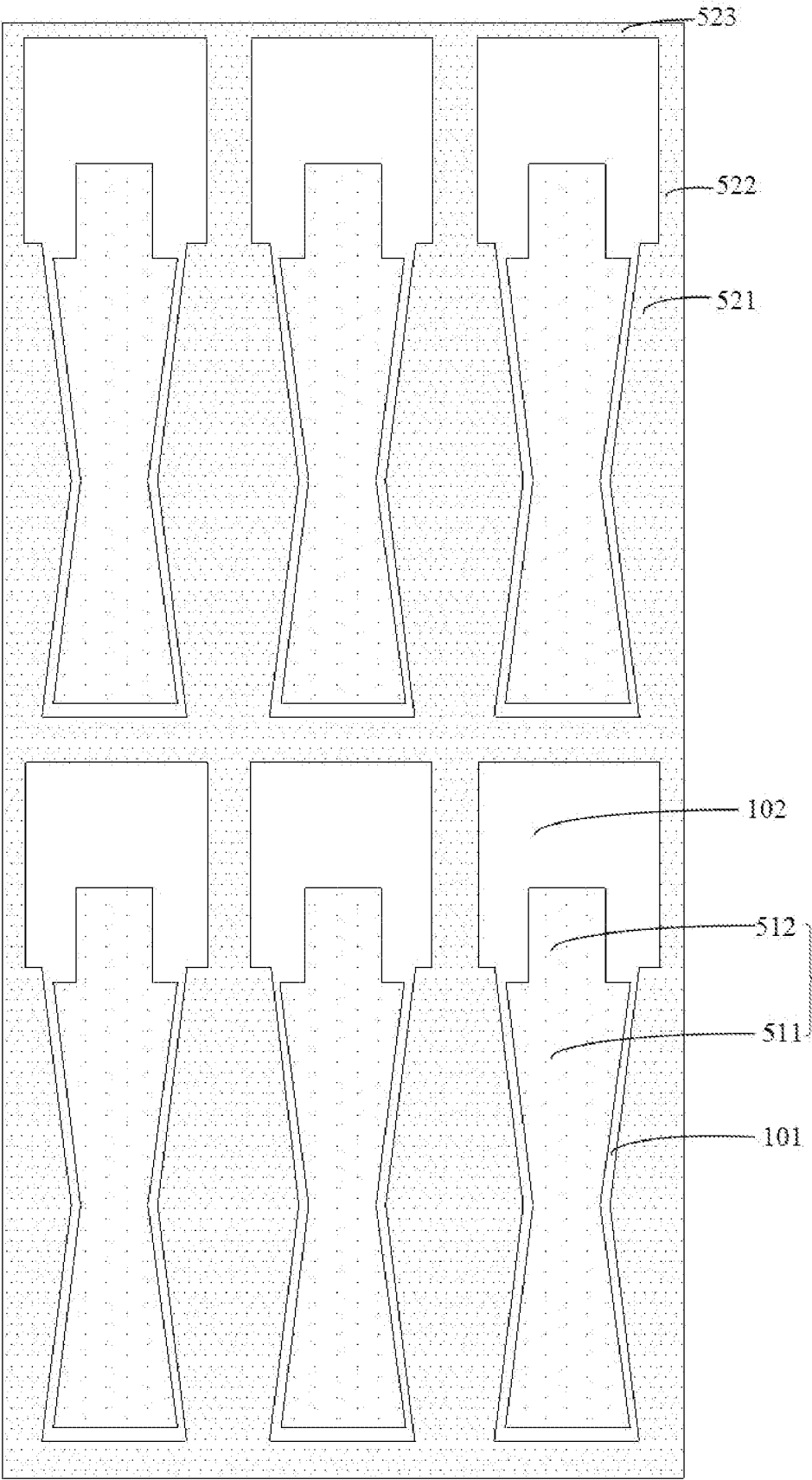
[图7]



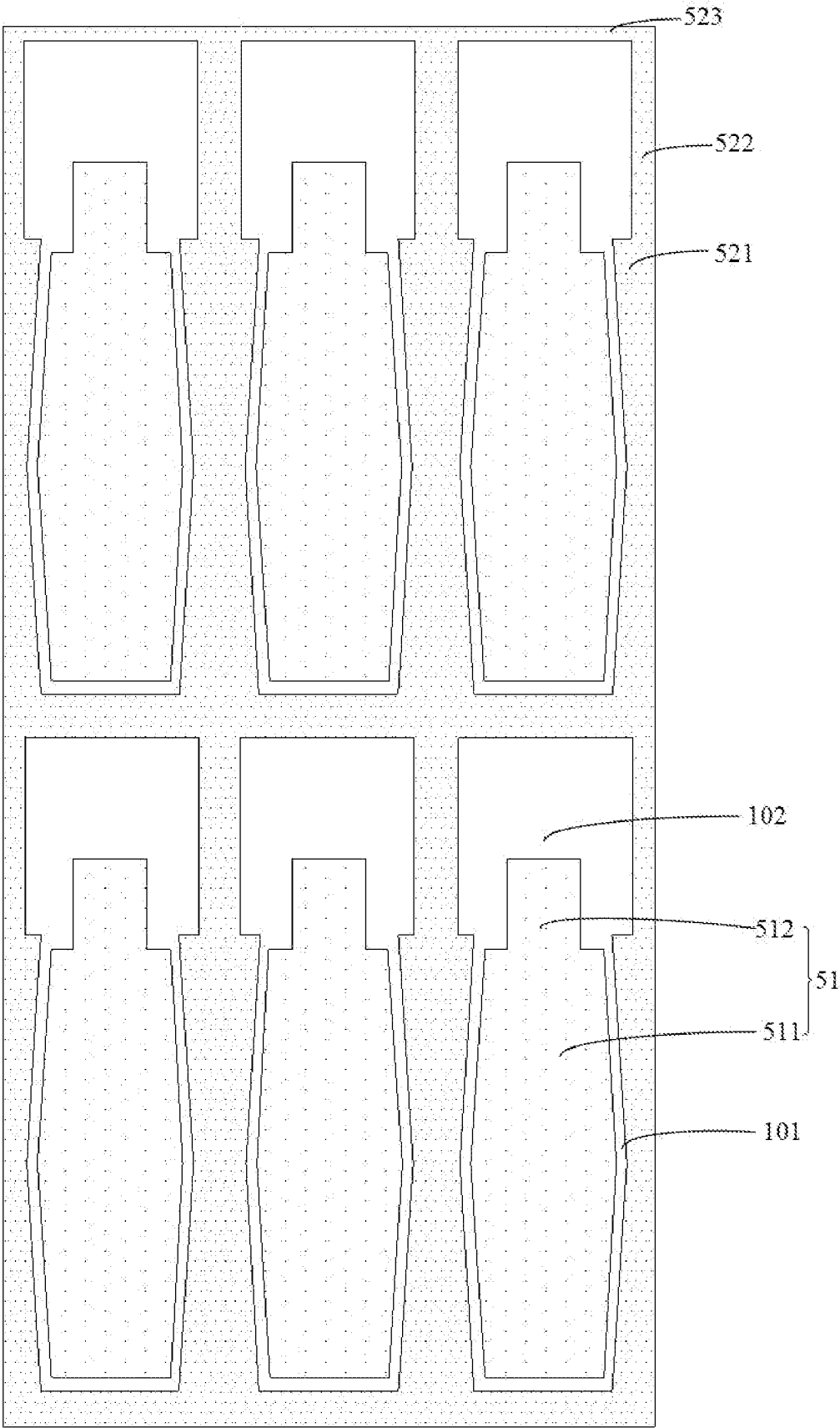
[图8]



[图9]



[图10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/097609

A. CLASSIFICATION OF SUBJECT MATTER G02F 1/1343(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G02F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXTC, VEN: 蔽, 层, 电极, 电容, 电压, 多畴, 多域, 分支, 孔, 两, 扰, 视角, 数据, 双, 双层, 透明, 狭缝, 线, 像素, 象素, 主, 主干, DBS, main, +talk+, Interfer+, trunk+, capacit+, electrode+, shield+, pixel+, branch+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115877620 A (TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 31 March 2023 (2023-03-31) figures 6-7, and description, corresponding parts	1-20
A	CN 102566170 A (CHI MEI OPTOELECTRONICS CORP. et al.) 11 July 2012 (2012-07-11) figures 4-6C, and description, corresponding parts	1-20
A	CN 101191912 A (WINTEK CORP.) 04 June 2008 (2008-06-04) figure 1B, and description, corresponding parts	1-20
A	CN 101484846 A (SHARP CORP.) 15 July 2009 (2009-07-15) entire document	1-20
A	CN 101533186 A (EPSON IMAGING DEVICES CORP.) 16 September 2009 (2009-09-16) entire document	1-20
A	CN 102854674 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 02 January 2013 (2013-01-02) entire document	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 19 February 2024		Date of mailing of the international search report 20 February 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/097609

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103748509 A (SHARP CORP.) 23 April 2014 (2014-04-23) entire document	1-20
A	CN 104865762 A (AU OPTRONICS CORP.) 26 August 2015 (2015-08-26) entire document	1-20
A	CN 110716354 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 21 January 2020 (2020-01-21) entire document	1-20
A	CN 111221194 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 02 June 2020 (2020-06-02) entire document	1-20
A	CN 113156725 A (SAMSUNG DISPLAY CO., LTD.) 23 July 2021 (2021-07-23) entire document	1-20
A	CN 113296317 A (SAMSUNG DISPLAY CO., LTD.) 24 August 2021 (2021-08-24) entire document	1-20
A	CN 115032841 A (HKC CO., LTD.) 09 September 2022 (2022-09-09) entire document	1-20
A	US 2015085215 A1 (SHARP K. K.) 26 March 2015 (2015-03-26) entire document	1-20
A	WO 2023077555 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 11 May 2023 (2023-05-11) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/097609

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115877620	A	31 March 2023	None			
CN	102566170	A	11 July 2012	None			
CN	101191912	A	04 June 2008	None			
CN	101484846	A	15 July 2009	WO	2008004353	A1	10 January 2008
				US	2009279027	A1	12 November 2009
				US	8139185	B2	20 March 2012
CN	101533186	A	16 September 2009	US	2009180069	A1	16 July 2009
				JP	2009168878	A	30 July 2009
				JP	4678031	B2	27 April 2011
				KR	20090077721	A	15 July 2009
CN	102854674	A	02 January 2013	WO	2014036730	A1	13 March 2014
				DE	112012006796	T5	30 April 2015
CN	103748509	A	23 April 2014	US	2014176891	A1	26 June 2014
				WO	2013021926	A1	14 February 2013
				US	2014192308	A1	10 July 2014
				JP	5677580	B2	25 February 2015
				JPWO	2013021926	A1	05 March 2015
CN	104865762	A	26 August 2015	US	2016313613	A1	27 October 2016
				US	9529236	B2	27 December 2016
				TW	201639172	A	01 November 2016
				TWI	560889	B	01 December 2016
CN	110716354	A	21 January 2020	US	2021358960	A1	18 November 2021
				US	11616083	B2	28 March 2023
				WO	2021082057	A1	06 May 2021
CN	111221194	A	02 June 2020	US	2021333650	A1	28 October 2021
				US	11281055	B2	22 March 2022
				WO	2021114364	A1	17 June 2021
CN	113156725	A	23 July 2021	KR	20210089282	A	16 July 2021
				US	2022299811	A1	22 September 2022
				US	11592720	B2	28 February 2023
				US	2021208433	A1	08 July 2021
				US	11372301	B2	28 June 2022
CN	113296317	A	24 August 2021	US	2021263383	A1	26 August 2021
				US	11347122	B2	31 May 2022
				KR	20210107198	A	01 September 2021
CN	115032841	A	09 September 2022	None			
US	2015085215	A1	26 March 2015	WO	2013154022	A1	17 October 2013
				US	9223183	B2	29 December 2015
WO	2023077555	A1	11 May 2023	US	2024014219	A1	11 January 2024

A. 主题的分类

G02F 1/1343(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTEXT,ENTXTC,VEN:蔽,层,电极,电容,电压,多畴,多域,分支,孔,两,扰,视角,数据,双,双层,透明,狭缝,线,像素,像素,主,主干,DBS,main,+talk+,Interfer+,trunk+,capacit+,electrode+,shield+,pixel+,branch+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 115877620 A (TCL华星光电技术有限公司) 2023年3月31日 (2023 - 03 - 31) 图6-7以及说明书相应部分	1-20
A	CN 102566170 A (奇美电子股份有限公司等) 2012年7月11日 (2012 - 07 - 11) 图4-6C以及说明书相应部分	1-20
A	CN 101191912 A (胜华科技股份有限公司) 2008年6月4日 (2008 - 06 - 04) 图1B以及说明书相应部分	1-20
A	CN 101484846 A (夏普株式会社) 2009年7月15日 (2009 - 07 - 15) 全文	1-20
A	CN 101533186 A (爱普生映像元器件有限公司) 2009年9月16日 (2009 - 09 - 16) 全文	1-20
A	CN 102854674 A (深圳市华星光电技术有限公司) 2013年1月2日 (2013 - 01 - 02) 全文	1-20
A	CN 103748509 A (夏普株式会社) 2014年4月23日 (2014 - 04 - 23) 全文	1-20

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年2月19日

国际检索报告邮寄日期

2024年2月20日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

周宇

电话号码 (+86) 010-62085894

PCT/ISA/210 表(第2页) (2022年7月)

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 104865762 A (友达光电股份有限公司) 2015年8月26日 (2015 - 08 - 26) 全文	1-20
A	CN 110716354 A (深圳市华星光电半导体显示技术有限公司) 2020年1月21日 (2020 - 01 - 21) 全文	1-20
A	CN 111221194 A (深圳市华星光电半导体显示技术有限公司) 2020年6月2日 (2020 - 06 - 02) 全文	1-20
A	CN 113156725 A (三星显示有限公司) 2021年7月23日 (2021 - 07 - 23) 全文	1-20
A	CN 113296317 A (三星显示有限公司) 2021年8月24日 (2021 - 08 - 24) 全文	1-20
A	CN 115032841 A (惠科股份有限公司) 2022年9月9日 (2022 - 09 - 09) 全文	1-20
A	US 2015085215 A1 (SHARP KK) 2015年3月26日 (2015 - 03 - 26) 全文	1-20
A	WO 2023077555 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECH CO LTD) 2023年5月11日 (2023 - 05 - 11) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/097609

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115877620	A	2023年3月31日	无			
CN	102566170	A	2012年7月11日	无			
CN	101191912	A	2008年6月4日	无			
CN	101484846	A	2009年7月15日	WO	2008004353	A1	2008年1月10日
				US	2009279027	A1	2009年11月12日
				US	8139185	B2	2012年3月20日
CN	101533186	A	2009年9月16日	US	2009180069	A1	2009年7月16日
				JP	2009168878	A	2009年7月30日
				JP	4678031	B2	2011年4月27日
				KR	20090077721	A	2009年7月15日
CN	102854674	A	2013年1月2日	WO	2014036730	A1	2014年3月13日
				DE	112012006796	T5	2015年4月30日
CN	103748509	A	2014年4月23日	US	2014176891	A1	2014年6月26日
				WO	2013021926	A1	2013年2月14日
				US	2014192308	A1	2014年7月10日
				JP	5677580	B2	2015年2月25日
				JPWO	2013021926	A1	2015年3月5日
CN	104865762	A	2015年8月26日	US	2016313613	A1	2016年10月27日
				US	9529236	B2	2016年12月27日
				TW	201639172	A	2016年11月1日
				TWI	560889	B	2016年12月1日
CN	110716354	A	2020年1月21日	US	2021358960	A1	2021年11月18日
				US	11616083	B2	2023年3月28日
				WO	2021082057	A1	2021年5月6日
CN	111221194	A	2020年6月2日	US	2021333650	A1	2021年10月28日
				US	11281055	B2	2022年3月22日
				WO	2021114364	A1	2021年6月17日
CN	113156725	A	2021年7月23日	KR	20210089282	A	2021年7月16日
				US	2022299811	A1	2022年9月22日
				US	11592720	B2	2023年2月28日
				US	2021208433	A1	2021年7月8日
				US	11372301	B2	2022年6月28日
CN	113296317	A	2021年8月24日	US	2021263383	A1	2021年8月26日
				US	11347122	B2	2022年5月31日
				KR	20210107198	A	2021年9月1日
CN	115032841	A	2022年9月9日	无			
US	2015085215	A1	2015年3月26日	WO	2013154022	A1	2013年10月17日
				US	9223183	B2	2015年12月29日
WO	2023077555	A1	2023年5月11日	US	2024014219	A1	2024年1月11日