



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明のパワー半導体装置 100 は、低抵抗半導体層 112 と、 n^- 型のドリフト層 114 と、 p 型のベース領域 116 と、複数のトレンチ 118 と、ゲート絶縁膜 120 と、ゲート電極 122 と、 n^+ 型のソース領域 124 と、層間絶縁膜 126 と、互いに隣接する 2 つのトレンチ 118 の間にそれぞれ 2 本以上形成されたコンタクトホール 128 と、コンタクトホール 128 のそれぞれの内部に金属が充填されてなる金属プラグ 130 と、金属プラグ 130 の底面に接触してなる p^+ 型拡散領域 132 と、層間絶縁膜 126 上に形成され、金属プラグ 130 を介してベース領域 116、ソース領域 124 及び p^+ 型拡散領域 132 に電氣的に接続されたソース電極 134 とを備える。本発明によれば、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置を提供することができる。

明 細 書

発明の名称： パワー半導体装置及びパワー半導体装置の製造方法 技術分野

[0001] 本発明は、パワー半導体装置及びパワー半導体装置の製造方法に関する。

背景技術

[0002] 近年、電子機器の低コスト化及び小型化の要請に伴い、微細化されたパワーMOSFETが求められている。そして、このようなパワーMOSFETとしては、金属プラグを介してソース電極とソース領域との間を電氣的に接続するパワーMOSFETが考えられる（背景技術に係るパワーMOSFET 900、図17参照。金属プラグを用いた半導体装置としては、例えば、特許文献1参照。）。

[0003] 背景技術に係るパワーMOSFET 900は、低抵抗半導体層 912と、低抵抗半導体層 912上に形成されたn型のドリフト層 914と、ドリフト層 914の表面に形成されたp型のベース領域 916と、ベース領域 916を貫通しドリフト層 914に達する深さ位置まで形成された複数のトレンチ 918と、トレンチ 918の内周面に形成されたゲート絶縁膜 920と、ゲート絶縁膜 920を介してトレンチ 918の内部に埋め込まれてなるゲート電極 922と、ベース領域 916の表面に配置されるとともに少なくとも一部がトレンチ 918の内周面に露出するように形成されたn+型のソース領域 924と、ソース領域 924、ゲート絶縁膜 920及びゲート電極 922を覆う層間絶縁膜 926と、互いに隣接する2つのトレンチ 918の間にそれぞれ1本、層間絶縁膜 926を貫通して少なくともベース領域 916に達するように形成されたコンタクトホール 928と、コンタクトホール 928の内部に金属が充填されてなる金属プラグ 930と、金属プラグ 930の底面に接触してなる、ベース領域 916よりも不純物濃度が高いp+型拡散領域 932と、層間絶縁膜 926上に形成され、金属プラグ 930を介してソース領域 924及びp+型拡散領域 932と電氣的に接続されたソース電極 934

と、低抵抗半導体層 912 の表面の形成されたドレイン電極 936 とを備える。

[0004] 背景技術に係るパワー MOSFET 900 によれば、層間絶縁膜 926 を貫通して少なくともベース領域 916 に達するように形成されたコンタクトホール 928 と、コンタクトホール 928 の内部に金属が充填されてなる金属プラグ 930 とを備えるため、ソース電極がソース領域と直接コンタクトされたパワー半導体装置の場合のように径が大きいコンタクトホールを形成しなくても済み、微細化されたパワー MOSFET とすることができる。その結果、背景技術に係るパワー MOSFET 900 は、電子機器の低コスト化及び小型化の要請に適うパワー MOSFET となる。

先行技術文献

特許文献

[0005] 特許文献1：特開平 6－252090 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、背景技術に係るパワー MOSFET 900 においては、比較的径が小さい金属プラグ 930 が、互いに隣接する 2 つのトレンチ 918 の間にそれぞれ 1 本形成されている。

従って、平面的に見てトレンチ 918 と p⁺型拡散領域 932 との間隔 d2 が比較的長くなる（図 18 参照。）。よって、（1）アバランシェ降伏時及びボディダイオードの逆回復時において、トレンチ 918 の底部で発生したホールがソース電極 934 に引き抜かれるまでの間に比較的長い距離を移動することとなり、ベース領域 916 と金属プラグ 930 との間に高い電位差が発生しやすくなるため、ソース領域 924（n 型）、ベース領域 916（p 型）及びドリフト層 914（n 型）で構成される寄生 npn トランジスタがオンしやすくなる（図 18 参照。）。また、（2）「ソース領域 924 とベース領域 916 との境界面」の面積が広くなりベース領域 916 のホール

がソース領域 924 に入り込みやすくなるため、この観点においても、上記した寄生 npn トランジスタがオンしやすくなる（図 18 参照。）。

その結果、アバランシェ破壊又は d_i / d_t 破壊が起こりやすくなり、破壊耐量の大きなパワー MOSFET を提供することが困難となるという問題がある。なお、このような問題はパワー MOSFET の場合だけに発生し得る問題ではなく、パワー半導体装置全般に発生し得る問題である。

[0007] そこで、本発明は、上記した問題を解決するためになされたものであり、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置を提供することを目的とする。また、そのようなパワー半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0008] [1] 本発明のパワー半導体装置は、低抵抗半導体層と、前記低抵抗半導体層上に形成された第 1 導電型のドリフト層と、前記ドリフト層の表面に形成された第 2 導電型のベース領域と、前記ベース領域を貫通し前記ドリフト層に達する深さ位置まで形成された複数のトレンチと、前記トレンチの内周面に形成されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記トレンチの内部に埋め込まれてなるゲート電極と、前記ベース領域の表面に配置されるとともに少なくとも一部が前記トレンチの内周面に露出するように形成された第 1 導電型高濃度拡散領域と、前記第 1 導電型高濃度拡散領域、前記ゲート絶縁膜及び前記ゲート電極を少なくとも覆う層間絶縁膜と、互いに隣接する 2 つの前記トレンチの間にそれぞれ 2 本以上、前記層間絶縁膜を貫通して少なくとも前記ベース領域に達するように形成されたコンタクトホールと、前記コンタクトホールの内部に金属が充填されてなる金属プラグと、前記金属プラグの底面に接触してなる、前記ベース領域よりも不純物濃度が高い第 2 導電型高濃度拡散領域と、前記層間絶縁膜上に形成され、前記金属プラグを介して前記ベース領域、前記第 1 導電型高濃度拡散領域及び前記第 2 導電型高濃度拡散領域と電氣的に接続された電極とを備えることを特徴とする。

[0009] なお、本明細書中において、「互いに隣接する 2 つのトレンチ」とは、全

体的に見ている場合のみならず、所定の断面から見てトレンチが隣り合っている場合を含む概念である。例えば、トレンチが格子状になっており、トレンチ同士が互いに連結されている場合であっても、所定の切断面を見たときに隣り合っている場合には「互いに隣接する2つのトレンチ」に含まれるものとする（図10参照。）。また、本明細書中において「互いに隣接する2つのトレンチの間」には、平面的に見てトレンチ同士の間の直線上だけではなく、当該直線上から多少ずれた位置にある場合も含むものとする。

[0010] [2] 本発明のパワー半導体装置においては、前記第1導電型高濃度拡散領域は、互いに隣接する2つの前記トレンチの間において、前記トレンチと当該トレンチに最も近い前記金属プラグとの間のみに形成されていることが好ましい。

[0011] [3] 本発明のパワー半導体装置においては、前記金属は、タングステンであることが好ましい。

[0012] [4] 本発明のパワー半導体装置においては、互いに隣接する2つの前記ゲート電極の間隔は、 $2.5\mu\text{m}$ 以上であることが好ましい。

[0013] [5] 本発明のパワー半導体装置においては、互いに隣接する2つの前記ゲート電極の間隔は、前記金属プラグの幅の5倍以上であることが好ましい。

[0014] [6] 本発明のパワー半導体装置においては、前記コンタクトホールは、前記第1導電型高濃度拡散領域の底面よりも深い深さ位置まで形成されていることが好ましい。

[0015] [7] 本発明のパワー半導体装置においては、前記ベース領域の最深部の深さ位置は、 $0.5\mu\text{m}$ ～ $2.0\mu\text{m}$ の範囲内にあることが好ましい。

[0016] [8] 本発明のパワー半導体装置においては、前記ドリフト層は、所定の方
向に沿って交互に形成されている複数の第1導電型コラム領域及び複数の第
2導電型コラム領域を有し、前記パワー半導体装置は、前記第1導電型コ
ラム領域及び前記第2導電型コラム領域で構成されたスーパージャンクション
構造を有することが好ましい。

[0017] [9] 本発明のパワー半導体装置の製造方法は、上記[1]～[8]のい

れかに記載のパワー半導体装置を製造するためのパワー半導体装置の製造方法であって、低抵抗半導体層及び前記低抵抗半導体層上に形成された第1導電型のドリフト層を有する半導体基体を準備する半導体基体準備工程と、前記ドリフト層に複数のトレンチを形成するトレンチ形成工程と、前記トレンチの内周面にゲート絶縁膜を形成した後、前記ゲート絶縁膜を介して前記トレンチの内部にゲート電極を形成するゲート電極形成工程と、前記ドリフト層の表面から前記トレンチの最底部よりも浅い深さ位置まで第2導電型のベース領域を形成するベース領域形成工程と、前記ベース領域の表面に、少なくとも一部が前記トレンチの内周面に露出するように第1導電型高濃度拡散領域を形成する第1導電型高濃度拡散領域形成工程と、前記第1導電型高濃度拡散領域、前記ゲート絶縁膜及び前記ゲート電極を少なくとも覆う層間絶縁膜を形成する層間絶縁膜形成工程と、互いに隣接する2つの前記トレンチ間にそれぞれ2本以上、前記層間絶縁膜を貫通して少なくとも前記ベース領域に達するようにコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホールの底面に接触してなる、前記ベース領域よりも不純物濃度が高い第2導電型高濃度拡散領域を形成する第2導電型高濃度拡散領域形成工程と、前記コンタクトホールの内部に金属を充填することによって金属プラグを形成する金属プラグ形成工程と、前記層間絶縁膜上に、前記金属プラグを介して前記ベース領域、前記第1導電型高濃度拡散領域及び前記第2導電型高濃度拡散領域と電氣的に接続された電極を形成する電極形成工程とをこの順序で含むことを特徴とする。

発明の効果

[0018] 本発明のパワー半導体装置及びパワー半導体装置の製造方法によれば、層間絶縁膜を貫通して少なくともベース領域に達するように形成されたコンタクトホールと、コンタクトホールの内部に金属が充填されてなる金属プラグとを備えるため、背景技術に係るパワーMOSFET 900の場合と同様に、ソース電極がソース領域と直接コンタクトしているパワー半導体装置の場合のように径が大きいコンタクトホールを形成しなくても済み、微細化され

たパワー半導体装置とすることができる。その結果、本発明のパワー半導体装置は、電子機器の低コスト化及び小型化の要請に適うパワー半導体装置となる。

[0019] 本発明のパワー半導体装置及びパワー半導体装置の製造方法は、互いに隣接する2つのトレンチの間にそれぞれ2本以上、層間絶縁膜を貫通して少なくともベース領域に達するように形成されたコンタクトホールと、コンタクトホールの内部に金属が充填されてなる金属プラグとを備える。

このような構成としたことにより、平面的に見てトレンチと第2導電型高濃度拡散領域との間隔 d_1 が、背景技術に係るパワーMOSFET900における当該間隔 d_2 よりも短くなる(図2参照。)。従って、(1)アバランシェ降伏時及びディダイオードの逆回復時において、トレンチの底部で発生したキャリア(例えばホール)が電極に引き抜かれるまでの間に比較的短い距離を移動することとなり、ベース領域と金属プラグとの間に高い電位差が発生し難くなるため、第1導電型高濃度拡散領域(例えばn型)、ベース領域(例えばp型)及びドリフト層(例えばn型)で構成される寄生トランジスタ(寄生npnトランジスタ)がオンし難くなる(図2参照。)。また、(2)「第1導電型高濃度拡散領域とベース領域との境界面」の面積が狭くなりベース領域のキャリア(例えばホール)が第1導電型高濃度拡散領域に入り込み難くなるため、この観点においても、上記した寄生トランジスタ(寄生npnトランジスタ)がオンし難くなる(図2参照。))。

その結果、アバランシェ破壊又は d_i/d_t 破壊が起こり難くなり、破壊耐量の大きなパワー半導体装置となる。

[0020] 従って、本発明のパワー半導体装置及びパワー半導体装置の製造方法は、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置となる。

[0021] また、本発明のパワー半導体装置及びパワー半導体装置の製造方法によれば、互いに隣接する2つのトレンチの間にそれぞれ2本以上形成されたコンタクトホールと、当該コンタクトホールの内部に金属が充填されてなる金属

プラグとを備えるため、互いに隣接する2つのトレンチの間にそれぞれ1本形成されたコンタクトホールと、コンタクトホールの内部に金属が充填されてなる金属プラグとを備える場合よりもコンタクト抵抗を低減することが可能となる。

図面の簡単な説明

[0022] [図1]実施形態1に係るパワー半導体装置100の断面図である。なお、図1中、符号110は半導体基体を示す。

[図2]実施形態1に係るパワー半導体装置100におけるアバランシェ降伏時及びボディダイオードの逆回復時において、 p^+ 型拡散領域132及び金属プラグ130を介してホールがソース電極134に引き抜かれる様子を説明するために示す要部拡大断面図である。なお、図2は図1の破線Aで囲まれた領域に対応している。また、図2中、白丸はホールを示す。

[図3]実施形態1に係るパワー半導体装置の製造方法を説明するために示す断面図である。図3(a)～図3(d)は各工程図である。

[図4]実施形態1に係るパワー半導体装置の製造方法を説明するために示す断面図である。図4(a)～図4(d)は各工程図である。

[図5]実施形態1に係るパワー半導体装置の製造方法を説明するために示す断面図である。図5(a)～図5(d)は各工程図である。

[図6]実施形態1に係るパワー半導体装置の製造方法を説明するために示す断面図である。図6(a)～図6(c)は各工程図である。

[図7]実施形態2に係るパワー半導体装置102の断面図である。

[図8]実施形態3に係るパワー半導体装置104の断面図である。

[図9]実施形態1に係るパワー半導体装置100に係るパワー半導体装置の要部拡大平面図である。実施形態1に係るパワー半導体装置においては、トレンチ118及び金属プラグ130がいずれも平面的に見てストライプ状である。

[図10]変形例1に係るパワー半導体装置の要部拡大平面図である。変形例1に係るパワー半導体装置においては、トレンチ118が平面的に見て格子状

であり、かつ、金属プラグ130が平面的に見て円形状（立体的に見て柱状）である。

[図11]変形例2に係るパワー半導体装置の要部拡大平面図である。変形例2に係るパワー半導体装置においては、トレンチ118が平面的に見て格子状であり、かつ、金属プラグ130が平面的に見て四角形の枠状である。

[図12]変形例3に係るパワー半導体装置の要部拡大平面図である。変形例3に係るパワー半導体装置においては、トレンチ118が平面的に見て格子状であり、かつ、金属プラグ130が平面的に見て円形の枠状である。

[図13]変形例4に係るパワー半導体装置の要部拡大平面図である。変形例4に係るパワー半導体装置においては、トレンチ118が平面的に見て四角形状（立体的に見て柱状）であり、かつ、金属プラグ130が平面的に見て格子状である。

[図14]変形例5に係るパワー半導体装置の要部拡大平面図である。変形例5に係るパワー半導体装置においては、トレンチ118が平面的に見て四角形状（立体的に見て柱状）であり、かつ、金属プラグ130が平面的に見て円形状（立体的に見て柱状）である。

[図15]変形例6に係るパワー半導体装置106の断面図である。

[図16]変形例7に係るパワー半導体装置108の断面図である。

[図17]背景技術に係るパワーMOSFET900の断面図である。

[図18]背景技術に係るパワーMOSFET900におけるアバランシェ降伏時及びボディダイオードの逆回復時において、 p^+ 型拡散領域932及び金属プラグ930を介してホールがソース電極934に引き抜かれる様子を説明するために示す要部拡大断面図である。なお、図18は図17の破線Bで囲まれた領域に対応している。また、図18中、白丸はホールを示し、黒丸は電子を示す。

発明を実施するための形態

[0023] 以下、本発明のパワー半導体装置及びパワー半導体装置の製造方法について、図に示す実施の形態に基づいて説明する。なお、各図面は模式図であり

、必ずしも実際の寸法を厳密に反映したものではない。

[0024] [実施形態 1]

1. 実施形態 1 に係るパワー半導体装置 100 の構成

実施形態 1 に係るパワー半導体装置 100 は、DC-DC コンバーターなど各種電源装置等に用いられるトレンチゲートパワー MOSFET である。実施形態 1 に係るパワー半導体装置 100 の耐圧は、300V 以上であり、例えば 600V である。

[0025] 実施形態 1 に係るパワー半導体装置 100 は、図 1 に示すように、低抵抗半導体層 112 と、低抵抗半導体層 112 上に形成された n^- 型のドリフト層 114 と、ドリフト層 114 の表面に形成された p 型のベース領域 116 と、ベース領域 116 を貫通しドリフト層 114 に達する深さ位置まで形成された複数のトレンチ 118 と、トレンチ 118 の内周面に形成されたゲート絶縁膜 120 と、ゲート絶縁膜 120 を介してトレンチ 118 の内部に埋め込まれてなるゲート電極 122 と、ベース領域 116 の表面に配置されるとともに一部がトレンチ 118 の内周面に露出するように形成された n^+ 型の第 1 導電型高濃度拡散領域としてのソース領域 124 と、ソース領域 124、ゲート絶縁膜 120 及びゲート電極 122 を覆う層間絶縁膜 126 と、互いに隣接する 2 つのトレンチ 118 の間にそれぞれ 2 本、層間絶縁膜 126 を貫通してベース領域 116 に達するように形成されたコンタクトホール 128 と、コンタクトホール 128 の内部に金属が充填されてなる金属プラグ 130 と、金属プラグ 130 の底面に接触してなる、ベース領域 116 よりも不純物濃度が高い第 2 導電型高濃度拡散領域としての p^+ 型拡散領域 132 と、層間絶縁膜 126 上に形成され、金属プラグ 130 を介してベース領域 116、ソース領域 124 及び p^+ 型拡散領域 132 と電氣的に接続された電極としてのソース電極 134 と、低抵抗半導体層 112 の表面の形成されたドレイン電極 136 とを備える。

[0026] 実施形態 1 に係るパワー半導体装置 100 において、トレンチ 118、ゲート電極 122、ソース領域 124、コンタクトホール 128 及び金属プラ

グ 1 3 0 はいずれも、平面的に見てストライプ状に形成されている。互いに隣接する 2 つのゲート電極 1 2 2 の間隔は、金属プラグ 1 3 0 の幅（ストライプ幅）の 5 倍以上である。具体的には、互いに隣接する 2 つのゲート電極 1 2 2 の間隔（ピッチ幅）は、例えば $2.5 \mu\text{m}$ 以上であり、例えば $10 \mu\text{m}$ である。

[0027] 低抵抗半導体層 1 1 2 の厚さは、例えば $100 \mu\text{m} \sim 400 \mu\text{m}$ の範囲内にあり、低抵抗半導体層 1 1 2 の不純物濃度は、例えば $1 \times 10^{19} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ の範囲内にある。ドリフト層 1 1 4 の厚さは、例えば $5 \mu\text{m} \sim 120 \mu\text{m}$ の範囲内にあり、ドリフト層 1 1 4 の不純物濃度は例えば $5 \times 10^{13} \text{cm}^{-3} \sim 1 \times 10^{16} \text{cm}^{-3}$ の範囲内にある。ベース領域 1 1 6 の最深部の深さ位置は、例えば $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ の範囲内にあり、ベース領域 1 1 6 の不純物濃度は、例えば $5 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ の範囲内にある。

[0028] ソース領域 1 2 4 は、互いに隣接する 2 つのトレンチ 1 1 8 の間において、トレンチ 1 1 8 と当該トレンチ 1 1 8 に最も近い金属プラグ 1 3 0 との間のみに形成されている。ソース領域 1 2 4 の最深部の深さ位置は、例えば $0.1 \mu\text{m} \sim 0.4 \mu\text{m}$ の範囲内にあり、ソース領域 1 2 4 の不純物濃度は、例えば $5 \times 10^{19} \text{cm}^{-3} \sim 2 \times 10^{20} \text{cm}^{-3}$ の範囲内にある。

[0029] トレンチ 1 1 8 の深さは、例えば $3 \mu\text{m}$ である。ゲート絶縁膜 1 2 0 は、熱酸化法により形成された二酸化珪素膜からなり、厚さは例えば 100nm である。ゲート電極 1 2 2 は、CVD 法及びイオン注入法により形成された低抵抗ポリシリコンからなる。層間絶縁膜 1 2 6 は、熱酸化膜と CVD 法により形成された PSG 膜とで構成され、厚さは例えば 1000nm である。

[0030] コンタクトホール 1 2 8 及び金属プラグ 1 3 0 は、ベース領域 1 1 6 の表面の深さ位置からソース領域 1 2 4 の底部の深さ位置よりも深い深さ位置に達するように形成されている。コンタクトホール 1 2 8 及び金属プラグ 1 3 0 のストライプ幅は、例えば $0.5 \mu\text{m}$ である。

[0031] コンタクトホール 1 2 8 の内表面には、バリアメタル（図示せず）が形成

されており、金属プラグ130は、当該バリアメタルを介して金属がコンタクトホール128の内部に充填されている。コンタクトホール128の内部に充填する金属は、例えばタングステンである。

[0032] 互いに隣接する2つのトレンチ118の間において、金属プラグ130は、等間隔のピッチで形成されており、2つのトレンチ118のうちのいずれかのトレンチと当該トレンチに最も近い金属プラグ130との間隔は、互いに隣接する2つの金属プラグ130の間隔と等しい。このような構成とすることにより、逆バイアス時において、各トレンチ118において底部に電界が集中することを緩和しやすくなる、という効果がある。

金属プラグ130の間隔は、金属プラグ130のストライプ幅と同じ長さ又はそれ以上の長さであり、例えば $0.5\mu\text{m}$ 以上である。

[0033] p^+ 型拡散領域132の最深部の深さ位置は、ソース領域124よりも深くなるように形成されている。 p^+ 型拡散領域132の不純物濃度は、ベース領域116の不純物濃度よりも高く、例えば $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲内にある。

[0034] ソース電極134は、スパッタ法により形成された厚さが例えば $4\mu\text{m}$ のアルミニウム系の金属（例えば、 $\text{Al}-\text{Cu}$ 系の合金）からなる。ドレイン電極136は、 $\text{Ti}-\text{Ni}-\text{Au}$ などの多層金属膜により形成され、厚さが例えば多層金属膜全体にて $0.5\mu\text{m}$ で形成されている。

[0035] 2. 実施形態1に係るパワー半導体装置の製造方法

次に、実施形態1に係るパワー半導体装置100は、以下に示す製造工程を有する製造方法（実施形態1に係るパワー半導体装置の製造方法）により製造することができる。

[0036] (1) 半導体基体110準備工程

まず、低抵抗半導体層112及び低抵抗半導体層112上に形成された n^- 型のドリフト層114を有する半導体基体110を準備する（図3（a）参照。）。半導体基体110としては、適宜の半導体基体を用いることができるが、例えば n^+ 型の低抵抗半導体層112上にエピタキシャル成長法によっ

てn-型のドリフト層114を形成してなる半導体基体を用いることができる。

[0037] (2) トレンチ118形成工程

次に、トレンチ118に対応する開口を有するマスク（図示せず。）をドリフト層114の表面に形成し、当該マスクを用いてエッチングを行うことにより、ドリフト層114に複数のトレンチ118を形成する（図3（b）参照。）。エッチング後、マスクを除去し、犠牲酸化によりトレンチ118の表面を整える。

[0038] (3) ゲート電極122形成工程

次に、トレンチ118の内周面を含むドリフト層114の表面上に熱酸化により熱酸化膜120'を形成する（図3（c）参照。）。このとき、トレンチ118の内周面の熱酸化膜がゲート絶縁膜120となる。その後、当該熱酸化膜120'上にポリシリコン122'を堆積させる。次に、当該ポリシリコン122'全面にn型不純物（例えば、リン）をイオン注入し（図3（d）参照。）、熱拡散させる。次に、トレンチ118の内部を除いてポリシリコンを除去する。これにより、トレンチ118の内部にゲート絶縁膜120を介してゲート電極122を形成する（図4（a）参照。）。

[0039] (4) ベース領域116形成工程

次に、ドリフト層114の表面に熱酸化膜120'を介してp型不純物（例えばボロン）をイオン注入する（図4（b）参照。）。次に、当該p型不純物を熱拡散させてドリフト層114の表面からトレンチ118の最底部よりも浅い深さ位置までベース領域116を形成する（図4（c）参照。）。

[0040] (5) ソース領域124形成工程（第1導電型高濃度拡散領域形成工程）

次に、ソース領域124、ゲート絶縁膜120及びゲート電極122に対応する開口を有するマスクM1を熱酸化膜120'上に形成し、当該マスクM1を介してn型不純物（例えばヒ素）をイオン注入する（図4（d）参照。）。次に、当該n型不純物を熱拡散することにより、ベース領域116の表面に、一部がトレンチ118の内周面に露出するようにソース領域124を

形成する（図5（a）参照。）。

[0041] （6）層間絶縁膜126形成工程

次に、ベース領域116、ソース領域124、ゲート絶縁膜120及びゲート電極122を覆う層間絶縁膜126を形成する（図5（b）参照。）。具体的には、熱酸化膜120'及びゲート電極122上にCVD法によりPSG膜を形成する。これにより、熱酸化膜120'及びPSG膜で構成された層間絶縁膜126を形成する。

[0042] （7）コンタクトホール128形成工程

次に、互いに隣接する2つのトレンチ118間にそれぞれ2つずつコンタクトホール128に対応する開口を有するマスク（図示せず。）を層間絶縁膜126の表面に形成する。次に、当該マスクを用いて層間絶縁膜126を貫通してベース領域116に達するようにエッチングを行うことによりコンタクトホール128を形成する。エッチング後、マスクを除去する（図5（c）参照。）。

[0043] （8）p⁺型拡散領域132形成工程（第2導電型高濃度拡散領域形成工程）

次に、コンタクトホール128の底面に、ベース領域116よりも高い不純物濃度でp型不純物（例えばボロン）をイオン注入する（図5（d）参照。）。次に、当該p型不純物を熱拡散しすることにより、コンタクトホール128の底面に接触してなるp⁺型拡散領域132を形成する。（図6（a）参照。）。

[0044] （9）金属プラグ130充填工程

次に、スパッタ法によりコンタクトホール128の内側面にバリアメタル（図示せず。）を成膜し、当該バリアメタルをアニールする。次にCVD法により当該バリアメタル上にタングステンを成膜することにより、コンタクトホール128の内部に当該バリアメタルを介してタングステンを充填する。次に、CMP法によって層間絶縁膜126上のタングステンを除去することにより、コンタクトホール128の内部にのみタングステンを残し、金属プラグ130を形成する（図6（b）参照。）。なお、バリアメタルの組成

としては、チタンナイトライド（TiN）、チタングステン（TiW）、モリブデンシリコン（MoSi）等を用いることができる。

[0045] （10）ソース電極134及びドレイン電極136形成工程

次に、スパッタ法により層間絶縁膜126及び金属プラグ130上にAl-Cu系金属を成膜し、金属プラグ130を介してソース領域124及びp⁺型拡散領域132と電氣的に接続するソース電極134を形成する。また、低抵抗半導体層112上にTi-Ni-Auなどの多層金属膜を成膜し、ドレイン電極136を形成する（図6（c）参照。）。

[0046] このようにして実施形態1に係るパワー半導体装置100を製造することができる。

[0047] 3. 実施形態1に係るパワー半導体装置100及びパワー半導体装置の製造方法の効果

実施形態1に係るパワー半導体装置100及びパワー半導体装置の製造方法によれば、層間絶縁膜126を貫通して少なくともベース領域116に達するように形成されたコンタクトホール128と、コンタクトホール128の内部に金属が充填されてなる金属プラグ130とを備えるため、背景技術に係るパワーMOSFET900の場合と同様に、ソース電極がソース領域と直接コンタクトしているパワー半導体装置の場合のように径が大きいコンタクトホールを形成しなくても済み、微細化されたパワー半導体装置とすることができる。その結果、実施形態1に係るパワー半導体装置100及びパワー半導体装置の製造方法は、電子機器の低コスト化及び小型化の要請に適うパワー半導体装置とすることができる。

[0048] 実施形態1に係るパワー半導体装置100及びパワー半導体装置の製造方法は、互いに隣接する2つのトレンチ118の間にそれぞれ2本、層間絶縁膜126を貫通して少なくともベース領域116に達するように形成されたコンタクトホール128と、コンタクトホール128の内部に金属が充填されてなる金属プラグ130とを備える。

このような構成としたことにより、平面的に見てトレンチ118とp⁺型拡

散領域 132 との間隔 d_1 が、背景技術に係るパワー MOSFET 900 における当該間隔 d_2 よりも短くなる（図 2 参照。）。従って、（1）アバランシェ降伏時及びボディダイオードの逆回復時において、トレンチ 118 の底部で発生したホールがソース電極 134 に引き抜かれるまでの間に比較的短い距離を移動することとなり、ベース領域 116 と金属プラグ 130 との間に高い電位差が発生し難くなるため、ソース領域 124（ n 型）、ベース領域 116（ p 型）及びドリフト層 114（ n 型）で構成される寄生 npn トランジスタがオンし難くなる（図 2 参照。）。また、（2）「ソース領域 124 とベース領域 116 との境界面」の面積が狭くなりベース領域 116 のホールがソース領域 124 に入り込み難くなるため、この観点においても、上記した寄生 npn トランジスタがオンし難くなる（図 2 参照。）。

その結果、実施形態 1 に係るパワー半導体装置 100 及びパワー半導体装置の製造方法は、アバランシェ破壊又は di/dt 破壊が起こり難くなり、破壊耐量の大きなパワー半導体装置とすることができる。

[0049] 従って、実施形態 1 に係るパワー半導体装置 100 及びパワー半導体装置の製造方法は、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置とすることができる。

[0050] また、実施形態 1 に係るパワー半導体装置 100 及びパワー半導体装置の製造方法によれば、互いに隣接する 2 つのトレンチ 118 の間にそれぞれ 2 本形成されたコンタクトホール 128 と、コンタクトホール 128 の内部に金属が充填されてなる金属プラグ 130 とを備えるため、互いに隣接する 2 つのトレンチ 118 の間にそれぞれ 1 本形成されたコンタクトホールと、コンタクトホールの内部に金属が充填されてなる金属プラグとを備える場合よりもコンタクト抵抗を低減することが可能となる。

[0051] また、実施形態 1 に係るパワー半導体装置 100 によれば、ソース領域 124 は、互いに隣接する 2 つのトレンチ 118 の間においてトレンチ 118 と当該トレンチに最も近い金属プラグ 130 との間のみに形成されているため、「ソース領域 124 とベース領域 116 との境界面」の面積が狭くなり

ホールがソース領域124により一層入り込み難くなるため、上記した寄生npnトランジスタがより確実にオンし難くなる。

[0052] また、実施形態1に係るパワー半導体装置100によれば、金属は、タングステンであるため、径が小さいコンタクトホール128内に充填しやすく、径が小さい金属プラグ130を形成することができ、微細化されたパワー半導体装置とすることができる。

[0053] ところで、ソース電極がソース領域と直接コンタクトされたパワー半導体装置においては、層間絶縁膜がある領域と層間絶縁膜がない領域（コンタクトの領域）とでゲート電極に段差ができるため、実装時にソース電極上でワイヤボンディングすると、当該段差部分（特に、層間絶縁膜の側面（コンタクトホールの境界部分）の角部）に超音波による応力が集中してパワー半導体装置が破壊されるおそれがある。これに対して、実施形態1に係るパワー半導体装置100によれば、金属は、タングステンであり、径が小さいコンタクトホール128内に充填しやすいことから、コンタクトホール128の内部をタングステンで充填すると層間絶縁膜126がある領域と層間絶縁膜126がない領域（金属プラグ130の領域）とで段差ができにくく、ソース電極134を平らに成膜することができる。従って、実装時にソース電極134上でワイヤボンディングしても、層間絶縁膜126の一部に超音波による応力が集中することを防ぐことができるため、パワー半導体装置が破壊されることを防ぐことができる。

[0054] また、実施形態1に係るパワー半導体装置100によれば、互いに隣接する2つのゲート電極122の間隔が2.5 μ m以上であるため、ゲート容量を小さくすることができる。その結果、スイッチングの際、（パワー半導体装置100と接続される）ゲートドライブ回路がゲート電極122に対して出し入れする電荷量を減らすことができ、ドライブ損失を低減することができる。

すなわち、（1）ターンオンの際には、ゲートドライブ回路は、ゲート電極122に対しプラスバイアスを与え、ゲート電流を流し込む。ゲート電流

量に通電時間を掛け算すると、ゲート電荷量となる。ゲート容量が小さくなるとゲート電荷量が減るため、ゲート電流量と通電時間の積が小さくて済むことになる。その結果、ゲート電流量を減らすか、通電時間を短くするか、いずれかが可能となり、結果的に、ドライブ回路側の電力損失を低減することができる。

また、(2) ターンオフの際は、ゲートドライブ回路は、ゲート電極 1 2 2 に対しマイナスバイアスまたは 0 バイアスを与え、ゲート電流を引き抜く。このとき、(a) ゲート電荷量が少なくなったとき、ゲート電流量を以前と同等に維持して、通電時間を短くした場合には、ゲート電流と通電時間の積が小さくて済むため、ゲートドライブ回路がゲート電極に対して出し入れする電荷量を減らすことができる。その結果、ドライブ損失を低減することができる。また、(b) MOSFET のスイッチング速度を意図的に遅くし、回路にリングングやノイズが発生するのを避けるために、ゲート電極 1 2 2 とゲートドライブ回路との間に大きめの外付けゲート抵抗を挿入した場合でも、当該外付けゲート抵抗は、ゲート電流量を絞る効果があり、通電時間を長くし、スイッチング時間を引き延ばすことができることから、ゲート電流量と通電時間の積であるゲート電荷量は小さいままであり、その結果、ドライブ損失を低減することができる。

従って、上記 (1) 及び (2) で記載したように、スイッチングの際、ゲートドライブ回路がゲート電極 1 2 2 に対して出し入れする電荷量を減らすことができ、その結果、ドライブ損失を低減できる。

[0055] なお、上記 (2) (a) の場合のように、ゲート電荷量が少なくなったとき、ゲート電流量を以前と同等に維持して通電時間を短くすると、スイッチング速度を速め、回路を高速動作させることができるものの、スイッチング速度が速くなると、回路にリングングやノイズが発生する可能性が増え、MOSFET がアバランシェ状態に入ったり、ボディダイオードの逆回復の際、急峻な di/dt にさらされる可能性が増える。しかしながら、実施形態 1 に係るパワー半導体装置 100 によれば、前述のように MOSFET のア

バランス破壊および di/dt 破壊に対する耐量を強くしているから、実動作上、MOSFETが破壊に至る危険は低減される。

また、上記（２）（ｂ）の場合のように、MOSFETのスイッチング速度を意図的に遅くし、回路にリングングやノイズが発生するのを避けるために、ゲート電極 122 とゲートドライブ回路との間に大きめの外付けゲート抵抗を挿入した場合であっても、外付けゲート抵抗は、ゲート電流量を絞る効果があり、通電時間を長くし、スイッチング時間を引き延ばすことができる。その結果、スイッチング速度が遅くなり、スイッチング時間が長くなることから、 dv/dt が緩慢になり、回路にリングングやノイズが発生するのを避けることができる。

従って、実施形態 1 に係るパワー半導体装置 100 によれば、ゲート容量が減ることによって、ドライブ損失を低減する効果を失うことなくスイッチング速度の調整しろを広くすることができ、その結果、アプリケーション回路からの要請に幅広く答えることができる。

[0056] また、実施形態 1 に係るパワー半導体装置 100 によれば、互いに隣接する 2 つのゲート電極 122 の間隔は、金属プラグ 130 の幅の 5 倍以上であり、互いに隣接する 2 つのゲート電極 122 の間隔が金属プラグ 130 に対して広くなり、ゲート電極 122 の体積を相対的に小さくできるため、このことによって、ゲート容量を小さくすることができる。その結果、スイッチングの際、ゲートドライブ回路がゲート電極 122 に対して出し入れする電荷量を減らすことができ、ドライブ損失を低減することができる。

[0057] また、実施形態 1 に係るパワー半導体装置 100 によれば、互いに隣接する 2 つのゲート電極 122 の間隔は、金属プラグ 130 の幅の 5 倍以上であるため、このことによって、ゲート容量が減ることによって、ドライブ損失を低減する効果を失うことなくスイッチング速度の調整しろを広くすることができ、その結果、アプリケーション回路からの要請に幅広く答えることができる。

[0058] また、実施形態 1 に係るパワー半導体装置 100 によれば、コンタクトホ

ール128は、ソース領域124の底面よりも深い深さ位置まで形成されているため、コンタクトホール128の底部に形成するp⁺型拡散領域132とソース領域124とが接触することによってソース領域124の不純物濃度や領域面積が設計時から変わってしまうことを防ぎ、パワー半導体装置の特性が変わってしまうという不具合を防ぐことができる。

[0059] また、実施形態1に係るパワー半導体装置100によれば、ベース領域116の深さは、0.5 μm ～2.0 μm の範囲内にあるため、製造過程において、不純物を高温で長時間拡散する必要がない。従って、微細化構造にするために不純物を長時間拡散させることが難しい場合に適したパワー半導体装置となる。

[0060] [実施形態2]

実施形態2に係るパワー半導体装置102は、基本的には実施形態1に係るパワー半導体装置100と同様の構成を有するが、金属プラグの本数が実施形態1に係るパワー半導体装置100の場合とは異なる。すなわち、実施形態2に係るパワー半導体装置102においては、図7に示すように、コンタクトホール128が、互いに隣接する2つのトレンチ118の間にそれぞれ4本形成されている。

各コンタクトホール128の内部には金属が充填されており、金属プラグ130が4本形成されている。

[0061] このように、実施形態2に係るパワー半導体装置102は、金属プラグの本数が実施形態1に係るパワー半導体装置100の場合とは異なるが、実施形態1に係るパワー半導体装置100の場合と同様に、層間絶縁膜126を貫通して少なくともベース領域116に達するように形成されたコンタクトホール128と、コンタクトホール128の内部に金属が充填されてなる金属プラグ130とを備えるため、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置となる。

[0062] また、実施形態2に係るパワー半導体装置102によれば、コンタクトホール128が、互いに隣接する2つのトレンチ118の間にそれぞれ4本形

成され、各コンタクトホール 128 の内部には金属が充填されており、金属プラグ 130 が形成されているため、逆バイアス時において、ベース領域 116 とドリフト層 114 との間の p-n 接合から生じた空乏層を互いに隣接する 2 つのトレンチの間全体に確実に広げることができる。

[0063] なお、実施形態 2 に係るパワー半導体装置 102 は、金属プラグの本数以外の点においては実施形態 1 に係るパワー半導体装置 100 と同様の構成を有するため、実施形態 1 に係るパワー半導体装置 100 が有する効果のうち該当する効果を有する。

[0064] [実施形態 3]

実施形態 3 に係るパワー半導体装置 104 は、基本的には実施形態 1 に係るパワー半導体装置 100 と同様の構成を有するが、スーパージャンクション構造を有する点で実施形態 1 に係るパワー半導体装置 100 の場合とは異なる。すなわち、実施形態 3 に係るパワー半導体装置 104 においては、図 8 に示すように、ドリフト層 114 は、所定の方角に沿って交互に形成されている複数の n⁻型コラム領域 138 及び複数の p⁻型コラム領域 140 を有し、実施形態 3 に係るパワー半導体装置 104 は、複数の n⁻型コラム領域 138 及び複数の p⁻型コラム領域 140 で構成されたスーパージャンクション構造を有する。

[0065] 実施形態 3 に係るパワー半導体装置 104 においては、ドリフト層 114 のベース領域 116 側の表面から所定の方角に沿って所定の間隔で p⁻型コラム領域 140 を形成する。この p⁻型コラム領域 140 と、ドリフト層 114 のうち当該 p⁻型コラム領域 140 が形成されていない部分の一部で構成される n⁻型コラム領域 138 とが所定の方角に沿って交互に形成された状態となる。

[0066] 実施形態 3 に係るパワー半導体装置 104 においては、平面的に見て n⁻型コラム領域 138 が形成されている領域内にトレンチ 118 が形成されている領域が形成されている。なお、実施形態 3 において、金属プラグ 130 は、平面的に見て p⁻型コラム領域 140 が形成されている領域内にのみ形成さ

れているが、当該p-型コラム領域140が形成されている領域に加えて、平面的に見てn-型コラム領域138が形成されている領域内に形成されていてもよい。

[0067] 実施形態3に係るパワー半導体装置104においては、n-型コラム領域138とp-型コラム領域140とはおおむね同じ幅であり、n-型コラム領域138とp-型コラム領域140とでチャージバランスが取れた状態となっている。n-型コラム領域138の幅及びp-型コラム領域140の幅は、例えばそれぞれ $6\mu\text{m}$ であり、n-型コラム領域138及びp-型コラム領域140の不純物濃度は、例えばそれぞれ $5\times 10^{14}\text{cm}^{-3}\sim 5\times 10^{16}\text{cm}^{-3}$ の範囲内にある。

[0068] このように、実施形態3に係るパワー半導体装置104は、スーパージャンクション構造を有する点で実施形態1に係るパワー半導体装置100の場合とは異なるが、実施形態1に係るパワー半導体装置100の場合と同様に、層間絶縁膜126を貫通して少なくともベース領域116に達するように形成されたコンタクトホールであって、互いに隣接する2つのトレンチ118の間にそれぞれ2本形成された複数のコンタクトホール128と、コンタクトホール128の内部に充填された金属プラグ130とを備えるため、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置となる。

[0069] また、実施形態3に係るパワー半導体装置104によれば、ドリフト層114は、所定の方向に沿って交互に形成されている複数のn-型コラム領域138及び複数のp-型コラム領域140を有し、実施形態3に係るパワー半導体装置104は、複数のn-型コラム領域138及び複数のp-型コラム領域140で構成されたスーパージャンクション構造を有するため、高い耐圧を維持しながらオン抵抗を下げることができる。

[0070] また、実施形態3に係るパワー半導体装置104によれば、ドリフト層114は、所定の方向に沿って交互に形成されている複数のn-型コラム領域138及び複数のp-型コラム領域140を有し、実施形態3に係るパワー半導

体装置 104 は、複数の n-型コラム領域 138 及び複数の p-型コラム領域 140 で構成されたスーパージャンクション構造を有するため、このように高い耐圧を有するパワー半導体装置であっても、電子機器の低コスト化及び小型化の要請を満たし、かつ、破壊耐量の大きなパワー半導体装置とすることができる。

[0071] なお、実施形態 3 に係るパワー半導体装置 104 は、スーパージャンクション構造を有する点以外の点においては実施形態 1 に係るパワー半導体装置 100 と同様の構成を有するため、実施形態 1 に係るパワー半導体装置 100 が有する効果のうち該当する効果を有する。

[0072] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0073] (1) 上記実施形態において記載した構成要素の数、材質、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

[0074] (2) 上記各実施形態においては、金属プラグ 130 を平面的に見てストライプ状に形成したが（図 9 参照。）、本発明はこれに限定されるものではない。金属プラグを平面的に見て、円状（立体的にみて柱状、図 10 及び図 14 参照。）、四角形の枠状（図 11 参照。）、円形の枠状（図 12 参照。）、又は格子状（図 13 参照。）等に形成してもよい。

[0075] (3) 上記各実施形態においては、トレンチ 118 を平面的に見てストライプ状に形成したが（図 9 参照。）、本発明はこれに限定されるものではない。トレンチを平面的に見て、四角形状（立体的に見て柱状、図 13 及び図 14 参照。）又は格子状（図 10、図 11 及び図 12 参照。）等に形成してもよい。

[0076] (4) 上記各実施形態においては、本発明をトレンチゲートパワー MOSFET に適用したが、本発明はこれに限定されるものではない。本発明をプレ

ーナゲートパワーMOSFETに適用してもよい。

[0077] (5) 上記各実施形態においては、本発明をMOSFETに適用したが、本発明はこれに限定されるものではない。本発明をIGBT、サイリスタ、トライアック、ダイオード等適宜のパワー半導体装置に適用してもよい。

[0078] (6) 上記実施形態3において、コンタクトホール128をベース領域116に達するように形成したが、本発明はこれに限定されるものではない。コンタクトホール128をp⁻型コラム領域140に達するように形成してもよい。この場合には、アバランシェ降伏時及びボディダイオードの逆回復時において、ホールをソース電極134に引き抜きやすくなる、という効果がある。

[0079] (7) 上記各実施形態において、p⁺型拡散領域132をコンタクトホール128の底部にのみ形成したが、本発明はこれに限定されるものではない。p⁺型拡散領域132をコンタクトホール128の底部に加えて側部の一部（底部側の一部）に形成してもよい。この場合には、アバランシェ降伏時及びボディダイオードの逆回復時において、空乏層がコンタクトプラグに接触することによりパワー半導体装置が破壊されてしまうことを防ぐことができる。

[0080] (8) 上記実施形態1においては、互いに隣接する2つのトレンチ118の間にコンタクトホール128及び金属プラグ130をそれぞれ2本形成し、上記実施形態2においては、互いに隣接する2つのトレンチ118の間にコンタクトホール128及び金属プラグ130をそれぞれ4本形成したが、本発明はこれに限定されるものではない。互いに隣接する2つのトレンチ118の間にコンタクトホール128及び金属プラグ130をそれぞれ3本又は5本以上形成してもよい。

[0081] (9) 上記各実施形態においては、ソース領域124を、互いに隣接する2つのトレンチ118の間においてトレンチ118と当該トレンチに最も近い金属プラグ130との間のみに形成したが、本発明はこれに限定されるものではない。ソース領域124を、互いに隣接する2つのトレンチ118の間において、金属プラグ130同士の間形成してもよい（図15参照。）。

[0082] (10) 上記各実施形態においては、コンタクトホール128を、ソース領域124の底面よりも深い深さ位置まで形成したが、本発明はこれに限定されるものではない。コンタクトホール128を、ソース領域124の底面よりも浅い深さ位置まで形成してもよい(図16参照。)

符号の説明

[0083] 100, 102, 104, 106, 108…パワー半導体装置、110, 910…半導体基体、112, 912…低抵抗半導体層、114, 914…ドリフト層、116, 916…ベース領域、118, 918…トレンチ、120, 920…ゲート絶縁膜、122, 922…ゲート電極、122'…ポリシリコン層、124, 924…ソース領域、126, 926…層間絶縁膜、128, 928…コンタクトホール、130, 930…金属プラグ、132, 932… p^+ 型拡散領域、134, 934…ソース電極、136, 936…ドレイン電極、138… n -型コラム領域、140… p -型コラム領域、900…パワーMOSFET、M1…マスク、 e …電子、 h …ホール

請求の範囲

[請求項1]

低抵抗半導体層と、
前記低抵抗半導体層上に形成された第1導電型のドリフト層と、
前記ドリフト層の表面に形成された第2導電型のベース領域と、
前記ベース領域を貫通し前記ドリフト層に達する深さ位置まで形成された複数のトレンチと、
前記トレンチの内周面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜を介して前記トレンチの内部に埋め込まれてなるゲート電極と、
前記ベース領域の表面に配置されるとともに少なくとも一部が前記トレンチの内周面に露出するように形成された第1導電型高濃度拡散領域と、
前記第1導電型高濃度拡散領域、前記ゲート絶縁膜及び前記ゲート電極を少なくとも覆う層間絶縁膜と、
互いに隣接する2つの前記トレンチの間にそれぞれ2本以上、前記層間絶縁膜を貫通して少なくとも前記ベース領域に達するように形成されたコンタクトホールと、
前記コンタクトホールの内部に金属が充填されてなる金属プラグと、
前記金属プラグの底面に接触してなる、前記ベース領域よりも不純物濃度が高い第2導電型高濃度拡散領域と、
前記層間絶縁膜上に形成され、前記金属プラグを介して前記ベース領域、前記第1導電型高濃度拡散領域及び前記第2導電型高濃度拡散領域と電気的に接続された電極とを備えることを特徴とするパワー半導体装置。

[請求項2]

前記第1導電型高濃度拡散領域は、互いに隣接する2つの前記トレンチの間において、前記トレンチと当該トレンチに最も近い前記金属プラグとの間のみに形成されていることを特徴とする請求項1に記載

のパワー半導体装置。

[請求項3] 前記金属は、タングステンであることを特徴とする請求項1又は2に記載のパワー半導体装置。

[請求項4] 互いに隣接する2つの前記ゲート電極の間隔は、 $2.5\mu\text{m}$ 以上であることを特徴とする請求項1～3のいずれかに記載のパワー半導体装置。

[請求項5] 互いに隣接する2つの前記ゲート電極の間隔は、前記金属プラグの幅の5倍以上であることを特徴とする請求項1～4のいずれかに記載のパワー半導体装置。

[請求項6] 前記コンタクトホールは、前記第1導電型高濃度拡散領域の底面よりも深い深さ位置まで形成されていることを特徴とする請求項1～5のいずれかに記載のパワー半導体装置。

[請求項7] 前記ベース領域の最深部の深さ位置は、 $0.5\mu\text{m}$ ～ $2.0\mu\text{m}$ の範囲内にあることを特徴とする請求項1～6のいずれかに記載のパワー半導体装置。

[請求項8] 前記ドリフト層は、所定方向に沿って交互に形成されている複数の第1導電型コラム領域及び複数の第2導電型コラム領域を有し、

前記パワー半導体装置は、前記複数の第1導電型コラム領域及び前記複数の第2導電型コラム領域で構成されたスーパージャンクション構造を有することを特徴とする請求項1～7のいずれかに記載のパワー半導体装置。

[請求項9] 請求項1～8のいずれかに記載のパワー半導体装置を製造するためのパワー半導体装置の製造方法であって、

低抵抗半導体層及び前記低抵抗半導体層上に形成された第1導電型のドリフト層を有する半導体基体を準備する半導体基体準備工程と、

前記ドリフト層に複数のトレンチを形成するトレンチ形成工程と、

前記トレンチの内周面にゲート絶縁膜を形成した後、前記ゲート絶縁膜を介して前記トレンチの内部にゲート電極を形成するゲート電極

形成工程と、

前記ドリフト層の表面から前記トレンチの最底部よりも浅い深さ位置まで第2導電型のベース領域を形成するベース領域形成工程と、

前記ベース領域の表面に、少なくとも一部が前記トレンチの内周面に露出するように第1導電型高濃度拡散領域を形成する第1導電型高濃度拡散領域形成工程と、

前記第1導電型高濃度拡散領域、前記ゲート絶縁膜及び前記ゲート電極を少なくとも覆う層間絶縁膜を形成する層間絶縁膜形成工程と、

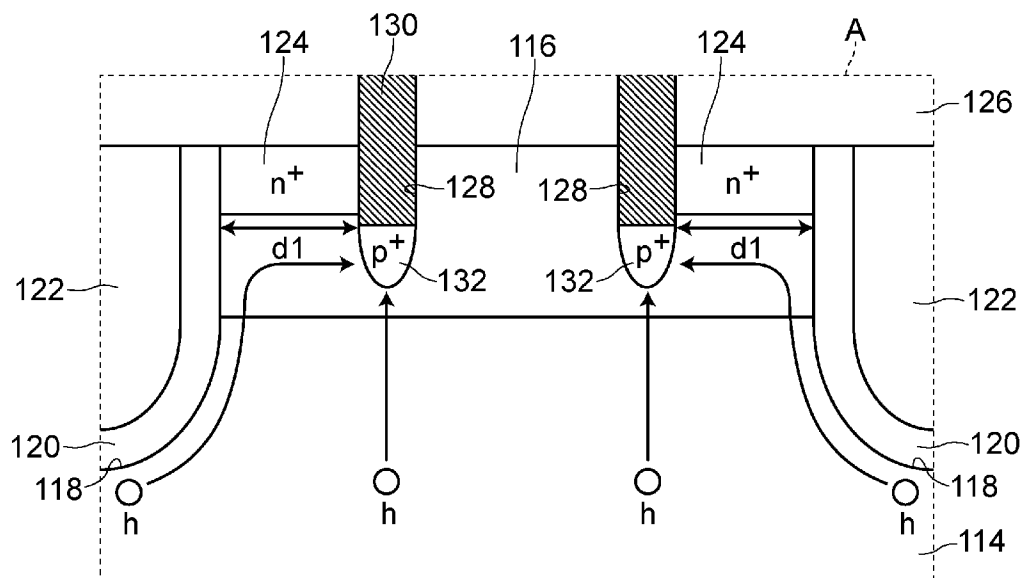
互いに隣接する2つの前記トレンチ間にそれぞれ2本以上、前記層間絶縁膜を貫通して少なくとも前記ベース領域に達するようにコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホールの底面に接触してなる、前記ベース領域よりも不純物濃度が高い第2導電型高濃度拡散領域を形成する第2導電型高濃度拡散領域形成工程と、

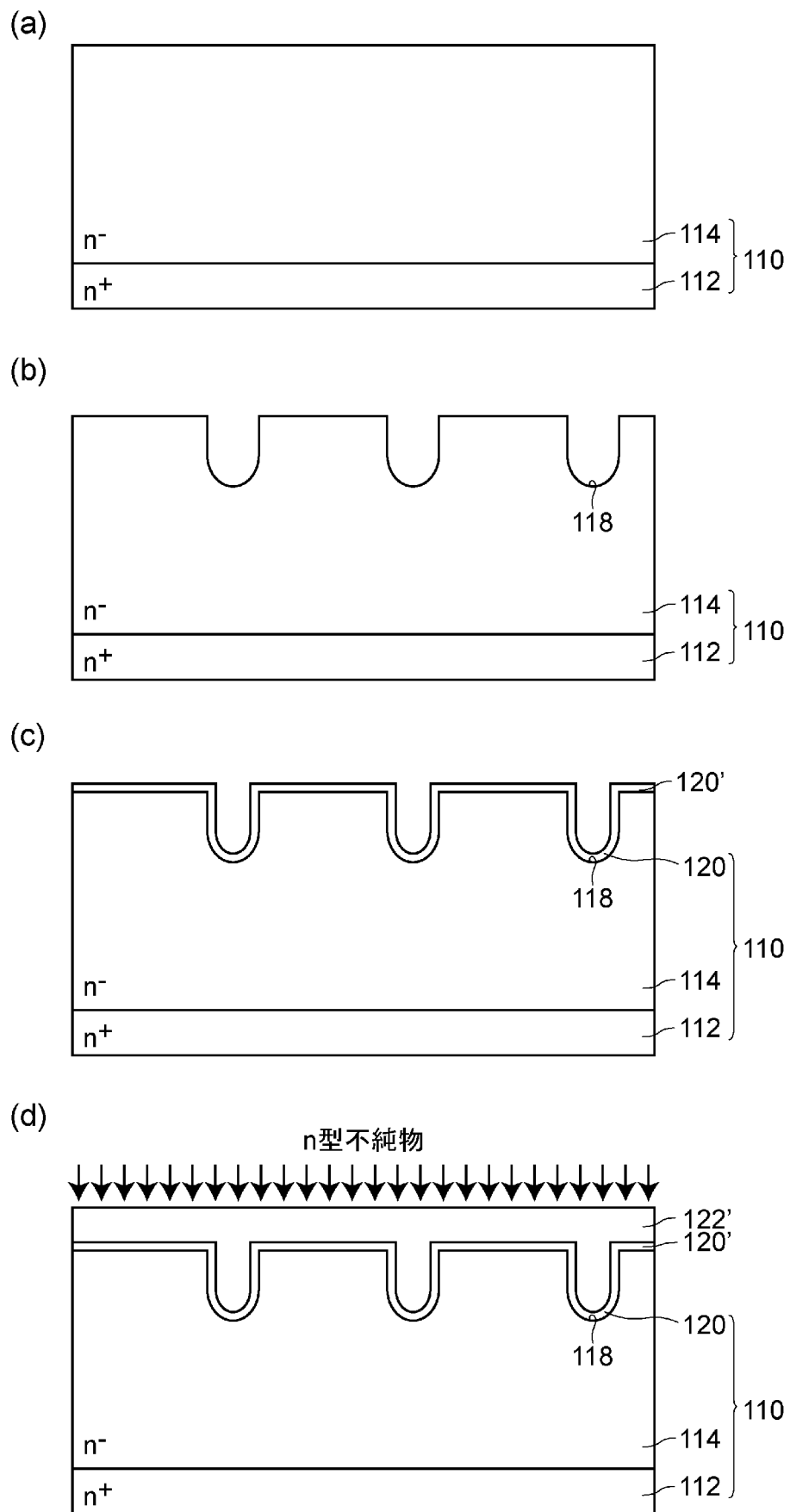
前記コンタクトホールの内部に金属を充填することによって金属プラグを形成する金属プラグ形成工程と、

前記層間絶縁膜上に、前記金属プラグを介して前記ベース領域、前記第1導電型高濃度拡散領域及び前記第2導電型高濃度拡散領域と電気的に接続された電極を形成する電極形成工程とをこの順序で含むことを特徴とするパワー半導体装置の製造方法。

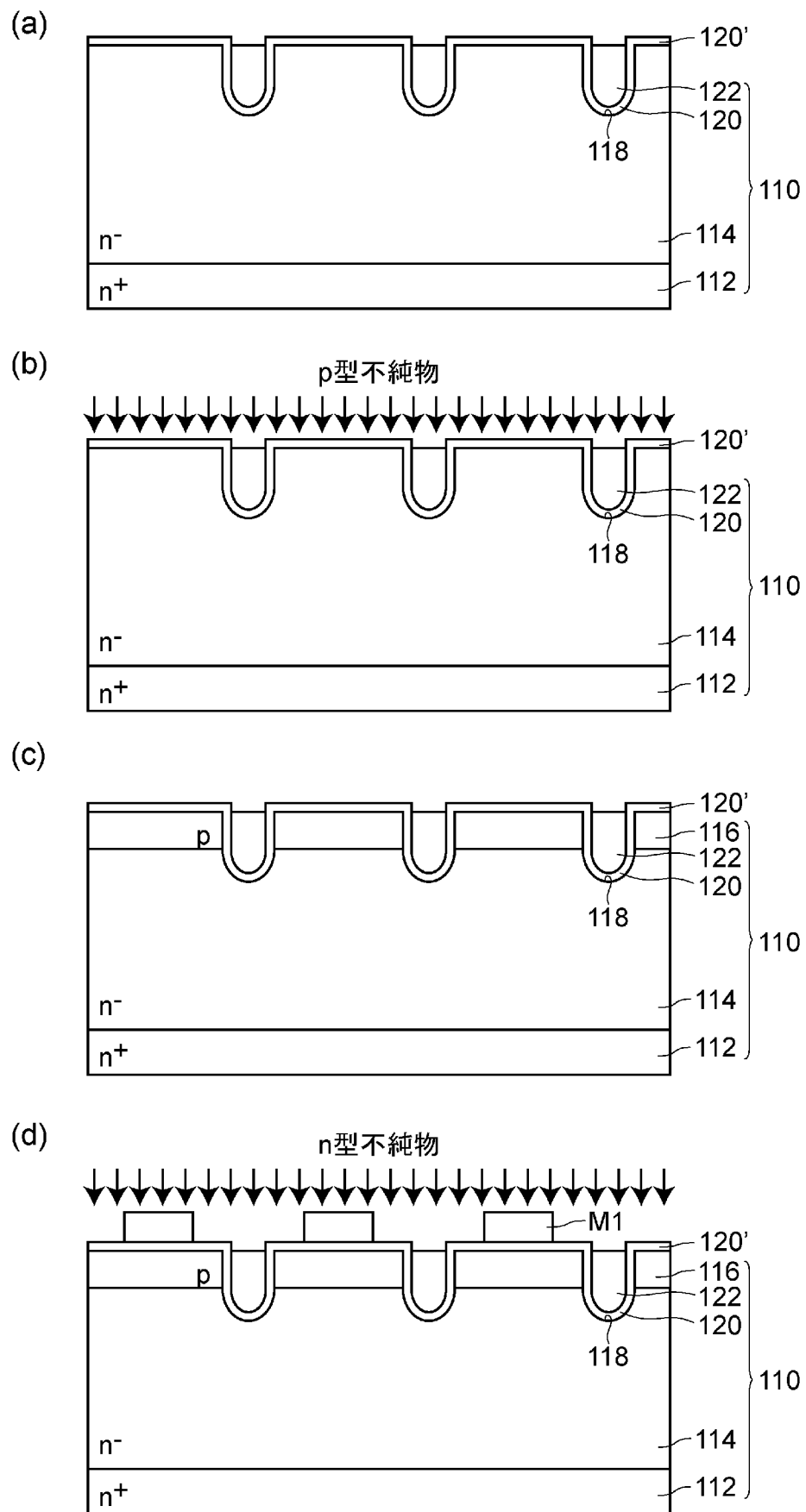
100



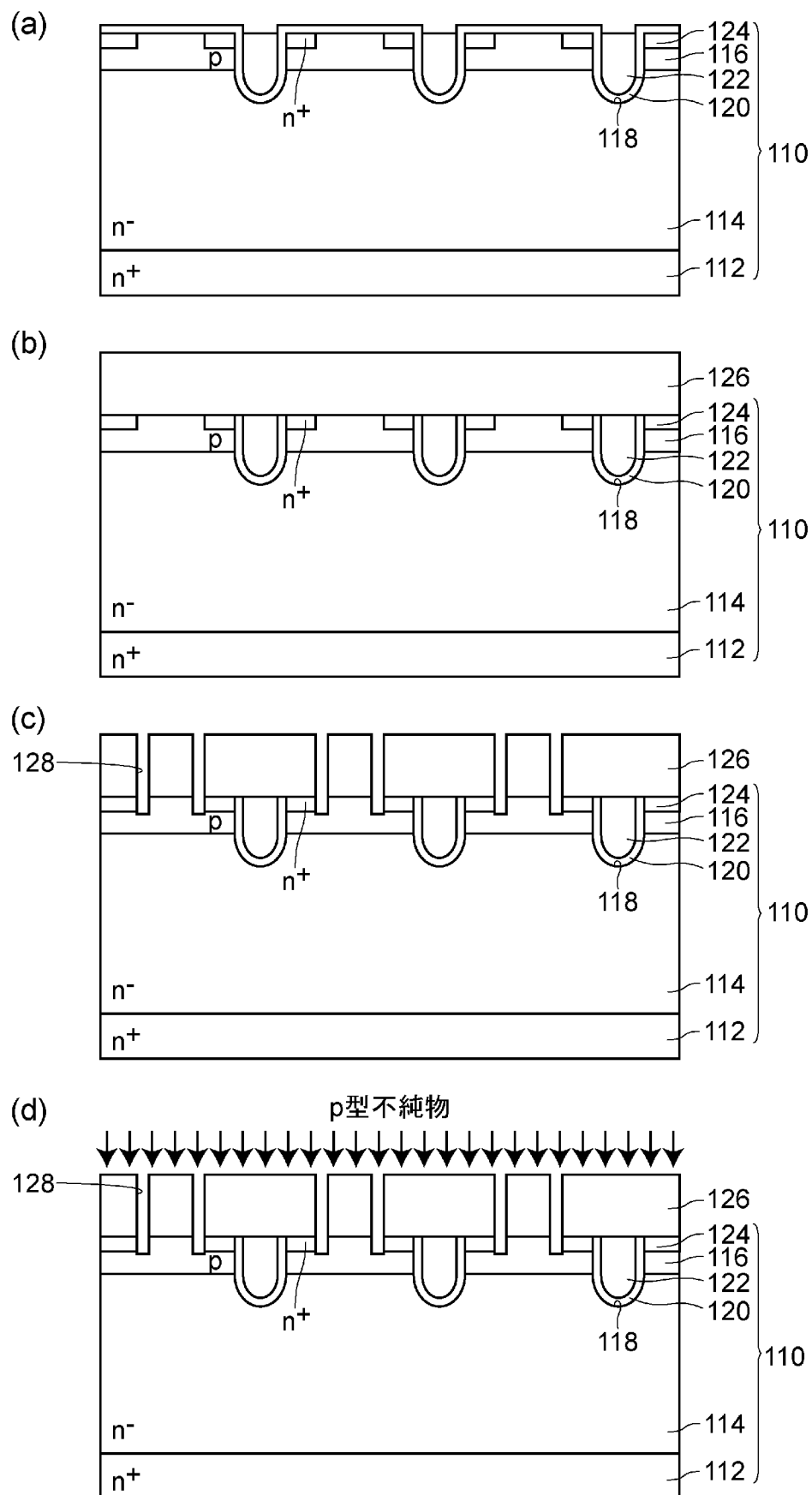
[図3]



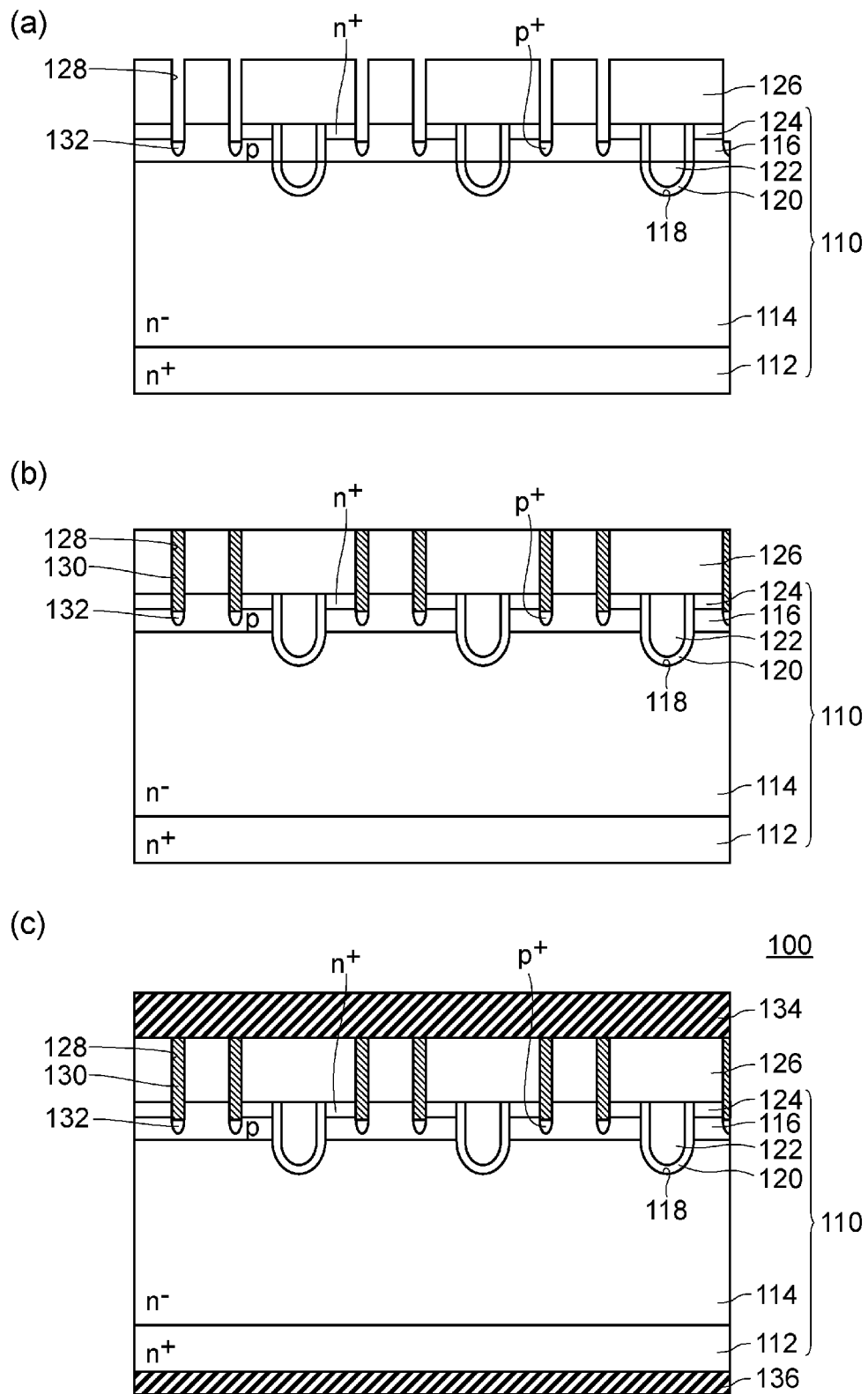
[図4]



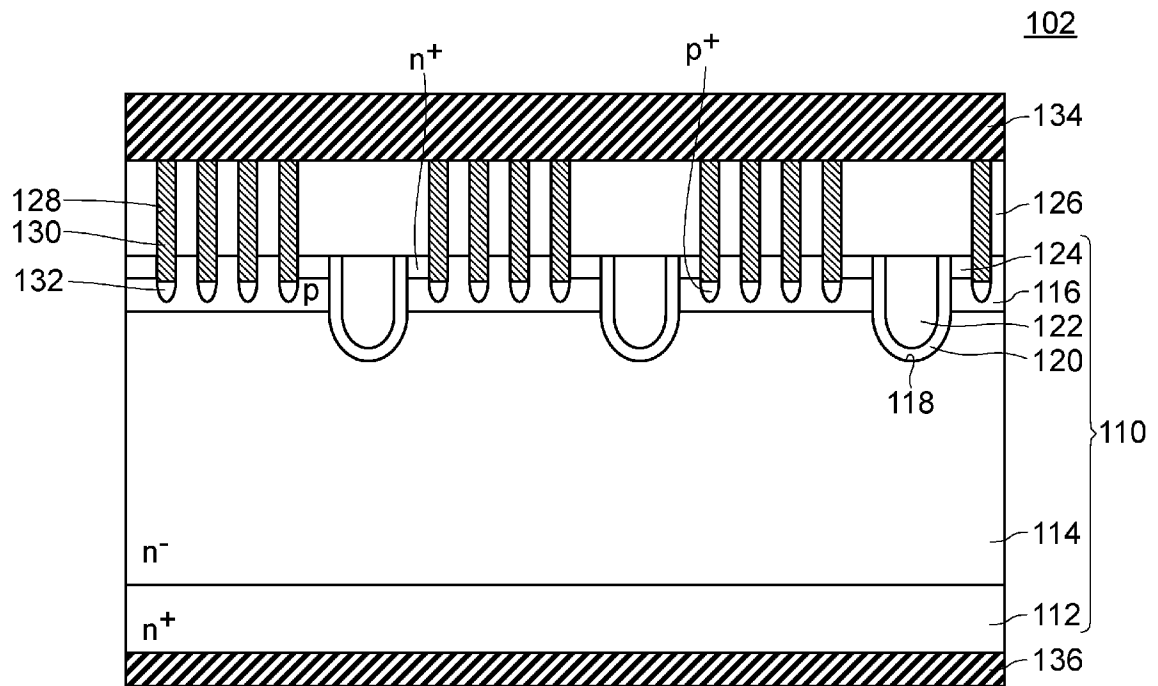
[図5]



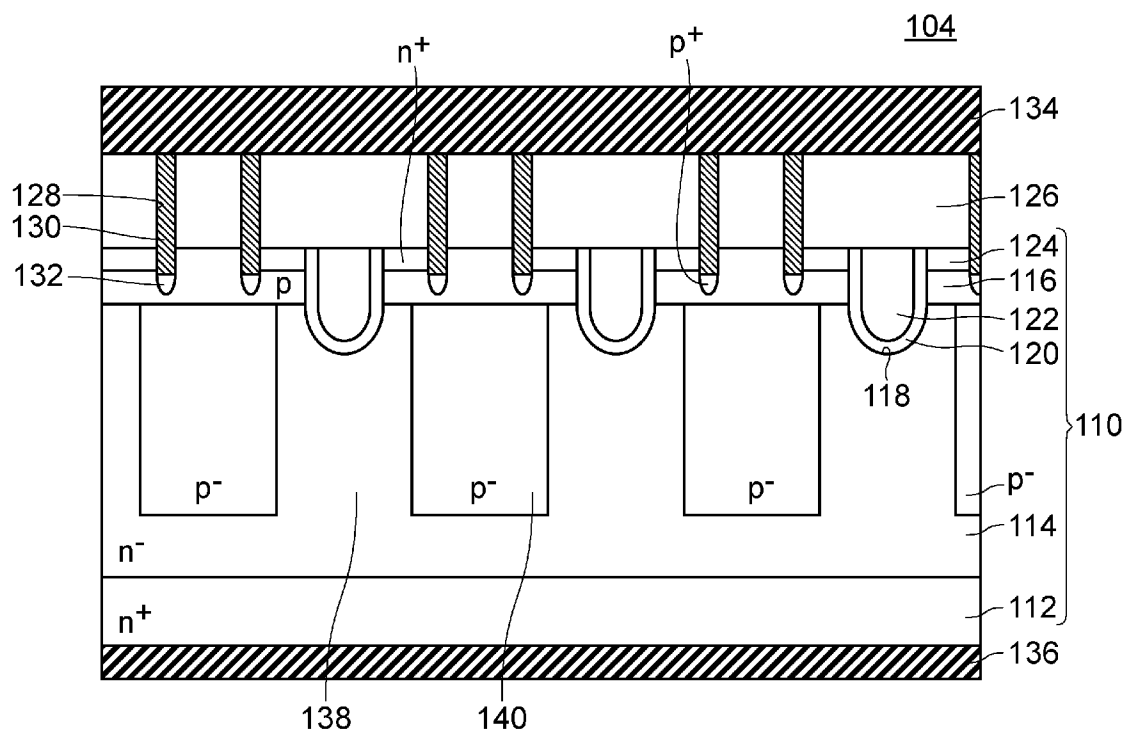
[図6]



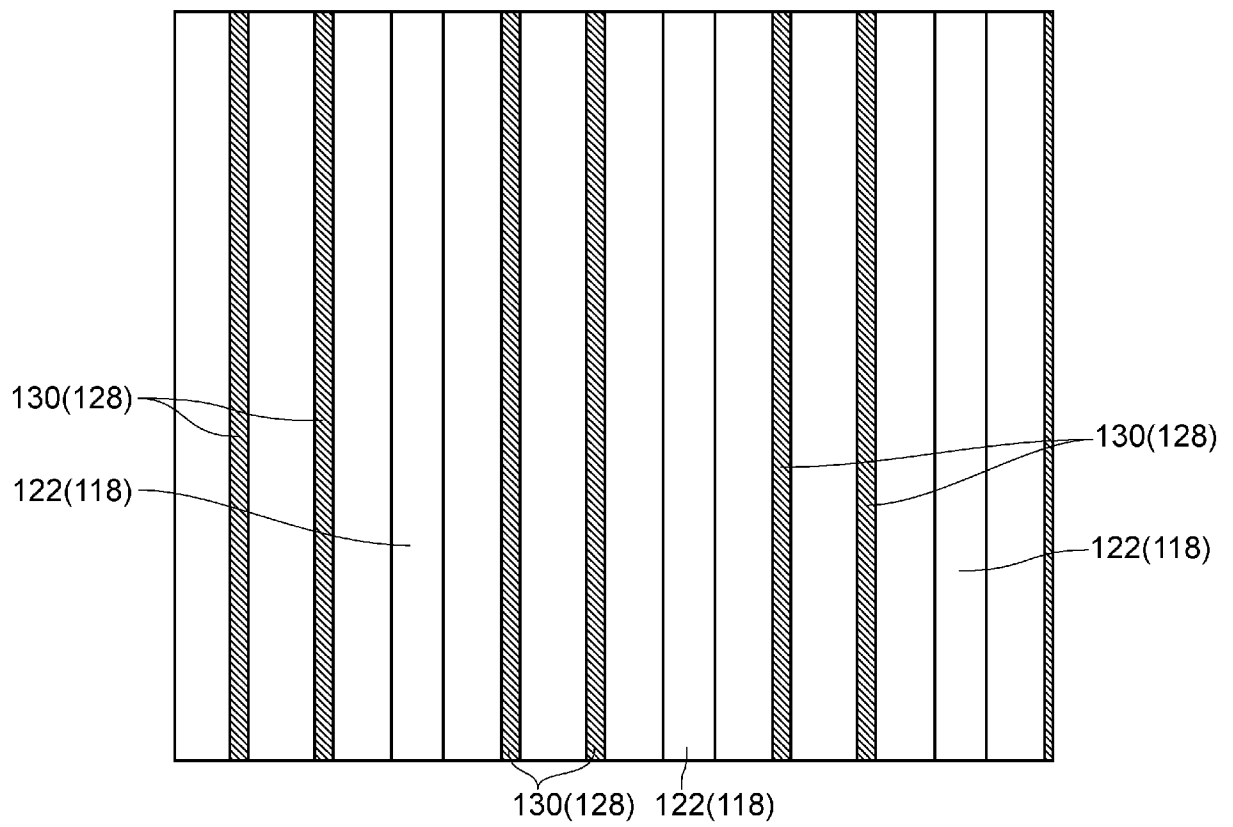
[図7]



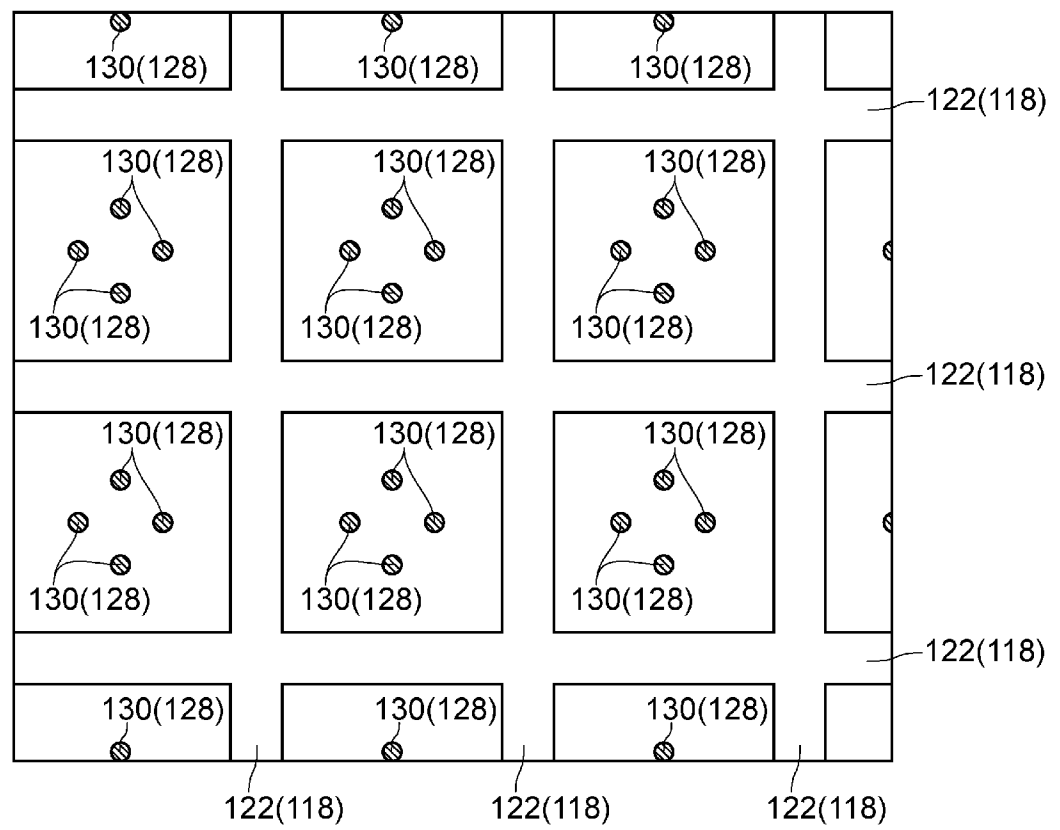
[図8]



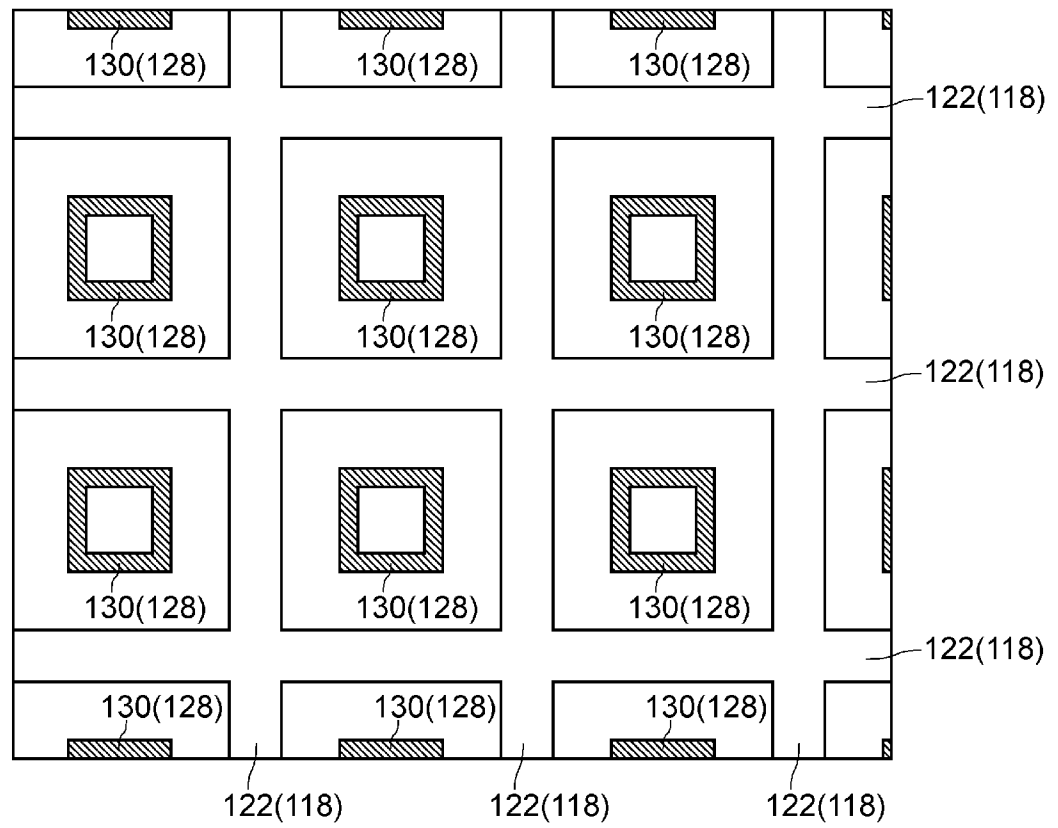
[図9]



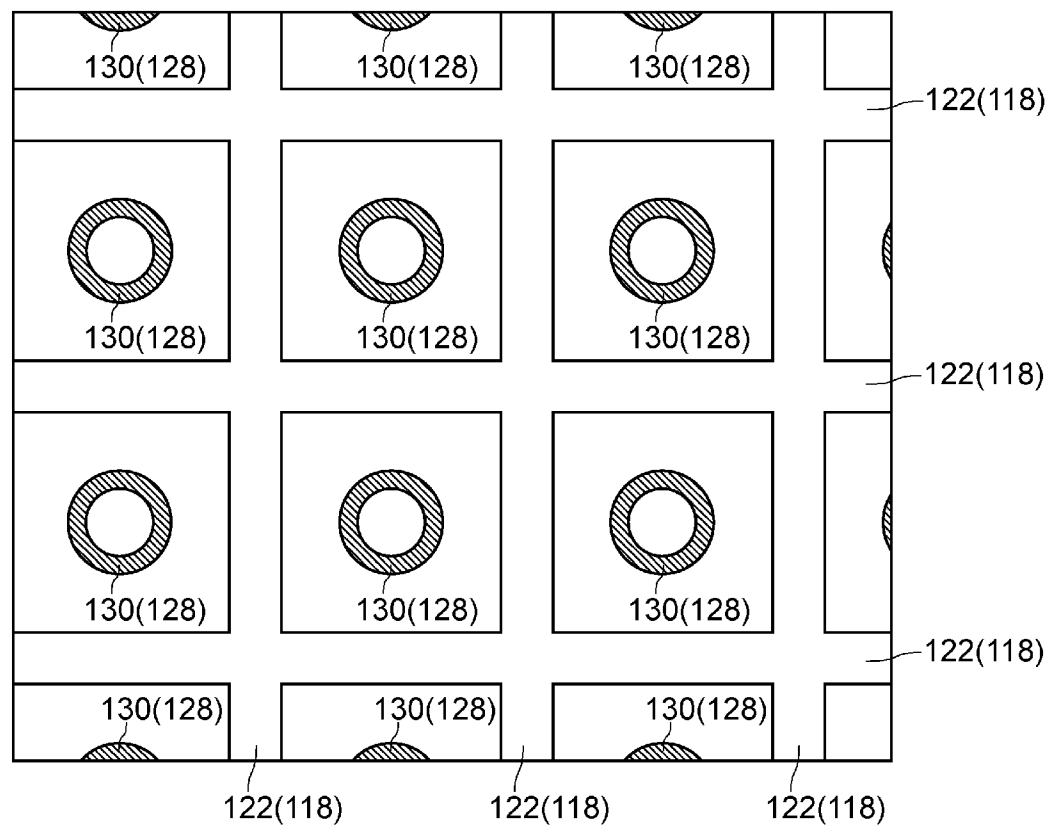
[図10]



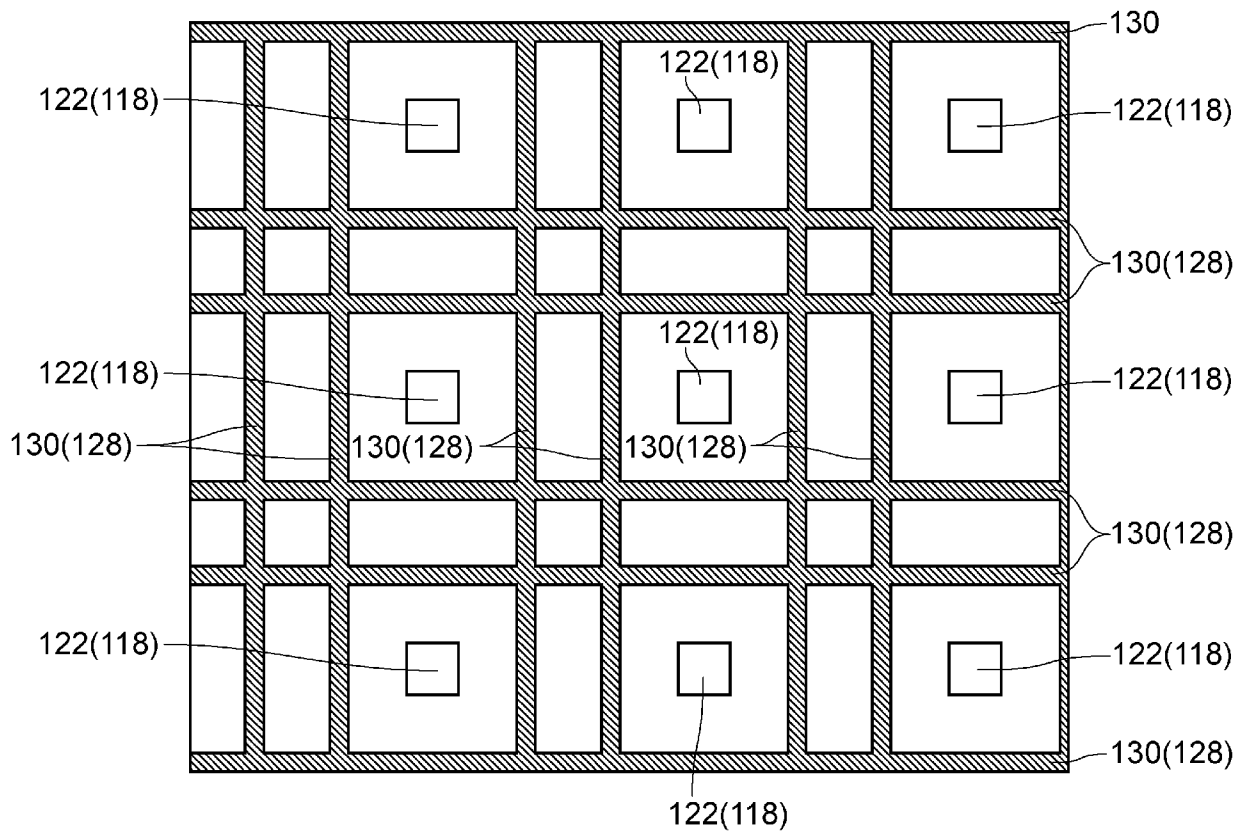
[図11]



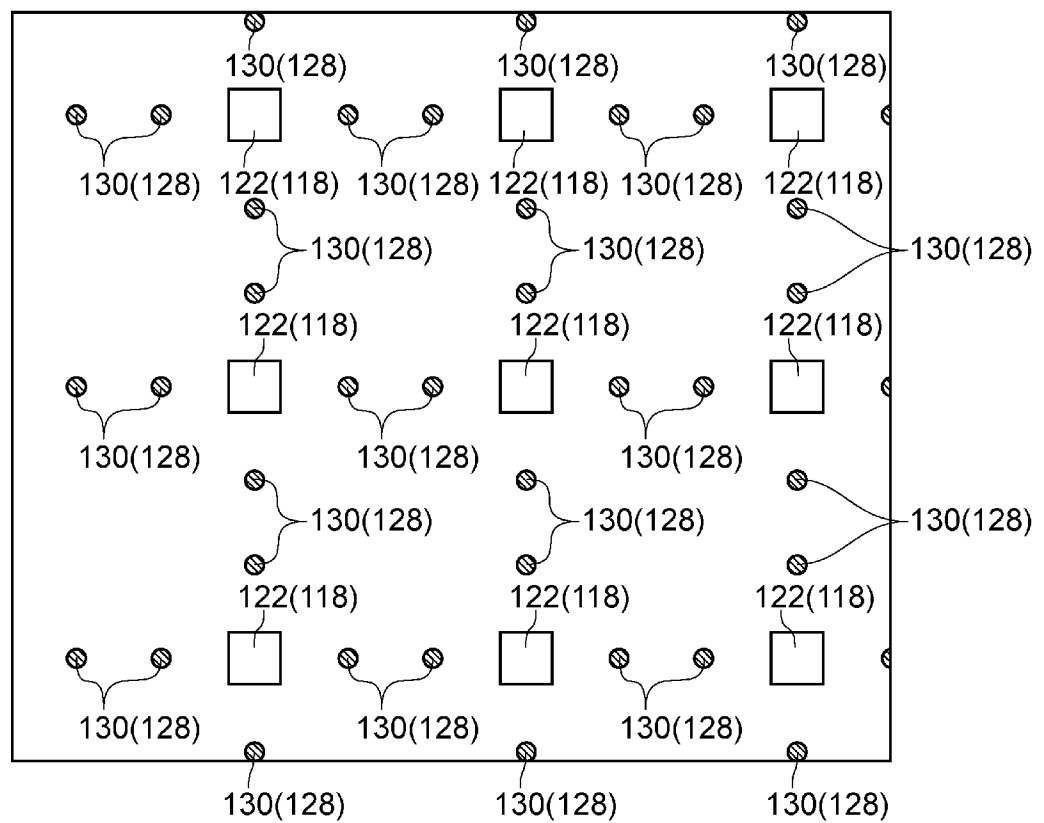
[図12]



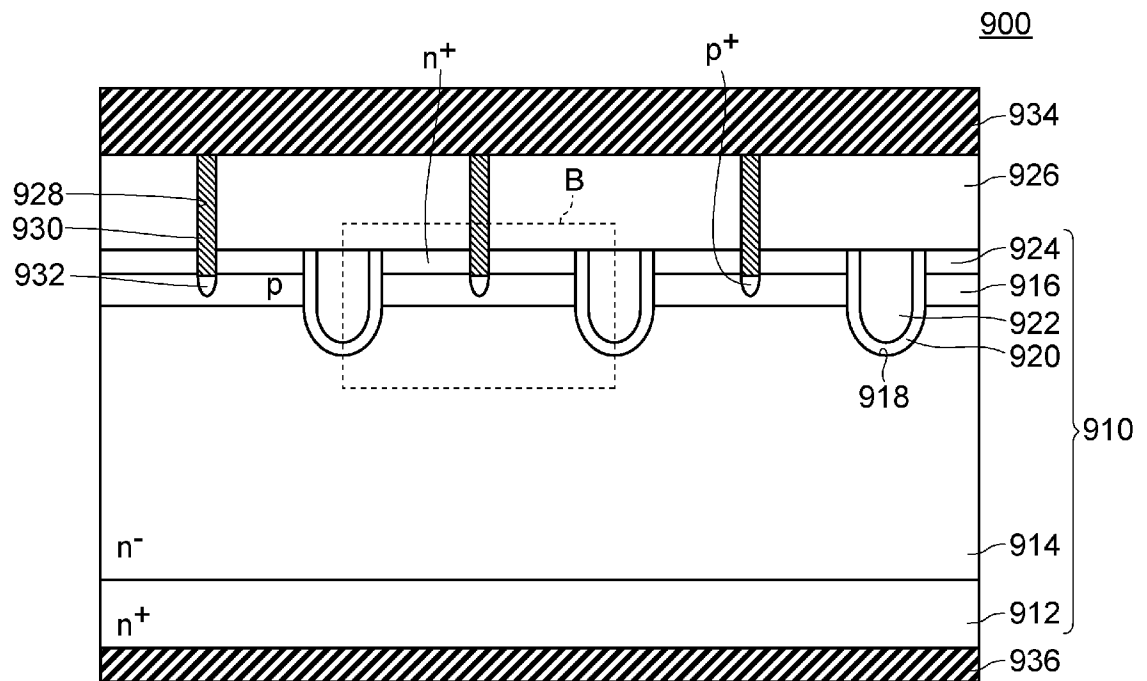
[図13]



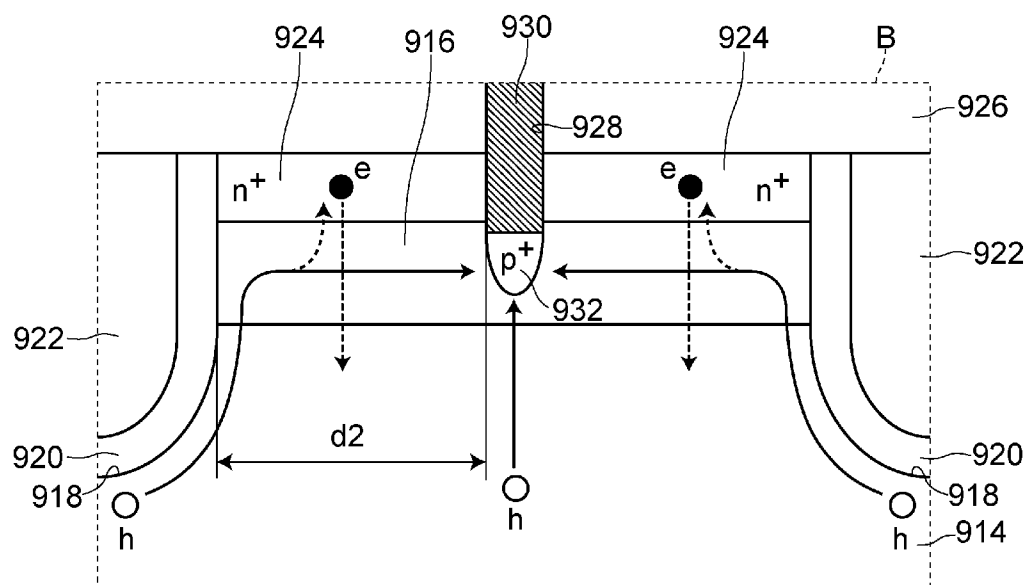
[図14]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/052631

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2015-185646 A (Renesas Electronics Corp.), 22 October 2015 (22.10.2015), fig. 3 & US 2015/0270385 A1 fig. 3	1, 3-9 2
X Y	JP 2006-294853 A (NEC Electronics Corp.), 26 October 2006 (26.10.2006), fig. 8 & US 2006/0226475 A1 fig. 8 & TW 264817 B	1, 3-9 2
Y	JP 2007-149867 A (Toyota Industries Corp.), 14 June 2007 (14.06.2007), fig. 5 (Family: none)	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 March 2016 (25.03.16)

Date of mailing of the international search report
05 April 2016 (05.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/052631

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-219171 A (Renesas Electronics Corp.), 24 October 2013 (24.10.2013), fig. 3 & US 2013/0264637 A1 fig. 3 & TW 201347190 A	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2015-185646 A（ルネサスエレクトロニクス株式会社） 2015.10.22, 図3 & US 2015/0270385 A1, 図3	1, 3-9 2
X Y	JP 2006-294853 A（NECエレクトロニクス株式会社）2006.10.26, 図8 & US 2006/0226475 A1, 図8 & TW 264817 B	1, 3-9 2
Y	JP 2007-149867 A（株式会社豊田自動織機）2007.06.14, 図5（フ ァミリーなし）	2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

5 F

9057

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-219171 A (ルネサスエレクトロニクス株式会社) 2013.10.24, 図 3 & US 2013/0264637 A1, 図 3 & TW 201347190 A	1 - 9