(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 27/04

(11) 공개번호 특2002-0002664
(43) 공개일자 2002년01월10일

(21) 출원번호 10-2000-0036901
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 최국선
서울특별시광진구자양3동현대6차아파트601동101호

(74) 대리인 강성배

심사청구 : 없음

(54) 시디엠특성을 개선한 반도체 아이/오 회로와 그 제작방법

요약

CDM특성을 개선한 반도체 I/O회로 및 그 제작방법은, 반도체 회로의 입출력부분에 대한 CDM(Charged Device Model) 특성을 개선하여, 완성된 반도체소자의 신뢰성을 향상시킨 반도체 I/O회로 및 이 반도체 I/O회로의 제조방법을 제시한 것이다.

본 발명의 반도체 I/O회로는 이 반도체 I/O회로에 포함되는 패드, 이 패드에 입출력신호를 상호 전달하는 최종 연결단으로서의 드라이버회로, 그리고 드라이버회로에 상기 입출력신호를 상호전달하는 신호제공단으로서의 버퍼회로를 중심으로 하며, 여기에 반도체 커패시터를 포함시켜 상기 패드와 버퍼회로를 곧바로 연결시키는 통로를 구성한다. 그리고 본 반도체 I/O회로의 제조방법은 반도체 제작에 있어서 전술한 내용을 제조하기 위한 다단계의 공정들에 의해 달성된다.

따라서 본 발명은 반도체 I/O회로의 최종단 이전에 단들에 충전된 전하를 방전시켜 줌으로써, 반도체 I/O회로의 CDM 특성을 효과적으로 개선한 반도체 I/O회로와, 이러한 반도체 I/O회로를 제작할 수 있는 반도체 공정방법을 제공한다.

대표도
도 2

명세서

도면의 간단한 설명

도 1은 종래 일반적인 반도체의 I/O회로 중 출력부분을 설명하기 위한 회로도.

도 2는 본 발명의 실시예에 따른 CDM특성을 개선한 반도체 I/O회로를 설명하기 위한 도면.

도 3a 내지 도 3d는 도 2에서 설명한 본 실시예를 제조하는 공정을 설명하기 위한 도면.

(도면의 주요 부분에 대한 부호의 설명)

10, 20 : 버퍼단13, 23 : 드라이버단

16, 26 : I/O패드

300 : 실리콘기판302 : 소자분리막

304 : 게이트산화막306 : 질소막

308c : 커패시터산화막310c, 310t : 폴리실리콘막

312d : 드레인312s : 소스

314 : 실리콘기판316bf, 316pd : 금속배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로에 포함되는 입출력(Input/Output; 이하 'I/O'라 함)회로에 관련된 것으로, 구체적으로는 반도체 회로의 입출력부분에 대한 CDM(Charged Device Model) 특성을 개선함으로써, 완성된 반도체소자의 신뢰성을 향상시키고 동일구조의 모든 반도체소자에 적용될 수 있는, CDM특성을 개선한 반도체 I/O회로 및 그 제작방법에 관한 것이다.

반도체패키지는 그 내부에 수많은 소자를 집적시킨 집적회로(IC ; Integrated Circuit)를 포함하고 있다. 그리고 그 외부는 이러한 집적회로에 연결하기 위한 다수의 핀들이 형성되어 있다. 아울러 내부 집적회로에는 I/O회로를 포함하고 있는데, 이 I/O회로는 집적회로의 연산이나 수행결과를 반도체패키지에 연결되는 외부회로에 전달하기 위한 매우 중요한 부분이다.

도 1은 종래 일반적인 반도체의 I/O회로 중 출력부분을 설명하기 위한 회로도이다. 통상 집적회로의 입력 및 출력부분은 설계자의 의도에 따라, 하나의 회로가 입력 및 출력을 동시에 또는 각각 따로 동작하도록 설계할 수 있다. 본 설명에서는 이러한 입출력의 개념을 동시에 포함하지만, 출력부분을 중심으로 설명한다.

도시한 바와 같이 출력부분을 중심으로 설명되고 있는, 종래의 일반적인 I/O회로는 크게 버퍼(10 ; Buffer)단과, 드라이버(13 ; Driver)단과, I/O 패드(16 ; PAD)를 포함하고 있다.

버퍼단(10) 및 드라이버단(13)은 반도체 집적회로의 출력부분이 버스라인, 클럭라인, 또는 반도체 패키지 외부연결회로 등과 같은 큰 용량성 부하를 구동하여야 할 경우, 집적회로의 연산결과를 빠르게 전달시키기 위해서 필요하다. 이 버퍼단(10)은 도시한 바와 같이 통상적으로 N모스와 P모스의 쌍(101n과 101p, 102n과 102p)에 의한 인버터 형태가 보통이다. 그리고, 드라이버단(13)은 버퍼단(10)의 최종적인 출력을 I/O패드(16)에 효과적으로 전달하기 위하여 구

동시켜 준다.

그리고 I/O패드(16)는 반도체패키지에 포함되는 집적된 연산회로와 외부회롤 연결시켜주는 통로이다. 이 I/O패드(16)를 통하여 외부의 신호가 집적회로에 전달되거나 또는 집적회로에서 연산된 결과가 외부로 전달된다.

발명이 이루고자 하는 기술적 과제

그러나 전술한 종래 일반적인 반도체의 I/O회로는, 드라이버단(13)과 연결된 그 외의 회로, 예를 들어 셀(Cell)회로, 정전기방지회로(ESD회로; ElectroStatic Discharge) 등과의 파워라인(power line)이 독립적이지 못하기 때문에, CDM특성이 취약한 문제점이 있다. 즉, 드라이버단(13)의 모스들(T13p, T13n)은 웰(WELL)에 존재하는 전하를 접합라인(Junction Line)을 통해 방전이 가능하지만(화살표 a1 및 a2), 패드에 직접적으로 연결되지 않은 버퍼단(10)의 웰(WELL)에 존재하는 전하는, 화살표 b1 내지 b4의 경로를 따라 방전해야 한다. 때문에 이러한 방전은 드라이버단(13) P모스(T13p) 및 N모스(T13n)의 게이트산화막에 손상을 가하는 누설(leakage)전류를 유발시키는 문제를 초래한다.

따라서 전술한 문제점을 해결하기 위한 본 발명의 목적은, 전하방전에 따른 문제점을 방지할 수 있는 커패시터를 포함시켜 새로운 경로를 형성하고, 이를 통하여 반도체 I/O회로의 최종 단이라 할 수 있는 드라이버 앞단에 연결되는 회로의 전하를 방전시켜 줌으로써, 드라이버단을 구성하는 소자들을 보호하고 반도체회로의 전하특성을 개선하기 위한, CDM특성을 개선한 반도체 I/O회로를 제공하는 데 있다.

본 발명의 또다른 목적은 상기 CDM특성을 개선한 반도체 I/O회로를 제작하기 위한 반도체 공정방법을 제공하는 데 있다.

발명의 구성 및 작용

본 발명에 따른 CDM특성을 개선한 반도체 I/O회로는, 반도체 집적회로의 입출력 전하특성을 개선하기 위한 회로에 있어서,

상기 반도체 집적회로와 입출력신호를 상호 전달하기 위한 제1회로; 상기 제1회로의 전단 및/또는 후단에 연결되어 상기 제1회로와 상호 전달되는 상기 입출력신호를 구동하기 위한 제2회로; 상기 제2회로의 전단 및/또는 후단에 연결되어 상기 제2회로의 입출력신호를 상기 반도체에 연결되는 외부회로와 상호 전달하기 위한 소정의 연결영역; 및, 상기 제1회로 및 상기 연결영역에서 각각의 입출력 신호를 상호 전달하기 위한 각각의 소정 입출력지점을, 바로 연결하는 반도체 커패시터를 포함하며,

본 발명에 따른 CDM특성을 개선한 반도체 I/O회로의 제작방법은, 반도체 입출력회로의 전하특성을 개선하기 위한 공정에 있어서,

상기 반도체 입출력회로의 구성소자들을 형성하기 위해, 반도체기판 상부에 소자분리막 및 산화막을 형성하는 제1단계; 상기 입출력회로의 전하특성을 개선하는 커패시터를 형성하기 위한 소정영역에, 상기 소자분리막 및 산화막을 제거하고 이온주입하여 상기 커패시터의 일방 영역을 형성하는 제2단계; 상기 제1단계에서 형성한 산화막 상부에, 산화막의 증착을 차단할 수 있는 소정의 차단막을 형성하는 제3단계; 상기 제2단계에서 형성한 커패시터 일방영역 상부의 상기 산화막 및 상기 차단막을 식각하여, 상기 커패시터를 위한 커패시터홀을 형성하는 제4단계; 상기 형성된 커패시터홀에 상기 산화막보다 얇도록 박막형태의 커패시터산화막을 형성하는 제5단계; 상기 입출력회로의 구성소자 및 상기 커패시터의 동작을 위해, 상기 산화막 및 상기 커패시터산화막 상부에 폴리실리콘층을 증착하고 소정 패턴에 의해 식각하는

제6단계; 및, 상기 입출력회로를 형성하기 위해, 상기 폴리실리콘층 상부 및 상기 구성소자를 동작시키기 위한 소정영역들에 금속배선을 형성하는 제7단계를 포함한다.

이하 도면들을 참조하여 본 발명의 바람직한 실시예를 자세히 설명한다.

도 2는 본 발명의 실시예에 따른 CDM특성을 개선한 반도체 I/O회로를 설명하기 위한 도면이다.

도시한 바와 같이 본 실시예에 따른 I/O회로는, 박막형태의 커패시터(C23p, C23n)를 종래 I/O회로에 포함시켜 I/O회로의 버퍼단(20)에서 I/O패드(26)로 연결되는 통로를 구성한 특징이 있다. 즉, 버퍼단(20)의 출력측에 연결된 저항(R23p, R23n)의 앞단에서 통로를 분리하여 박막형태의 커패시터(C23p, C23n)를 거친 후, I/O패드(26)로 연결되도록 구성하였다. 따라서, 버퍼단(20)에 충전된 전하의 방전시 드라이버(23)회로의 모스TR(T23p, T23n)을 통한 방전보다는 새로 삽입된 두 커패시터(C23p, C23n)의 산화막 항복(Breakdown)을 이용해 먼저 방전시킬 수 있다. 결국, 드라이버(23)회로 모스TR(T23p, T23n)의 게이트산화막은 보호된다. 이 외의 동작특성은 종래의 I/O회로와 동일하다.

도 3a 내지 도 3d는 도 2에서 설명한 본 실시예를 제조하는 공정을 설명하기 위한 도면이다.

본 실시예의 제조공정은 도 3a에 도시한 바와 같이, 실리콘기판(300)상에 소자분리막(302)을 형성하고, 그 상부에 게이트산화막(304)을 증착하게 된다. 다시 이 상부에 질소막(306 ; Nitride)을 증착한 후, 마스크 및 식각공정으로 커패시터를 형성하기 위한 커패시터홀(308h) 부분의 산화막(304) 및 질소막(306)을 제거한다. 이 후 불순물을 주입하여 커패시터 형성부위에 n+영역(308a)을 형성한다.

다음 질소막(306)에는 열산화막(Thermal Oxide)이 성장하지 않는 점을 이용하여, 도 3b와 같이 커패시터산화막(308c)을 위한 열산화막을 게이트산화막(304)보다 얇게 형성시킨다. 이 후 반도체소자를 위한 영역의 질소막(306)은 식각해 낸다. 전술한 바와 같이 새로 형성된 커패시터산화막(308c)의 두께는 드라이버단 NMOS(도 2, T23n) 및 PMOS(T23p)의 게이트산화막 두께보다 얇다. 따라서, CDM특성 테스트를 위해 I/O회로에 전하를 급속 충전한 후 방전시키는 경우, 새로 형성된 커패시터(도 2, C23p 또는 C23n)는 NMOS(T23n) 및 PMOS(T23p)의 게이트산화막보다 먼저 항복(Breakdown)되어 충전된 전하를 I/O패드(26)로 방전시킨다. 따라서 NMOS(T23n) 및 PMOS(T23p)의 게이트산화막을 보호한다.

이 후 도 3c와 같이, 증착 및 식각 등의 공정을 통하여 새로 형성할 커패시터 및 드라이버단(23)의 모스TR을 위한 폴리실리콘막(310c, 310t)을 형성한다. 이 폴리실리콘막(310c, 310t)은 드라이버단 모스TR(T23n, T23p)의 게이트 및, 커패시터의 유전체 역활을 한다. 다음 실리콘기판(300)과 반대타입의 불순물을, 본 실시예에서는 실리콘기판(300)을 p형이므로 n형 불순물을, 고농도(n+)로 주입하여 드라이버단 NMOS의 드레인(312d) 및 소스(312s)를 형성한다. 본 도 3c에서는 드라이버단의 NMOS(도 2, T23n)만을 설명하고 있으며, 본 실시예의 드라이버단(23)이 CMOS(Complementary MOS) 형태이므로, PMOS(T23p)의 경우에도 같은 원리에 의한 적용이 가능하다.

다음으로 도 3d에 도시한 바와 같이, 커패시터 및 모스TR을 연결하기 위한 절연막(314) 또는 게이트산화막(304)을 뚫어 수직형태의 콘택(contact)을 세운다. 그리고, 다시 상부에 금속을 증착하여 금속배선을 형성한다. 커패시터에 연결된 금속배선(316bf)는 버퍼단(20)의 출력부분과 연결하기 위한 것이고, NMOS(도 2, T23n)의 드레인(312d)에 연결된 금속배선(316pd)은 I/O패드(도 2, 26)에 연결하기 위한 배선이다.

따라서 이와같은 공정들을 통하여 도 2에서 설명한 등가회로를 제작할 수 있으며, 본 발명에 따른 반도체 I/O회로의 CDM특성을 효과적으로 개선할 수 있다.

발명의 효과

전술한 바와 같이, 본 발명은 전하방전에 따른 문제점을 방지할 수 있는 커패시터를 포함시켜 반도체 I/O회로내에 새로운 경로를 형성한다. 그리고, 이를 통하여 반도체 I/O회로의 최종단 이전에 단들에 충전된 전하를 방전시켜 줌으로써, 반도체 I/O회로의 CDM특성을 효과적으로 개선한 반도체 I/O회로와, 이러한 반도체 I/O회로를 제작할 수 있는 반도체 공정방법을 제공하는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 집적회로의 입출력 전하특성을 개선하기 위한 회로에 있어서,

상기 반도체 집적회로와 입출력신호를 상호 전달하기 위한 제1회로;

상기 제1회로의 소정 입출력단에 연결되어 상기 제1회로와 상호 전달되는 상기 입출력신호를 구동하기 위한 제2회로;

상기 제2회로의 소정 입출력단에 연결되어 상기 제2회로의 입출력신호를 상기 반도체에 연결되는 외부회로와 상호 전달하기 위한 소정의 연결영역; 및,

상기 제1회로 및 상기 연결영역에서 각각의 입출력 신호를 상호 전달하기 위한 각각의 소정 입출력지점을, 바로 연결하는 반도체 커패시터를 포함하는 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로.

청구항 2.

제 1항에 있어서, 상기 반도체 커패시터는

상기 제1회로의 소정 입출력지점과 상기 연결영역의 소정 입출력지점을 상호 연결시키는 박막형태의 커패시터인 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로.

청구항 3.

제 1항에 있어서, 상기 제1회로는

상기 반도체 집적회로의 입출력을 상호 전달하기 위한 버퍼회로인 것을 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로.

청구항 4.

제 1항에 있어서, 상기 제2회로는

상기 제1회로의 소정 입출력지점과 상호 연결하기 위한 드라이버회로인 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로.

청구항 5.

제 1항에 있어서, 상기 연결영역은

상기 반도체에 연결되는 외부회로와의 신호전달을 위한 패드인 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로.

청구항 6.

반도체 입출력회로의 전하특성을 개선하기 위한 공정에 있어서,

상기 반도체 입출력회로의 구성소자들을 형성하기 위해, 반도체기판 상부에 소자분리막 및 산화막을 형성하는 제1단계;

상기 입출력회로의 전하특성을 개선하는 커패시터를 형성하기 위한 소정영역에, 상기 소자분리막 및 산화막을 제거하고 이온주입하여 상기 커패시터의 일방 영역을 형성하는 제2단계;

상기 제1단계에서 형성한 산화막 상부에, 산화막의 증착을 차단할 수 있는 소정의 차단막을 형성하는 제3단계;

상기 제2단계에서 형성한 커패시터 일방영역 상부의 상기 산화막 및 상기 차단막을 식각하여, 상기 커패시터를 위한 커패시터홀을 형성하는 제4단계;

상기 형성된 커패시터홀에 상기 산화막보다 얇도록 박막형태의 커패시터산화막을 형성하는 제5단계;

상기 입출력회로의 구성소자 및 상기 커패시터의 동작을 위해, 상기 산화막 및 상기 커패시터산화막 상부에 폴리실리콘층을 증착하고 소정 패턴에 의해 식각하는 제6단계; 및,

상기 입출력회로를 형성하기 위해, 상기 폴리실리콘층 상부 및 상기 구성소자를 동작시키기 위한 소정영역들에 금속배선을 형성하는 제7단계를 포함하는 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로의 제작방법.

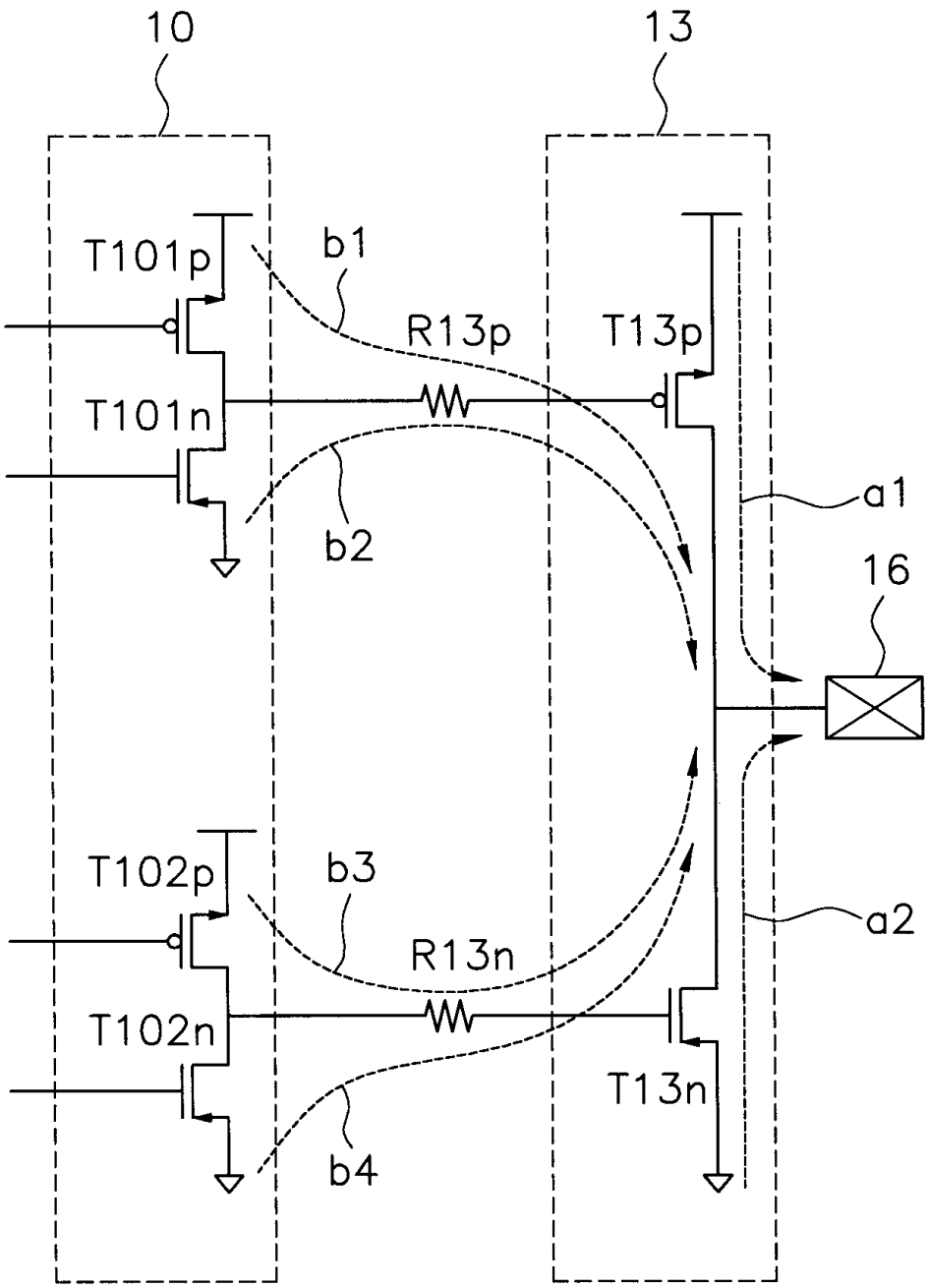
청구항 7.

제 6항에 있어서, 상기 제3단계는

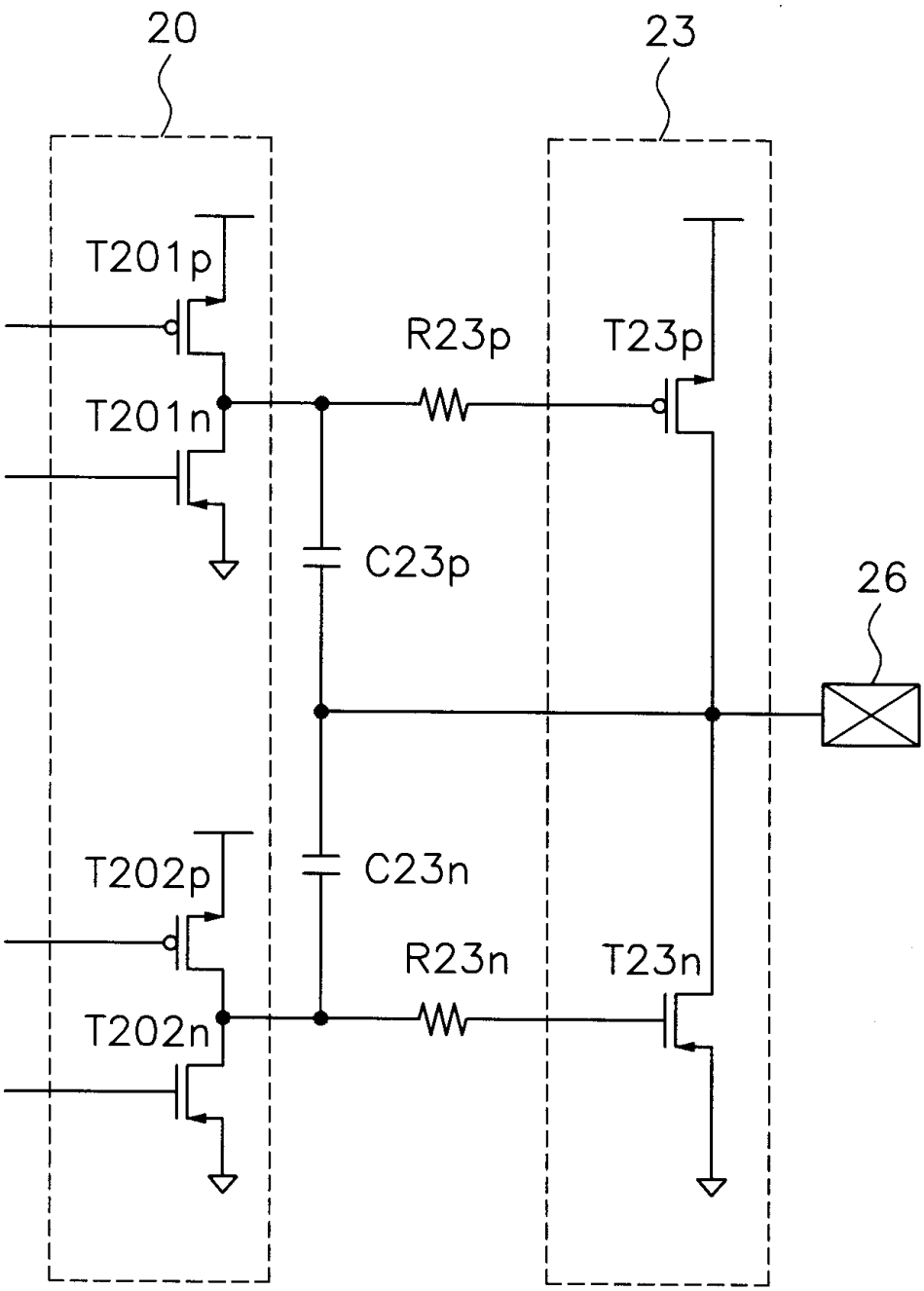
질소막을 차단막으로 형성하는 것을 특징으로 하는, CDM특성을 개선한 반도체 I/O회로의 제작방법.

도면

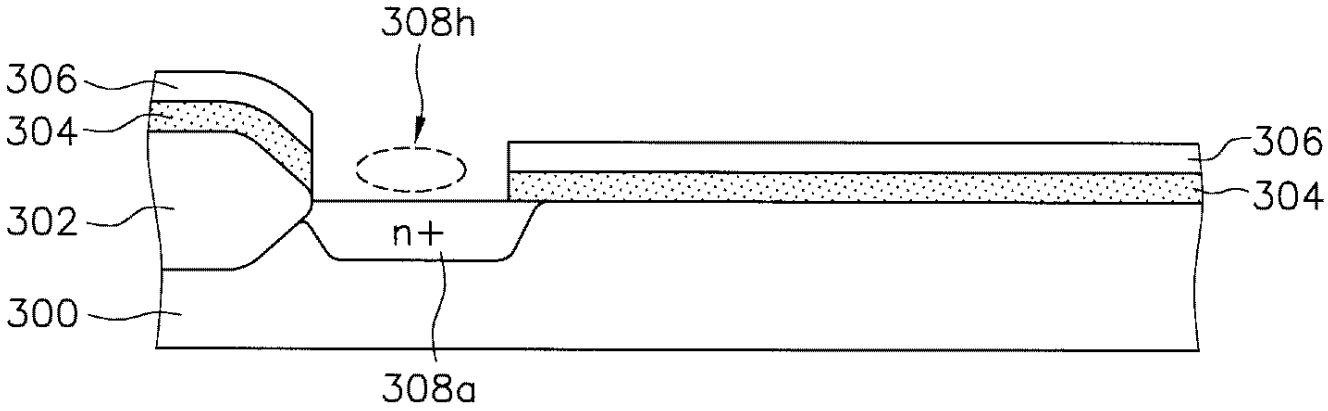
도면 1


10
13
T101p
b1
R13p
T13p
T101n
a1
b2
16
T102p
b3
a2
R13n
T102n
T13n
b4

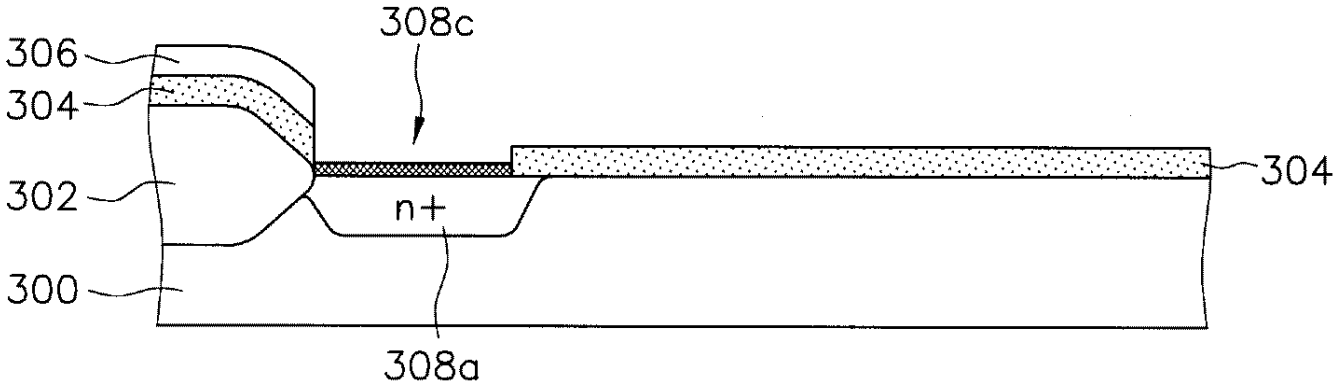
도면 2


20
23
T201p
T201n
R23p
T23p
C23p
26
T202p
C23n
R23n
T23n
T202n

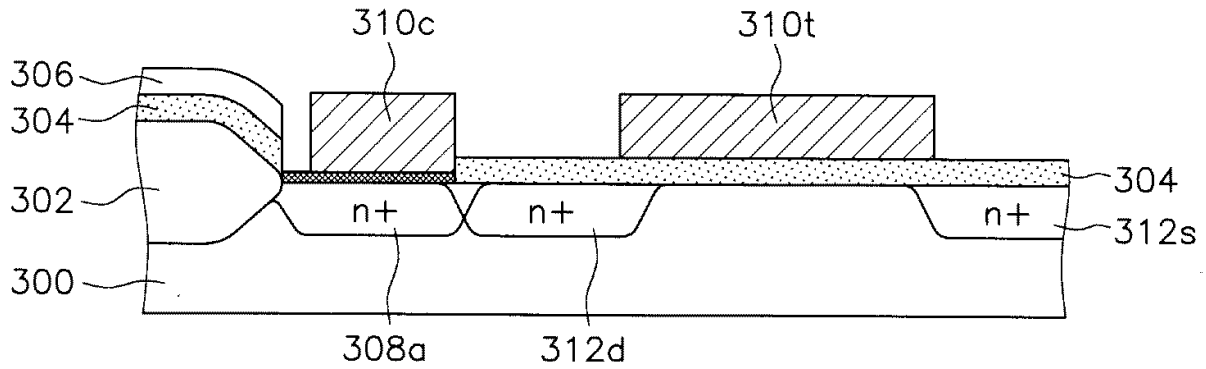
도면 3a



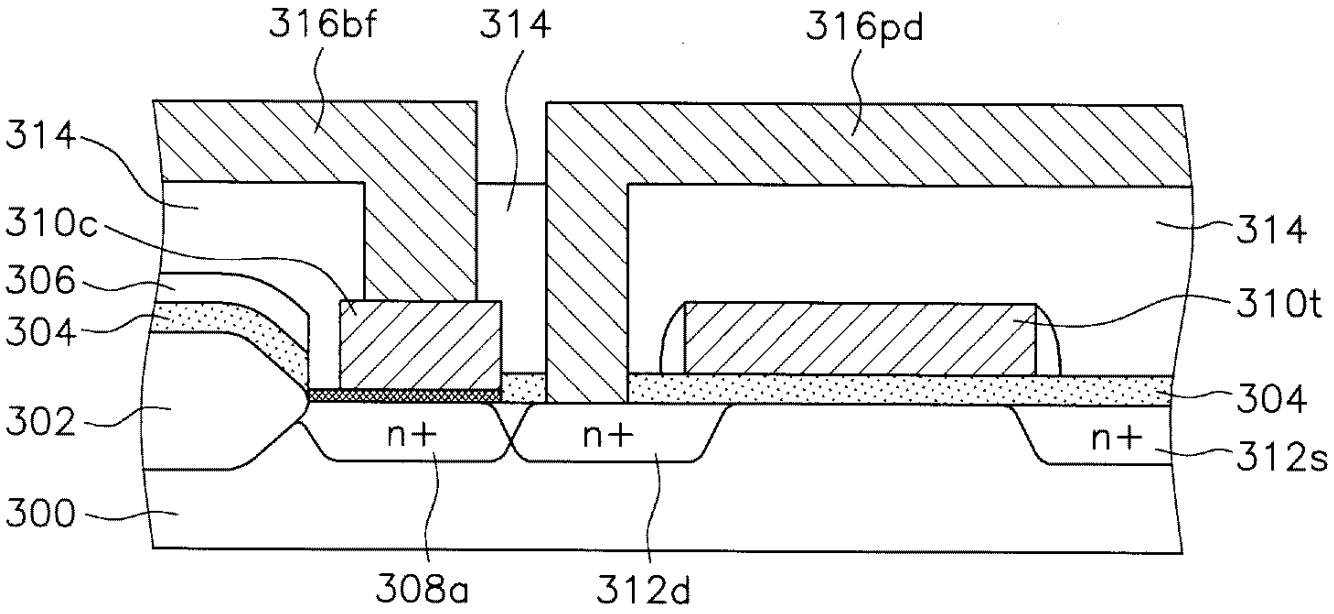
도면 3b



도면 3c



도면 3d


316bf
314
316pd
314
310c
306
304
302
300
314
310t
304
312s
n+
n+
n+
308a
312d