



(12) 发明专利申请

(10) 申请公布号 CN 102171931 A

(43) 申请公布日 2011.08.31

(21) 申请号 200980138708.0

(74) 专利代理机构 中原信达知识产权代理有限公司

(22) 申请日 2009.08.05

11219

(30) 优先权数据

12/242,058 2008.09.30 US

代理人 陆锦华 刘光明

(85) PCT申请进入国家阶段日

(51) Int. Cl.

2011.03.30

H03M 1/12 (2006.01)

H03M 1/38 (2006.01)

(86) PCT申请的申请数据

PCT/US2009/052822 2009.08.05

(87) PCT申请的公布数据

W02010/039330 EN 2010.04.08

(71) 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 詹姆斯·R·费德勒

迈克尔·T·贝伦斯

权利要求书 3 页 说明书 28 页 附图 19 页

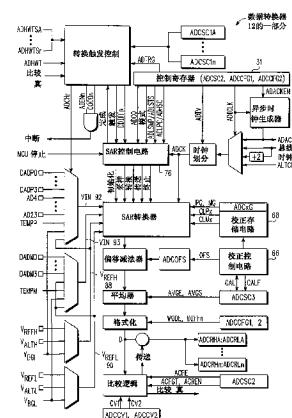
(54) 发明名称

数据转换电路及其方法

(57) 摘要

提供了一种数据转换器(12)，该数据转换器

(12) 用于将模拟信号转换成数字信号或者用于将数字信号转换成模拟信号。在一个实施例中，提供产品自测试(图19的520；图20的570)。在一个实施例中，提供了用于数据转换器的高速低分辨率的方法或模式(图22的620)。在一个实施例中，提供了具有更稳定的比较器共模电压的一种数据转换器(图15的320)。在一个实施例中，提供和保持数字校正的数据转换器的输入范围，使得没有由于校正而导致的输入范围损失(参见图11的271)。在一个实施例中，提供了使用先前存储的校正值对未校正的结果进行数字后处理(图5的150；图6的170)。



1. 一种数据转换器,包括 :

第一 DAC 阵列;

第一比较器,所述第一比较器被耦合用于接收来自所述第一 DAC 阵列的输入,所述第一比较器提供输出;

逐次逼近电路,所述逐次逼近电路被耦合到所述第一比较器的输出,所述逐次逼近电路提供实际测试结果值;

自测试电路,所述自测试电路生成并且提供预期测试结果值;

第二比较器,所述第二比较器被耦合到所述逐次逼近电路以接收所述实际测试结果值,并且被耦合到所述自测试电路以接收所述预期测试结果值;以及

耦合到所述第二比较器的一个或多个导体,提供一个或多个信号,用于指示所述实际测试结果值与所述预期测试结果值相比是否在预定范围内,其中,对于第一情形,所述实际测试结果值不同于所述预期测试结果值,但是所述一个或多个信号指示所述实际测试结果值仍然在所述预定范围内,并且其中,对于第二情形,所述实际测试结果值不同于所述预期测试结果值,并且所述一个或多个信号指示所述实际测试结果不在所述预定范围内。

2. 根据权利要求 1 所述的数据转换器,其中,所述一个或多个信号指示所述实际测试结果值是否精确地匹配所述预期测试结果值。

3. 根据权利要求 1 所述的数据转换器,还包括:

第一复用器,所述第一复用器具有被耦合以接收所述实际测试结果值的第一输入,具有被耦合以接收来自所述自测试电路的第一提供测试值的第二输入,具有耦合到所述自测试电路的控制输入,并且具有耦合到所述第一 DAC 阵列的输出。

4. 根据权利要求 1 所述的数据转换器,还包括:

第二 DAC 阵列,所述第二 DAC 阵列被耦合所述第一比较器。

5. 根据权利要求 1 所述的数据转换器,还包括:

第二复用器,所述第二复用器具有被耦合以接收所述实际测试结果值的第一输入,具有被耦合以接收来自所述自测试电路的第二提供测试值的第二输入,具有耦合到所述自测试电路的控制输入,并且具有耦合到所述第二 DAC 阵列的输出。

6. 根据权利要求 1 所述的数据转换器,其中,所述第一 DAC 阵列包括:

多个二进制加权元件;以及

控制电路,所述控制电路用于控制多个电压中的哪一个被耦合到所述多个二进制加权元件中的每一个。

7. 根据权利要求 1 所述的数据转换器,其中,所述第一 DAC 阵列被充电至预定偏移电压,以便于生成所述预期测试结果值,其中,所述预定偏移电压非零。

8. 根据权利要求 6 所述的数据转换器,其中,所述控制电路在采样阶段、保持阶段和比较阶段中的每一个期间提供对所述多个二进制加权元件的每一个元件的单独控制。

9. 根据权利要求 6 所述的数据转换器,其中,所述逐次逼近电路和所述自测试电路都被耦合以控制所述第一 DAC 阵列中的所述控制电路。

10. 根据权利要求 1 所述的数据转换器,还包括:

结果调整电路,所述结果调整电路被耦合以接收所述实际测试结果值,所述结果调整电路产生校正测试结果值。

11. 根据权利要求 1 所述的数据转换器, 其中, 逐次逼近用于测量参数误差。

12. 一种用于测试数据转换器的方法, 包括 :

在采样阶段期间,

当所述数据转换器是差分的时, 将第一基准电压耦合到小于被测试的第一电路元件 [CUT] 的所有电路元件, 并且将第二基准电压耦合到电路元件的剩余部分,

当所述数据转换器是差分的并且所述数据转换器的正侧被测试时, 将所述数据转换器的负侧中的第一预定数目的电路元件耦合到所述第一基准电压,

当所述数据转换器是差分的并且所述数据转换器的负侧被测试时, 将所述数据转换器的正侧中的第二预定数目的电路元件耦合到所述第一基准电压,

当所述数据转换器是单端的并且所述第一 CUT 大于预定大小时, 将所述第一基准电压耦合到小于所述第一 CUT 的所述电路元件的第一部分, 将所述第二基准电压耦合到小于所述第一 CUT 的所述电路元件的第二部分, 并且将所述第二基准电压耦合到所述第一 CUT 和比所述第一 CUT 大的所有电路元件,

当所述数据转换器是单端的并且所述第一 CUT 小于预定大小时, 将所述第一基准电压耦合到小于所述第一 CUT 的所述电路元件的第一部分, 将所述第二基准电压耦合到小于所述第一 CUT 的所述电路元件的第二部分, 将所述第一基准电压耦合到大于所述第一 CUT 的所述电路元件的第三部分, 并且将所述第二基准电压耦合到所述第一 CUT 并且耦合到大于所述第一 CUT 的所述电路元件的第四部分;

在保持阶段期间, 强制使所述被测试的第一电路元件为所述第一电压基准, 并且强制使所述电路元件的剩余部分为所述第二基准电压; 以及

在比较阶段期间, 通过执行逐次逼近来确定得到的误差电压。

13. 根据权利要求 12 所述的方法, 其中, 所述第一基准电压高于所述第二基准电压。

14. 根据权利要求 12 所述的方法, 还包括 :

将所述得到的误差电压与预期误差值作比较, 以产生比较结果, 其中, 所述预期误差值非零; 以及

使用所述比较结果来确定所述数据转换器是否通过所述测试。

15. 根据权利要求 12 所述的方法, 其中, 所述数据转换器是差分数据转换器, 所述差分数据转换器具有第一差分侧和第二差分侧, 其中, 所述被测试的第一电路元件位于所述第一差分侧, 并且其中, 通过所述第二差分侧来执行所述被测试的第一电路元件的逐次逼近。

16. 根据权利要求 15 所述的方法, 其中, 在没有差分信号的情况下执行对所述第二差分侧执行的所述逐次逼近, 就好像所述第二差分侧是单端的一样。

17. 根据权利要求 15 所述的方法, 还包括 :

选择被测试的第二电路元件, 其中, 所述被测试的第二电路元件位于所述第二差分侧; 以及

使用所述被测试的第二电路元件替代所述被测试的第一元件来重复权利要求 12 的每个步骤,

其中, 通过所述第一差分侧来执行所述被测试的第二电路元件的逐次逼近。

18. 根据权利要求 17 所述的方法, 其中, 所述被测试的第一电路元件包括电容元件。

19. 一种用于测试数据转换器的方法, 包括 :

在数据转换器中提供多个电容元件；

在所述数据转换器中提供电路，用于将所述多个电容元件中的每一个单独耦合到多个电压中的一个电压；

选择所述多个电容元件的第一个电容元件作为被测试的电容元件；

在第一测试时段期间，将所述多个电压中的第一个电压耦合到小于所述被测试的电容元件的所述多个电容元件的第一部分，并且将所述多个电压中的第二个电压耦合到大小与所述被测试的电容元件相同或者更大的所述多个电容元件的第二部分，并且将所述多个电压中选择的一个电压耦合到所述多个电容元件的第三部分；

在第二测试时段期间，将所述被测试的电容元件耦合到所述多个电压中的第一个电压，将所述多个电容元件的第二部分耦合到所述多个电压中的第二个电压，并且将所述多个电容元件的第三部分耦合到所述多个电压中不同的所选择电压，以生成偏移电压；以及

在第三测试时段期间，通过使用所述数据转换器执行逐次逼近来确定得到的误差电压。

20. 根据权利要求 19 所述的方法，其中，所述多个电压包括高基准电压、低基准电压和输入电压，并且其中，在所述第一时段、所述第二时段和所述第三时段期间，在不将所述输入电压耦合到所述多个电容元件中的任何一个的情况下，测试所述被测试的电容元件。

数据转换电路及其方法

[0001] 现有专利申请的引用

[0002] 本申请已经在 2008 年 9 月 30 日在美国提交为专利申请 No. 12/242, 058。

技术领域

[0003] 本公开一般地涉及电路，并且更具体地，涉及用于数据转换的电路。

背景技术

[0004] 对于将模拟信号转换成数字信号并且对于将数字信号转换成模拟信号来说，数据转换器是非常实用的。许多应用需要具有高分辨率、快速转换时间、允许大范围的输入而且还具有成本效益的数据转换器。对于各种应用来说，其它数据转换特征也可能是重要的。因此，重要的是，能够提供满足各种可能存在冲突的准则同时保持成本效益的数据转换器。

附图说明

[0005] 本发明通过示例的方式示出并且不受附图限制，在附图中，相同的附图标记表示类似的要素。附图中的要素是为了简便和清晰而示出的，并且不必按比例绘制。

[0006] 图 1 以框图形式图示了根据一个实施例的系统。

[0007] 图 2 以部分框图形式和部分示意图形式图示了根据一个实施例的数据转换器的一部分。

[0008] 图 3 以部分框图形式和部分示意图形式图示了根据一个实施例的数据转换器的一部分。

[0009] 图 4 以部分框图形式和部分示意图形式图示了根据一个实施例的 DAC 的一部分。

[0010] 图 5 以流程图形式图示了根据一个实施例的采样校正方法。

[0011] 图 6 以流程图形式图示了根据一个实施例的采样转换方法。

[0012] 图 7 以曲线图形式图示了根据现有技术的由于二进制加权的 DAC 中的电容失配而导致的非线性。

[0013] 图 8 以曲线图形式图示了根据一个实施例的由于具有过大的第一调节电容器的二进制加权的 DAC 中的电容器失配而导致的非线性。

[0014] 图 9 以曲线图形式图示了根据一个实施例的由于具有过大的第一调节电容器的二进制加权的 DAC 中的电容器失配而导致的非线性。

[0015] 图 10 以部分框图形式和部分示意图形式图示了根据一个实施例的 DAC 的一部分。

[0016] 图 11 以流程图形式图示了根据一个实施例的用于 16 位模数转换器 (ADC) 的采样转换方法。

[0017] 图 12 以曲线图形示图示了根据一个实施例的具有数字校正偏移的 ADC 的转换功能。

[0018] 图 13 以曲线图形式图示了根据一个实施例的具有数字线性和增益校正的 ADC 的转换功能。

- [0019] 图 14 以部分框图形式和部分示意图形式图示了根据一个实施例的数据转换器的一部分。
- [0020] 图 15 以流程图形式图示了根据一个实施例的采样差分转换方法。
- [0021] 图 16 以曲线图形式图示了根据一个实施例的差分转换的示例。
- [0022] 图 17 以曲线图形式图示了根据一个实施例的差分转换的另一个示例。
- [0023] 图 18 以部分框图形式和部分示意图形式图示了根据一个实施例的数据转换器的一部分。
- [0024] 图 19 以流程图形式图示了根据一个实施例的差分电容 DAC 的自测试方法。
- [0025] 图 20 以流程图形式图示了根据一个实施例的单端电容 DAC 的自测试方法。
- [0026] 图 21 以示意图形式图示了根据一个实施例的自测试方法的测试覆盖率。
- [0027] 图 22 以流程图形式图示了根据一个实施例的执行 16 位 ADC 中的 12 位转换的方法。

具体实施方式

[0028] 图 1 图示了系统 10 的一个实施例。在替代实施例中，系统 10 可以被实现为单个集成电路，可以被实现为多个集成电路，或者可以被实现为集成电路和离散组件的组合。替代实施例可以以任何方式实现系统 10。

[0029] 在一个实施例中，系统 10 包括数据转换器 12、其它模块 14、处理器 16、存储器 18 和外部总线接口 20，这些元件都通过总线 22 或多个电信号 22 的方式彼此双向耦合。在一个实施例中，系统 10 可以通过耦合到外部总线接口 20 的总线 24 或多个电信号 24 来接收输入并且提供输出。在替代实施例中，与图 1 中所示的那些相比，系统 10 可以包括更少、更多或不同的电路块。

[0030] 图 2 图示了图 1 的数据转换器 12 的一部分的一个实施例。在一个实施例中，数据转换器 12 包括 ADC，该 ADC 可以用于将差分输入电压 VIN 92-VIN 93 转换成作为多位二进制值存储在数据寄存器（例如，ADCRHA:ADCRLA 或 ADCRHB:ADCRLB）中的数字表示。在一个实施例中，该数字表示的值可以是 $2^N * (VIN\ 92 - VIN\ 93) / (VREFSH\ 88 - VREFSL\ 90)$ ，其中，N 是数据转换器 12 中的分辨率或位数。在一个实施例中，数据转换器 12 包括第一输入复用器，该第一输入复用器基于软件配置 (ADCHN) 从多个正输入电压 (DADP[0:3]、AD[4:23]、TEMPP) 中进行选择以产生 VIN 92，并且数据转换器 12 还包括第二输入复用器，该第二输入复用器从多个负输入电压 [DADM[0:3]、TEMPM] 之中进行选择以产生 VIN 93。数据转换器 12 还包括基准复用器和第二基准复用器，该基准复用器从多个正基准电压 (VREFH、VALTH、VBGH) 中进行选择以产生 VREFH 88，该第二基准复用器从多个负基准电压 (VREFL、VALTL、VBGL) 中进行选择以产生 VREFL 90。应当注意，术语“正”和“负”指示信号相对于另一个信号的极性，而不是相对于诸如地的固定基准的极性。在一个实施例中，正信号和负信号以及基准总是相等或大于地基准。替代实施例可以以不同的方式作用。

[0031] 对于一个实施例，SAR(逐次逼近寄存器) 控制电路 76 通过断言“初始化”信号来将 SAR 转换器置于初始条件来开始转换。转换将在 SAR 控制电路 76 从转换触发控制电路接收到用于转换信号的“触发 (TRIGGER)”时开始。替代实施例可以提供由于各种不同情况而产生的触发信号。例如，当写入软件寄存器位 (ADTRG) 时或者在适当条件（例如，可

以通过软件配置 [ADCSC1A-ADSCS1N、ADCSC2、ADCCFG1 和 ADCCFG2]) 和 / 或硬件信号条件 [ADHWTSA-ADHWTSN] 来确定这些条件) 下接收到硬件信号 ADHWT 时, 可以接收到触发。当接收断言的触发信号时, SAR 控制电路 76 对 SAR 转换器断言“采样”条件时, 进而对 SAR 阵列上的差分输入电压 VIN92-VIN93 进行采样。可以通过存储在校正存储电路 68 中的 PG 和 MG 配置来修改采样值。

[0032] 在一个实施例中, SAR 转换器在多个 ADC 输入时钟 (ADCK) 周期中在软件配置 (ADLSMP、ADLSTS) 指示的周期中进行采样。可以通过软件配置 (ADIV、ADICKLK、ADACKEN) 和硬件时钟源 (ADACK、BUS_CLOCK 和 ALTCLK) 来控制 ADCK 周期。SAR 控制电路 76 然后将 SAR 转换器置于“转换”模式中。在“转换”模式的一个实施例中, SAR 转换器随后将输入电压 (VIN 92-VIN 93) 与基准电压 (VREFSH 88-VREFSL 90) 的不同分数作比较。在每个比较期间, 转换器基于比较结果连续地设置或清除对应数字输出位, 并且然后通过基准电压的适当分数使基准电压或输入电压改变 (例如, 如果将输入电压与基准电压的一半作比较, 如果比较大, 则设置输出位, 并且下一个比较为与基准电压乘以 3/4 进行比较; 如果比较较小, 则清除输出位, 并且下一比较为与基准电压乘以 1/4 进行比较; 在逐次逼近期间, 可以修改基准电压或输入电压。)

[0033] 随着 SAR 转换器逼近, 当 SAR 转换器用存储在校正存储电路 68 中的值 CLPx 和 CLMx 进行处理时, SAR 转换器可以修改结果。当 SAR 转换器已经进行了适当数目的逐次逼近时, SAR 控制电路 76 向 SAR 触发电路指示它“完成”了, 并且指示 SAR 转换器将结果“传送”到输出电路。在一个实施例中, 该输出电路首先在“偏移减法器”中调整偏移, 然后采用求平均 (如果在“平均器”中如此配置), 并且然后在“格式化”电路中以适当的方式格式化数据。这些电路可以由软件配置 (分别为 ADCOFS、AVGE 和 AVGS 以及 MODE 和 DIFFn) 来控制。“偏移减法器”所使用的偏移值 OFS 以及配置值 PG、MG、CLPx 和 CLMx 可以在进行转换之前由校正控制电路 66 产生。一旦被格式化, 就在“比较逻辑”中将该结果与比较值 (CV1) 或范围 (CV1、CV2) 作比较。基于对“比较逻辑”的软件配置 (ACFE、ACFGT、ACREN), 比较器将结果传送到结果寄存器 (ADCRHA:ADCRLA 至 ADCRHN:ACDRLN) 并且设置 COMPARE_TRUE。在一个实施例中, 转换触发逻辑和 SAR 控制电路 76 然后将基于软件配置 (ADCO) 来确定是否开始另一个转换或者是否终止序列并且关闭 SAR 转换器。图 2 的数据转换器 12 的替代实施例可以使用更多、更少或不同的电路来实现用于执行数据转换的电路。

[0034] 图 3 图示了图 1 的数据转换器 12 的一部分的一个实施例。参考图 3, 图示的逐次逼近 (SAR) 模数转换器 (ADC 或 A/D 转换器) 包括反馈回路中的数模转换器 (DAC) 62 和比较器 60, 该反馈回路具有包括逐次逼近 (SAR) 寄存器 96 的逻辑。在一个实施例中, DAC 62 包括二进制加权元件的阵列 (例如, 图 4 中的电容 110-119)。替代实施例可以使用任何类型的电荷重新分配阵列用于数据转换。另外, 替代实施例可以使用任何期望和适当的二进制加权元件 (例如, 电阻元件、电容元件、其组合等)。应当注意, “N”、“M”和“P”用于表示整数。例如, “bN”是“第 n 个位”或“位 N”; 类似地, “b(N+M+P)”是“第 (N+M+P) 个位”或“位 (N+M+P) ”。

[0035] 在转换期间, 电压输入 VIN 92 被采样到 DAC 62 上; 然后在比较阶段期间, 使用比较器 60 的输出来决定如何切换电容 110-119, 控制 DAC 电容器 110-119 逐次逼近输入电压 VIN 92。在逼近的每个步骤中, 比较器 60 输出被存储在 SAR 寄存器 96 中, 并且得到的数字

字（未校正的结果 84）是模拟输入电压 VIN 92 的数字表示。

[0036] 随着 SAR ACD 12（参见图 2）的分辨率增加，主要的限制之一是 DAC 阵列 62 的一个或多个内的元件匹配。通常，超过 10-12 位的匹配在合理成本限制内通常是不可行的。对高分辨率 SAR ADC 添加的限制可以使用一个或多个调节电容器（例如，图 4 的 121、120）来限制总体 DAC 电容器 110-119 的数目。这些调节电容器 121、120 是非单位大小，并且具有可能造成 DAC 阵列 62 中进一步失配的相关寄生效应。

[0037] 在一个实施例中，自校正序列（例如，图 5 的方法 150）用于生成并且存储校正值（例如，存储在校正存储电路 68 中）。然后，在转换序列（例如，图 6 中的流程 170）期间可以将这些校正值与未校正的结果 84（参见图 3）数字地进行组合，以产生校正结果 86。在一个实施例中，自校正序列（例如，图 5 的流程 150）涉及在电容器 110-119 中选择的电容器上采样高基准电压（VREFH），并且在电容器 110-119 中其它选择的电容器上采样低基准电压（VREFL）。然后，切换电压 VREFH 和 VREFL，造成通过使用 ACD 的标准功能性的逐次逼近测量的误差电压。虽然图 5 中的方法 150 的实施例已经被示出为具有步骤 140-147，但是替代实施例可以具有比图 5 所示的步骤更多、更少或不同的步骤。而且，虽然图 6 中的方法 170 的实施例已经示出为具有步骤 160-167，但是替代实施例可以具有比图 6 中所示的步骤更多、更少或不同的步骤。

[0038] 在图 4 所示的 DAC 80 的一部分中，存在通过两个调节电容 121 和 120 分离的三个部分。在一个实施例中，调节电容器 121 的大小或电容被增大，使得其大于最高有效位部分中的电容器 117-119 的最大可能的累积失配。可以基于用于制造 DAC 80 的制造工艺中的工艺变化来确定最高有效位部分中的电容器 117-119 的最大可能的累积失配。DAC 80 的替代实施例可以使用任何数目的调节电容器 121、120。虽然图 4 所示的 DAC 80 的一部分具有三个部分，但是替代实施例可以具有任何数目的部分。另外，每个部分可以具有任何期望和适当数目的电容器。在图示的实施例中，第一部分包括电容器 117-119，第二部分包括电容器 114-116，并且第三部分包括电容器 110-113。

[0039] 参考图 5，流程图 150 描述了一种用于确定一个或多个校正值的方法，该校正值可以用于补偿相对于理想值的电容值的一个或多个误差。这些误差可能是由于制造期间的工艺变化或其它因素导致的，并且可能导致由于转换所产生的结果值中的误差。该过程开始于表示最高有效位（MSB）的电容器，并且继续确定作为很多转换位的校正值，如所期望的。在一个实施例中，校正的位数基于 DAC 阵列 62（参见图 3）中的电容值和 ADC 的分辨率之间的最差失配情况。例如，对于 8 位 ADC，如果电容器具有其理想值，则从 \$7F 至 \$80 的转变表示基准电压阶跃的 1/128 的电压阶跃。如果 MSB 电容器与最低有效位（LSB）电容器之和的失配超过 1/128，则转换误差将产生。转换误差可以是非单调性（两个不同电压范围具有同一代码）或者丢码（输入电压没有产生特定代码）（参见图 7 现有技术）。如果最差情况的失配大于基准电压阶跃的 1/128，则 MSB 电容器的校正在整个制造工艺窗中产生准确的转换是必要的。注意，对于一个实施例，即，图示的实施例，校正过程开始于与 MSB 相关联的电容器作为被校正的当前电容器；确定这些电容器的校正值；确定是否需要校正更多的电容器；并且如果确定需要，则使用下一低位的电容器来重复校正过程。

[0040] 图 7 中的非单调性和丢码（现有技术）是由于从高阶位（已经被校正的位）的值的一个组合切换到高阶位的值的不同组合所造成的。造成非单调性是不利的。具有非单

调性的问题在于,对 VIN 92 的两个不同值范围可能出现相同的转换结果,由此使得结果调整电路 70 难以适当地调整结果。在一个实施例(参见图 8)中,通过确保剩余位的电容器(即,被校正的当前位之下的电容器)的总和具有大于与被校正的当前位相关联的电容器的总和来消除非单调性。用于确保消除这样的非单调性的一个实施例是将具有足够大电容(例如,图 4 的 120 和 / 或 121;和 / 或图 10 的 220 和 / 或 221)的调节电容器置于要被校正的最低位与所有较低位之间。在一个实施例中,将调节电容器的大小设计为使得较低位的电容器的总和的有效电容被确保大于正被校正的位的电容。替代地,可以通过增大较低位电容器总和来增大有效电容。在又一个实施例中,可以使用增大调节电容器和增大较低位的电容器总和的组合。如果使用这些技术中的任一个,则产生不具有非单调性(参见图 8)的未校正结果 84(参见图 3)。因此,对于 VIN 92 的每个值将总是存在仅一个未校正结果值 84;并且因此,通过结果调整电路 70(参见图 3)执行的调整可以是笔直的线性调整。

[0041] 参考图 4, DAC 80 的替代实施例可以仅具有调节电容器 121, 可以具有调节电容器 121 和 120 二者, 或者可以具有调节电容器 121、120 以及在电容器 110-112 与电容器 113-115 之间耦合的 DAC 80 的一个或多个添加部分的一个或多个额外的调节电容器(未示出), 其中一个或多个额外的调节电容器可以与电容器 120 和 121 相同的方式被耦合。注意, 仅具有调节电容器(例如, 121, 120)不足以保证没有非单调性(参见图 8);还有必要具有如下一个或多个调节电容器(例如, 121, 120), 该一个或多个调节电容器与较低位(例如, 110-112)的电容器总和的有效电容一起具有足够大的电容值。

[0042] 参考图 9, 通过存储选择的 VIN 92 值的校正值并且在适当时对未校正结果 84 进行校正调整, 能够在 VIN 92 和校正结果 86(参见图 9)之间产生近似的线性关系。在一个实施例中, 多个校正值被确定(例如, 通过使用图 5 中描述的方法)并且被存储在校正存储电路 68(参见图 3)中。在一个实施例中, 未校正结果 84 的一个或多个 MSB 被用来选择适当的校正值(例如, MSB 可以用作校正存储电路 68 中的存储器中的索引)。参考图 8, 未校正结果 84 的 MSB 确定哪个范围(例如, 图 8 中所示的范围 1 至范围 4)是适当的。每个范围(图 8 的范围 1 至范围 4)具有相应的校正值。在一个实施例中, 结果调整电路 70 使用该校正值来调整未校正结果 84 以产生校正结果 86。在替代实施例中, 结果调整电路 70 可以以不同方式作用和 / 或可以以不同方式调整未校正结果 84。本文描述的方式只是一个可能的实现方式。

[0043] 在一个实施例中, 在校正序列(参见图 5)期间, 针对每个校正位存储不同校正值。该校正值表示与所有较低有效位电容器总和相比的该位电容器的误差的累加。累加在校正期间执行, 并且被表示和存储为校正值的一部分。通过公式 $A(n) = S(n) + A(n-1) + A(n-2) + \dots + A(1)$ 给出给定位的校正值 $A(n)$, 其中, $S(n)$ 是图 5 中描述的 SAR 结果。该实施例中的校正值的数目等于其电容器被校正的位数。注意, 累加器 72 可以用于执行该求和或累加。在数据转换之后, 结果调整电路 70 累加与通过未校正结果 84 的 MSB 确定的适当位相对应的校正值, 并且从未校正结果 84 中减去累加的校正值以产生校正结果 86。在替代实施例中, 当使用累加器 72 设置 MSB 时, 可以在数据转换期间执行累加。在该替代实施例中, 在数据转换之后将仅需要单个减法运算。

[0044] 在另一个实施例中, 在校正序列期间针对每个范围(参见图 8)存储不同校正值。在该实施例中, 校正序列与图 5 所示的序列略有不同。与在步骤 142 中将所有较低有效位

电容器底板充电至 VREFH 不同,仅将比要校正的最后一个电容器(例如,图 10 中的电容器 217)更不重要的电容器的底板充电至 VREFH。类似地,在步骤 144 中,仅比要校正的最后一个电容器更不重要的电容器的底板切换至 VREFL。在该实施例中,SAR 结果被直接存储(步骤 146 中的未累加)并且校正值的数目为 2^x ,其中 X 是被校正的位数。在数据转换之后,结果调整电路 70 接收与通过未校正结果 84 的 MSB 确定的适当范围相对应的校正值,累加这些值,并且从未校正结果 84 中减去累加值以产生校正结果 86。在替代实施例中,当使用累加器 72 设置 MSB 时,可以在转换期间执行累加。

[0045] 参考图 3,在一个实施例中,误差确定电路 78 可以用于在将未校正结果 84 存储在校正存储电路 68 中作为校正值之前对其进行更改。替代实施例可以不具有或不使用误差确定电路 78,并且因此可以在将未校正结果 84 存储在校正存储电路 68 中之前不对其进行更改。其它实施例可以使用累加器 72 来累计每个范围(参见图 8)的校正值的当前和(running sum),使得存储在校正存储电路 68 中的每个新的校正值是未校正结果 84 和累加器值的总和。

[0046] 图 1 至图 9 中描述的方法和设备适用于数据转换所使用的任何类型的数据转换器或任何类型的电荷重新分配阵列,包括,例如,双端、单端和差分 ADC 和 D/A 转换器。例如,对于使用差分 ADC 的实施例,图 4 的电路可以用于提供对于图 3 的差分比较器 60 的正输入和负输入二者的输入。图 5 和图 6 的方法将会用于差分 ADC 的两侧。如果使用差分 ADC,图 3 的 DAC 阵列 62 将使第二 DAC(例如,与 DAC 80 相同)以替代基准 DAC 82。该第二 DAC 将接收第二输入电压 VIN 93(参见图 2)。注意,在一些实施例(例如,一些单端 ADC)中,可以不使用基准 DAC 82。

[0047] 参考图 5,在一个实施例中,采样阶段和比较阶段可以以多种方法来实现。在图 4 中,切换电路 102 和每个电容器 110-119 从控制电路 100 接收控制信息,该控制信息指示当前阶段是采样阶段还是比较阶段。控制电路 100 用于在校正流程(参见图 5)中的采样阶段和比较阶段期间将电容器 110-119 中选择的电容器的底板耦合和去耦合至选择的基准电压。控制电路 100 用于在转换流程(参见图 6)中的采样阶段期间将电容器 110-119 中选择的电容器的底板耦合至 VIN 92。控制电路 100 用于在转换流程(参见图 6)中的比较阶段期间将电容器 110-119 中选择的电容器的底板耦合和去耦合至选择的基准电压。

[0048] 注意,对于一个实施例,VREFL 90 是指具有比 VREFH 88 低的电势的第一基准电压,并且 VREFH 88 是指具有比 VREFL 90 高的电势的第二基准电压。VREFH 88 和 VREFL 90 是不相等的两个电压,并且其在数据转换中的使用在本领域中是公知的。在一个实施例中,VCM 94 是差分比较器 60 共模的输入电压。

[0049] 参考图 3 和图 4,在一个实施例中,MUX 64 向控制电路 100 提供控制输入。校正控制电路 66 控制该控制输入的源是来自校正控制电路 66(例如,在校正期间,参见图 5)还是来自 SAR 控制电路 76(例如,在转换期间,参见图 6)。在一个实施例中,校正控制电路 66 可以被实现为状态机。在替代实施例中,校正控制电路 66 可以被实现为组合逻辑,或者使用任何期望和适当的电路来实现。类似地,SAR 控制电路 76 可以被实现为状态机、组合逻辑或任何期望和适当的电路。在一些实施例中,SAR 控制电路可以具有一个或多个寄存器 96。可以使用任何类型的存储电路来实现校正存储电路 68。可以使用如图 3 中所示耦合的累加器 72 和计算电路 74 来实现结果调整电路 74。在替代实施例中,计算电路 74 可以包括用于

减法的电路。在替代实施例中,可以以任何期望和适当的方式来实现计算电路。同样地,可以使用执行差分输入信号之间的比较的任何电路来实现差分比较器 60。图 3 和图 4 示出了可以用于实现图 5 和图 6 的流程图的各种实施例的电路的示例;然而,可能有可以用于实现图 5 和图 6 的流程的各种实施例的许多可能的替代电路。另外,基于图 1 至图 9 和本文的描述,本领域的普通技术人员能够设计实现图 5 和图 6 的流程所需要的电路。

[0050] 参考图 3,逐次逼近的模数转换器 (SAR ADC) 通常由反馈回路中的数模转换器 (例如, DAC 62) 和比较器 (例如, 60) 组成,该反馈回路具有包括逐次逼近寄存器 (例如, 96) 的电路。在一个实施例中, DAC 62 包括二进制加权元件的阵列 (例如, 图 10 的电容器 208-219)。替代实施例可以使用用于数据转换的任何类型的电荷重新分配阵列。另外,替代实施例可以使用任何期望和适当的二进制加权元件 (例如, 电阻元件、电容元件、其组合等)。

[0051] 为了提高数据转换器 12 的精确度 (参见图 1),数据转换器 12 使用某一形式的数字校正 (例如, 线性、增益和 / 或偏移校正) 是实用的。许多校正方法具有减小 ADC 输入范围的不期望的副作用。具体地,通过数字调整转换结果来校正偏移、增益或线性的许多系统具有减小 ADC 输入范围的不期望的副作用。对于一些 ADC,例如,对于通用 ADC,具有有限或减小的输入范围通常是有害的,因为存在想要使用输入范围的两个极值的应用。因此,保持完整输入范围的数据转换器 12 (例如, SAR ADC) 的方法和电路是期望的。另外,对于该方法和电路,非常有利的是消耗尽可能小的功率,从而需要尽可能小的电路和半导体面积,并且尽可能小地降低转换速度。

[0052] 参考图 10,在 DAC 80 (参见图 3) 的一个实施例中, DAC 80 包括可以与图 4 的电容器 110-119 类似的方式作用的电容器 210-219。图 10 中所示的 DAC 80 的实施例还包括电容器 208 和电容器 209。另外,数据转换器 12 可以包括切换电路 299,该切换电路 299 使用控制信号 297 来选择是 VIN 298 还是 VREFH 88 被提供到控制电路 200 作为 VIN 信号 92。在替代实施例中,切换电路 299 可以位于数据转换器 12 中的任何位置,或者如果没有选择 VIN 92,则可以替代地不使用切换电路 299。在一个实施例中,除了图 10 的控制电路 200 实现图 11 的方法 271 并且控制一个或多个电容器 208 和 209 的耦合,控制电路 200 可以与图 4 的控制电路 100 类似的方式作用。DAC 80 的替代实施例可以包括电容器 208 而不包括电容器 209,可以包括电容器 209 而不包括电容器 208,或者替代地可以包括电容器 208 和电容器 209 二者。另外,在替代实施例中,电容器 208 和 / 或 209 这两者中的任何一个或者二者的电容可以使用多个电容器来实现。

[0053] 参考图 11,方法 271 图示了用于 16 位模数转换器 (ADC) 的采样转换序列。而且,虽然图 11 的方法 271 的实施例已经被图示为具有步骤 249-259,但是替代实施例可以具有比图 11 所示的步骤更多、更少或不同的步骤。另外,虽然方法 271 是在 16 位 ADC 的上下文下图示的,但是替代实施例可以在转换结果中具有任何期望和适当数目的位。

[0054] 注意,用于确定逐次逼近 ADC 的电容器 210-219 的电容值的各种方法在本领域中是公知的并且将不在本文中进行进一步描述。然而,在图 10 中所示的实施例中,添加额外的电容器 209,该电容器 209 的大小 (即, 电容值) 等于与位 N+M+1 相对应的电容器的大小。因此,对于图示实施例,电容器 209 的电容值近似等于包括终端电容器 210 的所有较低有效电容器 (210-216) 的总和。在替代实施例中,电容器 209 的放置可能是不同的,并且可以通

过在校正之后需要恢复多少输入范围来确定电容器 209 的放置。

[0055] 在一个实施例中,添加额外的逐次逼近步骤,该步骤涉及产生比 MSB 更有效的额外位。例如,在校正之前,16 位结果(位 0-15)现在将会是 17 位(位 0-16)。在标准 SAR 序列中,第一转换步骤 254 将 MSB 电容器切换至 VREFH 88,在比较器 60 输入(参见图 3)处产生(VREFH-VREFL)/2 的电压阶跃。然而,在图 11 的方法 271 中所示的实施例中,在初始化步骤 252 和 253 之后,所有位的等价物(MSB 至位 N+M+1 加额外电容器 209)首先被切换到 VREFH 88,以在比较器 60 输入处产生(VREFH-VREFL)的电压阶跃。如果得到的结果为低(从步骤 255 开始的“是”路径,执行步骤 258),则所有的电容器 217-219 加上电容器 209 保持处于 VREFH 88,设置转换结果的额外位,清除 MSB 至位 N+M+1,并且下一逼近移动到位 N+M,之后是其它剩余位(步骤 259)。然而,如果比较结果为高(从步骤 255 开始的“否”路径),所有电容器 217-219 加上电容器 209 切换回到 VREFL 90,清除转换结果(位 16)的额外位(步骤 256)并且标准逐次逼近序列开始于 MSB 位 N+M+P(步骤 257、259)。

[0056] 通过使用具有本文以上描述的预定值的电容器 209(参见图 10),并且通过使用转换序列 271 中的步骤 254-258(参见图 11),可以允许大于全范围(例如,替代 16 位的 17 位转换结果)的未校正转换结果。结果,图 1 的数据转换器 12 的一些实施例可以在不使最终的校正转换结果限于比全范围小的情况下使用修改未校正转换结果的数字校正。参考图 11 所示的实施例,额外的逐次逼近步骤(步骤 254-257)涉及将所有位(MSB 至位 X 加上额外电容器 209)的等价物切换至 VREFH 88,以在常规 SAR 例程之前在比较器 60 输入处产生(VREFH-VREFL)的电压阶跃。这允许大于全范围的未校正转换结果,以及不小于全范围的校正转换结果。还注意,向控制电路 200 添加电容器 209 和少量控制电路(与控制电路 100 相比)将对图 1 的数据转换器 12 添加极少的成本和半导体面积。

[0057] 图 12 图示了根据一个实施例的 ADC(例如,图 1 的 12)的转换功能。实线 241 表示 ADC 12 的一个实施例的未校正结果。注意,范围 240 表示产生实线 241 上的相同最大未校正结果值的 VIN 92 的值。实线 242 表示在已经加上或减去偏移校正之后的校正结果。注意,减去一个数可以通过取二的补码并且加上该数来实现。加上 / 减去偏移校正仅将未校正线上移或下移。因此,范围 240 表示产生实线 242 上的相同最大校正结果值的 VIN 92 的值。在图 12 所示的实施例中,减去偏移,并且未校正实线 241 下移,以产生校正实线 242。注意的是,作为减去偏移的结果,ADC 输入范围已经减小了量 240。因此,对于范围 240 中的 VIN 92 的所有值,将在偏移校正之后产生相同的结果值。为了将 ADC 输入范围增大成包括范围 240 中的 VIN 92 的值,将执行额外的逐次逼近步骤(参见图 11 的步骤 254-258)。虚线 243 表示在执行偏移校正和额外逐次逼近之后的校正结果。例如,注意,对于 16 位转换结果,校正转换结果现在可以具有高达十六进制\$FFFF 的理想最大值的值。因此,VIN 92 值的整个范围(包括范围 240 中的那些值)将产生“理想的”和期望的校正转换结果值 243。

[0058] 图 13 图示了根据一个实施例的具有数字线性和增益校正的 ADC(例如,图 1 的 12)的转换功能。在对未校正转换结果执行线性校正之后(由实线 244 表示),保留增益误差(由实线 244 和实线 245 之间的间隙表示)。这可以通过对更多电荷采样来进行校正。然而,校正增益误差造成在全范围的高端处的输入范围损失(由实线 246 表示)。在一个实施例中,该 VIN 92 范围的损失是由使用额外电容器 209(参见图 10)和额外逐次逼近(参见图 11 中的步骤 254-259)来校正的。注意,图 10-13 中所描述的方法和电路的至少一些实

施例和相关文本可以适用于 SAR 型 ADC，这与许多现有技术方法不同。另外，本发明描述的一些实施例非常有效地补偿了由 ADC（例如，图 1 的 12）中的数字增益和偏移校正造成的动态输入范围的损失。

[0059] 在使用数据转换器的一些应用中，希望能够转换其中差分输入的极性未知的差分输入信号。转换差分信号还有助于增加部分由于共模的噪声抑制而导致的结果的精确度。然而，实现差分 ADC 的限制因素之一可以在逐次逼近期间将比较器输入保持在比较器的共模电压范围内。当比较器在共模电压处被自动置零时，使其输入远离共模电压将造成转换结果中的误差。将会非常有利的是，能够在 SAR ADC 中进行差分转换，而不会产生误差并且不会增大大小或显著降低相对于单端 ADC 的速度。在一个实施例中，用于数据转换的电路执行 ADC 负输入的部分单端逼近，之后是正输入的全单端逼近，以获得精确的差分转换结果。替代实施例可以以不同方式进行操作。

[0060] 图 14 图示了图 1 的数据转换器 12 的一部分的一个实施例。在一个实施例中，数据转换器 12 包括逐次逼近的模数转换器 (SAR ADC)。在替代实施例中，数据转换器 12 可以是用于数据转换的任何类型的电荷重新分配阵列。在图示实施例中，数据转换器 12 包括正 DAC 280、负 DAC 282、比较器 260、比较器 261 和 SAR 控制电路 276。SAR 控制电路 276 接收比较器 260、261 的输出，并且将正结果 284 和负结果 285 提供到结果调整电路 270。在一个实施例中，结果调整电路 270 包括提供结果 286 的减法计算电路 274。在一个实施例中，从正结果 284 中减去负结果 285，以产生差分结果（图 15 中的 308）。在一个实施例中，如果差分偏置电容器 208 被切换，则在转换之后计算电路 274 减去固定值和 / 或预定值（参见图 15 中的 305、306、309 和 310）。替代实施例可以以不同方式产生转换结果 286。

[0061] 在图 14 所示的实施例中，正 DAC 280 接收 VREFH 88、VREFL 90、VIN 92 和正结果 284 作为输入。负 DAC 282 接收 VREFH 88、VREFL 90、VIN 93 和负结果 285 作为输入。差分偏置电容器 208 的第一电极被耦合到 VREFH 88 或 VREFL 90。在一个实施例中，SAR 控制电路用于控制哪个电压被耦合到电容器 208 的第一电极。在替代实施例中，任何期望和适当的电路可以用于控制哪个基准电压（例如，VREFH、VREFL）被耦合到电容器 208 的第一电极。电容器 208 的第二电极被耦合到正 DAC 280 的输出以及比较器 260 的正输入。负 DAC 282 的输出被耦合到比较器 260 的负输入以及比较器 261 的正输入。比较器 261 的负输入被耦合到共模电压 VCM 94。在一个实施例中，正 DAC 280 和负 DAC 282 的每一个都包括二进制加权元件（例如，电容器或电阻）的阵列。在一个实施例中，SAR 控制电路 276 包括 SAR 寄存器，例如，图 3 中的 SAR 寄存器 96。

[0062] 图 15 图示了在不引入来自比较器共模电压偏移的误差的情况下用于在数据转换器（例如，SAR ADC）中执行全差分转换的一个方法 320。参考图 14，方法 320 通过对“负”侧（即，使用负 DAC 282 和比较器 261）执行部分逐次逼近来完成这个步骤，该逼近足以获得接近其共模 / 自动置零电压的比较器负输入（即，对比较器 260 的负输入）。该负结果 285（即，“负”侧的部分逐次逼近的结果）由非关键比较器 261 来计算。注意，对于一些实施例，由于小电压差不需要被检测，所以比较器 261 可以被便宜地实现为非常简单的比较器。然后，使用更精确和关键的比较器 260 并且使用正 DAC 280，在该“对负侧的部分逐次逼近”之后，对“正”侧执行完全单端逐次逼近。差分结果是正结果 284 与负结果 285 之间的差。然后，可以通过结果调整电路 270 来调整该差分结果（如果期望和适当的话）以产

生结果 286。对于不使用调整的实施例,可以不实现结果调整电路 270,并且差分结果可以被提供作为结果 286。

[0063] 注意,对于图 14 中图示的数据转换器 12 的实施例,因为不必解决小的输入电压,所以比较器 261 可以是小的低功率并且便宜的。图 14 所示的实施例还使用差分偏置电容器 208。

[0064] 参考图 15,方法 320 图示了数据转换器的采样转换序列。在一个实施例中,方法 320 可以是图 14 中所示的 SAR ADC 使用的差分转换。另外,虽然图 15 的方法 320 的实施例已经被示出为具有步骤 300–311,替代实施例可以具有比图 15 中所示的步骤更多、更少或不同的步骤。另外,虽然方法 320 已经在 SAR ADC 的上下文下示出,但是替代实施例可以使用不同类型的数据转换器。

[0065] 参考图 15,步骤 302–304 图示了在负 DAC 282(参见图 14) 上执行的部分逐次逼近例程 (SAR),以使得比较器 260 的负输入足够接近其共模 / 自动置零电压 (例如,VCM 94)。然后,在判定菱形框 305 中,在部分负 SAR(使用负 DAC 282) 之后,(例如,通过 SAR 控制电路 276) 检查更关键比较器 260 的输出,以确定值 260 的正比较器输入是否高于至 260 的负比较器输入。如果对比较器 260 的正输入高于对比较器 260 的负输入,则差分偏置电容器 208 的第一电极 (例如,底板) 从 VREFH 切换至 VREFL(参见步骤 306)。该切换允许在使用正 DAC 280 和比较器 260(参见步骤 307) 的随后的逐次逼近期间使对 260 的正输入成功地逼近对 260 的负输入。在步骤 308 中,从正结果 284 中减去负结果 285,以产生差分结果。在判定菱形框 309 中,问的问题是“差分偏置电容器 208 被切换?”如果回答为“否”,则结果 286 等于差分结果 (参见步骤 311)。然而,如果回答为“是”,则从差分结果中减去预定值,以便于产生结果 286(参见步骤 310)。

[0066] 注意,在一个实施例中,电容器 208 的大小大致等于在利用负 DAC 282 的负侧逼近中使用的最后一个电容器。使用的最后一个电容器由负侧部分逐次逼近中的逼近次数来确定。可以选择逼近的次数,使得由于共模电压偏移而导致由比较器 260 造成的误差不会显著降低数据转换器 12 的精确度。如果比较器 260 具有高的共模抑制比,则将在负 DAC 282 上需要较少的逼近。替代实施例可以使用任何期望和适当的值用于电容器 208。另外,替代实施例可以使用多个电容器来替代电容器 208。然而,其它实施例可以使用任何适当和期望的电路元件来作为电容器 208 的补充或替代。虽然电容器 208 已经在图 14 中被示出为不是 DAC 280 的一部分,但是替代实施例可以包括电容器 208 作为 DAC 280 的一部分。例如,图 10 中所示的 DAC 80 的一部分可以包括差分偏置电容器 208,该电容器 208 可以或者可以不被视为 DAC 80 的一部分。

[0067] 图 16 图示了在使用负 DAC 282 和比较器 261 的部分逐次逼近 (图 15 的步骤 304) 之后 V+(图 14 的比较器 260 的正输入处的电压) 小于 V-(在比较器 260 的负输入处的电压) 的情况的示例。对于图 16 中所示的示例,由于 V+ 小于 V-,因此不必切换差分偏置电容器 208(即,使第一电极耦合到较低基准电压 (VREFL 90) 而非较高基准电压 (VREFH 88)) 以便于使 V+ 逼近 V-。

[0068] 图 17 图示了在使用负 DAC 282 和比较器 261 进行部分逐次逼近 (图 15 的步骤 304) 之后 V+(图 14 的比较器 260 的正输入处的电压) 大于 V-(比较器 260 的负输入处的电压) 的情况的示例。因为 V+ 大于 V-,所以差分偏置电容器 208 从使其第一电极耦合到

VREFH 88 切换至使其第一电极耦合到 VREFL 90, 以便于降低 V+ 并且允许逼近 V-。注意, 图 16 和图 17 只是作为说明性实例。各种数据转换器电路 (例如, 12) 的替代实施例可以以与图 16 和图 17 所示的方式不同的方式进行作用。

[0069] 参考图 16、图 17 和图 14, 将描述一种用于使用图 14 所示电路的方法。在 t0, 开始对输入 (VIN 92 和 VIN 93) 进行采样。在 t1, 完成采样并且开始使用负 DAC 282 和比较器 281 的部分逐次逼近。在 t2, 完成使用负 DAC 282 的部分逐次逼近, 并且开始比较比较器 260 的非反向输入和反向输入上得到的电压以确定哪个更大。在 t3, 如果比较器 260 的反向输入大于比较器 260 的非反向输入, 则使耦合到电容器 208 的第一电极的电压保持在 VREFH 88 (图 16); 然而, 如果比较器 260 的反向输入不大于比较器 260 的非反向输入, 则将耦合到电容器 208 的第一电极的电压从 VREFH 88 切换至 VREFL 90 (图 17)。然后, 使用正 DAC 280 和比较器 260 开始完全逐次逼近 (参见图 15 中的步骤 307)。在 t4, 使用正 DAC 280 和比较器 260 完成逐次逼近。注意, 在 t2 之后, 已经确定了负结果 285, 并且在 t4 之后, 已经确定正结果 284。图 15 中所示的方法在 t4 之后进行步骤 308。注意, 本文以上已经描述了图 15 中所示的方法。

[0070] 应该注意, 对于一些实施例, 在部分逐次逼近期间 (参见图 15 中的步骤 304) 负侧所需要的逼近次数是比较器 261 的共模抑制比 (CMRR) 和 ADC 的分辨率的函数。比较器 261 的 CMRR 越高, 需要的逼近越少。例如, 在 12 位 ADC 中具有 66dB 的 CMRR 的比较器在负侧仅需要 2 次逼近 (12 位 LSB 的 $1/2 = 78\text{dB}$), 所以负逼近需要使 $|V_{cm}-V_-|$ 电压减小 12dB。又如, 在 16 位 ADC 中具有 72dB 的 CMRR 的比较器在负侧仅需要 5 次逼近 (16 位 LSB 的 $1/2 = 102\text{dB}$), 所以负逼近需要使 $|V_{cm}-V_-|$ 电压减小 30dB。因此, 仅需要 5 次逼近 ($2^5 = 30\text{dB}$)。

[0071] ADC 的成本的显著部分是所需要的测试。传统地, 通过应用表示可能的转换结果值的每一个的精确的外部电压来测试 ADC。为了应对噪声并且正确地计算误差并且由此推导适当的配置, 电压在每个可能值的范围内扫过若干步骤。该测试方法是耗时的, 并且需要昂贵的测试设备。随着 ADC 的精确度增大, 测试时间和设备费用也增大。为了使更高精确度 ADC 更加成本有效, 并且在微控制器市场中也是可行的, 期望缩短测试时间并且消除在 ADC 测试期间对特殊测试设备的需要。

[0072] 图 18 图示了图 1 的数据转换器 12 的部分的一个实施例。在一个实施例中, 数据转换器 12 包括逐次逼近的模数转换器 (SAR ADC)。在替代实施例中, 数据转换器 12 可以是用于数据转换的任何类型的电荷重新分配阵列。在图示的实施例中, 数据转换器 12 包括正 DAC 480、负 DAC 482、比较器 460、SAR 控制电路 476、比较器 492、自测试控制电路 490、复用器 (MUX) 463 和 MUX 465。SAR 控制电路 476 接收比较器 460 的输出, 并且将结果信号 484 提供到比较器电路 492、MUX 463 和 MUX 465。自测试控制电路 490 将信号提供到 MUX 463、MUX 465 和比较器 492。MUX 463 将输入提供到正 DAC 480, 并且 MUX 465 将输入提供到负 DAC 482。在一个实施例中, SAR 控制电路 476 包括 SAR 寄存器, 诸如图 3 中所示的 SAR 寄存器 96。

[0073] 在图 18 所示的实施例中, 正 DAC 480 接收 VREFH 88、VREFL 90 和 VIN 93 作为输入。负 DAC 482 接收 VREFH 88、VREFL 90 和 VIN 93 作为输入。在一个实施例中, 正 DAC 480 和负 DAC 482 的每一个都包括二进制加权元件的阵列, 诸如电容器或电阻器。在一个实施例中, 可以使用诸如图 10 中所示的电路的电路或其变体来实现正 DAC 480 的一部分和

负 DAC 482 的一部分。在一个实施例中, SAR 控制电路 476 包括 SAR 寄存器, 诸如图 3 中的 SAR 寄存器 96。在替代实施例中, 自测试电路 490、比较器 494 和通过 / 失败指示器 494 可以用于图 3 和图 14 中所示的电路配置。另外, 数据转换器的任何适当配置可以利用本文描述的自测试方法和设备。

[0074] 在一个实施例中, 在常规操作期间, SAR 控制电路 476 控制 DAC 电容器 (参见图 10 中的电容器 208-221) 以逐次逼近输入电压, 其中, SAR 控制电路 476 使用比较器 460 的输出来确定如何切换 DAC 480 和 482 中的电容器。在逼近的每个步骤中, 比较器输出被存储在电路 476 中的 SAR 寄存器中, 并且得到的数字字是模拟输入电压的数字表示。一旦已经完成了比较, 存储在 SAR 寄存器 (例如, 图 3 中的 SAR 寄存器 96) 中存储的数字值可以被输出为数字结果 484。注意, 在转换期间, 结果 484 用作中间结果, 该中间结果将反馈信息提供到比较器 492, 并且分别经由 MUX 463 和 MUX 465 提供到 DAC 480 和 DAC 482。

[0075] 在一个实施例中, 在测试期间, 比较器 492 从 SAR 控制电路 476 接收结果值 484, 并且从自测试控制电路 490 接收预期值。然后, 比较器 492 将实际的转换结果值 484 与预期转换值作比较, 并且基于两个数字值是否匹配来断言或否定通过 / 失败信号 494。在另一个实施例中, 比较器 492 将实际的转换结果值 484 与预期值范围作比较, 并且基于该结果是否在该范围内来断言或否定通过 / 失败信号 494。对于一些实施例, 如果通过 / 失败信号 494 指示“失败”, 则比较器 492 能够提供关于实际结果 484 与预期结果相差多少的信息 (例如, 什么是失配的最高有效位)。替代实施例可以仅提供通过 / 失败信号 494, 或者可以提供关于实际结果值 484 如何不同于预期值的额外信息。注意, 自测试控制电路 490 分别控制 MUX 463 和 MUX 465 的哪个输入被传递到 DAC 480 和 DAC 482 上。因此, 自测试控制电路 490 控制是否其将输入提供到 DAC 480 和 DAC 482, 或者 DAC 480 和 DAC 482 是否从 SAR 控制电路 476 接收反馈输入。

[0076] 在一个实施例中, 在模拟复杂度或大小上没有增加的情况下, 提供了 SAR ADC 的完全非常短时间的持续产品自测试。在一个实施例中, 使用 SAR ADC 的完全自测试的方法, 其中, 选择的电路元件 (例如, 在 DAC 480、DAC 482 中) 用于生成测试电压, 并且然后使用不同电路元件 (例如, 在 DAC 480、482 中) 将那些测试电压与预期电压作比较。作为该方法的结果, 可以不仅确保了没有由于短路而导致的缺陷和由于开路导致的缺陷, 而且还确保了 DAC 480 和 DAC 482 中的所有元件的校正大小 (例如, 电容值)。在一个实施例中, 通过将电容器 210-219 (参见图 10) 的一部分充电至 VREFH 88 并且将电容器 210-219 中的剩余电容器充电至 VREFL 90, 来将相对侧 (例如, 负 DAC 482) 充电至预定偏移电压。得到的偏移电压与“充电至 VREFH 88 的电容器的电容”对“总电容”的比率成比例。通过使用该关系, 能够确定每个被测电容器 (CUT) 的电容值是否在期望范围内。

[0077] 在一个实施例中, 自测试控制电路 490 控制自测试期间的 ADC 的采样阶段和保持阶段。在一个实施例中, 自测试序列包括在所有小于被测电容器 (CUT) 的元件上采样高基准电压 (VREFH 88), 并且在该 DAC 中的所有剩余电容器上采样低基准电压 (VREFL 90)。在保持阶段和比较阶段期间, 强制使 CUT 至 VREFH 88, 并且强制使 DAC 中的剩余电容器至 VREFL 90。通过仅使用 ADC 的相同侧 (单端) 或相对侧 (差分) 的较低电容器的逐次逼近来测量的得到的误差电压。注意, 该方法通过一些修改可以用于任何电容 DAC。该方法通过一些修改还可以用于使用电阻元件的 DAC。该方法适用于任何适当和期望的数据转换器。

图 19 中图示的方法 520 是在差分 DAC(例如, 参见图 18) 的上下文下描述的。图 20 中图示的方法 570 是在单端 DAC 的上下文下描述的。注意, 对于一个实施例, 使用对独立 DAC 元件(例如, 图 10 中的电容器 208-221)的采样、保持和比较条件的独立控制。在一个实施例中, 自测试控制电路 490(图 18)包括用于控制切换电路 102 的电路(例如, 状态机、随机逻辑等)和控制电路 100(参见图 4)。

[0078] 注意, 图 19 和图 20 中描述的方法能够检测由于在逼近期间使用 CUT 而导致的误差、比较器中可允许的偏移误差、可允许的零度误差(中心位于 VREFL 90 的转换或比较)、可允许的大于 1 个 LSB 的失配误差和结果 484 的噪声下限或随机化。注意, 对于一个实施例, 不需要额外的模拟电路, 并且仅添加最小数字电路。使用本文描述的方法测试图 18 的数据转换器 12 所需要的总测试时间小得多, 因为为了测试数据转换器 12 中的电路不再需要几十万独立的 ADC 转换(例如, 对于 16 位 ADC)。对于一个实施例, 对 DAC 480 和 DAC 482 中的连续不同的元件(例如, 电容器)执行采样、保持和逼近, 逐次逼近用于测量参数误差, 并且可以使用有意偏移。因此, 对于一些实施例, 仅可以需要一个测试或数个测试来测试 DAC 480 和 DAC 482 中的每个元件; 并且因此, 可以不再需要先前需要的几十万个独立的 ADC 转换来用于测试目的。这可以引起测试时间和测试设备复杂性的大的成本节省。

[0079] 图 21 图示了对于一个实施例而言本文描述的测试方法可以针对短路和开路情况如何用于测试对 DAC(例如, 图 18 的 480、482)中的每个电容器(例如, 图 4 的 208-221)的所有连接。注意, “L”表示对于 VREFL 90 的电容器连接, “H”表示对于 VREFH 88 的电容器连接, 并且“IN”表示对于 VIN 92、93 的电容器连接。注意, 图 21 中图示的切换(还作为图 4 中的电路 102)可以被实现为数字电路(例如, 使用一个或多个晶体管)。

[0080] 在使用数据转换器的一些应用中, 期望能够执行较高速度、较低分辨率的转换。例如, 一些应用不需要 ADC 的全分辨率能力。因此, 可能期望减少采样时间并且增大用于执行较低分辨率转换的宽度的数据转换器能力或操作模式。在一个实施例中, 数字转换结果可以作为 SAR ADC(参见, 例如, 图 18 的电路 480、482、460 和 476; 图 2 的数据转换器 12)的 DAC 中采样的总电容的比率的函数来调节。

[0081] 在一个实施例中, 仅以 DAC(例如, 图 18 的 DAC 480)中的电阻元件和 / 或电容元件的一部分对输入电压进行采样。作为仅使用电阻元件和 / 或电容元件的一部分的结果, 可以显著缩短采样时间。而且, 与较高分辨率模式相比, 仅执行逐次逼近至可接受的较低精度水平可以减小所需时钟周期数。另外, 基于 DAC 电容器的哪些部分被采样来对转换结果进行数字调整(包括添加 1/2LSB 移位)可以用于一些实施例。对于图 2 中所示的 16 位数据转换器, 与 16 位模式相比, 以 12 位模式进行操作节省了大约 6 个周期的转换时间。该时间节省可能是由于较快的采样(较低电容)而导致的, 并且是由于不需要执行全逐次逼近而导致的。在一个实施例中, 时间节省还允许 1/2LSB 移位而不进行模拟电路调整。在一个实施例中, 这些时间节省结合比较器(例如, 图 18 中的 460)必须仅分辨 12 位的事实允许较低分辨率模式具有 16 位模式两倍的带宽。在需要较长采样时间的具有高外部源电阻的应用中, 较低分辨率模式的带宽改进可能甚至更有效。

[0082] 图 22 图示了根据一个实施例的执行 16 位 ADC 中的 12 位转换的方法 620。方法 620 的各种实施例可以用于任何适当和期望的数据转换器。可以利用方法 620 的数据转换器的一个可能的实施例是图 3 中图示的数据转换器 12 的实施例。而且, 参见图 3 的 DAC 80

的一部分的一个实施例的图 4，并且参见图 3 的 DAC 80 的一部分的替代实施例的图 10。

[0083] 在图 22 的方法 620 中，该过程开始于椭圆 600，并且前进到步骤 602，在步骤 602 中，MSB 电容器（例如，119 或 219）的底板（例如，第一电极）被充电至电压 VIN 92，而比较器 60 输入被充电至电压 VCM 94。注意，在图示的实施例中，步骤 602 将总电容的大约一半有效地充电至 VIN 92。替代实施例可以替代地充电总电容的不同分数，例如，由 2 的幂除的总电容的任何分数（例如， $1/2, 1/4, 1/8, 1/16$ 等）。从步骤 602，该过程前进到步骤 603，在该步骤 603 中，对于比较器 60 的输入被释放，并且 MSB 电容器（例如，119 或 219）的底板被切换至 VREFL 90。从步骤 603，该过程前进到步骤 604，在该步骤 604 中，对 13 或 14 个最高有效位执行逐次逼近，以产生用于 $VIN/2$ （输入电压的一半）的 13 或 14 位转换结果。从步骤 604，该过程前进到步骤 605，在该步骤 605 中，转换结果左移（即，加倍或乘 2）或舍入（如果需要的话），以获得 $1/2\text{LSB}$ 移位来产生 VIN 的 12 位最终转换结果。在步骤 605 之后，该过程然后终止于椭圆 601。在一个实施例中，可以以任何已知的现有技术方式执行调节转换结果的舍入，以产生舍入的调节转换结果。另外，虽然可以使用任何数目的最低有效位来执行舍入，但是多数应用将使用一个或两个最低有效位来产生舍入的调节转换。

[0084] 注意，图 22 中描述的方法 620 的实施例通过仅使用总电容的一半来有效地执行对仅输入电压的一半 ($VIN/2$) 的转换。可以保持原始结果的大于 12 位。然后，将原始转换结果左移 1 位的位置，这有效地使原始转换结果乘以 2。替代实施例可以或者可以不使用任何期望和适当的舍入方法。替代实施例可以通过仅使用总电容的 $1/4$ （例如，DAC 80 中）来执行仅输入电压的 $1/4(VIN/4)$ 的转换。然后，将原始转换结果左移两位的位置，这有效地使原始转换结果乘以 4。可以保持原始结果的大于 12 位，使得在进行有效乘法期间存在移位作为 LSB 的位。替代实施例可以使用总电容的任何分数（等于由 2 的幂除），使得原始结果的移位可以用于确定最终转换结果。因此，在一个实施例中，原始转换结果被调节，以基于实际上用于转换的电容与适用于转换的总电容的比率来产生最终转换结果。

[0085] 在一个实施例中，图 2 的数据转换器 12 中的控制寄存器 31 可以包括一个或多个用户可编程位，SAR 控制电路可以使用这些位来确定何时使用高速度、低分辨率转换模式（例如，何时使用 16 位 ADC 来执行 12 位转换）。替代地，一个或多个集成电路引脚或端子（类似于用于将总线 24 耦合到外界的那些）可以被耦合到数据转换器 12，并且可以用于将来自外界的至少一个转换模式信号提供到数据转换器 12。至少一个转换模式信号可以选择第一模式（例如，用于 16 位 ADC 的 16 位转换），并且替代地可以选择第二高速和 / 或低分辨率转换模式（例如，用于 16 位 ADC 的 12 位转换）。替代实施例可以具有任何数目的期望和适当的转换模式，并且可以选择将以任何期望和适当的方式使用的转换模式。另外，虽然已经在 16 位 ADC 的 12 位转换的上下文下描述了采样实施例，但是可以使用任何期望和适当的分辨率 ADC 上的任何期望和适当的分辨率转换。

[0086] 到目前为止，应当理解，已经提供了具有很多有益特征的数据转换器。

[0087] 因为实现本发明的装置多半由本领域技术人员公知的电子组件和电路构成，所以将不以比以上示出的被视为必要的任何更大程度来进行解释，以理解和了解本发明基本原理并且不模糊或混淆本发明的教导。

[0088] 以上适用的实施例中的一些可以使用各种不同的信息处理系统来实现。例如，虽然图 1 和图 2 及其讨论描述了示例性信息处理架构，但是该示例性架构仅仅用于在讨论本

发明的各种方面的过程中提供可用的参考。当然,为了进行讨论已经简化了对架构的描述,并且很多不同类型的适当架构中仅有一个可以根据本发明来使用。本领域的技术人员将认识到,逻辑块之间的边界仅是说明性的,并且替代实施例可以将逻辑块或电路元件合并,或者将功能性的替代分解施加到各种逻辑块或电路元件。

[0089] 因此,将理解,本文描绘的架构只是示例性的,并且事实上,可以实现许多其它架构来实现相同的功能性。在抽象但确定的意义上,用于实现相同功能性的任何组件布置有效地“相关联”,使得实现期望的功能性。因此,被组合以实现特定功能性的本文的任何两个组件可以视为彼此“相关联”,使得不论架构或中间组件如何都实现期望的功能性。同样地,如此相关联的任何两个组件还可以被视为彼此“可操作地连接”或“可操作地耦合”以实现期望功能性。

[0090] 又如,在一个实施例中,系统 10 的图示元件是位于单个集成电路上或同一设备内的电路。替代地,系统 10 可以包括如何数目的单独的集成电路或彼此互连的单独的设备。例如,存储器 18 可以位于与处理器 16 相同的集成电路上,或者位于单独的集成电路上或者位于与系统 10 的其它元件离散分开的另一外围装置或从装置内。数据转换器 12 还可以位于单独的集成电路或设备上。而且,例如,系统 10 或其一部分可以是物理电路的软件或代码表示或者是可转换成物理电路的逻辑表示。这样,系统 10 可以以任何适当类型的硬件描述语言来实现。

[0091] 此外,本领域的技术人员将认识到,上述操作的功能性之间的边界仅仅是示例性的。多个操作的功能性可以被组合成单个操作,和 / 或单个操作的功能性可以分布在额外操作中。此外,替代实施例可以包括特定操作的多个实例,并且该操作的顺序可以在各种其它实施例中被改变。

[0092] 虽然参照特定实施例在本文中描述了本发明,但是可以在不脱离如所附权利要求所述的本发明范围的情况下进行各种修改和改变。例如,本文描述的特征中的任何一个或多个可以与任何其它特征的任何期望和适当的组合来使用。因此,说明书和附图将被视为说明性的而非限制性的含义,并且所有这样的修改旨在被包括在本发明范围内。关于特定实施例在本文中描述的任何益处、优点或对问题的解决方法不旨在被限制为任何或全部权利要求的关键、期望或比要的特征或要素。

[0093] 如本文所使用的术语“耦合”不旨在限于直接耦合或机械耦合。

[0094] 此外,如本文所使用的术语“一”被定义为一个或多于一个。而且,在权利要求中使用诸如“至少一个”和“一个或多个”的引语应当被理解为意味着,由不定冠词引入另一权利要求元素将包含这样的引入的权利要求元素的任何特定权利要求限制于仅包含一个这样的元素的发明,即使当同一权利要求包括引语“一个或多个”或“至少一个”以及不定冠词诸如“一”。对于使用定冠词同样如此。

[0095] 除非另外陈述,否则诸如“第一”和“第二”的术语用于在这样的术语描述的元素之间进行区分。因此,这些术语不必旨在指示这样的元件的时间上或其它优先顺序。

额外文本

[0097] 1. 一种数据转换器,例如 (12),包括:

[0098] 第一 DAC 阵列,例如 (图 18 的 480);

[0099] 第一比较器,例如 (460),所述第一比较器被耦合接收来自第一 DAC 阵列的输入,

所述第一比较器提供输出；

[0100] 逐次逼近电路，例如（476），所述逐次逼近电路被耦合到第一比较器的输出，所述逐次逼近电路提供实际测试结果值，例如（484）；

[0101] 自测试电路，例如（490），所述自测试电路生成并且提供预期测试结果值；

[0102] 第二比较器，例如（492），所述第二比较器被耦合到逐次逼近电路以接收实际测试结果值，并且耦合到自测试电路以接收预期测试结果值；以及

[0103] 一个或多个导体，例如（通过 / 失败 494），所述导体被耦合到第二比较器，所述一个或多个导体提供一个或多个信号，用于指示实际测试结果值与预期测试结果值相比是否在预定范围内，其中，对于第一情形，实际测试结果值不同于预期测试结果值，但是一个或多个信号指示实际测试结果值仍然在预定范围内，并且其中，对于第二情形，实际测试结果值不同于预期测试结果值，并且一个或多个信号指示实际测试结果不在预定范围内。

[0104] 2. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，其中，一个或多个信号指示实际测试结果值是否精确地匹配预期测试结果值。

[0105] 3. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，还包括：

[0106] 第一复用器，例如（463），所述第一复用器具有被耦合以接收实际测试结果值的第一输入，具有被耦合以从自测试电路接收提供的第一测试值的第二输入，具有耦合到自测试电路的控制输入，并且具有耦合到第一 DAC 阵列的输出。

[0107] 4. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，还包括：

[0108] 第二 DAC 阵列，例如（482），所述第二 DAC 阵列被耦合到第一比较器。

[0109] 5. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，还包括：

[0110] 第二复用器，例如（465），所述第二复用器具有被耦合以接收实际测试结果值的第一输入，具有被耦合以从自测试电路接收第二提供的第二测试值的第二输入，具有耦合到自测试电路的控制输入并且具有耦合到第二 DAC 阵列的输出。

[0111] 6. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，其中第一 DAC 阵列包括：

[0112] 多个二进制加权元件，例如（图 4 的 110-119；图 10 的 210-219）；以及

[0113] 控制电路，例如（图 4 的 100；图 10 的 200），所述控制电路用于控制多个电压中的哪一个，例如（VREFH 88、VREFL 90、VIN 92），被耦合到多个二进制加权元件中的每一个元件。

[0114] 7. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，其中所述第一 DAC 阵列，例如（480 或 482）被充电至预定偏移电压以便于生成预期测试结果值，其中预定偏移电压非零。

[0115] 8. 如陈述 6 或本文的任何其它适当的其它陈述的数据转换器，其中，所述控制电路在采样阶段、保持阶段和比较阶段的每一个期间提供对多个二进制加权元件中的每一个元件的独立控制。

[0116] 9. 如陈述 6 或本文的任何其它适当的其它陈述的数据转换器，其中，所述逐次逼近电路和自测试电路例如（通过图 18 的 MUX 463）都被耦合，以控制第一 DAC 阵列中的控制电路。

[0117] 10. 如陈述 1 或本文的任何其它适当的其它陈述的数据转换器，还包括：

[0118] 结果调整电路,例如(图3的70;图14的270),所述结果调整电路被耦合以接收实际测试结果值,所述结果调整电路产生校正测试结果值。

[0119] 11. 如陈述1或本文的任何其它适当的其它陈述的数据转换器,其中,逐次逼近用于测量参数误差。

[0120] 12. 一种用于测试数据转换器例如(12)的方法例如(图19中的520;图20中的570),包括:

[0121] 在采样阶段例如(对于差分而言,图19中的502;对于单端而言,图20中的552)期间,

[0122] 当数据转换器是差分的时,将第一基准电压例如(VREFH 88)耦合到小于被测试的第一电路元件[CUT]的所有电路元件,并且将第二基准电压例如(VREFL 90)耦合到电路元件的剩余部分,

[0123] 当数据转换器是差分的并且数据转换器的正侧被测试时,将数据转换器的负侧的第一预定数目的电路元件耦合到第一基准电压例如(VREFH 88),

[0124] 当数据转换器是差分的并且数据转换器的负侧被测试时,将数据转换器的正侧的第二预定数目的电路元件耦合到第一基准电压例如(VREFH 88),

[0125] 当数据转换器是单端的并且第一CUT大于预定大小时,将第一基准电压例如(VREFH 88)耦合到小于第一CUT的电路元件的第一部分,将第二基准电压例如(VREFL 90)耦合到小于第一CUT的电路元件的第二部分,并且将第二基准电压例如(VREFL 90)耦合到第一CUT和比第一CUT大的所有电路元件,

[0126] 当数据转换器是单端的并且第一CUT小于预定大小时,将第一基准电压例如(VREFH 88)耦合到小于第一CUT的电路元件的第一部分,将第二基准电压例如(VREFL 90)耦合到小于第一CUT的电路元件的第二部分,将第一基准电压例如(VREFH 88)耦合到大于第一CUT的电路元件的第三部分,并且将第二基准电压例如(VREFL 90)耦合到第一CUT并且耦合到大于第一CUT的电路元件的第四部分;

[0127] 在保持阶段例如(图19中的503;图20中的553)期间,使被测试的第一电路元件强制为第一电压基准例如(VREFH 88),并且使电路元件的剩余部分强制为第二基准电压例如(VREFL 90);以及

[0128] 在比较阶段例如(图19中的504;图20中的554)期间,通过执行逐次逼近来确定得到的误差电压。

[0129] 13. 如陈述12或本文的任何其它适当的其它陈述的方法,其中,第一基准电压高于第二基准电压。

[0130] 14. 如陈述12或本文的任何其它适当的其它陈述的方法,还包括:

[0131] 将得到的误差电压与预期误差值作比较,以产生比较值,例如(图19中的505;图20中的555),其中,预期误差值非零;以及

[0132] 使用比较结果来确定数据转换器是否通过测试,例如(图18中的494)。

[0133] 15. 如陈述12或本文的任何其它适当的其它陈述的方法,其中,所述数据转换器是差分数据转换器,所述差分数据转换器例如(图19)具有第一差分侧和第二差分侧例如(图18),其中,被测试的第一电路元件位于第一差分侧例如(图19中的502),并且其中,被测试的第一电路元件的逐次逼近通过第二差分侧例如(图19中的504)来执行。

[0134] 16. 如陈述 15 或本文的任何其它适当的其它陈述的方法,其中,在没有差分信号的情况下执行在第二差分侧执行的逐次逼近,好像第二差分侧是单端的。

[0135] 17. 如陈述 15 或本文的任何其它适当的其它陈述的方法,还包括:

[0136] 选择被测试的第二电路元件,其中,被测试的第二电路元件位于第二差分侧;以及

[0137] 使用被测试的第二电路元件替代被测试的第一元件来重复陈述 12 的每个步骤,

[0138] 其中,通过第一差分侧执行被测试的第二电路元件的逐次逼近。

[0139] 18. 如陈述 17 或本文的任何其它适当的其它陈述的方法,其中,被测试的第一电路元件包括电容元件。

[0140] 19. 一种用于测试数据转换器例如(12)的方法例如(图 19 中的 520;图 20 中的 570),包括:

[0141] 在数据转换器中提供多个电容元件例如(图 4 的 110-119;图 10 的 210-219);

[0142] 在数据转换器中提供电路例如(图 4 中的 100;图 10 中的 200),用于将多个电容元件的每一个单独连接到多个电压中的一个;

[0143] 选择多个电容元件的第一个作为被测试的电容元件;

[0144] 在第一测试时段例如(图 19 中的采样阶段 502;图 20 中的 552、556)期间,将多个电压中的第一个电压(VREFH 88)耦合到小于被测试的电容元件的多个电容元件的第一部分,并且将多个电压中的第二个电压(VREFL 90)耦合到多个电容元件的第二部分(所述第二部分的大小与被测试的电容元件相同或者比被测试的电容元件大),并且将多个电压中选择的一个电压连接到多个电容元件的第三部分;

[0145] 在第二测试时段例如(图 19 中的保持阶段 503;图 20 中的 553、557)期间,将被测试的电容元件耦合到多个电压中的第一个电压例如(VREFH 88),将多个电容元件的第二部分耦合到多个电压中的第二个电压例如(VREFL 90),并且将多个电容元件的第三部分耦合到多个电压中的所选择的不同电压,以生成偏移电压;以及

[0146] 在第三测试时段例如(图 19 中的比较阶段 504;图 20 中的 554)期间,通过使用数据转换器执行逐次逼近来确定得到的误差电压。

[0147] 20. 如陈述 19 或本文的任何其它适当的其它陈述的方法,其中,所述多个电压包括高基准电压例如(VREFH 88)、低基准电压例如(VREFL 90)和输入电压例如(VIN 92),并且其中,在第一、第二和第三时段期间,在不将输入电压耦合到多个电容元件的任何一个的情况下,测试被测试的电容元件。

[0148] 21. 一种用于测试数据转换器例如(12)的方法例如(图 19 中的 520;图 20 中的 570),包括:

[0149] 在数据转换器中提供多个二进制加权元件例如(图 4 的 110-119;图 10 的 210-219);

[0150] 在数据转换器中提供电路例如(图 4 中的 100;图 10 中的 200),用于在数据转换器的测试期间将多个二进制加权元件中的每一个单独耦合到多个电压中的任一个电压,

[0151] 其中,多个电压包括高基准电压例如(VREFH 88)、低基准电压例如(VREFL 90)和输入电压例如(VIN 92);以及

[0152] 选择多个二进制加权元件的第一个元件选择作为被测试的二进制加权元件,

[0153] 其中,在测试数据转换器期间,在不将输入电压耦合到多个电容元件的任何一个

电容元件的情况下,测试被测试的二进制加权元件。

[0154] 22. 一种方法例如(图22的620),包括:

[0155] 提供一个或多个导体例如(图2的导体MODE)以传送控制信息,所述控制信息选择数据转换器例如(12)中的数据转换将为J位数据转换还是A位数据转换,其中,J和A是整数,并且其中数据转换器包括具有总电容C的电荷重新分配阵列例如(图3的62;图18的480、482);

[0156] 当选择J位数据转换时,使用数据转换器执行J位数据转换;以及

[0157] 当选择A位数据转换时,使用数据转换器执行A位数据转换,

[0158] 其中,数据转换器用于执行J位数据转换和A位数据转换二者,以及

[0159] 其中,使用数据转换器执行A位数据转换的步骤包括:

[0160] 接收将被转换的输入电压例如(602);

[0161] 使用输入电压对电荷重新分配阵列的总电容C的第一部分进行充电,其中电荷重新分配阵列的总电容C的第一部分小于所有总电容C例如(602、603);

[0162] 对L最高有效位执行逐次逼近以产生未调节的转换结果,其中L是小于J并且大于A的整数例如(604);以及

[0163] 使未调节的转换结果移位,以产生调节的转换结果例如(605)。

[0164] 23. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,使用数据转换器执行A位数据转换的步骤还包括:

[0165] 将调节的转换结果舍入,以产生调节和舍入的转换结果例如(605)。

[0166] 24. 如陈述23或本文的任何其它适当的其它陈述的方法,其中,舍入的步骤包括:

[0167] 使用调节的转换结果的多个最低有效位来确定舍入。

[0168] 25. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,电荷重新分配阵列的总电容C的第一部分接近电荷重新分配阵列的总电容C的一半。

[0169] 26. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,J是16,A是12并且L是13。

[0170] 27. 如陈述22或本文的任何其它适当的其它陈述的方法,还包括:

[0171] 提供存储电路例如(图2的控制寄存器31)以存储控制信息。

[0172] 28. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,所述移位的步骤包括:

[0173] 使未调节的转换结果左移,以产生调节的转换结果。

[0174] 29. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,A位数据转换与J位数据转换相比具有较低分辨率和较高带宽。

[0175] 30. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,电荷重新分配阵列具有总电阻R而非总电容C。

[0176] 31. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,电荷重新分配阵列包括电阻元件和电容元件二者。

[0177] 32. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,所述数据转换器执行J位数据转换的时间小于数据转换器执行A位数据转换的时间。

[0178] 33. 如陈述22或本文的任何其它适当的其它陈述的方法,其中,所述数据转换器

包括模数转换器。

[0179] 34. 一种数据转换器,所述数据转换器包括:

[0180] 存储电路例如(图2的控制寄存器31),所述存储电路用于存储控制信息,所述控制信息选择数据转换器例如(12)中的数据转换是J位数据转换还是A位数据,其中J和A是整数;

[0181] 电荷重新分配阵列例如(图3的62;图14的280、282),所述电荷重新分配阵列包括多个二进制加权元件例如(电阻元件和/或电容元件);

[0182] 一个或多个输入端子例如(图3的92),所述输入端子用于接收将被转换的输入;以及

[0183] 控制电路例如(图4的100;图10的200),所述控制电路接收控制信息例如(图4的控制63;图10的控制65)并且作为响应确定哪一个二进制加权元件耦合到一个或多个输入端子,

[0184] 其中,当数据转换器例如(12)中的数据转换是J位数据转换时,控制电路将所有的二进制元件耦合到一个或多个输入端子,以及

[0185] 其中,当数据转换器例如(12)中的数据转换是A位数据转换时,控制电路仅将二进制加权元件的一部分耦合到一个或多个输入端子,其中,所述二进制加权元件的一部分小于所有二进制加权元件。

[0186] 35. 如陈述34或本文的任何其它适当的其它陈述的数据转换器,其中,存储电路包括用户可编程寄存器。

[0187] 36. 如陈述34或本文的任何其它适当的其它陈述的方法,还包括:

[0188] 比较器例如(图3的60;图14的260、261),所述比较器具有耦合到电荷重新分配阵列的输入并具有输出;以及

[0189] 逐次逼近电路例如(图3的76;图14的276),所述逐次逼近电路耦合到比较器的输出用于提供转换结果。

[0190] 37. 如陈述34或本文的任何其它适当的其它陈述的方法,其中,来自逐次逼近电路的转换结果是未校正转换结果例如(图3的84),并且其中所述数据转换器还包括:

[0191] 结果调整电路例如(图3的70;图14的270),所述结果调整电路接收未校正转换结果并且对未校正转换结果执行算术计算以产生校正转换结果。

[0192] 38. 如陈述34或本文的任何其它适当的其它陈述的方法,其中结果调整电路包括累加器例如(图3的72)。

[0193] 39. 一种方法例如(图22的620),包括:

[0194] 提供模式选择电路例如(图2的控制寄存器31)以在数据转换器中选择多个转换模式中的一个;

[0195] 提供具有第一分辨率并具有第一带宽的多个转换模式中的第一转换模式例如(较高分辨率/较低带宽/较长采样时间);以及

[0196] 提供具有第二分辨率并具有第二带宽的多个转换模式中的第二转换模式例如(较低分辨率/较高带宽/较短采样时间),

[0197] 其中,第一转换模式的第一分辨率高于第二转换模式的第二分辨率,以及

[0198] 其中,第一转换模式的第一带宽低于第二转换模式的第二带宽。

[0199] 40. 如陈述 39 或本文的任何其它适当的其它陈述的方法, 其中第二转换模式的采样时间比第一转换模式的采样时间短。

[0200] 41. 如陈述 39 或本文的任何其它适当的其它陈述的方法, 还包括:

[0201] 接收输入电压例如(图 3 和图 14 的 VIN 92; 图 22 的 620);

[0202] 将输入电压的分数转换成数字值, 其中, 输入电压的分数小于 1 并且大于 0 例如(图 22 的 603、604);

[0203] 使数字值左移以产生与输入电压相对应的数字转换结果例如(图 22 的 605)。

[0204] 42. 一种方法例如(图 15 中的 320), 包括:

[0205] 使用第一 DAC 例如(图 14 中的 282) 和第一比较器例如(261) 执行例如(304) 模数转换器负输入例如(VIN 93) 的部分单端逼近以产生负结果例如(285);

[0206] 使用第二 DAC 例如(280) 和第二比较器例如(260) 执行例如(307) 模数转换器正输入例如(VIN 92) 的全单端逼近以产生正结果例如(284); 以及

[0207] 将负结果和正结果组合以产生转换结果例如(286)。

[0208] 43. 如陈述 42 或本文的任何其它适当的其它陈述的方法, 还包括:

[0209] 提供差分偏置电容器例如(图 14 和图 10 中的 208), 所述差分偏置电容器具有耦合到基准电压例如(图 14 中的 VREFH 88、VREFEL 90) 的第一端子和具有耦合到第二比较器例如(260) 的第二端子。

[0210] 44. 如陈述 43 或本文的任何其它适当的其它陈述的方法, 其中所述差分偏置电容器的电容大致等于第一 DAC 例如(282) 中的预定电容器的电容。

[0211] 45. 如陈述 43 或本文的任何其它适当的其它陈述的方法, 其中在执行模数转换器负输入例如(VIN 93) 的部分单端逼近的步骤的至少一部分期间, 基准电压是高基准电压例如(VREFH 88)。

[0212] 46. 如陈述 45 或本文的任何其它适当的其它陈述的方法, 还包括:

[0213] 根据第二比较器例如(260) 的输出, 选择性地将差分偏置电容器例如(图 14 和图 10 中的 208) 的第一端子耦合到低基准电压例如(VREFL 90)。

[0214] 47. 如陈述 46 或本文的任何其它适当的其它陈述的方法, 其中选择性耦合的步骤包括:

[0215] 当第二比较器例如(260) 的输出高时, 将差分偏置电容器例如(图 14 和图 10 中的 208) 的差分偏置电容器的第一端子耦合到低基准电压例如(VREFL 90)。

[0216] 48. 如陈述 42 或本文的任何其它适当的其它陈述的方法, 其中第一比较器例如(261) 的负输入耦合到共模电压例如(VCM 94)。

[0217] 49. 如陈述 42 或本文的任何其它适当的其它陈述的方法, 其中执行模数转换器负输入例如(VIN 93) 的部分单端逼近的步骤造成对第二比较器例如(260) 的负输入在共模电压例如(VCM 94) 的预定范围内。

[0218] 50. 如陈述 42 或本文的任何其它适当的其它陈述的方法, 其中第二比较器(260) 的精度大于第一比较器例如(261) 的精度。

[0219] 51. 一种数据转换器例如(12), 包括:

[0220] 第一电路例如(图 14 中的 282、261), 所述第一电路执行模数转换器负输入的部分单端逼近以产生负结果例如(285);

[0221] 第二电路例如 (280、260), 所述第二电路执行模数转换器正输入的全单端逼近以产生正结果例如 (284); 以及

[0222] 结果电路例如 (270 和 / 或 274), 所述结果电路将负结果和正结果组合以产生转换结果例如 (286)。

[0223] 52. 如陈述 51 或本文的任何其它适当的其它陈述的数据转换器, 其中所述第一电路包括:

[0224] 第一 DAC 例如 (282), 所述第一 DAC 具有用于接收模数转换器负输入例如 (VIN 93) 的第一输入, 具有用于接收第一基准电压例如 (VREFH 88 或 VREFL 90) 的第二输入并具有输出; 以及

[0225] 第一比较器例如 (261), 所述第一比较器具有耦合到第一 DAC 的输出的第一输入 (+), 具有耦合到共模电压例如 (VCM 94) 的第二输入 (-) 并且具有用于串行提供负结果例如 (285, 261) 的输出串行提供负结果的位, 276 的输出串行或并行提供负结果 285 的位, 而 270 的输出可以串行或并行提供结果 286 的位) 的输出。

[0226] 53. 如陈述 52 或本文的任何其它适当的其它陈述的数据转换器, 其中所述第二电路包括:

[0227] 第二 DAC 例如 (280), 所述第二 DAC 具有用于接收模数转换器正输入例如 (VIN 92) 的第一输入, 具有用于接收第二基准电压例如 (VREFH 88 或 VREFL 90) 的第二输入并具有输出; 以及

[0228] 第二比较器例如 (260), 所述第二比较器具有耦合到第二 DAC 的输出的第一输入 (+), 具有耦合到第一 DAC 的输出的第二输入 (-) 并且具有用于串行提供正结果例如 (284, 260) 的输出串行提供正结果的位, 276 的输出串行或并行提供正结果 284 的位, 而 270 的输出可以串行或并行提供结果 286 的位) 的输出。

[0229] 54. 如陈述 53 或本文的任何其它适当的其它陈述的数据转换器, 还包括:

[0230] 差分偏置电容器例如 (208), 所述差分偏置电容器具有耦合到第三基准电压例如 (VREFH 88 或 VREFL 90) 的第一端子, 并且具有耦合到第二比较器例如 (260) 的第一输入 (+) 的第二端子。

[0231] 55. 如陈述 54 或本文的任何其它适当的其它陈述的数据转换器, 其中, 所述差分偏置电容器例如 (208) 的电容大致等于第一 DAC 例如 (282) 中的预定电容器例如 (参见图 10) 的电容。

[0232] 56. 如陈述 51 或本文的任何其它适当的其它陈述的数据转换器, 其中所述结果电路包括:

[0233] 计算电路例如 (274), 所述计算电路用于确定正结果例如 (284) 和负结果例如 (285) 之间的差以产生差分结果例如 (图 15 中的 308)。

[0234] 57. 如陈述 56 或本文的任何其它适当的其它陈述的数据转换器, 其中所述计算电路例如 (274) 从正结果例如 (284) 减去负结果例如 (285) 以产生差分结果例如 (图 15 中的 308)。

[0235] 58. 如陈述 57 或本文的任何其它适当的其它陈述的数据转换器, 其中, 当在转换例如 (图 15 中的 309、310) 期间偏置电容器例如 (208) 的第一端子从第一基准电压例如 (VREFH 88) 切换至第二基准电压例如 (VREFL 90) 时计算电路例如 (274) 从差分结果减去

预定量以产生转换结果例如(图14中的286;图15中的310)。

[0236] 59. 一种方法例如(图15中的320),所述方法包括:

[0237] 执行模数转换器例如(图1中的12)中执行部分逐次逼近程序,以产生第一结果例如(图14中的负结果285)例如(参见图15中的302、303、304),其中执行部分逐次逼近程序的步骤包括:

[0238] 在比较器例如(260)的负输入(-)处提供电压,其中电压基本上等于比较器例如(参见图15中的302、303)的共模电压例如(VCM 94)例如(基本等于共模电压可能意味着电压在共模电压的预定范围内,并且共模电压的预定范围可以最多为VIN 92的范围的一半);

[0239] 在执行部分逐次逼近程序的所述步骤之后,当比较器例如(260)的正输入(+)高于比较器例如(参见图15中的306)的比较器的负输入(-)时,选择性地将差分偏置电容器例如(208)从第一基准电压例如(VREFH 88)切换至第二基准电压例如(VREFL 90);

[0240] 在执行部分逐次逼近程序的所述步骤之后,执行模数转换器中的全逐次逼近程序来产生第二结果例如(正结果284)例如(参见图15中的307);

[0241] 将负结果例如(285)和正结果例如(284)组合来产生差分结果例如(参见图15中的308);以及

[0242] 如果在选择性切换的步骤期间,如果差分偏置电容器例如(208)从第一基准电压例如(VREFH 88)切换至第二基准电压例如(VREFL 90),则从差分结果减去预定值来产生转换结果例如(286)。

[0243] 60. 如陈述59或本文的任何其它适当的其它陈述的方法,还包括:

[0244] 在模数转换器中提供第一比较器例如(261),所述第一比较器具有第一精确度;以及

[0245] 在模数转换器中提供第二比较器例如(260),所述第二比较器具有第二精确度,

[0246] 其中第二比较器的第二精确度是第一比较器的第一精确度的至少两倍。

[0247] 61. 如陈述60或本文的任何其它适当的其它陈述的方法,其中,所述第一比较器例如(261)用于执行用于执行部分逐次逼近例程例如(参见图15中的302、303、304)的步骤,并且其中,所述第二比较器例如(260)用于执行用于执行全逐次逼近例程例如(参见图15中的307)的步骤。

[0248] 62. 一种方法例如(图11中的271),所述方法包括:

[0249] 提供J位模数转换器例如(12),模数转换器接收模拟输入信号并且产生对应的未校正数字结果,未校正数字结果具有作为最低有效位的位0,具有作为最高有效位的位J-1并且具有位0和位J-1之间的位K,模数转换器具有多个电容元件例如(图10的210-219),其中,多个电容元件足以执行J位模数转换,并且其中J和K是整数;

[0250] 除了多个电容元件之外,提供额外电容元件例如(图10中的209);

[0251] 提供额外结果位例如(图11中的256;图3中的96);

[0252] 在比较器例如(图11中的252)的第一输入处提供模拟输入电压;

[0253] 使用多个电容元件例如的第一部分(对应于位K至位J-1)和额外的电容元件,以在比较器的第二输入例如(图3的60;图11中的253、254)处产生电压阶跃例如(VREFH-VREFL);

[0254] 如果比较器的得到的输出是第一电压例如（如果低，取从 255、258、259 开始的“是”路径），断言额外的结果位和否定位 K 至未校正数字结果的最高有效位，并且执行逐次逼近来确定未校正的数字结果来确定位 K-1 至 0；以及

[0255] 如果比较器的得到的输出是第二电压例如（如果高，取从 255、256、257、259 开始的“否”路径），则否定额外的结果位并且执行逐次逼近来确定未校正数字结果的位 J-1 至 0。

[0256] 63. 如陈述 62 或本文的任何其它适当的其它陈述的方法，还包括：

[0257] 校正未校正的数字结果来产生校正结果，其中，校正的步骤没有减小模拟输入信号的预定范围。

[0258] 64. 如陈述 62 或本文的任何其它适当的其它陈述的方法，其中，提供额外的结果位的步骤包括执行额外的逼近步骤，当在校正后执行具有减小的输入范围的 J 位模数转换时，不需要所述额外的逼近步骤。

[0259] 65. 如陈述 62 或本文的任何其它适当的其它陈述的方法，其中将额外的电容元件设置在 J 位模数转换器中影响在校正后可以被恢复的可恢复输入范围的量。

[0260] 66. 如陈述 62 或本文的任何其它适当的其它陈述的方法，其中，J 位模数转换器中的额外电容元件的电容大致等于 J 位模数转换器中的多个电容元件的第一电容元件的电容，并且其中多个电容元件的第一电容元件对应于 J 位模数转换器的位 K。

[0261] 67. 如陈述 62 或本文的任何其它适当的其它陈述的方法，其中 J 位模数转换器中的额外电容元件的电容大致等于终端电容元件例如（图 10 中的 210）的电容加上对应于位 0 至位 K-1 例如（211-216）的多个电容元件的所有电容元件的电容之和。

[0262] 68. 如陈述 62 或本文的任何其它适当的其它陈述的方法，其中，设置在比较器的第二输入处的电压阶跃例如（VREFH-VREFL）包括第一电压基准例如（VREFH）和第二电压基准例如（VREFL）之间的差。

[0263] 69. 如陈述 62 或本文的任何其它适当的其它陈述的方法，其中，用于确定额外的结果位的值的电压阶跃例如（VREFH-VREFL）大致等于标准电压阶跃的两倍，并且其中所述标准电压阶跃用于确定未校正数字结果的位 J-1 的值。

[0264] 70. 如陈述 62 或本文的任何其它适当的其它陈述的方法，还包括：

[0265] 在模数转换器中提供差分偏置电容元件例如（图 10 中的 208）。

[0266] 71. 一种方法例如（图 11 的 271），所述方法包括：

[0267] 提供模数转换器例如（12），所述模数转换器接收模拟输入信号并产生对应的 J 位校正数字结果值，所述 J 位校正数字结果值具有作为最低有效位的位 0，具有作为最高有效位的位 J-1，并且具有位 0 和位 J-1 之间的位 K，其中 J 和 K 是整数；

[0268] 执行一个或多个逐次逼近，以产生 J+1 位未校正数字结果值例如（图 11 中的 257）的位 J-1 至 K 例如（位 15 至 11）；

[0269] 执行一个或多个逐次逼近，以产生 J+1 位未校正数字结果值例如（图 11 中的 259）的位 K-1 至 0 例如（位 10 至 0）；

[0270] 执行额外的比较，以产生未校正数字结果值的额外的位 J+1，其中额外的位 J+1 比位 J 例如（图 11 中的 254-256、258）更有效；以及

[0271] 校正 J+1 位未校正数字结果值，以产生 J 位校正数字结果值例如（图 11 中的 249）。

[0272] 72. 如陈述 71 或本文的任何其它适当的其它陈述的方法, 其中, 校正的步骤没有减小模拟输入信号的预定范围。

[0273] 73. 如陈述 71 或本文的任何其它适当的其它陈述的方法, 其中, 执行额外的比较以产生未校正数字结果值的额外的位 J+1 的步骤包括:

[0274] 在比较器例如 (图 3 中的 60; 图 14 中的 260; 图 18 中的 460) 的输入处提供电压, 其中所述电压包括第一基准电压例如 (VREFH) 和第二基准电压例如 (VREFL) 之间的差。

[0275] 74. 如陈述 73 或本文的任何其它适当的其它陈述的方法, 其中, 第一基准电压是高基准电压并且第二基准电压是低基准电压, 并且其中在比较器的输入处提供电压的步骤以多个递增的电压阶跃例如 (高达 S 个阶跃, 其中, S 个阶跃中的各阶跃是大致 1/S 乘以 VREFH 和 VREFL 之间的差的电压阶跃) 提供第一基准电压例如 (VREFH) 和第二基准电压例如 (VREFL) 之间的差。

[0276] 75. 如陈述 71 或本文的任何其它适当的其它陈述的方法, 其中, 提供模数转换器的步骤包括: 提供多个二进制加权电容元件例如 (图 10 中的 210-219)。

[0277] 76. 如陈述 75 或本文的任何其它适当的其它陈述的方法, 其中, 提供模数转换器的步骤还包括:

[0278] 提供额外的电容元件例如 (图 10 中的 209), 其中, 额外的电容元件的电容大致等于多个二进制加权电容元件的第一个电容元件的电容, 并且其中多个二进制加权电容元件的第一个电容元件对应于模数转换器的位 K。

[0279] 77. 如陈述 76 或本文的任何其它适当的其它陈述的方法, 其中, K 的值影响在校正之后可以恢复的可恢复输入范围的量。

[0280] 78. 如陈述 76 或本文的任何其它适当的其它陈述的方法, 其中, J 等于 16 并且 K 等于 11。

[0281] 79. 一种方法例如 (图 11 的 271), 所述方法包括:

[0282] 提供具有多个电容器例如 (209-219) 并且具有比较器例如 (图 3 的 60) 的 J 位模数转换器, 所述比较器具有第一输入、第二输入和输出;

[0283] 通过将与位 J 至位 K 相关的多个电容器的全部都耦合到高基准电压, 在比较器的第一输入处提供等于高基准电压减低基准电压例如 (VREFH-VREFL) 的第一电压, 并且在比较器的第二输入处提供第二电压例如 (图 11 的 252、253、254);

[0284] 响应于在比较器的第一输入处提供第一电压的所述步骤, 从 J 位模数转换器提供 J+1 位初始转换结果, 其中, J+1 位初始转换结果包括额外的结果位例如 (位 16) 例如 (图 11 中的 259);

[0285] 响应于在比较器的第一输入处提供第一电压的所述步骤, 如果比较器输出是第一值例如 (低), 断言额外的结果位例如 (设置) 并且否定初始转换结果的第二最高有效位至位 K 例如 (清除), 则与位 J 至位 K 相关的多个电容器的全部都保持耦合到高基准电压, 并且下一逼近从位 K-1 继续开始例如 (图 11 中的 258、259); 以及

[0286] 响应于在比较器的第一输入处提供第一电压的所述步骤, 如果比较器输出是第二值例如 (高), 则与位 J 至位 K 相关的多个电容器的全部都被切换回低基准电压, 否定额外的结果位例如 (清除) 并且标准 SAR 序列开始于第二最高有效位例如 (位 15), 其中 J 和 K 是整数, 并且其中额外的结果位是 J+1 位初始转换结果的最高有效位例如 (图 11 中的 256、

257、259)。

[0287] 80. 如陈述 79 或本文的任何其它适当的其它陈述的方法,还包括:

[0288] 校正 J+1 位初始转换结果,以产生 J 位校正转换结果例如(图 11 中的 249)。

[0289] 81. 如陈述 80 或本文的任何其它适当的其它陈述的方法,其中,校正的步骤没有减小模拟输入信号的预定范围。

[0290] 82. 一种数据转换器例如(图 1 中的 12;也参见图 5 和图 6),所述数据转换器包括:

[0291] 转换电路例如(图 3 的 62、60、76;图 14 的 280、282、260、261、276),所述转换电路用于接收输入并且提供未校正转换结果例如(图 3 的 84;图 4 的 284、285);

[0292] 校正存储电路例如(图 3 的 68 或 72;图 14 的 270 的一部分),所述校正存储电路存储校正值,

[0293] 其中,校正值由数据转换器例如(12)来产生;以及

[0294] 结果调整电路例如(图 3 的 70;图 14 的 270),所述结果调整电路耦合到转换电路和校正存储电路例如(图 3 的 68),所述结果调整电路使用校正值来数字调整未校正的转换结果例如(图 3 的 84;图 14 的 284、285)以产生校正的转换结果例如(图 3 的 86;图 14 的 286),

[0295] 其中,校正的转换结果对应于输入。

[0296] 83. 如陈述 82 或本文的任何其它适当的其它陈述的方法,其中,所述转换电路包括电荷重新分配阵列例如(图 3 的 62;图 14 的 280、282)、比较器例如(图 3 的 60;图 14 的 260 或 261)和 SAR 电路例如(图 3 的 76;图 14 的 276)。

[0297] 84. 如陈述 83 或本文的任何其它适当的其它陈述的方法,其中,所述比较器是差分比较器例如(图 3 的 60)。

[0298] 85. 如陈述 83 或本文的任何其它适当的其它陈述的方法,其中,电荷重新分配阵列例如(图 3 的 62;图 14 的 280、282)包括多个电容器例如(图 4 的 110-119;图 10 的 210-219)。

[0299] 86. 如陈述 85 或本文的任何其它适当的其它陈述的方法,其中,电荷分配阵列中的多个电容器的大小被设计成使得转换位之间的误差一直是正的。

[0300] 87. 如陈述 85 或本文的任何其它适当的其它陈述的方法,其中,电荷分配阵列中的多个电容器的大小被设计成使得在转换后未校正的转换结果中不呈现非单调性。

[0301] 88. 如陈述 82 或本文的任何其它适当的其它陈述的方法,其中,结果调整电路包括累加器例如(图 3 的 72)。

[0302] 89. 如陈述 82 或本文的任何其它适当的其它陈述的方法,其中,结果调整电路包括用于执行算术运算的电路例如(图 3 中的 72、74;图 14 中的 274),并且其中,所述算术运算等价于从未校正结果中减去校正值以产生校正结果。

[0303] 90. 如陈述 82 或本文的任何其它适当的其它陈述的方法,其中,数据转换器包括模数转换器。

[0304] 91. 如陈述 82 或本文的任何其它适当的其它陈述的方法,还包括:

[0305] 校正控制电路例如(图 3 的 66);以及

[0306] 复用器例如(图 3 的 64),所述复用器具有耦合到校正控制电路例如(66)的第一

数据输入,具有耦合到转换电路例如 (76) 的第二数据输入,具有耦合到校正控制电路例如 (66) 的控制输入并且具有耦合到转换电路例如 (62) 的输出,

[0307] 其中,复用器例如 (64) 在自校正过程中将数据从第一数据输入提供到转换电路例如 (62),以及

[0308] 其中,复用器例如 (64) 在转换过程中将数据从第二数据输入提供到转换电路例如 (62)。

[0309] 92. 如陈述 82 或本文的任何其它适当的其它陈述的方法,还包括:

[0310] 误差确定电路例如 (图 3 的 78),所述误差确定电路耦合到转换电路例如 (76) 和校正存储电路例如 (68)。

[0311] 93. 一种用于提供校正值(存储在图 3 的校正存储电路 68 或累加器 72 中)的自校正方法例如 (图 5 的 150),所述方法包括:

[0312] 在采样阶段例如 (142) 期间,在多个电容器例如 (图 4 的 110-119) 中所选择的电容器上采样第一电压例如 (VREFH 88),在多个电容器例如 (图 4 的 110-119) 中其它所选择的电容器上采样第二电压例如 (VREFL 90),并且将比较器的输入充电至共模电压例如 (VCM 94);

[0313] 释放例如 (143) 比较器的输入;

[0314] 在比较阶段例如 (144) 期间,对多个电容器例如 (图 4 的 110-119) 中所选择的电容器上的第二电压例如 (VREFL 90) 的第二电压采样,对多个电容器例如 (图 4 的 110-119) 中其它所选择的电容器上的第一电压例如 (VREFH 88) 采样;

[0315] 对所选择的位执行逐次逼近;以及

[0316] 存储例如 (146) 逐次逼近的结果作为与多个电容器中的第一个电容器对应的第一校正值。

[0317] 94. 如陈述 93 或本文的任何其它适当的其它陈述的方法,其中,所述方法重复例如 (147),以产生与多个电容器中的第二个电容器对应的第二校正值。

[0318] 95. 如陈述 94 或本文的任何其它适当的其它陈述的方法,其中,所述第一校正值添加到误差值例如 (来自图 3 的误差确定电路 78) 以产生第二校正值例如 (如果使用累加器 72)。

[0319] 96. 一种方法例如 (图 5 的 150;图 6 的 170),所述方法包括:

[0320] 通过在数据转换器的采样阶段中执行步骤 [a]、[b] 和 [c],在数据转换器中执行自校正序列的第一部分例如 (142):

[0321] [a] 将电容元件的第一端子充电至第一电压例如 (VREFL 90);

[0322] [b] 将各较低有效位电容元件的第一端子充电至第二电压例如 (VREFH 88);以及

[0323] [c] 将比较器的输入充电至第三电压例如 (VCM 94);

[0324] 释放比较器的输入例如 (143);

[0325] 通过在数据转换器的比较阶段中执行步骤 [g] 和 [h],在数据转换器中执行自校正序列的第二部分例如 (144);

[0326] [g] 将电容元件的第一端子切换至第二电压例如 (VREFH 88);

[0327] [h] 将各较低有效电容元件的第一端子切换至第一电压例如 (VREFL 90);

[0328] 对数据转换器的一个或多个位执行逐次逼近例如 (145);

- [0329] 将校正值存储在校正存储电路例如 (146 ;图 3 的 68) ；
 - [0330] 接收将被数据转换器转换的接收的输入例如 (VIN 92) ；
 - [0331] 对接收的输入执行转换序列, 以产生未校正结果例如 (162、163、164、165) ; 以及
 - [0332] 将未校正结果和校正值算术组合, 以产生与接收的输入 (166、167) 对应的校正结果。
- [0333] 97. 如陈述 96 或本文的任何其它适当的其它陈述的方法, 其中第一电压是第一基准电压, 其中第二电压是第二基准电压, 并且其中第一基准电压低于第二基准电压。
- [0334] 98. 如陈述 96 或本文的任何其它适当的其它陈述的方法, 其中, 在对接收的输入执行转换序列的所述步骤之前, 在数据转换器例如 (147) 中对第二电容元件重复执行自校正序列的第一部分的步骤和自校正序列的第二部分的步骤。
- [0335] 99. 如陈述 96 或本文的任何其它适当的其它陈述的方法, 其中, 执行转换序列的步骤包括对数据转换器中的 DAC 中的并非所有电容元件上的输入电压采样。
- [0336] 100. 如陈述 96 或本文的任何其它适当的其它陈述的方法, 其中, 执行转换序列的步骤包括执行至预定精确度水平的逐次逼近, 并且其中预定精确度水平小于数据转换器的最大精确度水平。
- [0337] 101. 如陈述 96 或本文的任何其它适当的其它陈述的方法, 其中, 将未校正结果和校正值算术组合以产生与接收的输入对应的校正结果的步骤包括 : 基于在转换序列期间保持耦合到第二电压的 DAC 电容元件, 数字调整未校正结果。

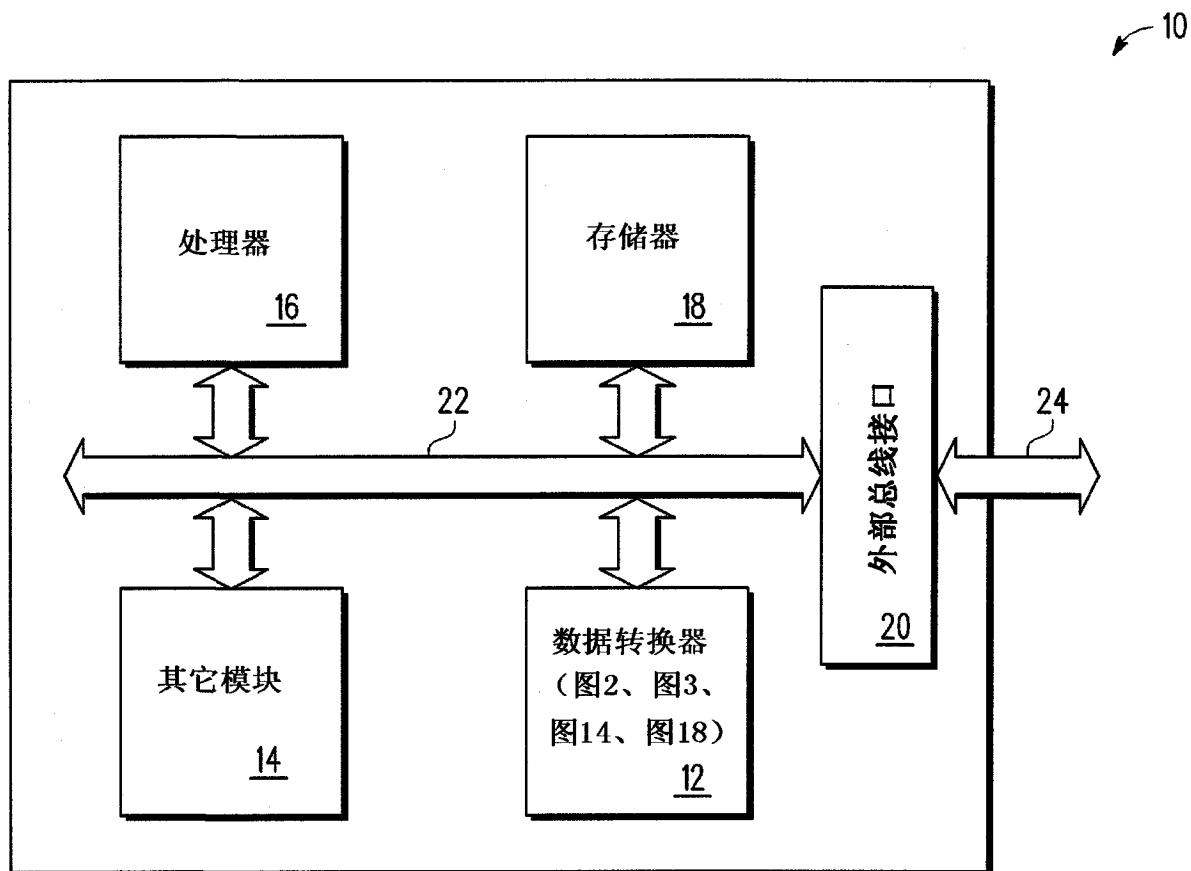


图 1

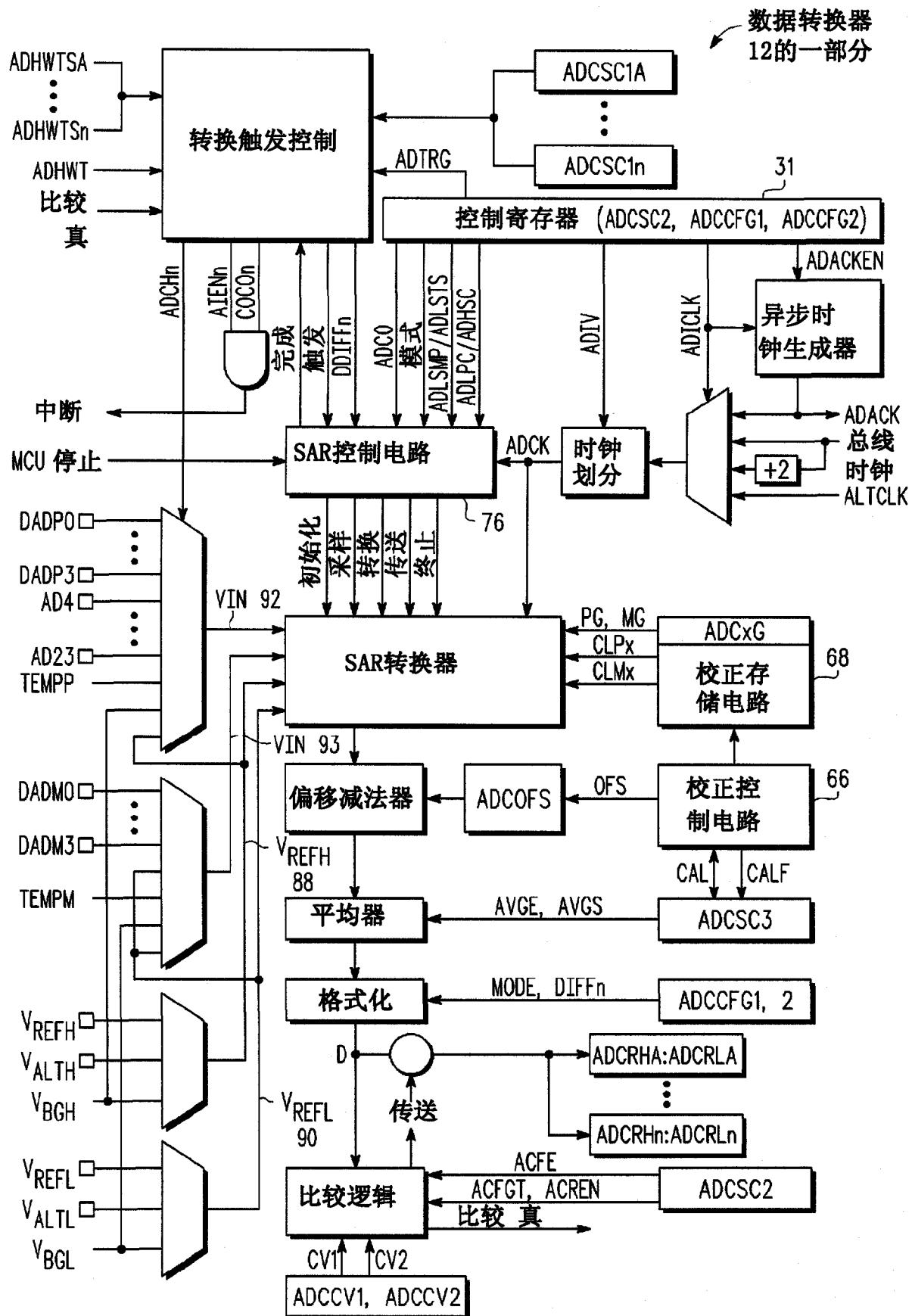


图 2

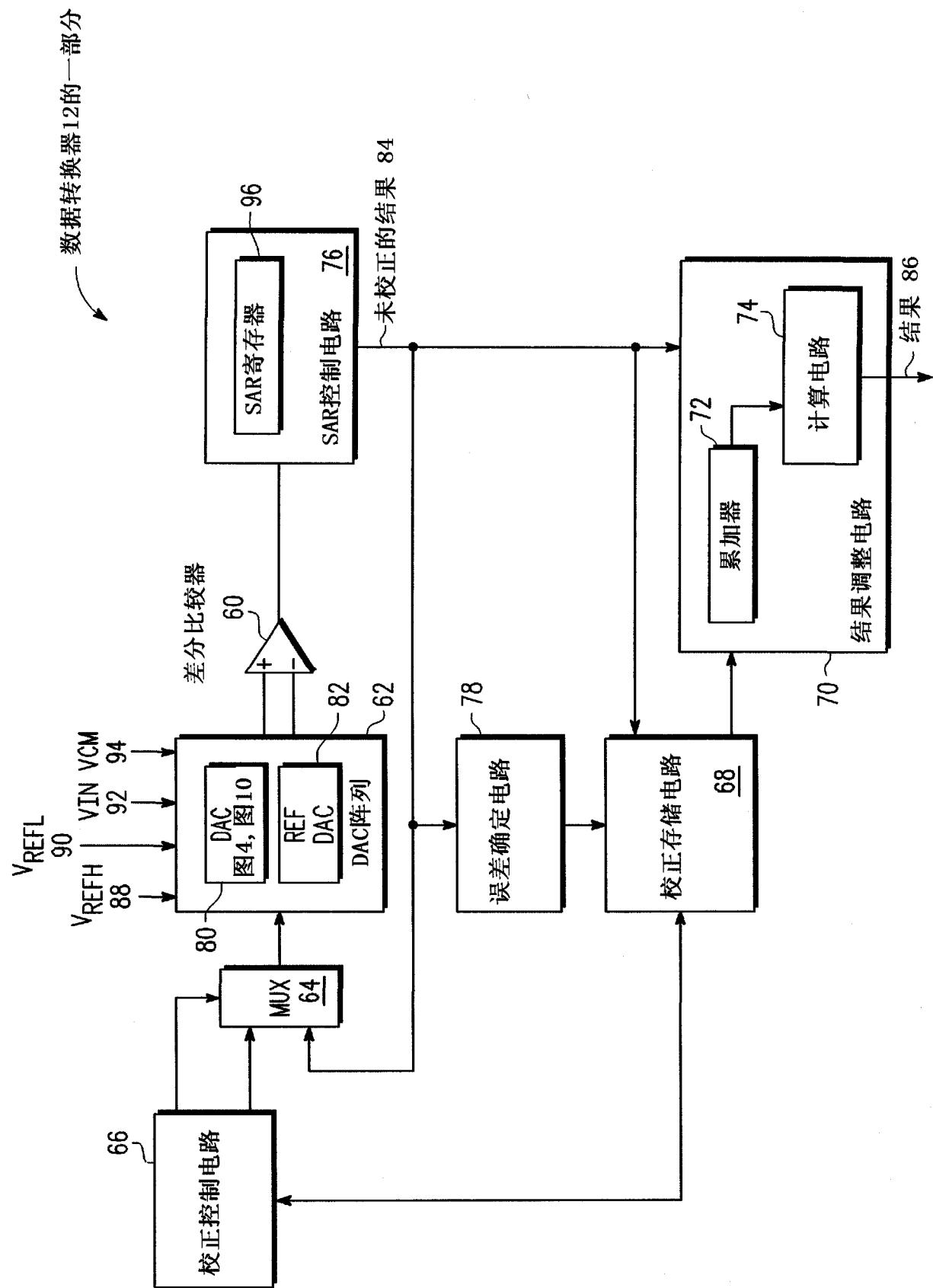


图 3

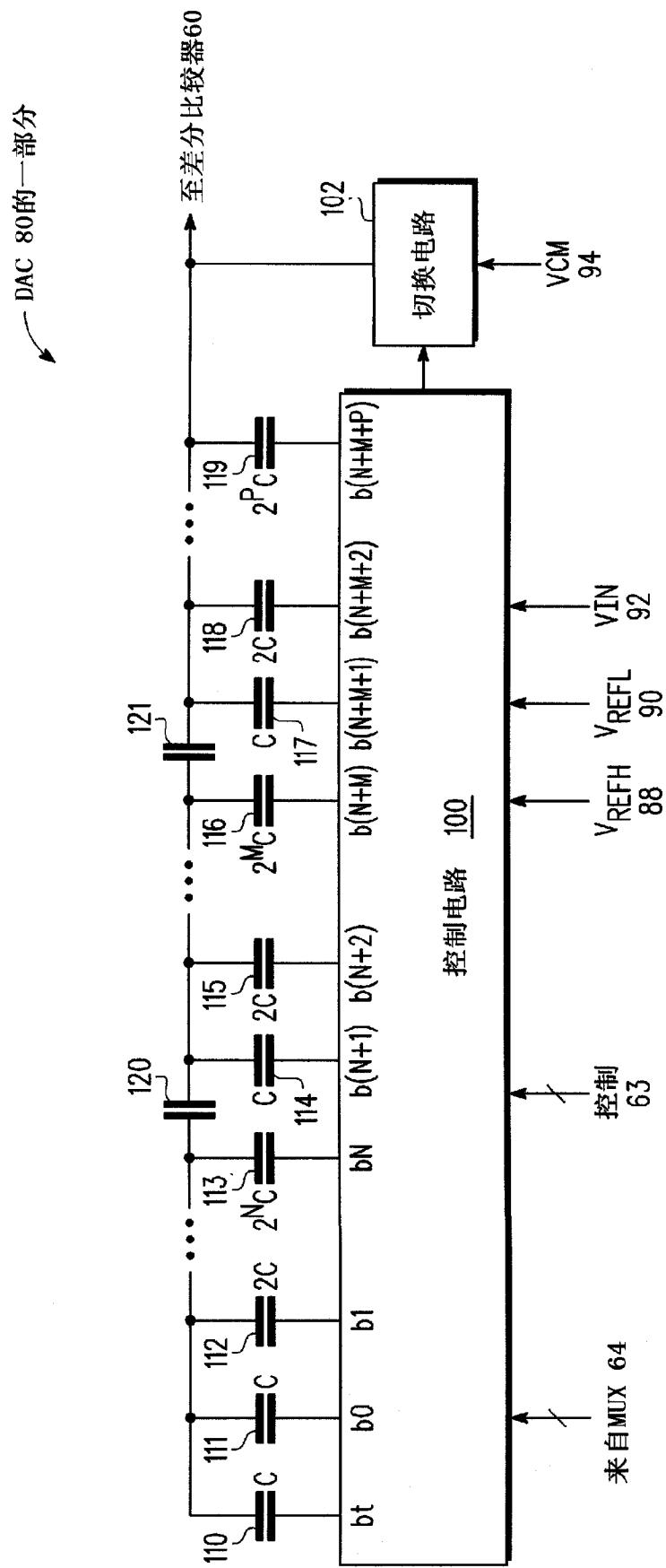


图 4

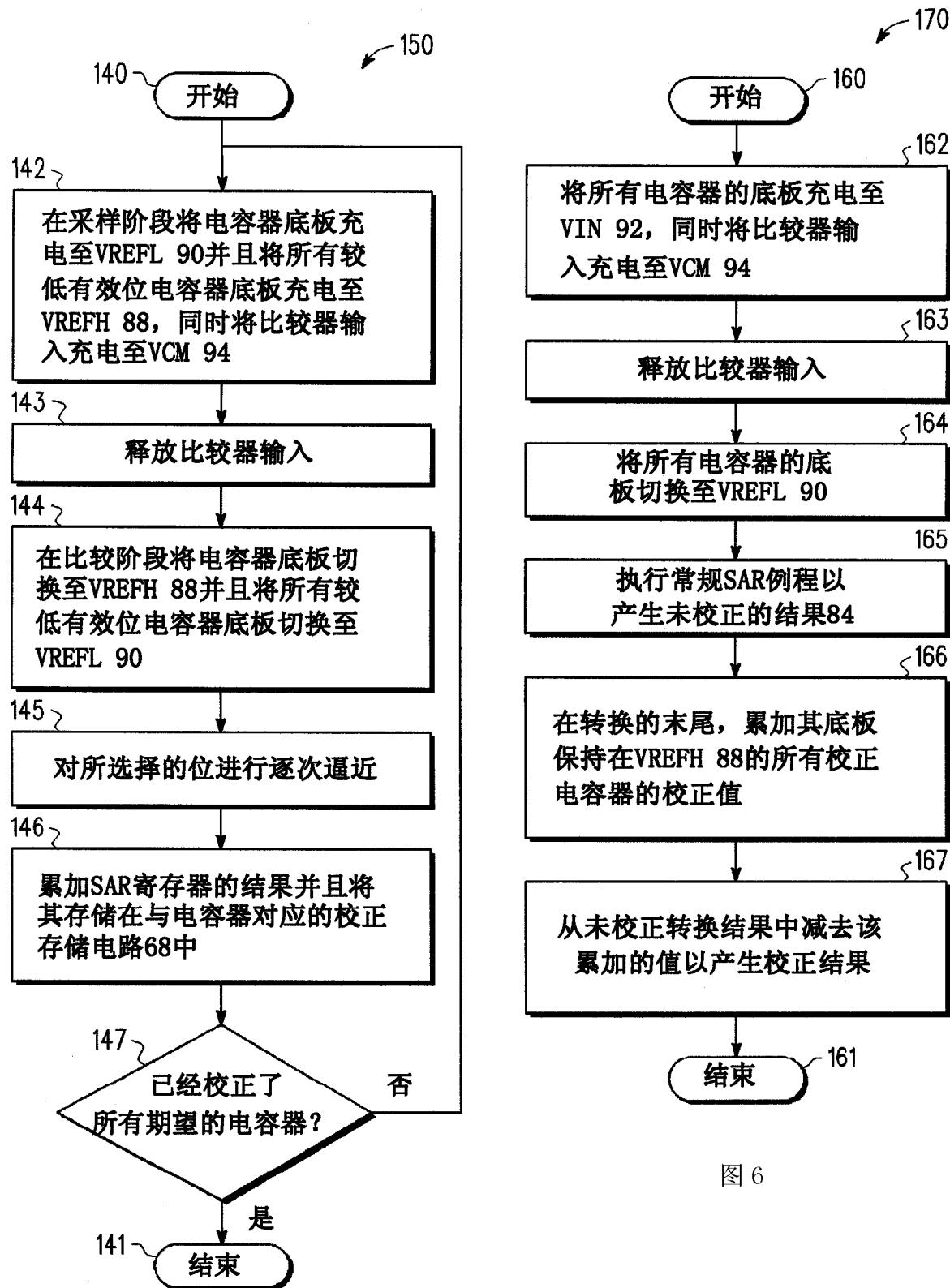


图 6

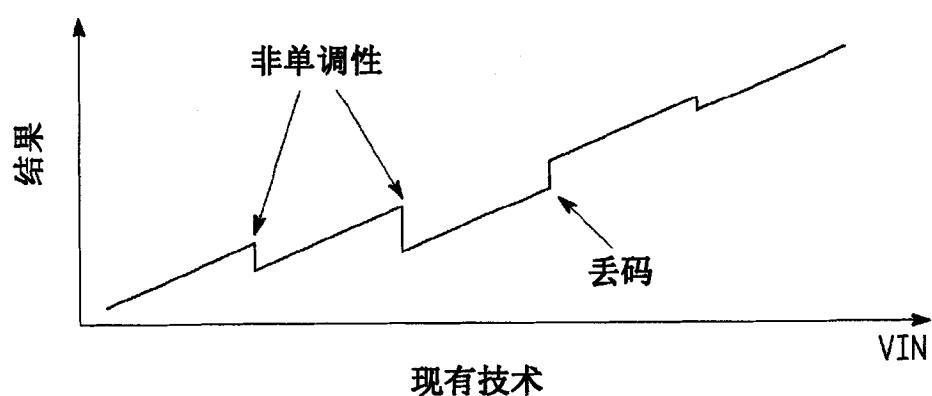


图 7

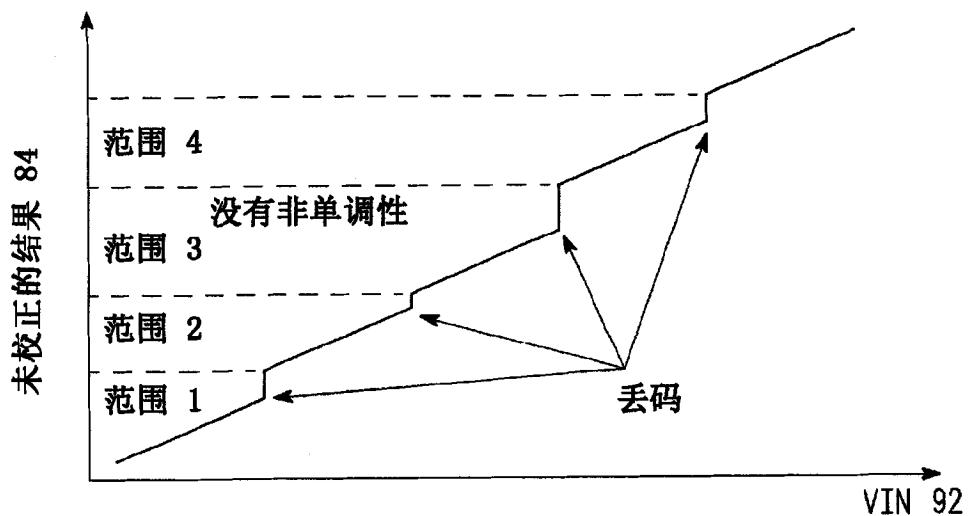


图 8

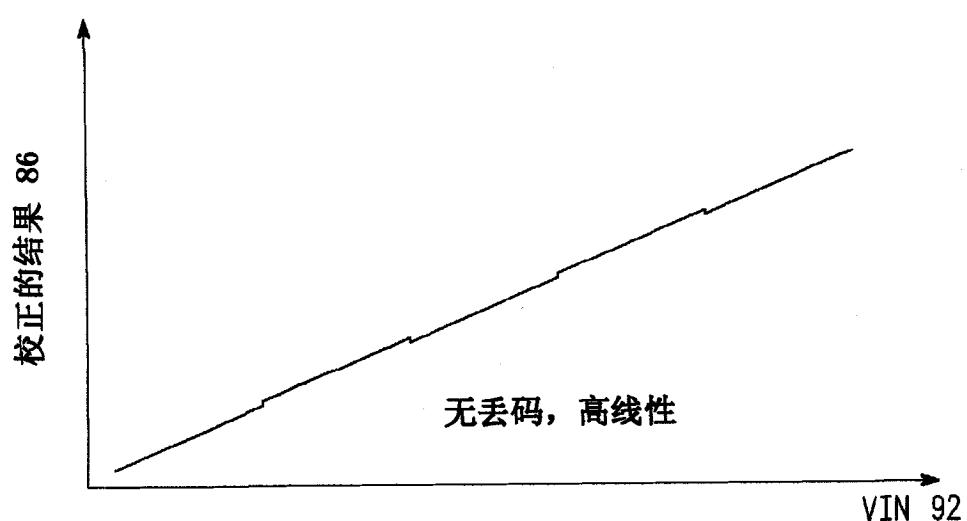


图 9

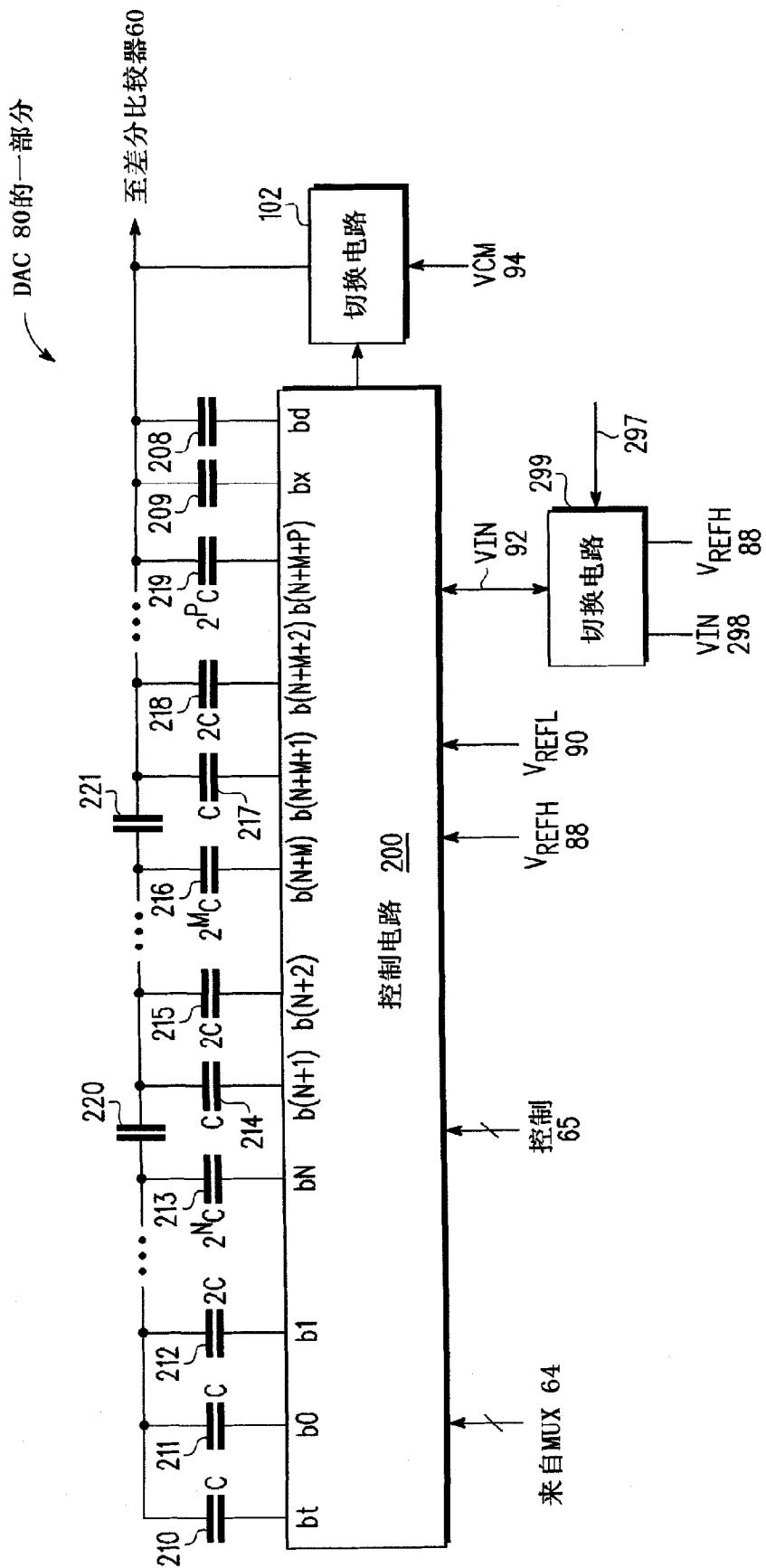


图 10

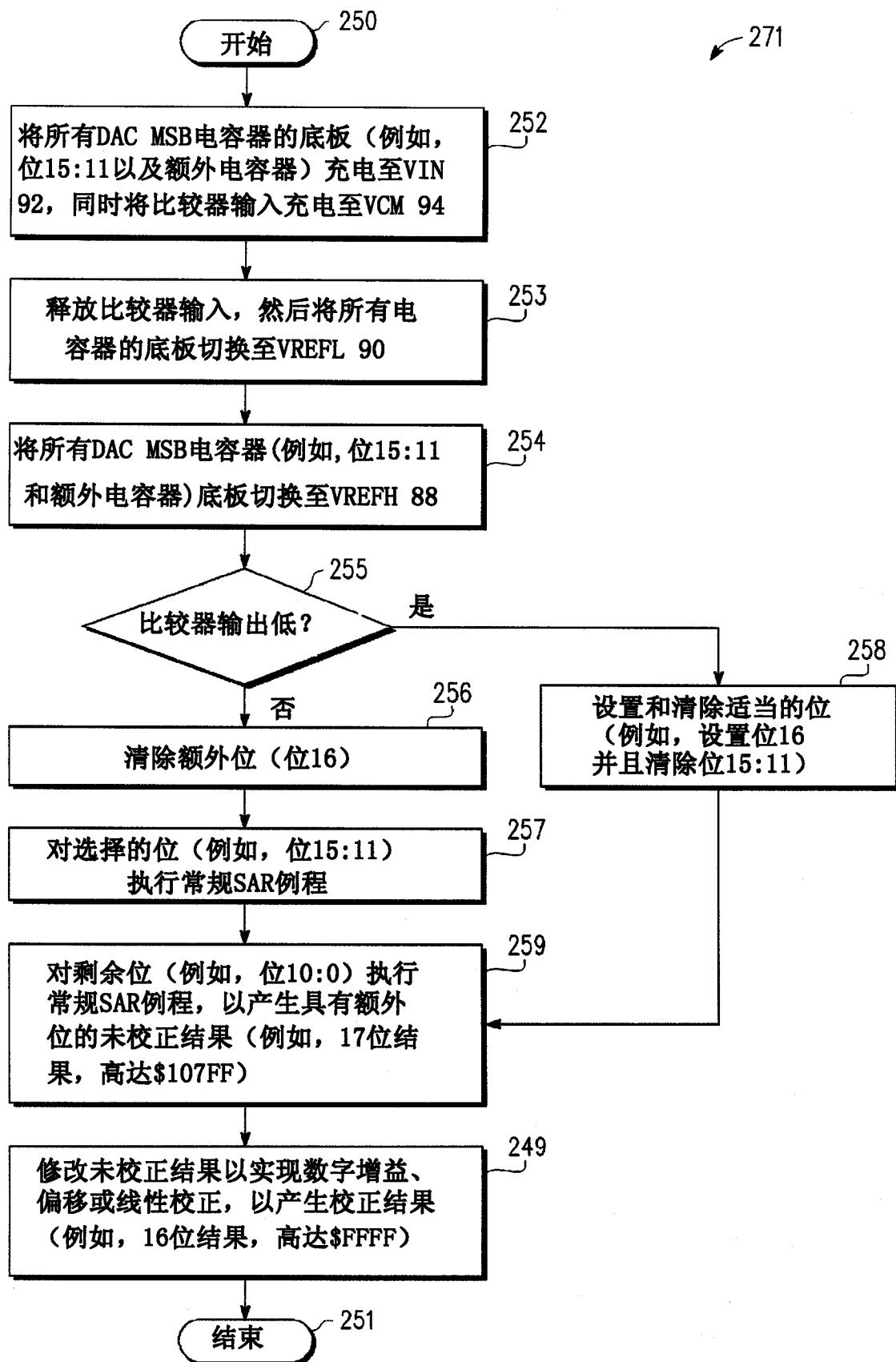


图 11

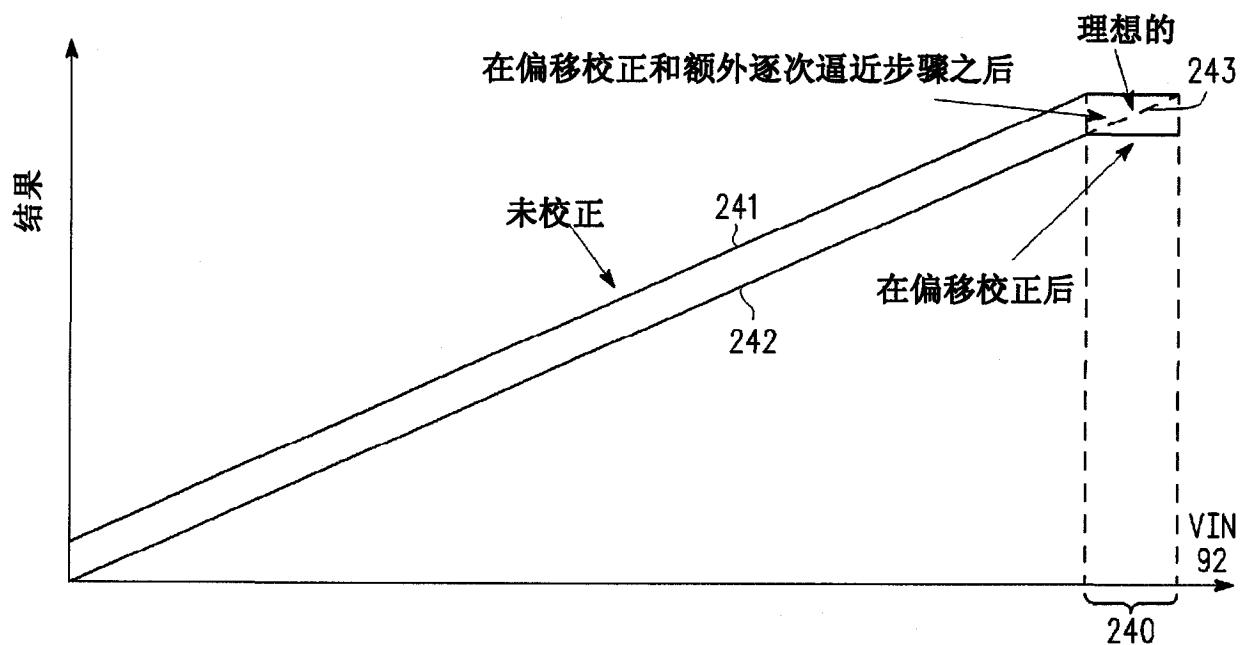


图 12

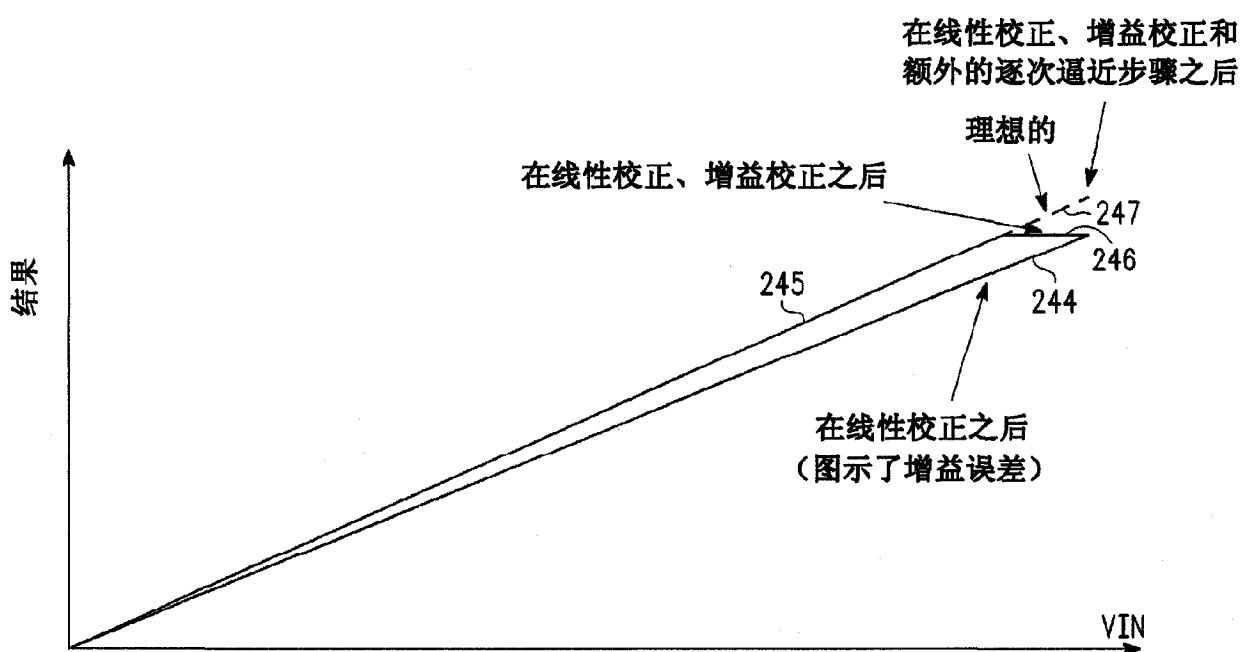


图 13

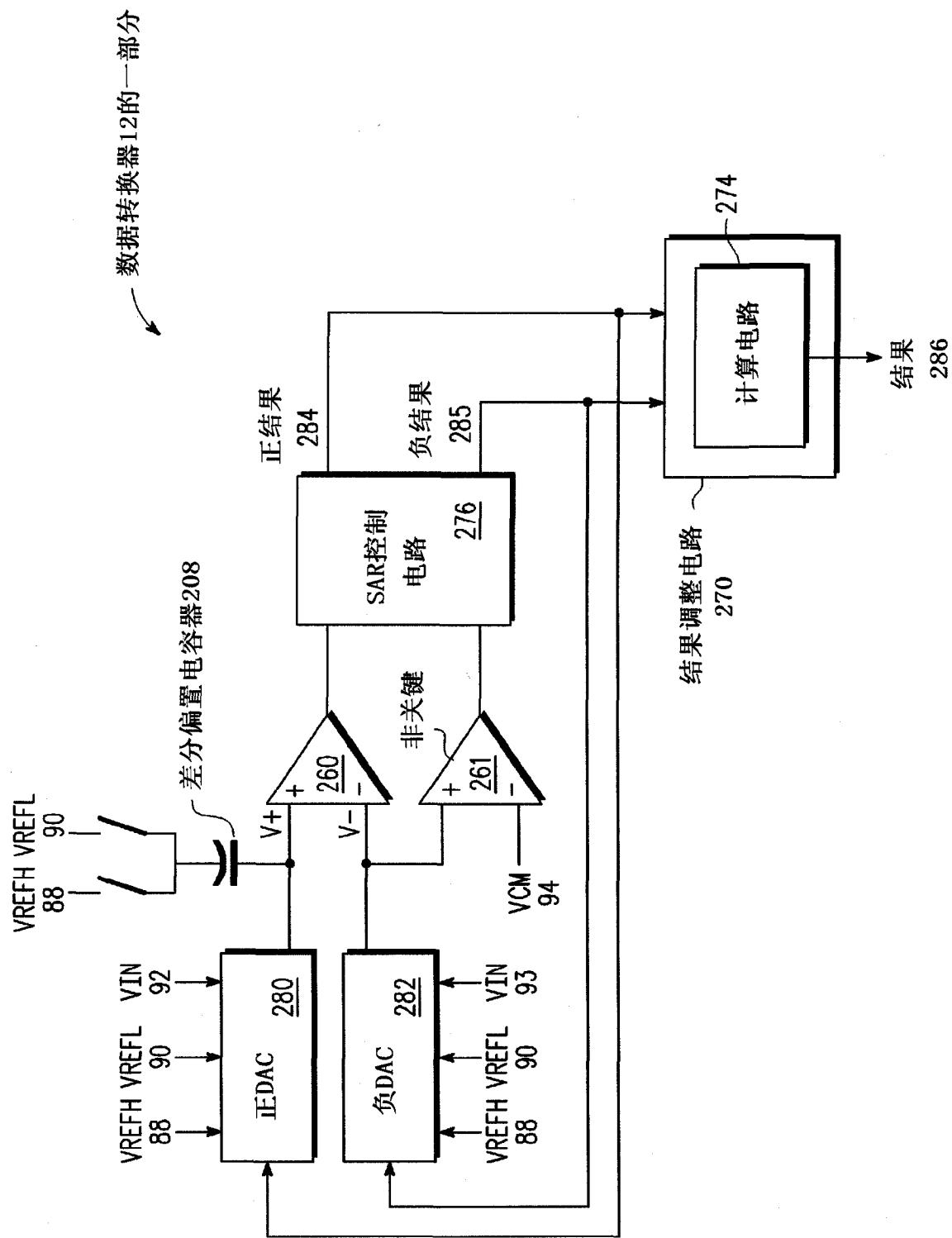


图 14

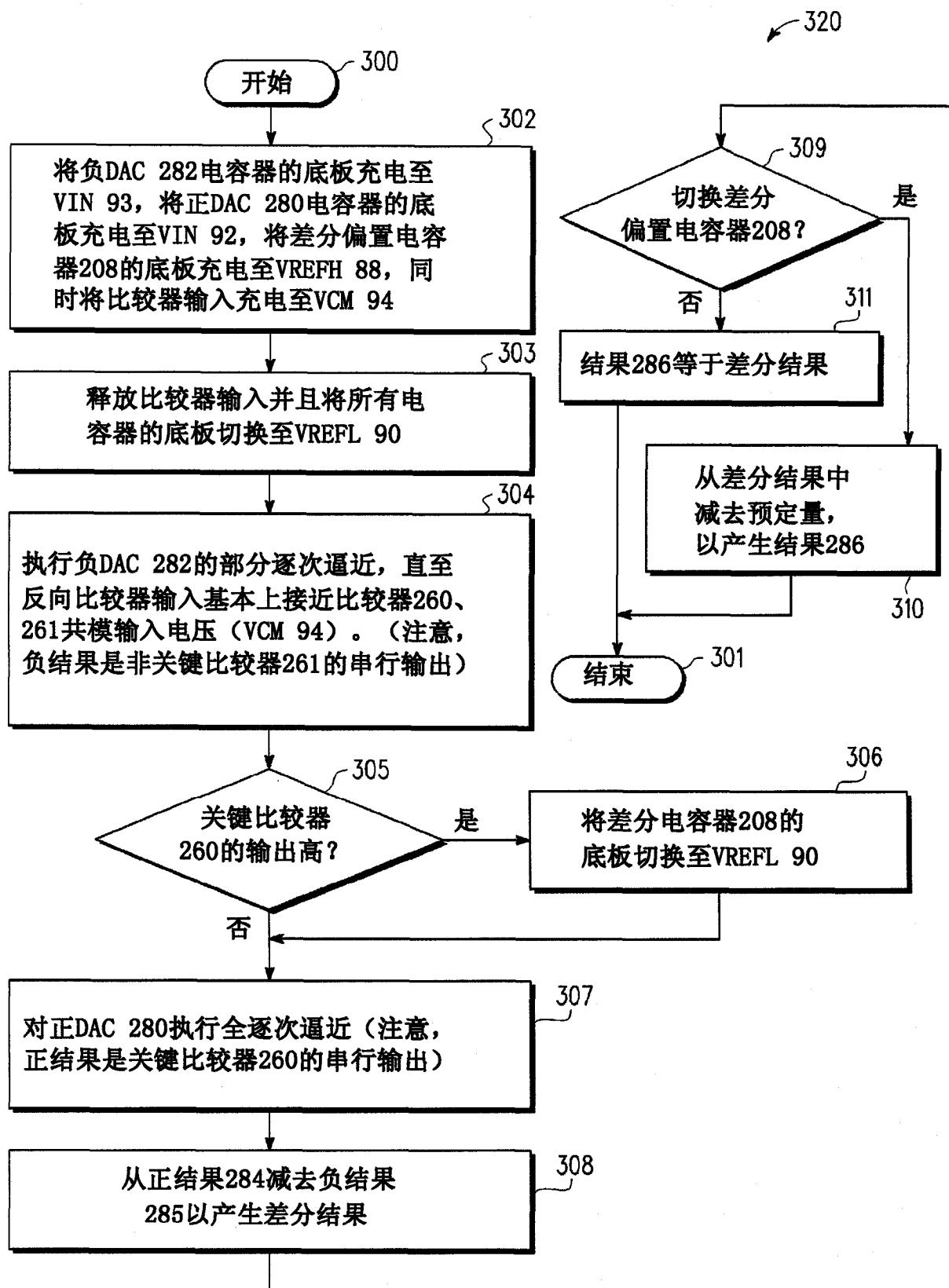


图 15

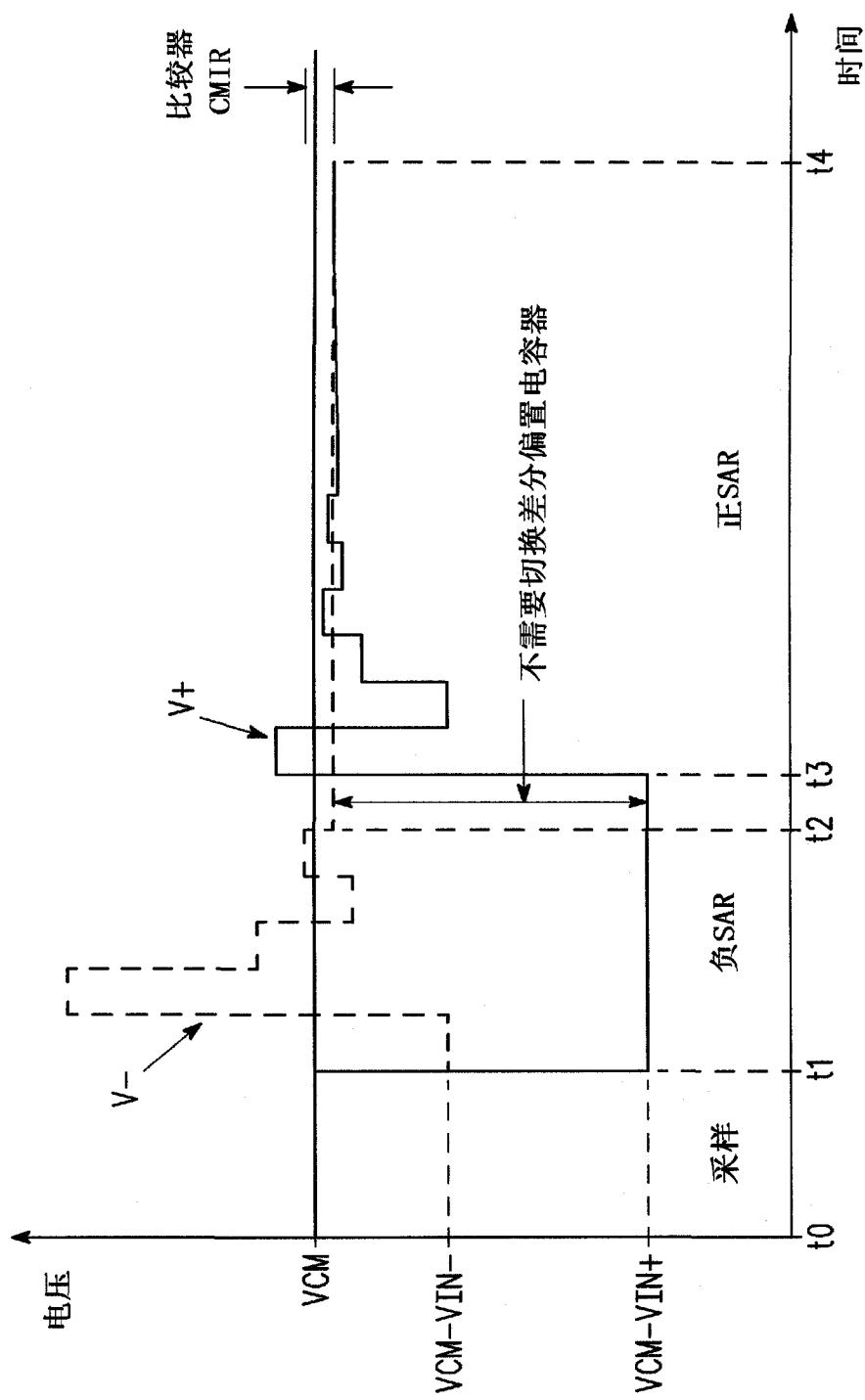


图 16

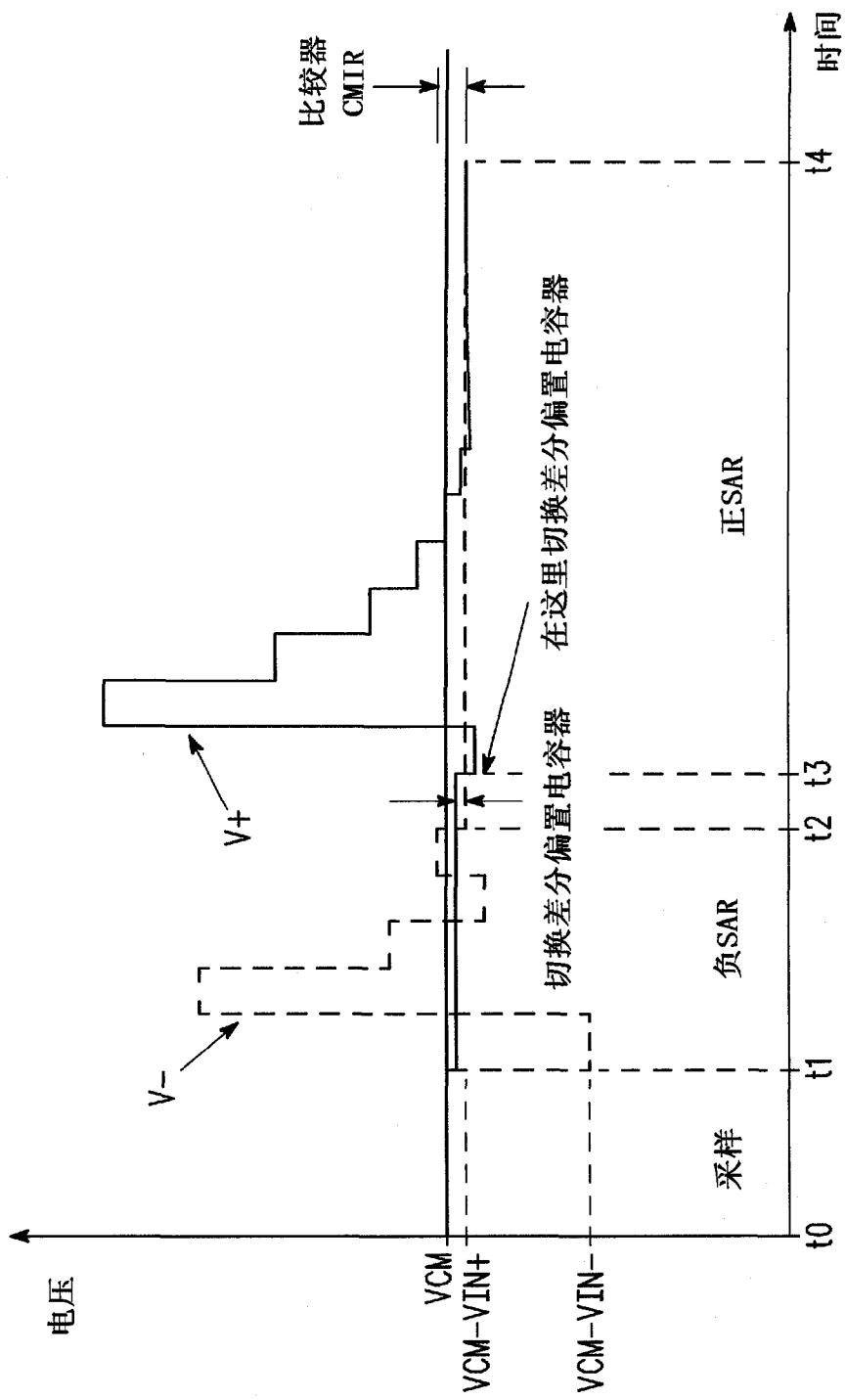


图 17

数据转换器12的一部分

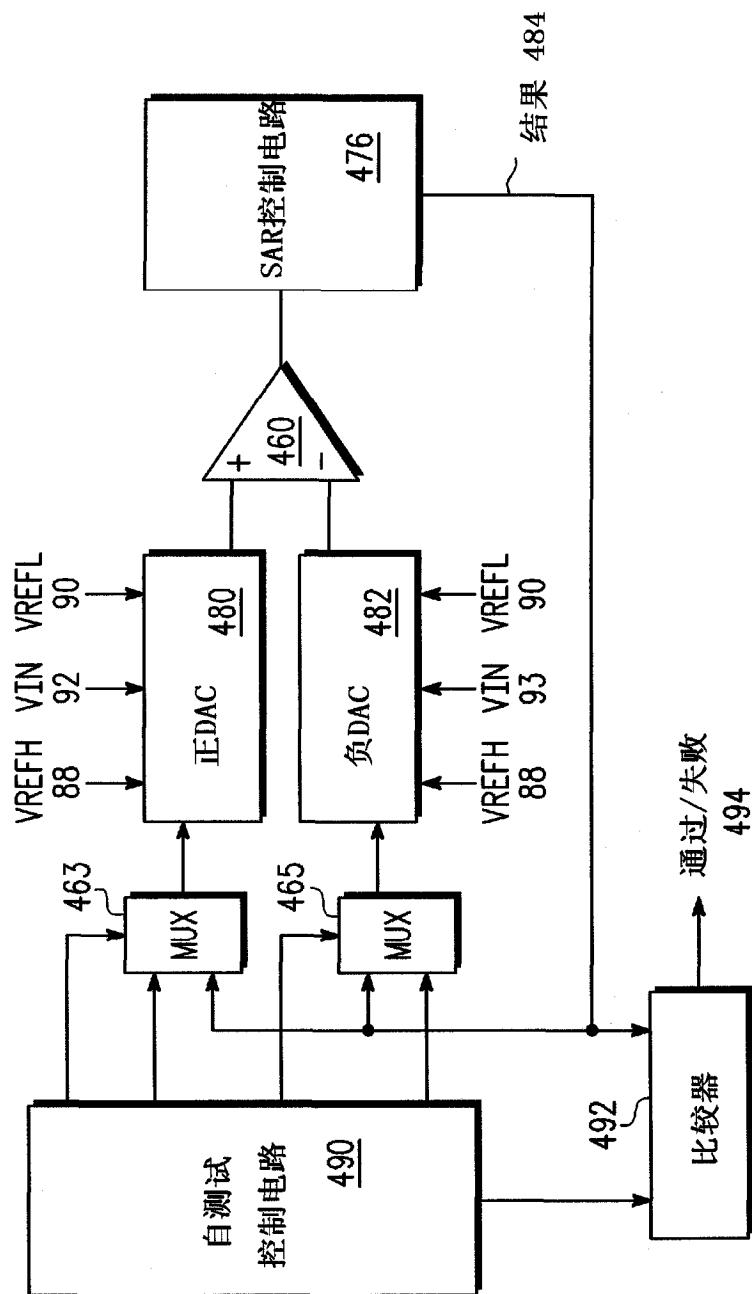


图 18

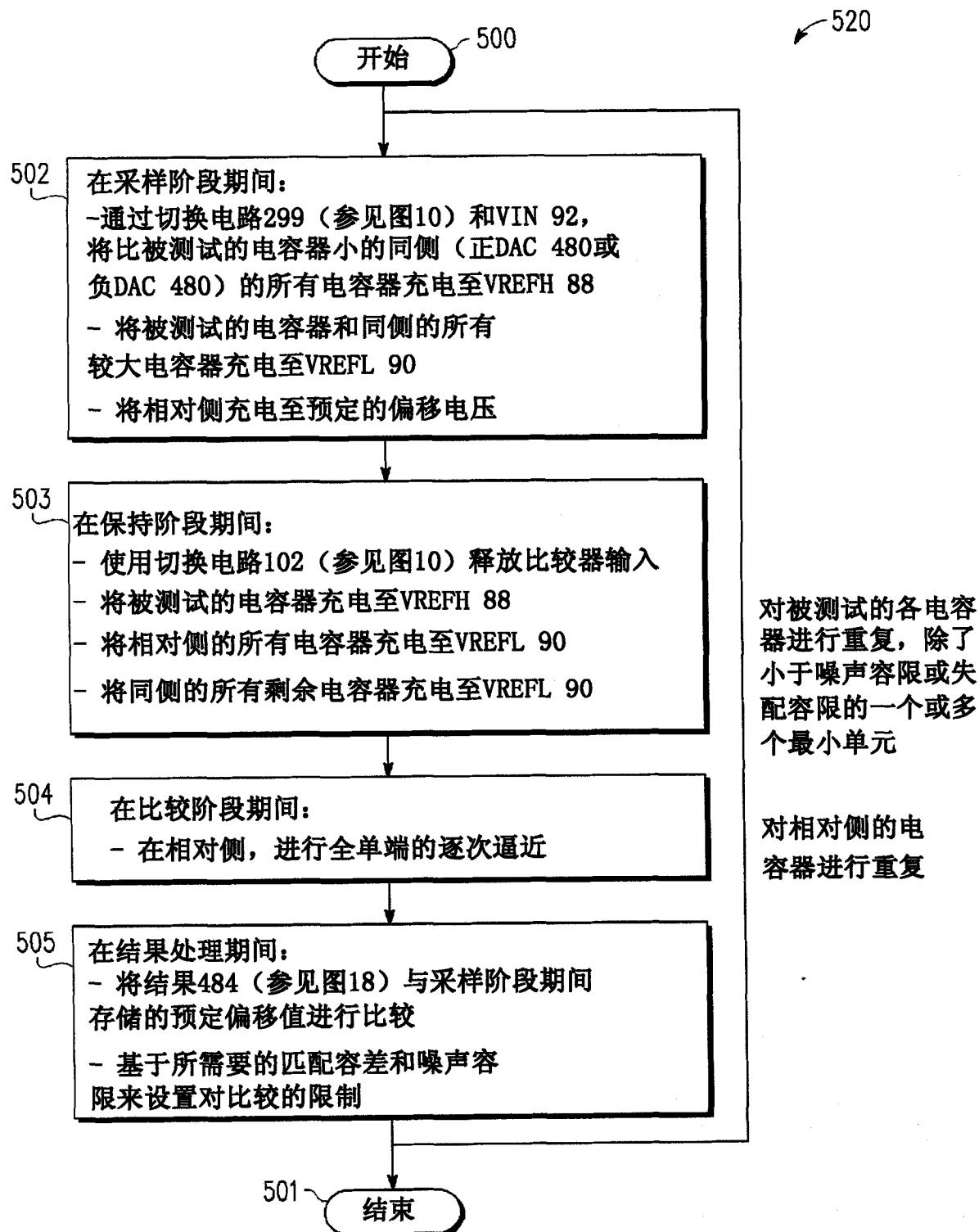


图 19

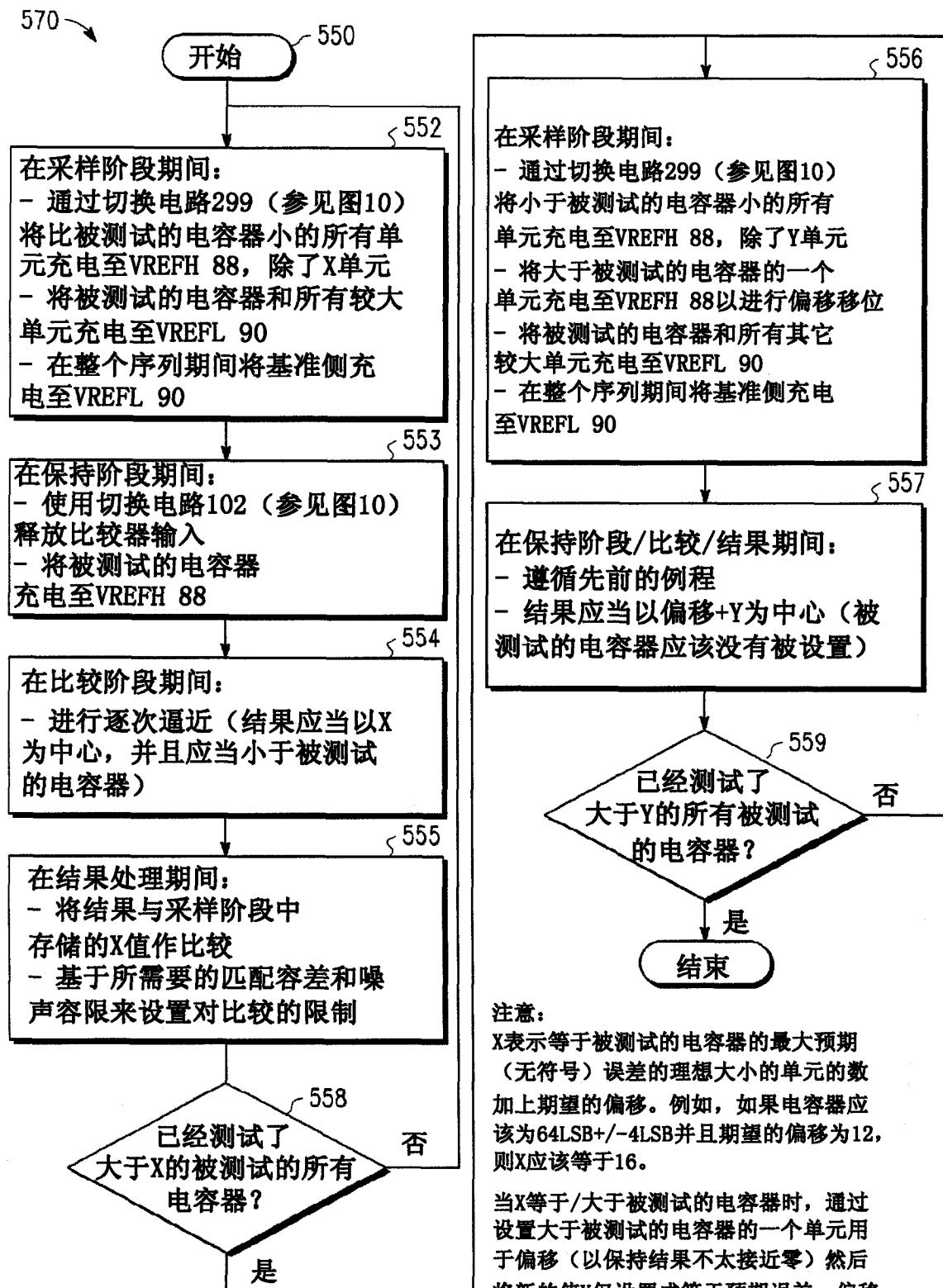


图 20

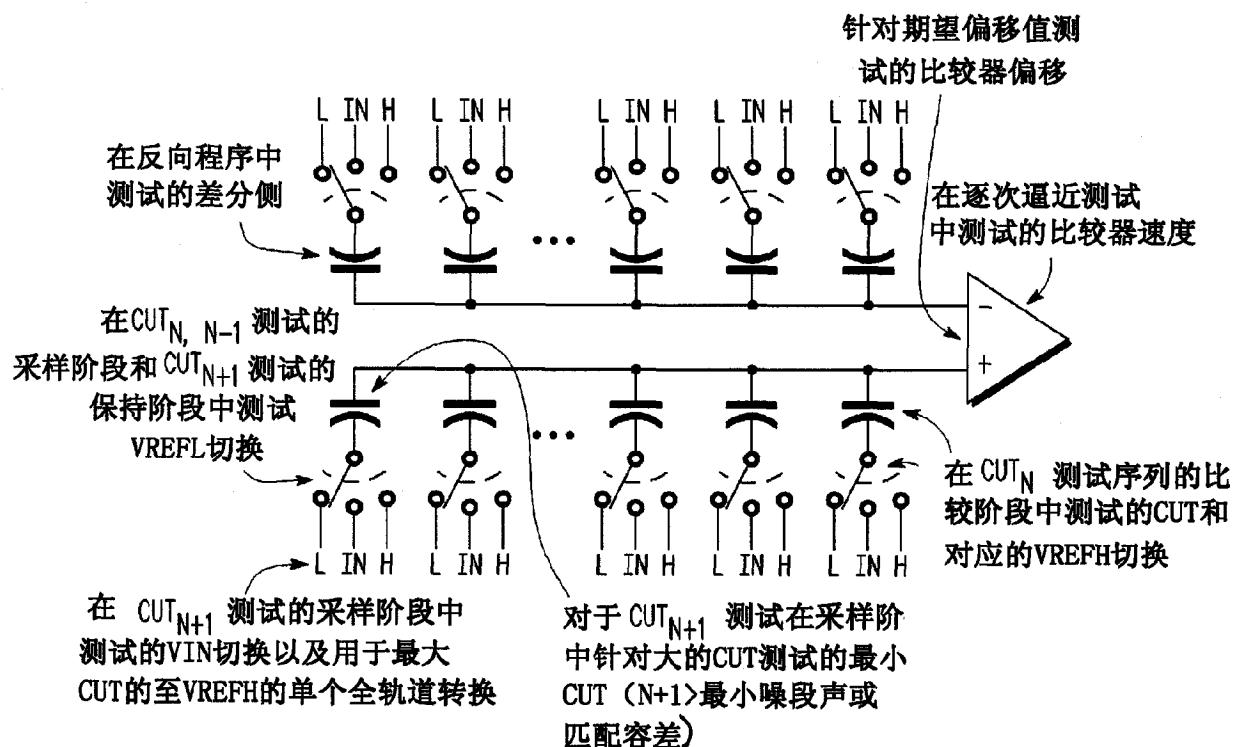


图 21

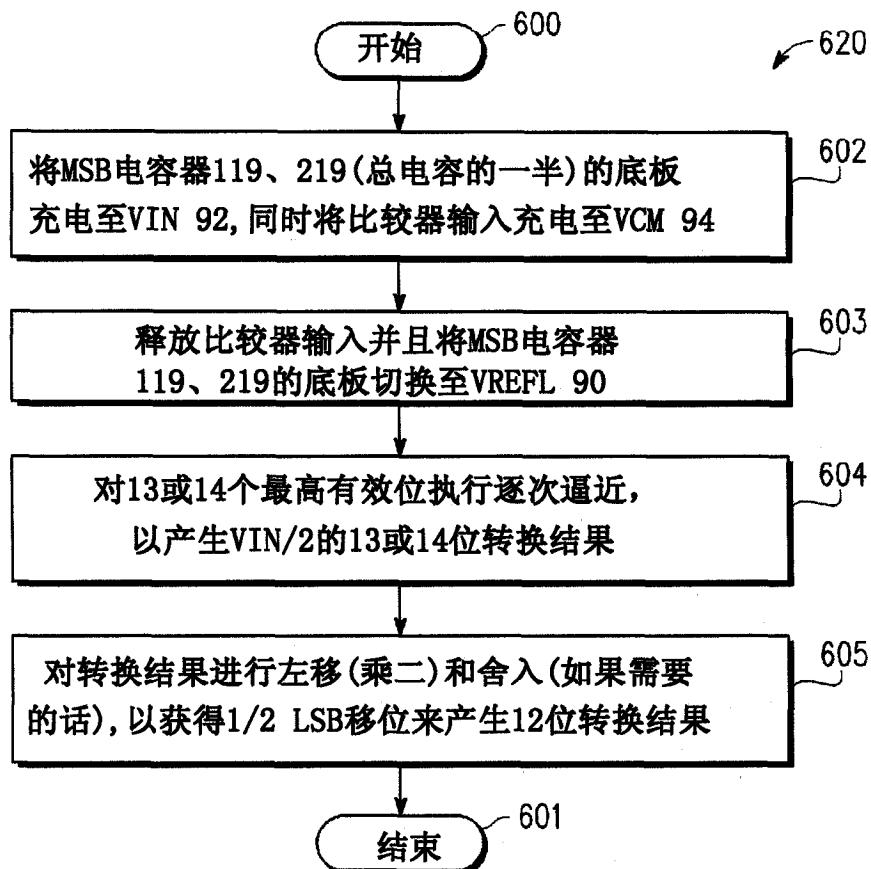


图 22