

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 10-2005-0107753  
H01L 27/04 (43) 공개일자 2005년11월15일

(21) 출원번호 10-2005-7014761  
(22) 출원일자 2005년08월10일  
    번역문 제출일자 2005년08월10일  
(86) 국제출원번호 PCT/US2004/003094 (87) 국제공개번호 WO 2004/073023  
    국제출원일자 2004년02월04일      국제공개일자 2004년08월26일

(30) 우선권주장 10/361,469      2003년02월10일      미국(US)

(71) 출원인      프리스케일 세미컨덕터, 인크.  
    미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자      바이어드, 미첼  
    미국, 아리조나 85225, 찬들러, 엔. 네바다 2022  
    이다, 리처드, 티.  
    미국, 아리조나 85248, 찬들러, 더블유. 미드 코트 1931  
    휘트필드, 제임스, 디.  
    미국, 아리조나 85234, 길버트, 엔. 코블스톤 스트리트913  
    수, 홍중  
    미국, 아리조나 85233, 길버트, 더블유. 베일러 160  
    조쉬 소판  
    미국, 일리노이 61801, 얼바나, 에스. 앤더슨 스트리트906

(74) 대리인      정상구  
    신현문  
    이범래

심사청구 : 없음

(54) 저 전압 NMOS - 기반 정전기 방전 클램프

요약

저전압 정전기 방전 클램프에 대한 시스템들 및 방법들이 기술된다. 저항기 p-웰 결합(resistor p-well tied) 트랜지스터 (201)는 저-전압 ESD 클램프로써 사용될 수 있고, 트랜지스터(201)의 바디(202)는 저항기(206)에 의해 소스(204)에 결합되어, 효과적인 ESD 성능을 유지하면서 DC 누설 전류를 감소시키고 트랜지스터(201)에서 래치-업들을 최소화시킨다.

대표도

도 2

색인어

정전기 방전 클램프, 저항기 p-웰 접합 트랜지스터, ESD 클램프, DC 누설 전류, 래치-업

## 명세서

### 기술분야

본 발명은 일반적으로 반도체들의 분야에 관한 것이다. 특히, 본 발명은 저 전압 정전기 방전 클램프에 관한 것이다.

### 배경기술

정전기 방전(electrostatic discharge; ESD)은 대부분의 종류의 집적 회로들에 대해 중요한 신뢰성과 관련한다. 회로 코어를 보호하기 위해, 회로 설계자는 회로와 병렬로 접속된 보호 소자를 사용하여 입력/출력(I/O) 패드를 접지에 접속한다. 하지만, 낮은 클램핑 전압들을 유지하면서 높은 레벨들의 ESD 전류를 션트(shunt)할 수 있고, 비교적 작은 영역을 사용하며 기존의 IC 처리 기술들과 양립할 수 있는 ESD 보호 소자를 제공하는 것이 특별히 제기된다.

ESD 보호 소자는 최소 기생(parasitic) 로딩 영역으로 높은 레벨의 보호를 제공해야한다. 또한 ESD 보호 장치는, 크고, 보호 장치 자체의 영역에 적절히 비례하는 장애 전류(failure current)를 나타내도록 요구된다.

플로팅-바디(floating-body) n-채널 금속-산화물 반도체(NMOS) 장치를 사용하는 것은 ESD로부터 회로를 보호하는데 있어 불만족스러운 접근 방법이다. 플로팅-바디 NMOS 트랜지스터들은 ESD 클램프들로서 사용될 수 있고 일반적으로 양호한 ESD 보호를 나타낸다. 그럼에도 불구하고, 이 기술이 갖는 문제점들은 높은 직류 누설(DC leakage) 및 래치-업(latch-up)에 대한 큰 민감성(susceptibility)을 포함한다. NMOS 트랜지스터의 경우에서 예컨대, DC 누설은 드레인으로부터 소스로의 원치 않는 전류의 형태가 될 수 있다. 래치-업은, 예컨대 NMOS에 의해 형성된 기생 사이리스터(parasitic thyristor) 구조들 및 인접한 장치들이 우연히 트리거될 때 발생한다.

따라서, DC 누설이 낮고 래치-업 면역(latch-up immunity)이 높은 양호한 ESD 보호 특성들을 나타내는 장치에 대한 요구가 있다.

본 명세서에 첨부되고 명세서의 일부를 형성하는 도면들은 본 발명의 소정 특징들을 도시하도록 포함된다. 본 발명 및 본 발명으로 제공된 구성 소자들 및 동작들의 명확한 개념은 예시들 및 도면에 개시된 제한되지 않은 실시예들을 참조함으로써 더욱 쉽게 이해될 것이고, (하나 이상의 도면에 나타나는) 동일한 참조 번호들은 동일 또는 유사한 소자들을 가리킨다. 본 발명은 본 명세서에 제시된 설명과 하나 이상의 이러한 도면들을 결합하여 참조함으로써 더 잘 이해될 것이다. 도면들에 개시된 구조들은 반드시 축적에 맞게 작도되지 않음을 유의해야한다.

### 도면의 간단한 설명

도 1은 종래의 ESD 보호 시스템의 회로와 블록의 결합도.

도 2는 본 발명의 일 실시예를 나타내는 ESD 보호 시스템의 회로와 블록의 결합도.

도 3은 본 발명의 일 실시예를 나타내는 다른 ESD 보호 시스템의 회로와 블록의 결합도.

도 4는 본 발명의 일 실시예를 나타내는 고립 RPWT NMOS 트랜지스터의 단면도.

도 5는 도 2 또는 도 3에서 상술된 것 같은 RPWT 클램프의 전송 전로 펄스(TLP) 곡선(402) 특성 및 도 1에서 상술된 것 같은 종래 클램프의 TLP 곡선(401) 특성의 그래프로서, 본 발명의 일 특징을 나타내는 그래프.

도 6은 도 2 또는 도 3에서 상술된 것 같은 RPWT 클램프의 직류 누설(DC leakage) 곡선(501) 특성 및 도 1에서 상술된 것 같은 종래 클램프의 DC 누설 곡선(502) 특성의 그래프로서, 본 발명의 일 특징을 나타내는 그래프.

### 발명의 상세한 설명

본 발명의 여러 특징들 및 이점들은, 첨부된 도면들 및 하기의 기술에서 도시되고 설명된 비제한적인 실시예들을 참조하여 충분히 설명된다. 잘 알려진 원 소재들(starting materials), 처리 기술들, 성분들 및 장비의 기술(description)들은, 본 발명을 불명료하게 하지 않도록 생략된다. 상세한 기술 및 구체적인 예들이 본 발명의 구체적인 실시예들을 나타내더라도 예시의 목적으로만 주어지고, 제한의 목적으로 주어지는 것은 아니다. 아래의 발명의 정신 및/또는 범위 내의 여러 대체들, 변형들, 부가들 및/또는 재배열들은 본 명세서로부터 당업자에게 명백할 것이다.

본 발명의 일 특징에 따른, 방법은 저항기가 p-웰(p-well)에 접속된 트랜지스터(이하 저항기 p-웰 접속 트랜지스터라 함)를 입력/출력 패드에 결합하고 회로와 병렬로 접지에 결합함으로써 정전기 방전으로부터 회로를 보호하는 단계를 포함한다.

본 발명의 다른 특징에 따라, 저항기 p-웰 접속 트랜지스터는 기관, 기관 내의 고립 구조, 고립 구조에 인접한 고립 층, 고립 층 및 고립 구조에 인접한 웰, 웰 내의 제 1 도핑된 영역, 바디(body)를 규정하는 제 1 도핑된 영역에 인접한 제 1 도전 단자, 웰 내의 제 2 도핑된 영역, 소스를 규정하는 제 2 도핑된 영역에 인접한 제 2 도전 단자, 웰에 인접한 유전체 층, 유전체 층에 인접하고 게이트를 규정하는 제 3 도전 단자, 웰 내의 제 3 도핑된 영역, 드레인을 규정하는 제 3 도핑된 영역에 인접한 제 4 도전 단자, 제 1 도전 단자와 제 2 도전 단자간 결합된 저항성 소자를 포함한다.

도 1을 참조하면, 종래 기술의 ESD 보호 시스템(100)의 회로와 블록의 결합도가 도시된다. 바디(102), 게이트(103), 소스(104) 및 드레인(105)을 갖는 플로팅-바디(floating-body) 트랜지스터(101)(또는 클램프)는 드레인(105)을 통해 I/O 패드(110)에 그리고 소스(104)를 통해 접지(120)에 접속된다. 게이트(103)는 소스(104)에 접속된다. 회로 또는 회로 코어(130)는 플로팅-바디 트랜지스터(101)와 병렬로 드레인(105) 및 소스(104)에 접속된다.

플로팅-바디 트랜지스터(101)는 n-채널 금속-산화물 반도체(NMOS), 고립 NMOS 트랜지스터 등이 될 수 있다. 바디(102)는 부동(floating)이다. 즉, 바디의 단자는 불확정된 전압을 갖는다.

동작시, 플로팅-바디 트랜지스터(101)는 기생 측면(parasitic lateral) NPN 특성들 때문에 클램프로서 기능할 수 있다. 플로팅-바디 트랜지스터는 브레이크다운 모드(breakdown mode)에서 쌍극성 접합 트랜지스터(BJT)로서 동작하여, 일반적으로 낮은 "온(on)" 저항기이므로 많은 전류의 양을 처리할 수 있고 그 결과, 총 전력 손실을 감소시킨다. 이상적으로, 정전기 방전(ESD event)동안, 플로팅-바디 트랜지스터(101)는, 회로(130)가 손상되기 전 동작(도전)한다. 플로팅-바디 트랜지스터(101)는 정규 회로 동작 동안 "오프(off)(비도전)"상태에 있다.

도 2를 참조하면, ESD 보호 시스템(200)의 회로와 블록의 결합도가 본 발명의 예시적인 실시예에 따라 도시된다. 바디(202), 게이트(203), 소스(204) 및 드레인(205)을 갖는 ESD 보호 트랜지스터(201)(또는 클램프)는 드레인(205)을 통해 I/O 패드(110)에 그리고 소스(204)를 통해 접지 단자(120)에 접속된다. 게이트(203)는 소스(204)에 접속된다. 바디(202)는 저항기(206)를 통해 소스(204)에 결합된다. 회로(130)는 ESD 보호 트랜지스터(201)와 병렬로 드레인(205) 및 소스(204)에 접속된다. 실제로, ESD 보호 트랜지스터(201)는, 회로(130)와 동일 반도체 기관상에 형성되는 것을 의미하는 "온-칩(on-chip)"이 될 수 있다.

일 실시예에서, ESD 클램프(201)는 저항기 p-웰 결합(resistor p-well tied; RPWT) 트랜지스터(201)라고도 언급되는 저항기 p-웰 접속 트랜지스터(201)가 될 수 있다. RPWT 트랜지스터(201)는 RPWT n-채널 금속-산화물 반도체(NMOS) 트랜지스터, RPWT 고립 NMOS 트랜지스터 등이 될 수 있다.

다른 실시예에서, ESD 클램프(201)는 저항기 n-웰 접속 트랜지스터(201)가 될 수 있다. 저항기 n-웰 접속 트랜지스터(201)는 p-채널 금속-산화물 반도체(PMOS) 트랜지스터, 고립 PMOS 트랜지스터 등이 될 수 있다.

동작시, RPWT 트랜지스터(201)는 NPN 접합 트랜지스터로 간주될 수 있다. 기생 측면 NPN 과정이 "온(on)"일 때, 드레인(205)은 콜렉터처럼 동작하고, 소스(204)는 이미터처럼 동작하며, 바디(202)는 베이스처럼 동작하여, 그 결과 회로(130)를 효과적으로 보호한다. ESD 전류는 RPWT 트랜지스터(201)를 통해 I/O 패드(110)로부터 접지(120)로 흐른다. NPN 트랜지스터의 기능은 당업자에게 공지된다. RPWT 트랜지스터(201)가 "오프"일 때, 저항기(206)는 드레인(205)으로부터 소스(204)로 직류 누설을 감소시켜 RPWT 트랜지스터(201)에서 래치-업(latch-up)들을 회피할 수 있다.

본 발명은 클램프(201)의 소스(204)와 바디(202)간 저항성 소자를 접속하는 것을 포함한다. 일 실시예에서, 저항(206)은 저항성 소자로서 사용될 수 있다. 다른 실시예에서, 트랜지스터 또는 스위치가 저항성 소자로서 사용될 수 있다.

도 3을 참조하면, 다른 ESD 보호 시스템(250)의 회로와 블록의 결합도가 본 발명의 예시적인 실시예에 따라 도시된다. 스위치(207)는 예컨대, NMOS 트랜지스터일 수 있다. 이 실시예에서, 스위치 드레인(208)은 ESD 클램프(201)의 바디(202)에 접속되고, 스위치 소스(209)는 ESD 클램프(201)의 소스(204)에 접속되며, 스위치 게이트(210)는 전원 전압  $V_{DD}$ 에 접속된다. 일 실시예에서, 전원 전압  $V_{DD}$ 는 회로 코어(130)에 의해 사용된 전원 전압과 동일하다.

동작시, 전원 전압  $V_{DD}$ 이 온일 때, 스위치(207)는 낮은 저항성(온-상태)을 갖는다. 전원 전압  $V_{DD}$ 이 오프일 때, 스위치(207)는 높은 저항성(오프-상태)을 갖는다. 따라서, 스위치(207)는, 전원이 오프일 때 저항성으로 효과적으로 기능한다. 정전기 방전들은 본 개시 내용을 통해 당업자가 이해할 수 있는 바와 같이, 전원이 오프이고 회로가 사람의 접촉에 의해 처리될 때 쉽게 발생한다.

도 4를 참조하면, 고립 RPWT NMOS 트랜지스터(300)(또는 클램프)의 단면도가 본 발명의 예시적인 실시예에 따라 도시된다. p-기관(302)은 n-웰 링(303) 및 n-도핑된 층(304)에 인접한다. n-웰 링(303) 및 n-도핑된 층(304)은 p-기관(302)으로부터 p-웰(305)을 고립시킨다. p+ 영역(306), 제 1 n+ 영역(307) 및 제 2 n+ 영역(308)은 p-웰에 인접한다.

제 1 도전 단자(309)은 바디(202)를 규정하는 p+ 영역(306)에 인접한다. 제 2 도전 단자(311)은 소스(204)를 형성하는 제 1 n+ 영역(307)에 인접한다. 제 1 도전 단자(309)는 저항기(317)를 통해 제 2 도전 단자(311)에 결합된다. 유전체 층(313)은 p-웰(305) 및 제 1 및 제 2 n+ 영역들(307, 308)에 인접한다. 유전체 층(313)은 또한 게이트(203)를 규정하는 제 3 도전 단자(314)에 인접한다. 일 실시예에서, 유전체 층(313)은 이산화 실리콘 층( $\text{SiO}_2$ )이 될 수 있다. 제 3 도전 단자(314)는 게이트(203)에 소스(204)를 직접 결합시킴으로써 제 2 도전 단자(311)에 인접한다. 제 4 도전 단자(315)는 드레인(205)을 규정하는 제 2 n+ 영역(308)에 인접한다.

일 실시예에서, n-웰 링(303)은 예컨대, 깊은 트렌치(trench) 고립 구조와 같은 다른 고립 구조에 의해 대체될 수 있다. 다른 실시예에서, 제 1, 제 2, 제 3 및 제 4 도전 단자들(309, 311, 314, 315)은 금속 단자들이 되거나 예컨대, 폴리실리콘과 같은 다른 도전성 재료들로 구성될 수 있다.

고립 RPWT NMOS 트랜지스터(300)는 예컨대, 도 2에서 도시된 ESD 보호 시스템(200)의 RPWT 트랜지스터(201)로서 사용될 수 있다. 일 실시예에서, 저항기(317)는 p-웰(305) 내부에 있을 수 있다.

고립 RPWT NMOS 트랜지스터(300)가 "온"일 때, 전자 사태(electron avalanche)는 역방향 바이어스된 드레인 접합에서 발생하고, 정공들의 드리프팅(drifting)은 바디 전위를 상승시키며, 소스 다이오드는 순방향 바이어스되어, 그 결과 소스(204)는 NPN 이미터처럼 동작하고, 바디(202)는 NPN 베이스처럼 동작하며, 드레인(205)은 NPN 컬렉터처럼 동작한다. RPWT NMOS 트랜지스터(300)가 "오프"일 때, 트랜지스터(317)는 드레인(205)로부터 소스(204)로 DC 누설을 감소시켜 래치-업을 회피할 수 있다.

도 5를 참조하면, 도 2 또는 도 3에서 상세히 도시된 것 같은 RPWT 클램프의 전송 선로 펄스(transmission line pulse; TLP) 곡선(402) 특성이 도 1에서 상세히 도시된 것 같은 종래 클램프의 TLP 곡선(401)과 비교된다. 수직 축은 ESD 보호 장치를 통하는 밀리암페어 단위의 ESD 전류이다. 수평 축은 장치의 양단의 볼트 단위의 전압이다.

전송 선로 펄스 시험은 정전기 방전들을 모방하는 널리 알려진 전기 분석 툴이고 ESD 스트레스 시험에 사용될 수 있다. 제 1 십자기호(403)는 RPWT 클램프의 장애 점(failure point)을 지시하는 반면, 제 2 십자기호(404)는 종래 클램프의 장애 점을 지시한다. 곡선들(401, 402)은 실질적으로 유사하여, 본 명세서에 개시된 RPWT 클램프는 종래의 플로팅-바디 클램프와 유사한 ESD 성능을 달성하는 것을 보여준다.

도 6에 참조하면, 도 2 또는 도 3에서 상술된 것 같은 RPWT 클램프의 직류(DC) 누설 곡선(501)(개방 원들)은 도 1에서 상술된 것 같은 종래 기술의 클램프의 다른 DC 누설 곡선(502)과 비교되어, 본 발명의 일 특성을 도시한다. 수직 축은 ESD 보호 장치를 통하는 암페어 단위의 DC 누설이다. 수평 축은 장치의 양단의 볼트 단위의 전압이다.

직류 전류 누설 시험은, DC 전압이 트랜지스터의 드레인으로부터 소스까지 인가될 때, 트랜지스터의 드레인으로부터 소스까지 전류 누설을 측정하는데 사용될 수 있다. 도 6에서 지시하는 것처럼, RPWT 클램프(501)의 DC 누설은, 도 5에 도시된 것처럼 등가의 ESD 성능을 유지하지만, 종래 기술의 플로팅-바디 클램프(502)의 DC 누설보다 현저히 적다.

다른 실시예에서, 본 발명은 게이트-결합 효과를 생성하고 ESD 보호를 더 개선하기 위해 게이트와 RPWT 트랜지스터의 소스를 결합한 다른 저항성 소자를 사용하는 것을 포함한다. 본 발명은 바다가 저항기를 통해 소스와 결합된 저-전압 접합 고립 NMOS 트랜지스터로 구성된 RPWT NMOS 트랜지스터를 포함할 수 있다. 또한 본 발명은, DC 누설 및 래치-업들을 최소화하면서 ESD로부터 저-전압 MOS 장치들을 보호하기 위해 RPWT NMOS 트랜지스터의 사용을 포함할 수 있다.

본 발명의 RPWT 트랜지스터에 대해 사용된 특정 제조 공정은 당업자의 기술 수준 내에 존재하고, 기술된 기능을 제공하는 한 필수적이지 않다. 일반적으로, 본 발명을 사용하는 사람들은 당업계에 공지된 바와 같이, 툴링(tooling) 및 에너지 요건들, 최종 제품의 예측된 애플리케이션 요건들 및 전체 제작 공정의 요건들에 기초하여 제작 공정을 선택할 수 있다.

본 명세서에 사용된 용어 "하나(a 또는 an)"는 명백하게 언급하지 않는다면 하나보다는 하나 이상을 규정한다. 본 명세서에 사용된 용어 "실질적으로(substantially)"는 주어진 상태를 최소한으로 접근하는 것(예컨대, 바람직하게는 10% 내, 더 바람직하게는 1% 내, 더 바람직하게는 0.1% 내)으로 규정된다. 본 명세서에 사용된 용어 "다른(another)"은 적어도 제 2 또는 그 이상으로 규정된다. 본 명세서에 사용된 용어 "포함하는(including)" 또는 "갖는(having)"은 포함하는(including)(즉, 개방 언어)으로 규정된다. 본 명세서에 사용된 용어 "결합된"은 접속된으로 규정되지만, 반드시 직접적이거나 기계적이진 않다.

첨부된 청구항들은 의미와 기능을 합한 제한들을 포함하는 것으로 해석되지 않는다. 본 발명의 일반적인 실시예들은 첨부된 독립항들 및 등가물들에 의해 서술된다. 본 발명의 구체적인 실시예들은 첨부된 종속항들 및 등가물에 의해 식별된다.

## (57) 청구의 범위

### 청구항 1.

저항기 p-웰(p-well) 접속 트랜지스터에 있어서,

기관;

상기 기관 내의 고립 구조(isolating structure);

상기 고립 구조에 인접한 고립 층;

상기 고립 층 및 고립 구조에 인접한 웰;

상기 웰 내의 제 1 도핑된 영역;

바디(body)를 규정하는 상기 제 1 도핑된 영역에 인접하는 제 1 도전 단자;

상기 웰 내의 제 2 도핑된 영역;

소스를 규정하는 상기 제 2 도핑된 영역에 인접하는 제 2 도전 단자;

상기 웰에 인접한 유전체 층;

상기 유전체 층에 인접하고 게이트를 규정하는 제 3 도전 단자;

상기 웰 내의 제 3 도핑된 영역;

드레인을 규정하는 상기 제 3 도핑된 영역에 인접하는 제 4 도전 단자; 및

상기 제 1 도전 단자와 제 2 도전 단자간 결합된 저항성 소자를 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 2.

제 1 항에 있어서,  
상기 저항성 소자는 저항기를 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 3.

제 1 항에 있어서,  
상기 저항성 소자는 스위치를 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 4.

제 3 항에 있어서,  
상기 스위치는:  
상기 바디에 접속된 스위치 드레인;  
상기 소스에 접속된 스위치 소스; 및  
전원 전압에 접속된 스위치 게이트를 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 5.

제 1 항에 있어서,  
상기 기관은 p-형 기관을 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 6.

제 1 항에 있어서,  
상기 고립 구조는 n-형 웰을 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 7.

제 1 항에 있어서,  
상기 고립 구조는 n-웰 링(ring)을 포함하는, 저항기 p-웰 접속 트랜지스터.

## 청구항 8.

제 1 항에 있어서,

상기 고립 구조는 깊은 트랜치 고립 구조를 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 9.

제 1 항에 있어서,

상기 고립 층은 n-형 층을 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 10.

제 1 항에 있어서,

상기 웰은 p-웰을 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 11.

제 1 항에 있어서,

상기 제 1 영역은 p+ 도핑된 영역을 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 12.

제 1 항에 있어서,

상기 제 2 영역은 n+ 도핑된 영역을 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 13.

제 1 항에 있어서,

상기 제 3 영역은 n+ 도핑된 영역을 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 14.

제 1 항에 있어서,

상기 제 2 및 제 3 도전 단자들은 서로 인접한, 저항기 p-웰 접속 트랜지스터.

#### 청구항 15.

제 1 항에 있어서,

상기 제 2 도전 단자 및 제 3 도전 단자에 결합된 다른 저항기를 더 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 16.

제 1 항에 있어서,

상기 제 1, 제 2, 제 3 및 제 4 도전 단자들은 금속 단자들을 포함하는, 저항기 p-웰 접속 트랜지스터.

#### 청구항 17.

입력/출력 패드에 결합된 제 1 단자 및 접지 단자에 결합된 제 2 단자를 포함하는 적어도 2개의 단자들을 갖는 회로를 보호하는 정전기 보호 회로에 있어서,

상기 정전기 보호 회로는 저항성 소자, 바디, 드레인, 게이트 및 소스를 갖는 저항기 p-웰 접속 트랜지스터를 포함하고,

상기 드레인은 상기 입력/출력 패드에 결합되고,

상기 소스는 상기 접지 단자에 결합되고,

상기 게이트는 상기 소스에 결합되며,

상기 저항성 소자는 상기 바디를 상기 소스에 결합시키는, 정전기 보호 회로.

#### 청구항 18.

제 17 항에 있어서,

상기 저항성 소자는 저항기를 포함하는, 정전기 보호 회로.

#### 청구항 19.

제 17 항에 있어서,

상기 저항성 소자는 스위치를 포함하는, 정전기 보호 회로.

#### 청구항 20.

제 19 항에 있어서,

상기 저항성 소자는 트랜지스터를 포함하는, 정전기 보호 회로.

#### 청구항 21.

제 17 항에 있어서,



상기 게이트를 상기 소스에 결합시키는 다른 저항성 소자를 더 포함하는, 정전기 보호 회로.

**청구항 22.**

제 17 항에 있어서,

상기 저항기가 p-웰 접속 트랜지스터는 저항기 p-웰 접속 NMOS 트랜지스터를 포함하는, 정전기 보호 회로.

**청구항 23.**

정전기 방전으로부터 상기 회로를 보호하는 방법으로서,

저항기 p-웰 접속 트랜지스터를 입력/출력 패드에 결합하고 상기 회로와 병렬로 접지에 결합시키는 단계를 포함하는 회로 보호 방법.

**청구항 24.**

제 23 항에 있어서,

저항기 p-웰 접속 트랜지스터는 저항기 p-웰 접속 NMOS 트랜지스터를 포함하는, 회로 보호 방법.

**청구항 25.**

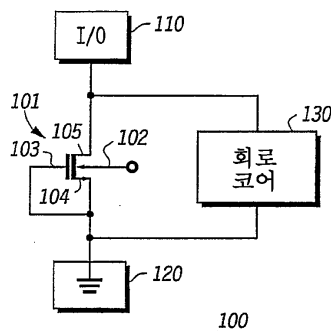
제 23 항에 있어서,

저항기 p-웰 접속 트랜지스터는 저항기 n-웰 접속 PMOS 트랜지스터를 포함하는, 회로 보호 방법.

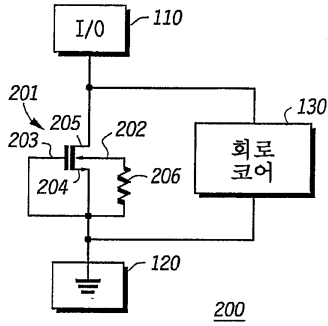
**도면**

도면1

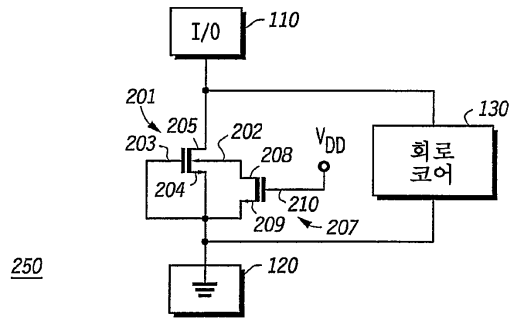
종래기술



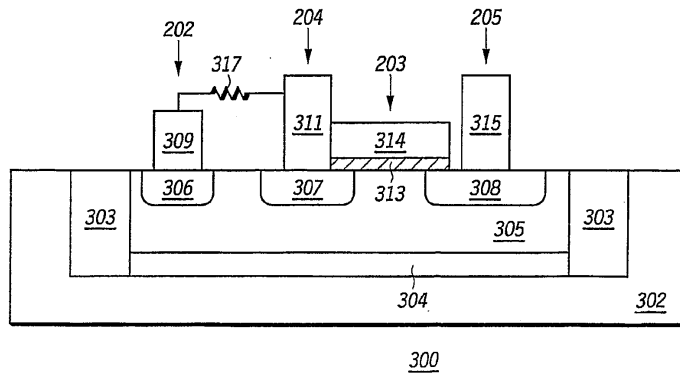
도면2



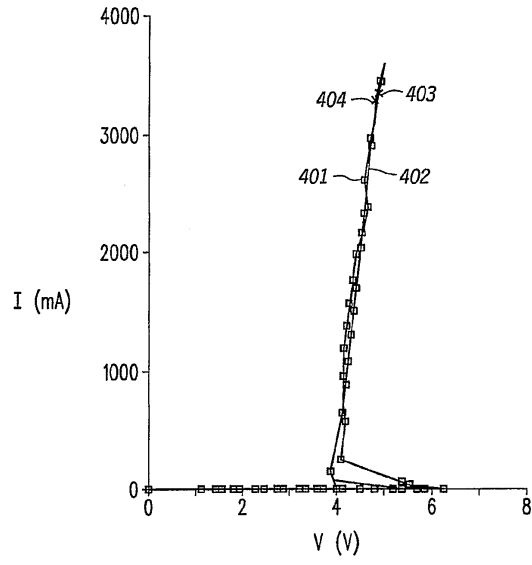
도면3



도면4



도면5



도면6

