(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 5 月 2 日(02.05.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/061929 A1

(51) 国際特許分類:
G02F 1/1343 (2006.01)

(21) 国際出願番号: PCT/JP2012/077248

(22) 国際出願日: 2012 年 10 月 22 日(22.10.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-236526 2011 年 10 月 27 日(27.10.2011) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(71) 出願人 (米国についてのみ): 齋藤　香織(SAITOH, Kaori). 守屋　由瑞(MORIYA, Yoshimizu). 川島　由紀(KAWASHIMA, Yuki). 中西　登(NAKANISHI, Noboru).

(74) 代理人: 特許業務法人原謙三国際特許事務所(HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号　大和南森町ビル Osaka (JP).

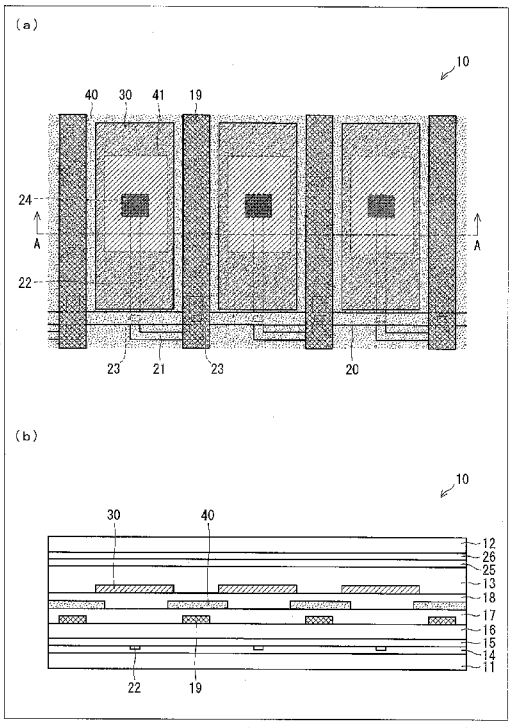
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: LIQUID CRYSTAL DISPLAY ELEMENT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 : 液晶表示素子および液晶表示装置



(57) **Abstract**: This liquid crystal display element (10) is characterized in comprising transparent common electrodes (40) disposed in a layer between pixel electrodes (30) and scan lines (20) and signal lines (19), covering positions opposite some of the scan lines (20) and/or some of the signal lines (19), and having open parts (41) positioned opposite the pixel electrodes (30).

(57) 要約:　本発明に係る液晶表示素子（１０）は、走査線（２０）および信号線（１９）と画素電極（３０）との間の層に配置され、走査線（２０）の少なくとも一部および信号線（１９）の少なくとも一部のうち少なくとも一方に対向する位置を覆い、かつ、画素電極（３０）に対向する位置に開口部（４１）を有する透明共通電極（４０）を備えていることを特徴とする。

WO 2013/061929 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 液晶表示素子および液晶表示装置

技術分野

[0001] 本発明は、液晶表示素子および液晶表示装置に関し、特には、ＴＮモードおよびＶＡモードに代表される縦電界型の液晶表示素子および液晶表示装置に関する。

背景技術

[0002] 現在、液晶表示装置が多くの機器に利用されている。このような例として、テレビ、携帯電話などが挙げられる。液晶表示装置は、電極間に生じる電界を制御することによって液晶の配向を制御し、その結果として、光の透過率を制御する液晶表示素子を備える表示装置である。液晶表示素子において、液晶の配向を制御する方式は様々である。それらの方式を電界が生じる方向という観点から分類すると、縦電界型と横電界型とに大別できる。

[0003] 縦電界型の液晶表示素子は、対向配置されている一対の透明基板と、一対の透明基板に狭持される液晶層を備えている。一対の透明基板のうち一方は画素電極を備えている。もう一方は対向電極を備えている。画素電極と対向電極との間に電圧を印加することによって液晶層に対して垂直、言い換えると縦方向の電界を発生させる。縦方向の電界の強度および方向を制御することによって、液晶の配向を制御する。代表的な縦電界型の液晶表示素子としては、ＴＮ（twisted nematic）モードおよびＶＡ（vertical alignment）モードの液晶表示素子が挙げられる。

[0004] 縦電界型の液晶表示素子の一例として、液晶表示素子１００の概略を図５および図６に示す。図５（ａ）は液晶表示素子１００の平面図であり、図５（ｂ）は図５（ａ）に示すＡ－Ａ線における断面図である。図６（ａ）は図５（ｂ）の一部を拡大した図であり、図６（ｂ）は図５（ａ）におけるＡ－Ａ線と平行な走査線１２０上の線における断面の拡大図である。

[0005] 図５（ｂ）に示すように、液晶表示素子１００は一対の透明基板であるガ

ラス基板１１１およびガラス基板１１２と、ガラス基板１１１およびガラス基板１１２に狭持される液晶層１１３とを備えている。図５（ａ）に示すように、ガラス基板１１１は複数の信号線１１９、複数の走査線１２０、複数のＴＦＴ(thin film transistor)１２３、複数の画素電極１３０および複数の共通電極１４０を備えている。

[0006] 複数の信号線１１９は、それぞれが平行かつ等間隔に配置されている。一方、複数の走査線１２０も、それぞれが平行かつ等間隔に配置されている。さらに、各信号線１１９と各走査線１２０とは直交している。この結果、ガラス基板１１１の表面上には各信号線１１９と各走査線１２０とによって区切られた長方形の領域がマトリクス状に形成される。この長方形の領域１つが、１つのサブ画素に対応している。１つの画素は３つのサブ画素（赤、緑および青）から構成されている。

[0007] １つのサブ画素には、２つのＴＦＴが設置されている。当該ＴＦＴは、トップゲート方式のコプラナ型のＴＦＴであり、走査線１２０の一部に形成されているゲート電極１２３、ＳＩ経路１２１およびＳＩ経路１２２を備えている。ＳＩ経路１２１の一端にはソース電極（図示せず）が形成されている。当該ソース電極と信号線１１９とはコンタクトホール（図示せず）を介して接続されている。一方、ＳＩ経路１２２は、ドレイン電極１２４に接続されている。ドレイン電極１２４は、図示していないコンタクトホールを介して画素電極１３０に接続されている。

[0008] 複数ある走査線１２０から１本が選択されている期間中、アドレス信号が当該走査線１２０に入力され、複数の信号線１１９には順次データ信号が入力される。この結果、ＳＩ経路１２２および画素電極１３０にはデータ信号に応じた電圧が出力され、画素電極１３０と対向電極１２５との間にはデータ信号に応じた電界が生じる。

[0009] 走査線が選択されていない期間中においても、液晶表示素子１００は画素電極１３０と対向電極１２５との間に生じている電界を保持する必要がある。この電界を保持するための補助容量を形成するために、複数の共通電極１

４０が設けられている。共通電極１４０は、走査線１２０が設けられている層と同じ層に設けられており、走査線１２０と同じく不透明な金属導電性材料からなる。複数の共通電極１４０は、走査線１２０と平行に配置されている。さらに、隣接する走査線１２０の間に、共通電極１４０は１本づつ配置されている。

[0010] 横電界型の液晶表示素子は、縦電界型の液晶表示素子と同様に、一対の透明基板に狭持されている液晶層を備えている。しかし、一対の透明基板のうち一方が画素電極および共通電極を備えている点において縦電界型の液晶表示素子と異なる。横電界型の液晶表示素子は、一方の透明基板が備える画素電極と共通電極との間に電圧を印加することによって液晶層の面内方向、言い換えると横方向の電界を発生させる。横電界型の液晶表示素子としては、ＩＰＳ（in-plane switching）モードおよびＦＦＳ（fringe field switching）モードの液晶表示素子が挙げられる。

[0011] 特許文献１には、ＦＦＳモードの液晶表示素子において、寄生容量の影響を低減する液晶表示素子が記載されている。この発明の特徴について、図７および８を参照しながら以下に説明する。

[0012] 図７にＦＦＳモードの液晶表示素子２００の概略図を示す。図７（ａ）は液晶表示素子２００の平面図であり、図７（ｂ）は図７（ａ）に示すＡ－Ａ線における断面図である。図８は、図７（ｂ）の一部を拡大した図である。

[0013] 図７（ｂ）に示すように、液晶表示素子２００は一対の透明基板であるガラス基板２１１およびガラス基板２１２と、ガラス基板２１１およびガラス基板２１２に狭持される液晶層２１３とを備えている。図７（ａ）に示すように、ガラス基板２１１は複数の信号線２１９、複数の走査線２２０、複数のＴＦＴ、複数の画素電極２３０および共通電極２４０を備えている。共通電極２４０は可視領域において透明な導電性材料からなる。

[0014] 複数の信号線２１９は、それぞれが平行かつ等間隔に配置されている。一方、複数の走査線２２０も、それぞれが平行かつ等間隔に配置されている。さらに、各信号線２１９と各走査線２２０とは直交している。この結果、ガ

ラス基板２１１の表面上には各信号線２１９と各走査線２２０とによって区切られた長方形の領域がマトリクス状に形成される。この長方形の領域１つが、１つのサブ画素に対応している。１つの画素は３つのサブ画素（赤、緑および青）から構成されている。

[0015] １つのサブ画素には、２つのＴＦＴが設置されている。当該ＴＦＴは、トップゲート方式のコプラナ型のＴＦＴであり、走査線２２０の一部に形成されているゲート電極２２３、ＳＩ経路２２１およびＳＩ経路２２２を備えている。ＳＩ経路２２１と、ソース電極および信号線２１９とは、図示しないコンタクトホールを介して接続されている。一方、ＳＩ経路２２２は、ドレイン電極２２４に接続されている。ドレイン電極２２４は、図示していないコンタクトホールを介して画素電極２３０と接続されている。画素電極２３０には、画素電極２３０と後述する共通電極２４０との間に電界を形成するためのスリットが設けられている。

先行技術文献

特許文献

[0016] 特許文献1：日本国公開特許公報「特開２００８－２０９６８６号公報（２００８年９月１１日公開）」

発明の概要

発明が解決しようとする課題

[0017] このような構成の液晶表示素子１００において、信号線１１９および走査線１２０と、画素電極１３０との間に生じる寄生容量が表示品位を劣化させる原因となる。この点について、図６を参照しながら説明する。

[0018] 図６（ａ）は図５（ｂ）の一部を拡大した図であり、図６（ｂ）は図５（ａ）におけるＡ－Ａ線と平行な走査線１２０上の線における断面の拡大図である。

[0019] 図６（ａ）に示すように、信号線１１９と画素電極１３０との間には絶縁体であるＪＡＳ膜１１７のみが存在する。したがって、信号線１１９と画素

電極１３０との間には寄生容量であるＣｓｄ１２７が生じる。

[0020] 図６（ｂ）に示すように、走査線１２０と画素電極１３０との間には絶縁膜１１６およびＪＡＳ膜１１７のみが存在する。したがって、走査線１２０と画素電極１３０との間には寄生容量であるＣｇｄ１２８が生じる。

[0021] これらのＣｓｄ１２７およびＣｇｄ１２８が、フリッカおよび各画素間におけるクロストークの原因となり液晶表示素子１００の表示品位を劣化させる。

[0022] １つのサブ画素は、Ｃｓｄ１２７およびＣｇｄ１２８のほかに、液晶容量および補助容量を有している。液晶容量は、画素電極１３０と対向電極１２５との間に形成される。補助容量は、共通電極１４０とＳＩ経路１２２との間に形成される。これら液晶容量、補助容量、Ｃｓｄ１２７およびＣｇｄ１２８の和を、画素容量とする。画素容量に対して寄生容量の割合が大きくなるほど、寄生容量が液晶表示素子１００の表示品位に与える影響が大きくなる。言い換えると、補助容量を大きくすることによって画素容量を大きくすれば、画素容量に対する寄生容量の割合を小さくすることができる。したがって、寄生容量が表示品位に与える影響を抑制することができる。

[0023] しかし、液晶表示素子１００において補助容量を大きく設計するためには、共通電極１４０の幅（信号線１１９と平行な方向の長さ）を広く設計する必要がある。共通電極１４０は不透明な材料からなるため、共通電極１４０の幅を広くするとバックライトが透過する領域が狭くなる。したがって、寄生容量による影響を抑制するために補助容量を大きく設計すると、液晶表示素子１００の輝度が低下するという別の問題が生じる。

[0024] 横電界型の液晶表示素子である液晶表示素子２００は、寄生容量の影響を抑制するために共通電極２４０を備えており、共通電極２４０の形状および設けられている位置を特徴とする。平面視において、共通電極２４０はドレイン電極２２４およびコンタクトホールを除く全領域に形成されている（図７（ａ）参照）。一方、断面視において、共通電極２４０は信号線２１９が設けられている層および走査線２２０が設けられている層と、画素電極２３

０が設けられている層との間に形成されている（図７（ｂ）参照）。

[0025] したがって、信号線２１９および走査線２２０と画素電極２３０とは共通電極２４０によって遮蔽されている。この結果、信号線２１９と画素電極２３０との間に生じる寄生容量であるＣｓｄ、および、走査線２２０と画素電極２３０との間に生じる寄生容量であるＣｇｄは抑制される。

[0026] ＣｓｄおよびＣｇｄが抑制されることによって、共通電極２４０に保持されている電圧を安定させることができる。よって、液晶表示素子２００における表示品位の劣化を防ぐことができる。

[0027] その一方で、図８に示すように、共通電極２４０はドレイン電極２２４およびコンタクトホールを除く全領域に形成されているため、バックライト２２９ａは共通電極２４０を透過する必要がある。共通電極２４０を形成する透明導電性材料が有する吸収係数と、共通電極２４０の膜厚とによって決定される吸収率を共通電極２４０は有している。バックライト２２９ａのうち吸収率に対応する光が共通電極２４０に吸収され、共通電極２４０を透過した光がバックライト２２９ｂとなる。このように、バックライト２２９ａが共通電極２４０に吸収されることによって輝度が低下するという問題を液晶表示素子２００は有している。なお、ここでは画素電極２３０によるバックライト２２９ｂの吸収は考慮していない。

[0028] 加えて、特許文献１に記載される発明はＦＦＳモードの液晶表示素子を前提としており、縦電界型の液晶表示素子には適用できない。

[0029] 本発明は上記の課題に鑑みてなされたものである。本発明の目的は、縦電界型の液晶表示素子において、液晶表示素子の輝度を犠牲にすることなく、走査線および信号線と画素電極との間に生じる寄生容量を抑制することができる液晶表示素子および液晶表示装置を提供することである。

課題を解決するための手段

[0030] 本発明の一態様に係る液晶表示素子は、上記の課題を解決するために、

一対の透明基板と、当該一対の透明基板の間に配置される液晶層とを備えた液晶表示素子であって、

一方の上記透明基板は、

走査線と、

上記走査線に直交する信号線と、

上記信号線と上記走査線とに接続される駆動素子と、

上記走査線および信号線よりも上層に配置され、かつ、上記駆動素子に接続される透明画素電極と、

上記走査線および信号線と上記透明画素電極との間の層に配置され、上記走査線の少なくとも一部および上記信号線の少なくとも一部のうち少なくとも一方に対向する位置を覆い、かつ、上記透明画素電極に対向する位置に開口部を有する透明共通電極とを備え、

他方の上記透明基板は、対向電極を備えていることを特徴としている。

[0031] 上記の構成によれば、本発明の一態様に係る液晶表示素子において、透明共通電極は、走査線および信号線と透明画素電極との間の層に配置されている。さらに、走査線の少なくとも一部および信号線の少なくとも一部のうち少なくとも一方は、透明共通電極によって覆われている。当該構成の液晶表示素子において、走査線の少なくとも一部に対向する位置を透明共通電極が覆っている場合は、走査線の一部と画素電極とは透明共通電極によって互いに遮蔽されている。同様に、信号線の少なくとも一部に対向する位置を透明共通電極が覆っている場合は、信号線の一部と画素電極とは透明共通電極によって互いに遮蔽されている。このことによって、走査線の少なくとも一部および信号線の少なくとも一部のうち少なくとも一方と、画素電極との間に形成される寄生容量が抑制される。

[0032] さらに、透明共通電極は、透明画素電極に対向する位置に開口部を備えている。このことによって、透明共通電極を透過することなく液晶層に入射する光が増加する。その結果、当該液晶表示素子の輝度が向上する。

[0033] このように、本発明の一態様に係る液晶表示素子によれば、縦電界型の液晶表示素子において、液晶表示素子の輝度を犠牲にすることなく、走査線および信号線と画素電極との間に生じる寄生容量を抑制することができる。

[0034] また、本発明の一態様に係る液晶表示装置は、上記いずれかの液晶表示素子を備えていることが好ましい。

[0035] 上記の構成によれば、縦電界型の液晶表示素子を備える液晶表示装置において、液晶表示装置の輝度を犠牲にすることなく、走査線および信号線と画素電極との間に生じる寄生容量を抑制することができる。

[0036] 本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

発明の効果

[0037] 本発明は、縦電界型の液晶表示素子において、輝度を犠牲にすることなく走査線および画素電極との間に生じる寄生容量、および、信号線と画素電極との間に生じる寄生容量を抑制することができる。したがって、縦電界型の液晶表示素子および液晶表示装置において、その輝度を犠牲にすることなく表示品位を向上する効果を奏する。

図面の簡単な説明

[0038] [図1]（ａ）は本発明の一実施形態に係る液晶表示素子の概略を示す平面図であり、（ｂ）は当該液晶表示素子の概略を示す断面図である。

[図2]（ａ）は上記液晶表示素子において、信号線と画素電極との間に生じる寄生容量Ｃｓｄが共通電極によって抑制される様子を示す概略図であり、（ｂ）は走査線と画素電極との間に生じる寄生容量Ｃｇｄが共通電極によって抑制される様子を示す概略図である。（ｃ）は、バックライトが上記液晶表示素子を透過する様子を示す概略図である。

[図3]本発明の別の実施形態に係る液晶表示素子の概略を示す平面図である。

[図4]本発明のさらに別の実施形態に係る液晶表示素子の概略を示す平面図である。

[図5]（ａ）は従来の液晶表示素子の概略を示す平面図であり、（ｂ）は当該液晶表示素子の概略を示す断面図である。

[図6]（ａ）は従来の液晶表示素子において、信号線と画素電極との間に生じ

る寄生容量Ｃｓｄを示す概略図であり、（ｂ）は走査線と画素電極との間に生じる寄生容量Ｃｇｄを示す概略図である。

[図7]（ａ）は従来の別の液晶表示素子の概略を示す平面図であり、（ｂ）は当該液晶表示素子の概略を示す断面図である。

[図8]従来の別の液晶表示素子において、バックライトが当該液晶表示素子を透過する様子を示す概略図である。

発明を実施するための形態

[0039] 以下、本発明の各実施形態について、図１～図４を参照して詳細に説明する。

[0040] 〔実施形態１〕

（液晶表示素子１０の概要）

本発明の一実施形態に係る液晶表示素子１０について、図１および２を参照しながら説明する。図１（ａ）は液晶表示素子１０の概略を示す平面図であり、図１（ｂ）は図１（ａ）に示すＡ－Ａ線における断面の概略を示す断面図である。図２（ａ）は、図１（ｂ）の一部を拡大した図であり、図２（ｂ）は図１（ａ）におけるＡ－Ａ線と平行な走査線２０上の線における断面の拡大図である。図２（ｃ）は、図２（ａ）と同様に図１（ｂ）の一部を拡大した図であり、バックライト２９が液晶層１３に入射する様子を示している。

[0041] 液晶表示素子１０は、縦電界型の液晶表示素子の１つであるＶＡモードの液晶表示素子であり、駆動方法としてドット反転駆動を用いている。図１（ｂ）に示すように、液晶表示素子１０は、ガラス基板１１（一方の透明基板）と、ガラス基板１２（他方の透明基板）と、ガラス基板１１およびガラス基板１２に狭持される液晶層１３とを備えている。ガラス基板１１における液晶層１３側の表面に対向する側の表面には、当該表面に密着した状態で偏光板（図示せず）が設置されている。同様に、ガラス基板１２における液晶層１３側の表面に対向する側の表面には、当該表面に密着した状態で偏光板（図示せず）が設置されている。さらに、ガラス基板１１が備える偏光板に

白色光を照射するためのバックライト（図示せず）を液晶表示素子１０は備えている。

[0042] ガラス基板１２における液晶層１３側の表面上には、カラーフィルター２６および対向電極２５が積層されている。カラーフィルター２６は、液晶層１３を透過してくる白色光のバックライトのうち、赤、緑および青のいずれかの波長域の光を選択的に透過するフィルターである。図１（ｂ）には図示していないが、赤、緑および青のカラーフィルターをマトリクス状に配置することによってカラーフィルター２６は構成されている。カラーフィルター２６には、赤、緑および青のカラーフィルターとともにブラックマトリクスが形成されていることが好ましい。

[0043] 液晶表示素子１０は、ガラス基板１１が備えている共通電極４０（透明共通電極）の形状、および、共通電極４０が形成されている位置を特徴としている。したがって、以下においてはガラス基板１１上に積層されている各構成部材について詳しく説明する。ガラス基板１２および液晶層１３については、ＶＡモードの液晶表示素子として知られている構成を適用することができる。

[0044] （ガラス基板１１の構成）

ガラス基板１１における液晶層１３側の表面上には、ベースコート（ＢＣ）１４、複数のＳＩ経路２１、ＳＩ経路２２、第１絶縁膜１５、複数の走査線２０、第２絶縁膜１６、複数の信号線１９、ＪＡＳ膜１７、共通電極４０、第３絶縁膜１８および画素電極３０（透明画素電極）が逐次積層されている。

[0045] 詳しくは後述するが、複数の信号線１９は、それぞれが平行かつ等間隔になるように形成されている。同様に、複数の走査線２０は、それぞれが平行かつ等間隔になるように形成されている。さらに、各信号線１９および各走査線２０は平面視において、お互いが直行するように形成されている。各信号線１９および各走査線２０によって区切られている長方形の領域１つが、１つのサブ画素に対応している。

[0046] 図１（ｂ）はＡ－Ａ線における断面図であるため、図１（ｂ）には走査線２０が記載されていない。走査線２０は第１絶縁層１５と同じ層に形成されている。同様に、図１（ｂ）には複数のＳＩ経路２１が記載されていない。ＳＩ経路２１はＳＩ経路２２と同じ層に形成されている。

[0047] （ＴＦＴ）

液晶表示素子１０の駆動素子である複数のＴＦＴは、各サブ画素領域に対して２つ設けられている。各ＴＦＴは、それぞれゲート電極２３、ＳＩ経路２１、ＳＩ経路２２、ドレイン電極２４およびソース電極（図示せず）を備える。ＳＩ経路２１と、ソース電極および信号線１９とは、図示しないコンタクトホールを介して接続されている。ＳＩ経路２２の一端は、ドレイン電極２４に接続されている。ドレイン電極２４は、図示していないコンタクトホールを介して画素電極３０と接続されている。

[0048] ガラス基板１１の表面上には、まずＢＣ１４とＳＩ経路２１とＳＩ経路２２とが形成される。ＳＩ経路２１およびＳＩ経路２２は、シリコンからなる。ＢＣ１４は例えばTa_2O_5からなる。ＢＣ１４は、ガラス基板１１の表面を保護する保護膜として働く。また、ＳＩ経路２１および２２のパターンを形成する際には、エッチングストッパーとして働く。

[0049] 走査線２０の一部からなるゲート電極２３と、ＳＩ経路２１およびＳＩ経路２２との界面には、図１（ａ）に図示していないゲート絶縁層およびチャネル層が形成されている。

[0050] （走査線２０）

ＳＩ経路２１、ＳＩ経路２２およびＢＣ１４の上には、複数の走査線２０および第１絶縁膜１５が形成されている。複数の走査線２０は、それぞれが平行かつ等間隔になるように形成されている。複数の走査線２０の方向は、ＳＩ経路２２の方向に対して直交している。

[0051] 上で述べた各ＴＦＴは、各走査線２０と各信号線１９との交差部近辺に配置されている。

[0052] 走査線２０は、高い導電率を有することが好ましく、金属材料からなるこ

とが好ましい。走査線２０に用いる金属材料としては、アルミニウム、モリブデン、クロム、タングステンおよびチタンなどが挙げられる。これらの金属群のなかから複数の金属を選択し積層膜を形成することによって、高い導電率を有する走査線２０を形成することができる。走査線２０を形成する別の材質として、導電性を備える化合物を用いてもよい。

[0053] 各走査線２０の間には第１絶縁膜１５が形成されている。第１絶縁膜１５は、SiN_xまたはSiO_2からなる。液晶表示素子１０において入射されるバックライトは、第１絶縁膜１５を透過する必要がある。液晶表示素子１０の輝度を犠牲にしないために、第１絶縁膜１５は可視領域の光に対して低い光吸収率を有する事が好ましい。

[0054] 第１絶縁膜１５の上には、第２絶縁膜１６が形成されている。第２絶縁膜１６は、走査線２０と後述する信号線１９とを絶縁するための層間絶縁膜である。第２絶縁膜１６は、第１絶縁膜１５と同様にSiN_xまたはSiO_2からなる。第２絶縁膜１６は第１絶縁膜１５と同様に、可視領域の光に対して低い光吸収率を有することが好ましい。

[0055] （信号線１９）

第２絶縁膜１６の上には、複数の信号線１９が形成されている。複数の信号線１９は、それぞれが平行かつ等間隔になるように形成されている。各信号線１９と各走査線２０とはお互いに直交している（図１（ａ）参照）。したがって、ガラス基板１１には各信号線１９と各走査線２０とによって区切られた長方形の領域がマトリクス状に形成される。この長方形の領域１つが、１つのサブ画素に対応している。１つの画素は３つのサブ画素（赤、緑および青）から構成されている。

[0056] 各サブ画素は、上で述べたＴＦＴを備えている。ＴＦＴが備えるＳＩ経路２１と信号線１９とは、図示しないソース電極およびコンタクトホールを介して電気的に接続されている。このコンタクトホールは、第１絶縁膜１５および第２絶縁膜１６を貫通する形状を有している。

[0057] 信号線１９は走査線２０と同様に高い導電率を有することが好ましく、金

属材料からなることが好ましい。信号線１９に用いる金属材料としては、アルミニウム、モリブデン、クロム、タングステンおよびチタンなどが挙げられる。これらの金属群のなかから複数の金属を選択し積層膜を形成することによって、高い導電率を有する信号線１９を形成することができる。信号線１９を形成する別の材質として、導電性を備える化合物を用いてもよい。

[0058] 信号線１９の上には、透明な有機絶縁膜であるＪＡＳ膜１７が形成される。ＪＡＳ膜１７は、信号線１９と、後述する共通電極４０との層間絶縁膜として設けられる。ＪＡＳ膜１７の膜厚は、第１絶縁膜１５、第２絶縁膜１６および第３絶縁膜１８の膜厚と比較して、厚いことが好ましい。ＪＡＳ膜１７を厚く形成することによって、信号線１９、走査線２０などを形成することによって生じる表面の凹凸を平坦化することができる。他の絶縁膜を形成するSiN_xまたはSiO_2と比較して、ＪＡＳは表面が平坦な厚い膜を形成しやすいという特徴を有する。

[0059] なお、ガラス基板１１の表面上において、マトリクス状に画素が形成されている領域を、以下では画素形成領域と呼ぶ。

[0060] （共通電極４０）

ＪＡＳ膜１７の上には、共通電極４０が形成される。図１（ａ）に示すように、共通電極４０は各サブ画素に対して１つの開口部４１を備えている。開口部４１が形成されている領域の一部には、ＳＩ経路２２と後述する画素電極３０とを電気的に接続するためのドレイン電極２４およびコンタクトホール（図示せず）が形成されている。言い換えると、共通電極４０は、少なくともコンタクトホールが形成されている領域に開口部４１を有している。

[0061] コンタクトホールが形成されている領域に、開口部４１が形成されていることによって、ＳＩ経路２２、ドレイン電極２４および画素電極３０と共通電極４０とを、電気的な絶縁状態にすることができる。ＳＩ経路２２、ドレイン電極２４および画素電極３０と共通電極４０とはそれぞれ異なる電位であるため、互いの間にリークが生じないように絶縁しておく必要がある。

[0062] なお、ＳＩ経路２２、ドレイン電極２４および画素電極３０と共通電極４

０とにおいて電気的な絶縁が確保できる形状であれば、開口部４１の形状および個数に関して制限はない。ただし、共通電極４０において、各サブ画素に対して複数の開口部４１を形成すると、各サブ画素間における補助容量の大きさが不均一になる虞がある。各サブ画素間における補助容量の大きさが不均一であると、その不均一さが表示ムラとしてユーザに認識される可能性がある。したがって、共通電極４０が備える開口部４１は、各サブ画素に対して１つであることが好ましい。

[0063] 共通電極４０は、各サブ画素が補助容量を有するために形成されている電極である。この補助容量は、各信号線１９にアドレス信号が入力されていない期間中に、各サブ画素が備える液晶層１３に生じている電界を保持するために必要である。

[0064] 画素形成領域において、開口部４１を除く全領域に共通電極４０が形成されている。したがって、液晶表示装置１０が備える共通電極４０は１つであり、各サブ画素に対応する共通電極４０は同電位になっている。

[0065] 共通電極４０は、透明導電性材料であるインジウムスズ酸化物（ＩＴＯ）またはインジウム亜鉛酸化物（ＩＺＯ）からなる。共通電極４０は開口部４１を除く画素形成領域に形成されているため、共通電極４０は可視領域において良好な光透過率を有することが好ましい。加えて共通電極４０は、良好な導電率を有していることが好ましい。このような良好な光透過率および導電率を有している透明導電性材料であれば、ＩＴＯおよびＩＺＯ以外の材質であっても共通電極４０として用いることができる。

[0066] 液晶表示素子１０は、共通電極４０を特徴としている。液晶表示素子１０が共通電極４０を備えていることによって得られる効果については後述する。

[0067] 共通電極４０の上には、第３絶縁膜１８が形成されている。第３絶縁膜１８は、共通電極４０と画素電極３０とを絶縁する層間絶縁膜である。第３絶縁膜１８は、第１絶縁膜１５および第２絶縁膜１６と同様にSiN_xまたはSiO_2からなる。第３絶縁膜１８も、第１絶縁膜１５および第２絶縁膜１６と

同様に、可視領域の光に対して低い光吸収率を有する事が好ましい。

[0068] （画素電極３０）

第３絶縁膜１８の上には複数の画素電極３０が形成されている。サブ画素１つに対して１つの画素電極が設けられている。その結果として、画素形成領域にはマトリクス状の画素電極３０が形成されている。

[0069] 画素電極３０は、ドレイン電極２４およびコンタクトホールを介してＴＦＴが備えるＳＩ経路２２に電気的に接続されている。ドレイン電極２４およびコンタクトホールは、各信号線１９および各走査線２０によって区切られているサブ画素領域の中央部分に形成されていることが好ましい（図１（ａ）参照）。このことは、ドレイン電極２４およびコンタクトホールが設けられている領域が光を透過しないことと関係している。

[0070] 詳細は省くが、ＶＡモードを採用する液晶表示素子１０において、対向電極２５におけるサブ画素領域の中央には、穴を設けていることが好ましい。当該穴は、液晶の配向を規制する効果を有する。液晶の配向性を向上させることができる反面、当該穴を設けている領域において光の透過率は低下する。対向電極２５における当該穴を設けている位置と、画素電極３０におけるドレイン電極２４およびコンタクトホールを設けている位置とを一致させることによって、液晶表示素子１０における透過光のロスを抑制することができる。すなわち、液晶表示素子１０の輝度を向上させることができる。

[0071] 対向電極２５が備える上記穴の位置は、サブ画素領域の中央でなくてもよい。対向電極２５が備える上記穴の数は、各サブ画素領域に対して複数であってもよい。上記穴の形状は任意であり、たとえば楕円状であってもよい。これらの場合、ドレイン電極２４およびコンタクトホールの設けられる位置は、サブ画素領域の中央ではなく、上記穴が形成されている位置に一致していることが好ましい。

[0072] さらには、液晶の配向を規制するために、対向電極２５は上記穴ではなく突起を備えていてもよい。この場合、ドレイン電極２４およびコンタクトホールの位置は、当該突起の位置に一致していることが好ましい。

[0073] また、ＴＮモードを採用する液晶表示素子の場合は、サブ画素領域の外縁部近辺にドレイン電極２４およびコンタクトホールが設けられていることが好ましい。このことによって、液晶の配向性に与える影響を小さくすることができる。

[0074] コンタクトホールは、第１絶縁膜１５、第２絶縁膜１６、ＪＡＳ膜１７および第３絶縁膜１８を貫通することによってドレイン電極２４と画素電極３０とを接続している。

[0075] 画素電極３０は、ＩＴＯまたはＩＺＯからなる。画素電極３０は、液晶表示素子１０において光を透過する領域に設けられている。したがって、画素電極３０は可視領域において良好な光透過率を有することが好ましい。加えて画素電極３０は、良好な導電率を有していることが好ましい。このような良好な光透過率および導電率を有している透明導電性材料であれば、ＩＴＯおよびＩＺＯ以外の材質であっても画素電極３０として用いることができる。

[0076] さらに、画素電極３０および第３絶縁膜１８の上には、液晶の配向性を向上させるための配向膜（図示せず）が形成されている。

[0077] （共通電極４０の効果）

液晶表示素子１０が共通電極４０を備えることによって得られる効果は、寄生容量を抑制すること、適切な補助容量を確保すること、および、液晶表示素子の輝度を向上させることである。それぞれの効果について以下に説明する。

[0078] （寄生容量の抑制）

液晶表示素子１０を断面視したときに、共通電極４０は、信号線１９と画素電極３０との間かつ走査線２０と画素電極３０との間に設けられている（図１（ｂ）参照）。一方、平面視において、開口部４１を除く画素形成領域の全領域に共通電極は設けられている（図１（ａ）参照）。

[0079] したがって、図１（ａ）に示すＡ－Ａ線における断面において、信号線１９と画素電極３０とは共通電極４０によって遮蔽されている（図２（ａ）参

照）。この結果、信号線１９と画素電極３０との間に生じる寄生容量であるＣｓｄ２７は抑制される。図１（ａ）に示すＡ－Ａ線と平行な走査線２０上の線における断面において、走査線２０と画素電極３０とは共通電極４０によって遮蔽されている（図２（ｂ）参照）。この結果、走査線２０と画素電極３０との間に生じる寄生容量であるＣｇｄ２８は抑制される。

[0080] このように、液晶表示素子１０が共通電極４０を備えることによって、寄生容量であるＣｓｄ２７およびＣｇｄ２８は抑制される。この結果、Ｃｓｄ２７およびＣｇｄ２８を原因とする液晶表示素子１０における表示品位の劣化は抑制される。すなわち、共通電極４０は液晶表示素子１０の表示品位の向上に効果を奏する。

[0081] （補助容量の確保）

液晶表示素子１０において、補助容量であるＣｃｓは、共通電極４０と画素電極３０との間に形成される。共通電極４０と画素電極３０とは、開口部４１を除く広い領域において重なっている。したがって、液晶表示素子１０において、十分な大きさのＣｃｓを形成することは容易である。なお、共通電極４０とＳＩ経路との間には、膜厚の厚いＪＡＳ膜１７が形成されている。よって、共通電極４０とＳＩ経路との間に形成される容量は非常に小さい。

[0082] 液晶表示素子１０が良好な表示品位を得るために、Ｃｃｓの大きさには好ましい範囲がある。液晶表示素子１０において、共通電極４０が備える開口部４１の大きさを変更することによって、Ｃｃｓを任意に変更することが可能である。開口部４１を大きく形成すると、共通電極４０および画素電極３０が重なる領域が狭くなる。よって、Ｃｃｓは小さくなる。一方、開口部４１を小さく形成すると、共通電極４０および画素電極３０が重なる領域が広くなる。よって、Ｃｃｓは大きくなる。

[0083] 画素電極３０と対向電極２５との間に形成される液晶容量をＣｐｉｘとした場合に、ＣｃｓとＣｐｉｘとの関係は、０．６×Ｃｐｉｘ≦Ｃｃｓ≦０．９５×Ｃｐｉｘを満たしていることが好ましい。

[0084] ０．６×Ｃｐｉｘ≦Ｃｃｓとすることによって、液晶表示素子１０は表示品位を満足するために十分な大きさのＣｃｓを備えることができる。言い換えると、各走査線２０にアドレス信号が入力されていないときでも安定した電界を保持することができる。したがって、フリッカの発生を抑制することができ、液晶表示素子１０は満足な表示品位を得ることができる。

[0085] また、０．６×Ｃｐｉｘ≦Ｃｃｓとするためには、平面視における共通電極４０の面積をＣｃｓ＝０．６×Ｃｐｉｘとなる所定の面積より大きくする必要がある。共通電極４０において、その面積を大きくすることは、開口部４１の面積を小さくすることを意味する。共通電極４０における開口部４１の面積を小さくすることによって、共通電極４０の左右両端における電気抵抗値は減少する。したがって、各サブ画素間におけるクロストークの発生を抑制することができる。この結果、液晶表示素子１０は満足な表示品位を得ることができる。

[0086] 一方、Ｃｃｓ≦０．９５×Ｃｐｉｘとすることによって、各走査線２０にアドレス信号が入力されている期間中に補助容量への充電を十分に行うことができる。このことによって、各走査線２０にアドレス信号が入力されていない期間中においても、液晶層１３を制御するための電界を適切に保持することが可能になる。

[0087] 仮に、Ｃｃｓを適切な範囲に設定するために開口部４１の面積を大きく設定する必要があるとする。この場合、共通電極４０の面積が小さくなり共通電極４０の両端における電気抵抗値が増加する虞が生じる。この場合は、共通電極４０の膜厚を厚く形成することによって、共通電極４０の両端に生じる電気抵抗値を低減することができる。

[0088] （輝度向上）

液晶表示素子１０が備える共通電極４０は、ＩＴＯまたはＩＺＯの透明導電性材料からなる。さらに、共通電極４０は開口部４１を備えており、ガラス基板１１を平面視したときに、開口部４１の少なくとも一部は、画素電極３０が形成されている領域に設けられている。

[0089] 図２（ｃ）の断面図に示すように、開口部４１が設けられていることによって、液晶表示装置１０に入射するバックライト２９は共通電極４０によって吸収されることなく液晶層１３に入射する。

[0090] 一方、液晶表示素子１０に入射するバックライト２９が、共通電極４０を透過して液晶層１３に入射する領域においても、共通電極４０は良好な光透過率を有しているため、液晶表示素子１０の輝度が著しく低下することはない。

[0091] このように、液晶表示装置１０が備える共通電極４０が、透明導電性材料からなり、かつ、開口部４１を備えていることによって、金属材料からなる共通電極を備える従来の液晶表示素子と異なり、液晶表示装置１０は輝度を犠牲にすることがない。

[0092] なお、開口部４１の一部は画素電極３０が設置されている領域以外の領域に設けられていても良い。しかし、開口部４１の少なくとも一部は、コンタクトホール２４を含む画素電極３０が設置されている領域に設けられていることが好ましい。

[0093] このように、縦電界型の液晶表示装置１０が共通電極４０を備えることによって、表示品位を満足するために好ましい補助容量を備えつつ、輝度を犠牲にすることなく走査線および信号線と画素電極との間に生じる寄生容量を抑制することができる。この結果、縦電界型の液晶表示素子１０における表示品位を向上させることができる。

[0094] なお、液晶表示素子１０はＶＡモードの液晶表示素子に限られず、縦電界型の液晶表示素子であれば本発明を実施することができる。

[0095] また、本発明の一態様に係る液晶表示装置は、液晶表示素子１０を備えていてもよい。当該液晶表示装置が液晶表示素子１０を備えることによって、輝度を犠牲にすることなく当該液晶表示装置の表示品位を向上させることができる。

[0096] 〔実施形態２〕

（液晶表示素子５０）

本発明の別の実施形態である液晶表示素子５０について、図３を参照しながら説明する。図３は、液晶表示素子５０の概略を示す平面図である。液晶表示素子５０は、共通電極５１およびＴＦＴ５３の形状において液晶表示素子１０と異なる。したがって、本実施形態においては共通電極５１およびＴＦＴ５３について説明する。なお、液晶表示装置１０が備える部材と共通の部材に対しては同一の番号を付し、その説明を省略する。

[0097] （共通電極５１）

液晶表示素子５０は、液晶表示素子１０と同様にＶＡモードの液晶表示素子である。しかし、液晶表示素子１０がドット反転駆動によって駆動されるのに対して、液晶表示素子５０は行ライン反転駆動によって駆動される。この駆動方法の違いに起因して、液晶表示装置５０が備える共通電極５１の形状と、液晶表示装置１０が備える共通電極４０の形状とは異なる。

[0098] １本の走査線２０に接続されている複数のサブ画素に対応して、１つの共通電極５１が形成されている。したがって、液晶表示素子５０は、行ラインごとに独立している形状を備えており、その結果、各共通電極５１は電気的に絶縁されている。

[0099] 各共通電極５１は、それぞれ補助容量を制御するためのＣＳドライバに接続されている。各走査線２０に接続されている各サブ画素が適切な補助容量を備えることができるように、ＣＳドライバは各共通電極５１に適切な信号を出力する。

[0100] 平面視において各共通電極５１の形状は、各走査線２０が形成されている全領域、および、各信号線１９が形成されている一部の領域を覆う形状である。本実施形態に係る共通電極５１は長方形であるが、上記の構成を満たしていれば、その形は長方形に限定されない。

[0101] 共通電極５１が上で述べたような形状を備えていることによって、走査線２０と画素電極３０との間に生じる寄生容量であるＣｇｄ、および、信号線１９と画素電極３０との間に生じる寄生容量であるＣｓｄの一部を抑制することができる。

[0102] したがって、縦電界型であり、かつ、行ライン反転駆動によって駆動される液晶表示素子５０においても、寄生容量が表示品位に与える影響を抑制することができる。すなわち、液晶表示素子５０の表示品位を向上させることができる。

[0103] （ＴＦＴ）

液晶表示素子５０が備えるＴＦＴはトップゲート方式のＴＦＴである。各サブ画素領域において、各走査線２０と信号線１９との交差部近辺に２つのＴＦＴが設けられている。当該ＴＦＴは、ゲート電極５３、ドレイン電極５４、ＳＩ経路５５およびＳＩ経路５６を備えている。当該ＴＦＴは、液晶表示素子１０が備えるＴＦＴと比較して、ＳＩ経路およびゲート電極の形状が異なっている。

[0104] 液晶表示素子５０において、一方のゲート電極５３を形成するための導電膜が、走査線２０から走査線２０に対して垂直な方向に形成されている（図３参照）。この導電膜は、走査線２０と同じ材質からなる。

[0105] ＳＩ経路５５と走査線２０とは交差しており、この交差部に別のゲート電極５３が形成されている。ＳＩ経路５５は、上記一方のゲート電極５３と、上記別のゲート電極５３とを接続している。さらに、ＳＩ経路５５は、走査線２０を横断した部分においてソース電極を兼ねる信号線１９に接続されている。ＳＩ経路５６は、一方のＴＦＴとドレイン電極５４とを接続するように形成されている。

[0106] ゲート電極５３とＳＩ経路５５およびＳＩ経路５６との界面にはゲート絶縁膜およびチャネル層が形成されている。ＳＩ経路５５およびＳＩ経路５６は、シリコンからなる。

[0107] 〔実施形態３〕

本発明のさらに別の実施形態である液晶表示素子６０について、図４を参照しながら説明する。液晶表示装置６０が備える共通電極６１は、液晶表示装置５０が備える共通電極５１に対して開口部の形状が異なる。共通電極５１の形状は長方形である。したがって、共通電極５１の信号線に対して平行

方向の長さを幅としたときに、その幅は常に一定である。

[0108] それに対して、共通電極６１の幅は一定ではない。信号線１９が設置されている領域および信号線１９が設置されている周辺領域における共通電極６１の幅は、当該領域を除く領域における共通電極６１の幅より広く形成されている。

[0109] このことによって、共通電極６１は、信号線１９が設置されている領域のうちより広い領域を覆うことができる。したがって、液晶表示素子６０は液晶表示素子５０に比べて、信号線１９と画素電極３０との間に形成される寄生容量であるＣｓｄを、より効果的に抑制することができる。すなわち、液晶表示素子６０は液晶表示素子５０に比べて、より表示品位を向上させることができる。

[0110] （付記事項）

本発明の一態様に係る液晶表示素子は、上記の課題を解決するために、

一対の透明基板と、当該一対の透明基板の間に配置される液晶層とを備えた液晶表示素子であって、

一方の上記透明基板は、

走査線と、

上記走査線に直交する信号線と、

上記信号線と上記走査線とに接続される駆動素子と、

上記走査線および信号線よりも上層に配置され、かつ、上記駆動素子に接続される透明画素電極と、

上記走査線および信号線と上記透明画素電極との間の層に配置され、上記走査線の少なくとも一部および上記信号線の少なくとも一部のうち少なくとも一方に対向する位置を覆い、かつ、上記透明画素電極に対向する位置に開口部を有する透明共通電極とを備え、

他方の上記透明基板は、対向電極を備えていることを特徴としている。

[0111] 上記の構成によれば、本発明の一態様に係る液晶表示素子において、透明共通電極は、走査線および信号線と透明画素電極との間の層に配置されてい

る。さらに、走査線の少なくとも一部および信号線の少なくとも一部のうち少なくとも一方は、透明共通電極によって覆われている。当該構成の液晶表示素子において、走査線の少なくとも一部に対向する位置を透明共通電極が覆っている場合は、走査線の一部と画素電極とは透明共通電極によって互いに遮蔽されている。同様に、信号線の少なくとも一部に対向する位置を透明共通電極が覆っている場合は、信号線の一部と画素電極とは透明共通電極によって互いに遮蔽されている。このことによって、走査線の少なくとも一部および信号線の少なくとも一部のうち少なくとも一方と、画素電極との間に形成される寄生容量が抑制される。

[0112] さらに、透明共通電極は、透明画素電極に対向する位置に開口部を備えている。このことによって、透明共通電極を透過することなく液晶層に入射する光が増加する。その結果、当該液晶表示素子の輝度が向上する。

[0113] このように、本発明の一態様に係る液晶表示素子によれば、縦電界型の液晶表示素子において、液晶表示素子の輝度を犠牲にすることなく、走査線および信号線と画素電極との間に生じる寄生容量を抑制することができる。

[0114] また、本発明の一態様に係る液晶表示素子では、さらに、

上記透明共通電極は、上記走査線の全部に対向する位置と、上記信号線の全部とに対向する位置と、を覆うことが好ましい。

[0115] 上記の構成によれば、走査線の全部と、透明画素電極とは透明共通電極によって遮蔽されている。同様に、信号線の全部と、透明画素電極とは透明共通電極によって遮蔽されている。したがって、当該液晶表示素子は、走査線および信号線と画素電極との間に生じる寄生容量を、より効果的に抑制することができる。その結果、本発明の一態様に係る液晶表示素子において、表示品位をさらに向上することができる。

[0116] また、本発明の一態様に係る液晶表示素子では、さらに、

上記一方の透明基板は、複数の上記走査線を備えており、

上記透明共通電極は、上記走査線ごとに設けられており、

各上記透明共通電極は、対応する上記走査線の全部に対向する位置を少な

くとも覆うことが好ましい。

[0117] 上記の構成によれば、本発明の一態様に係る液晶表示素子は、各走査線に対応する複数の透明共通電極を備えている。さらに、各走査線が形成されている全領域は、対応する各透明共通電極によって覆われている。加えて、透明共通電極は走査線ごとに独立して設けられている。言い換えると、各透明共通電極は電気的に導通しない形状に形成されている。したがって、各透明共通電極に対して別個の信号を入力することができる。その結果、本発明の一態様に係る液晶表示素子は、駆動方式として行ライン反転駆動を採用した上で、寄生容量の影響による表示品位の劣化を抑制することができる。

[0118] また、本発明の一態様に係る液晶表示素子では、さらに、

各上記透明共通電極において、対応する上記走査線と上記信号線とが交差する位置における幅は、対応する上記走査線と上記信号線とが交差しない位置における幅より広いことが好ましい。

[0119] 上記の構成によれば、透明画素電極が形成されている領域において透明共通電極が備える開口部を狭くすることなく、透明共通電極がより広い領域の信号線を覆うことができる。しがたって、本発明の一態様に係る液晶表示素子は、輝度を犠牲にすることなく、信号線と画素電極との間に生じる寄生容量をより効果的に抑制することがでる。すなわち、当該寄生容量による表示品位の劣化を、より効果的に抑制することができる。

[0120] また、本発明の一態様に係る液晶表示装置は、上記いずれかの液晶表示素子を備えていることが好ましい。

[0121] 上記の構成によれば、縦電界型の液晶表示素子を備える液晶表示装置において、液晶表示装置の輝度を犠牲にすることなく、走査線および信号線と画素電極との間に生じる寄生容量を抑制することができる。

[0122] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0123] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内で、いろいろと変更して実施することができるものである。

産業上の利用可能性

[0124] 本発明は、液晶表示素子および液晶表示装置として幅広く利用できる。

符号の説明

[0125] １０　液晶表示素子
１１　ガラス基板（一方の透明基板）
１２　ガラス基板（他方の透明基板）
１３　液晶層
１４　ベースコート
１５　第１絶縁膜
１６　第２絶縁膜
１７　ＪＡＳ膜
１８　第３絶縁膜
１９　信号線
２０　走査線
２１　ＳＩ経路
２２　ＳＩ経路
２３　ゲート電極
２４　ドレイン電極
２５　対向電極
２６　カラーフィルター
２７　Ｃｓｄ
２８　Ｃｇｄ
３０　画素電極（透明画素電極）

４０　共通電極（透明共通電極）

４１　開口部

請求の範囲

[請求項1] 一対の透明基板と、当該一対の透明基板の間に配置される液晶層とを備えた液晶表示素子であって、

一方の上記透明基板は、

走査線と、

上記走査線に直交する信号線と、

上記信号線と上記走査線とに接続される駆動素子と、

上記走査線および信号線よりも上層に配置され、かつ、上記駆動素子に接続される透明画素電極と、

上記走査線および信号線と上記透明画素電極との間の層に配置され、上記走査線の少なくとも一部および上記信号線の少なくとも一部のうち少なくとも一方に対向する位置を覆い、かつ、上記透明画素電極に対向する位置に開口部を有する透明共通電極とを備え、

他方の上記透明基板は、対向電極を備えていることを特徴とする液晶表示素子。

[請求項2] 上記透明共通電極は、上記走査線の全部に対向する位置と、上記信号線の全部とに対向する位置と、を覆うことを特徴とする請求項１に記載の液晶表示素子。

[請求項3] 上記一方の透明基板は、複数の上記走査線を備えており、

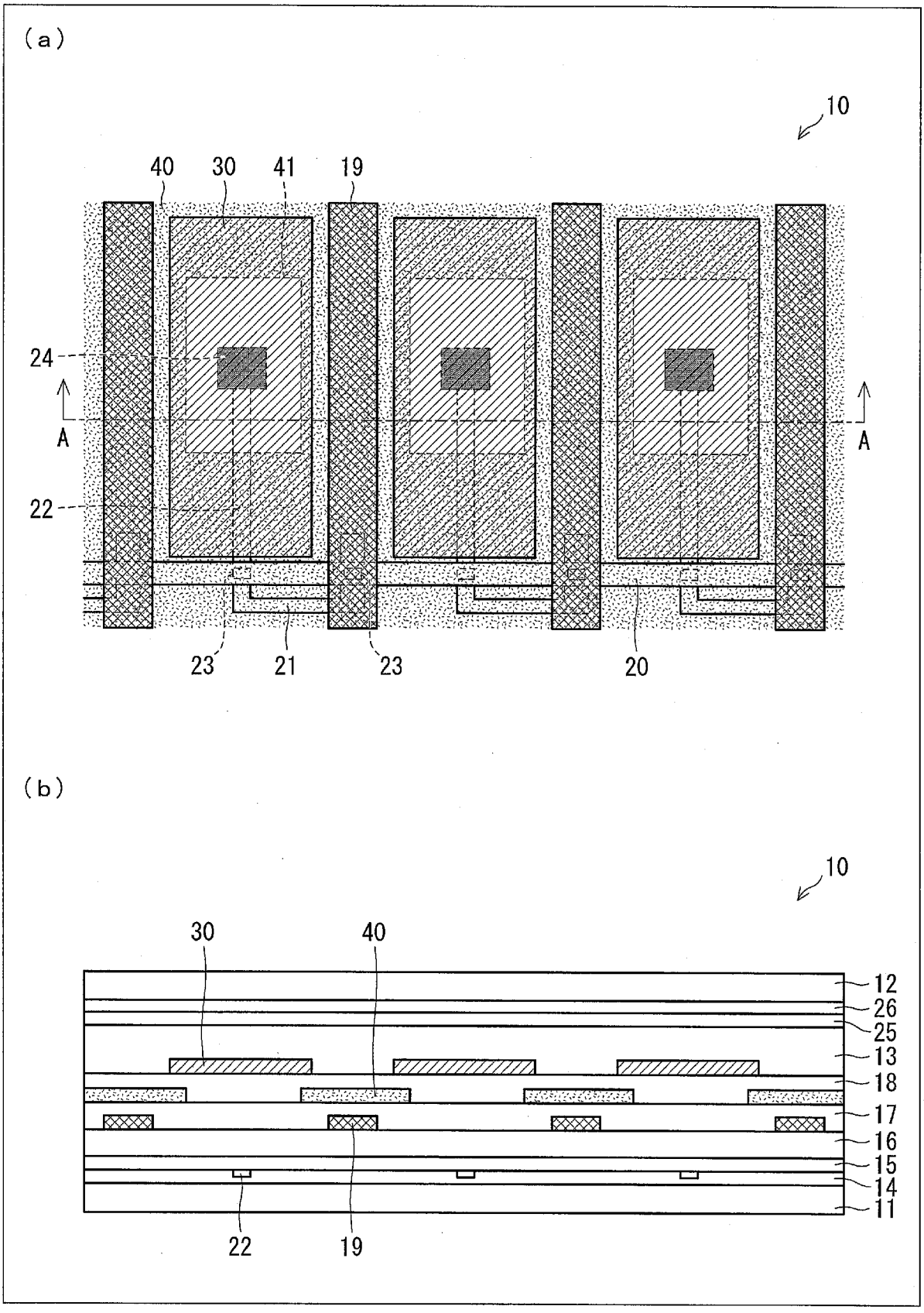
上記透明共通電極は、上記走査線ごとに設けられており、

各上記透明共通電極は、対応する上記走査線の全部に対向する位置を少なくとも覆うことを特徴とする請求項１に記載の液晶表示素子。

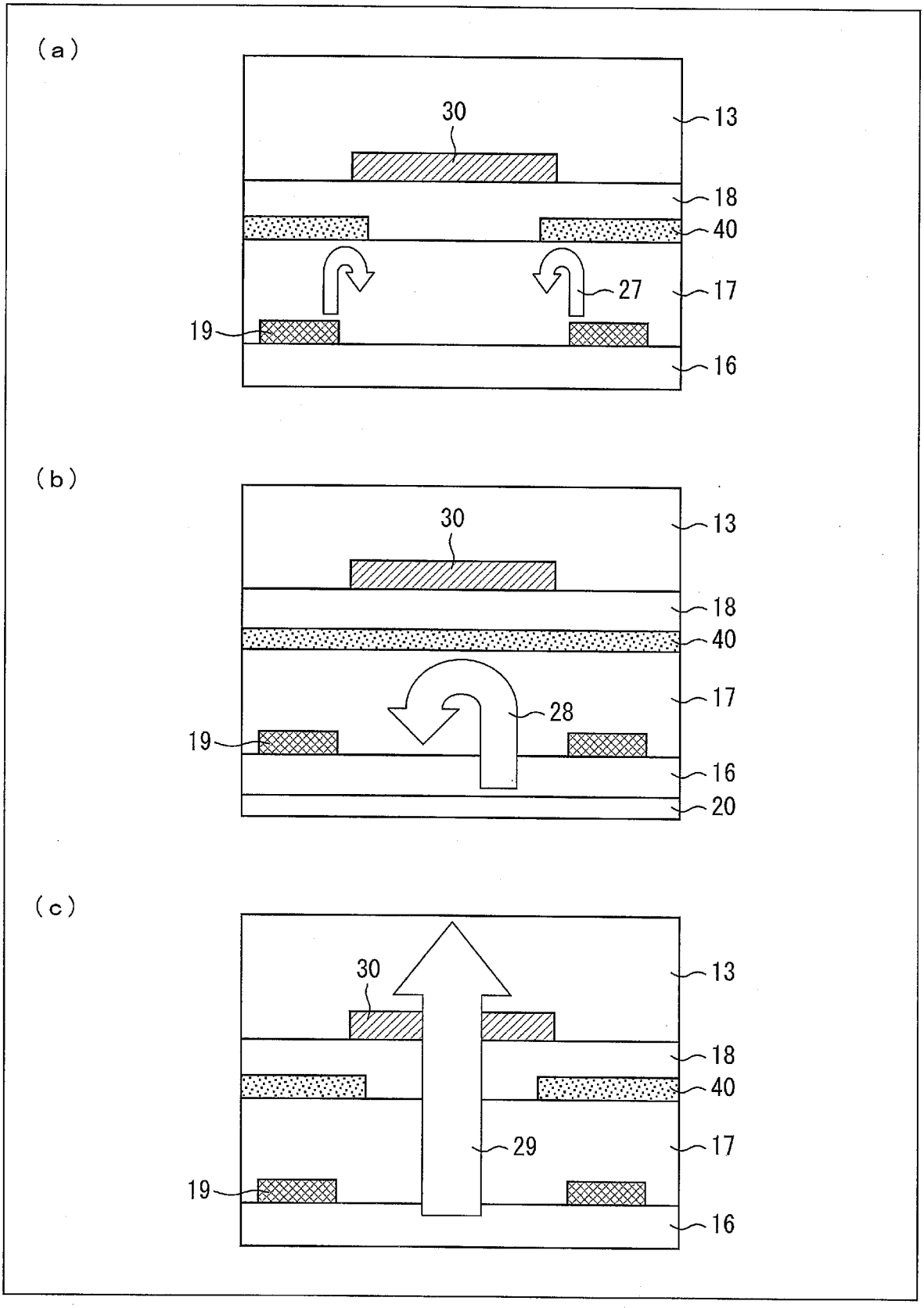
[請求項4] 各上記透明共通電極において、対応する上記走査線と上記信号線とが交差する位置における幅は、対応する上記走査線と上記信号線とが交差しない位置における幅より広いことを特徴とする請求項３に記載の液晶表示素子。

[請求項5] 請求項１～４のいずれか一項に記載の液晶表示素子を備えていることを特徴とする液晶表示装置。

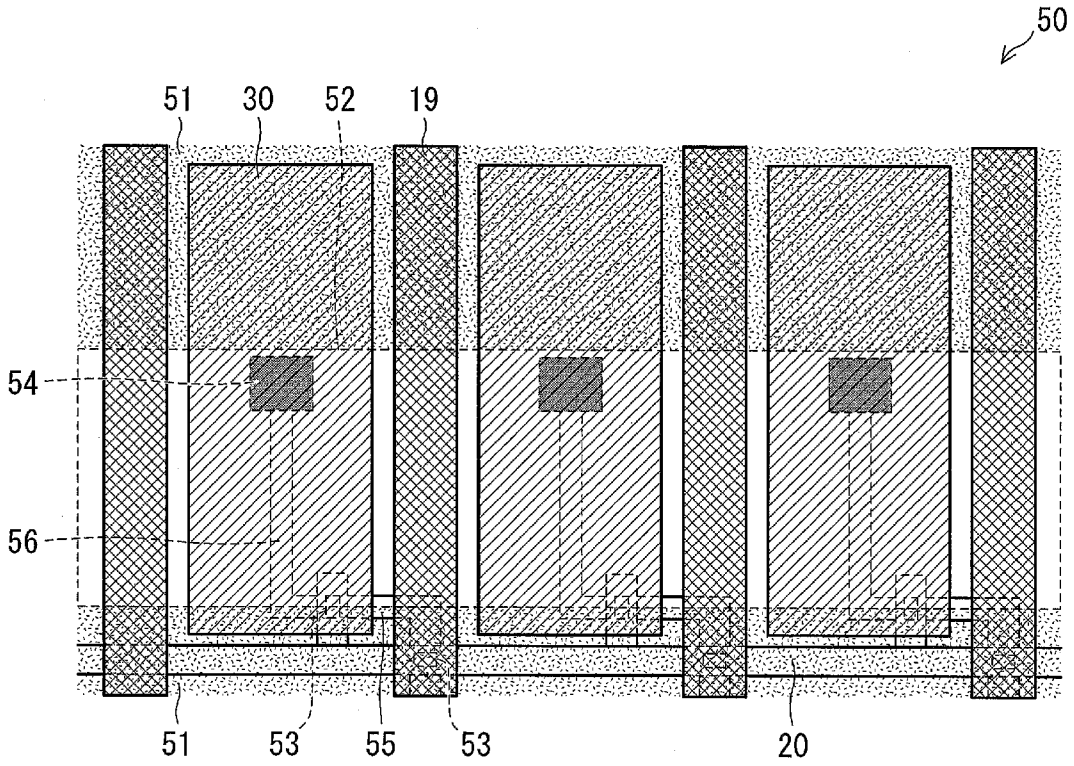
[図1]


(a)
10
40
30
41
19
24
A
A
22
23
21
23
20
(b)
10
30
40
12
26
25
13
18
17
16
15
14
11
22
19

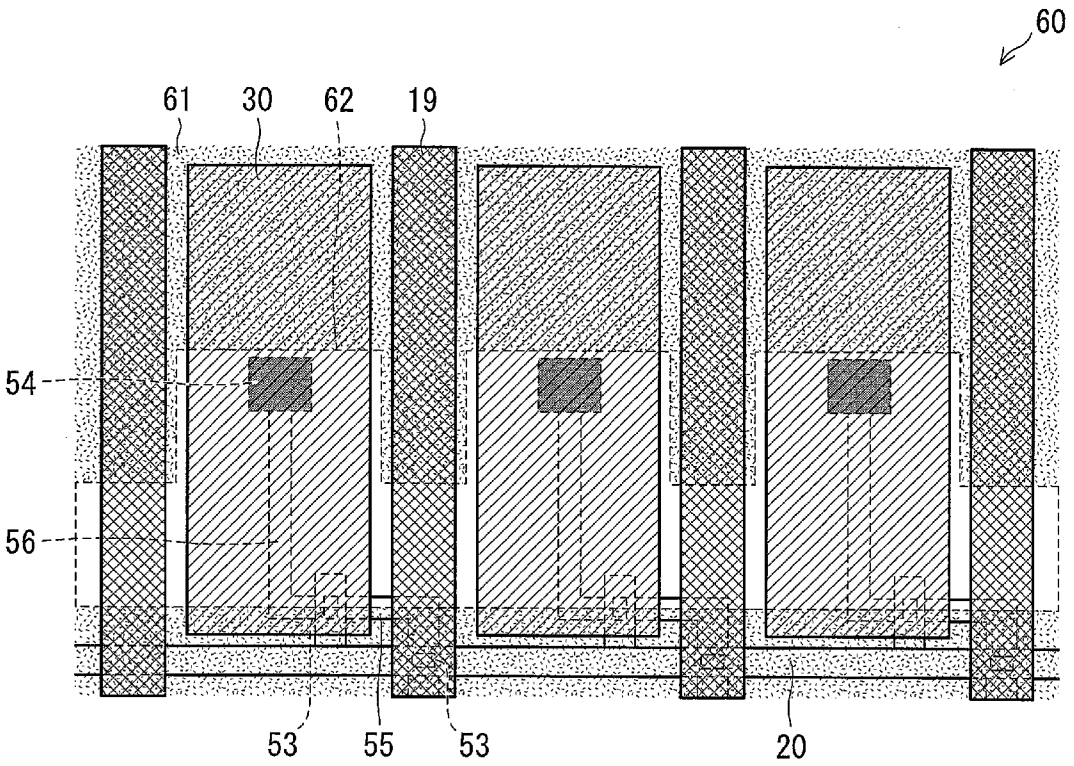
[図2]


(a)
30
13
18
40
27
17
19
16
(b)
30
13
18
40
17
28
19
16
20
(c)
30
13
18
40
29
17
19
16

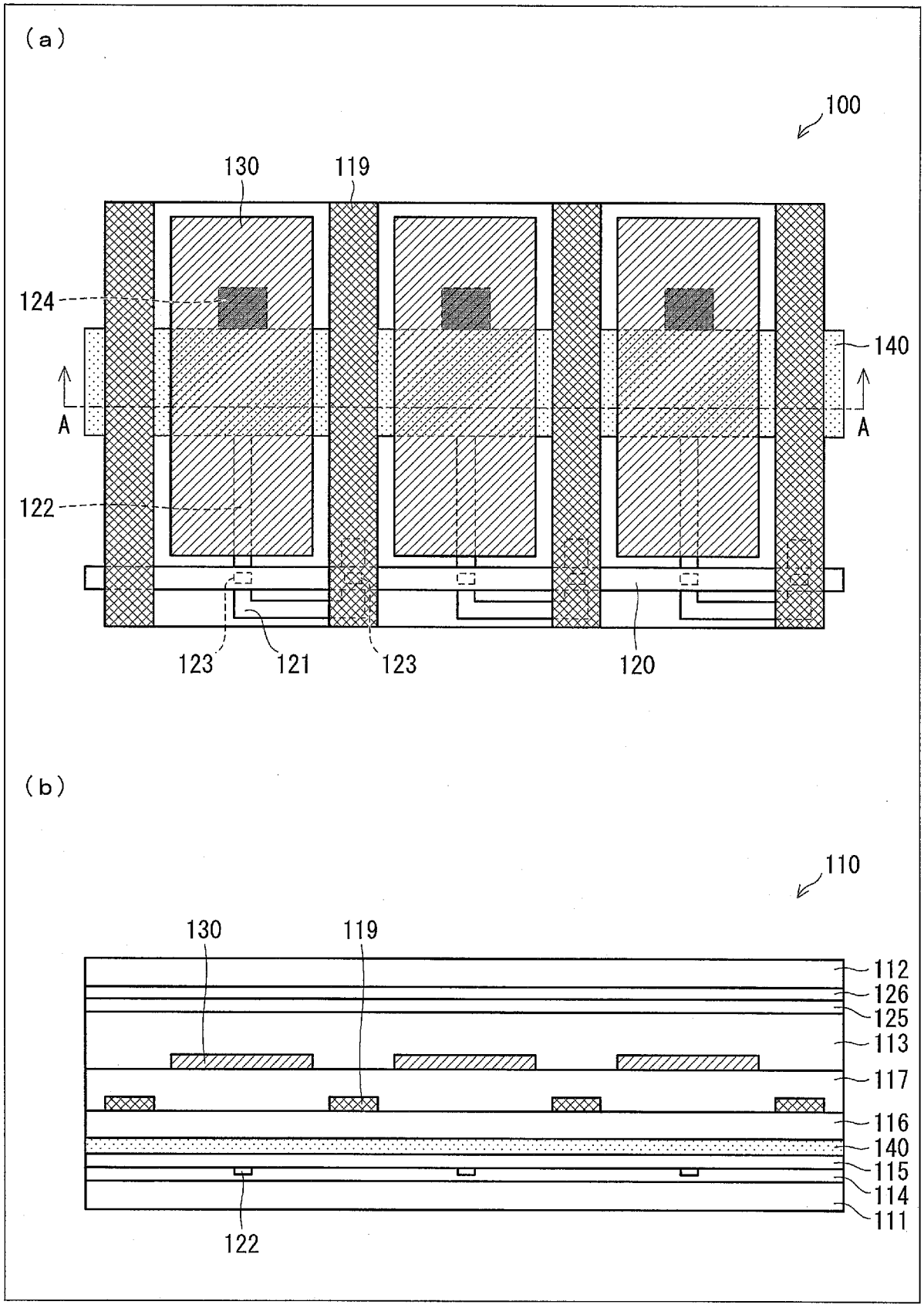
[図3]



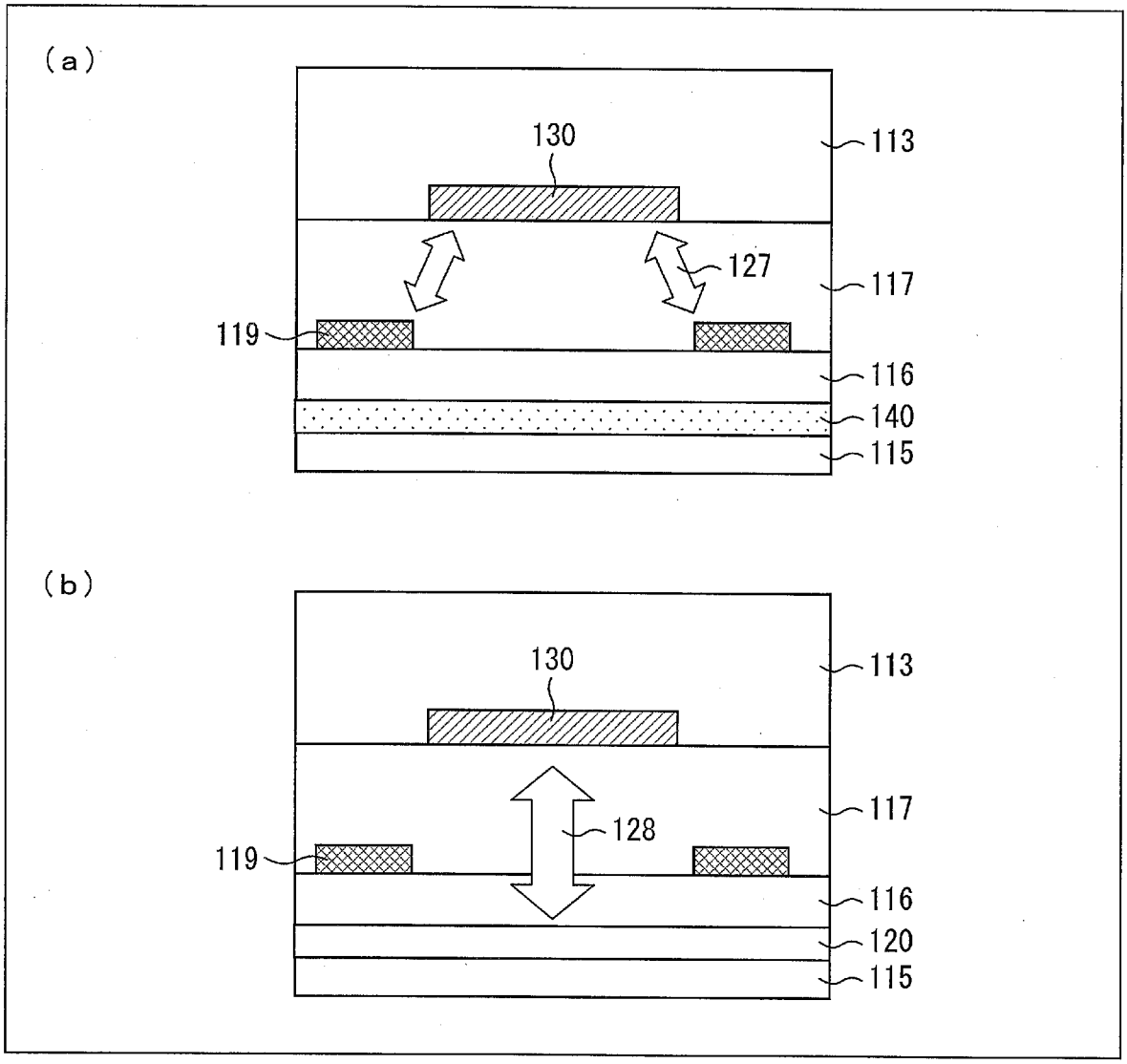
[図4]



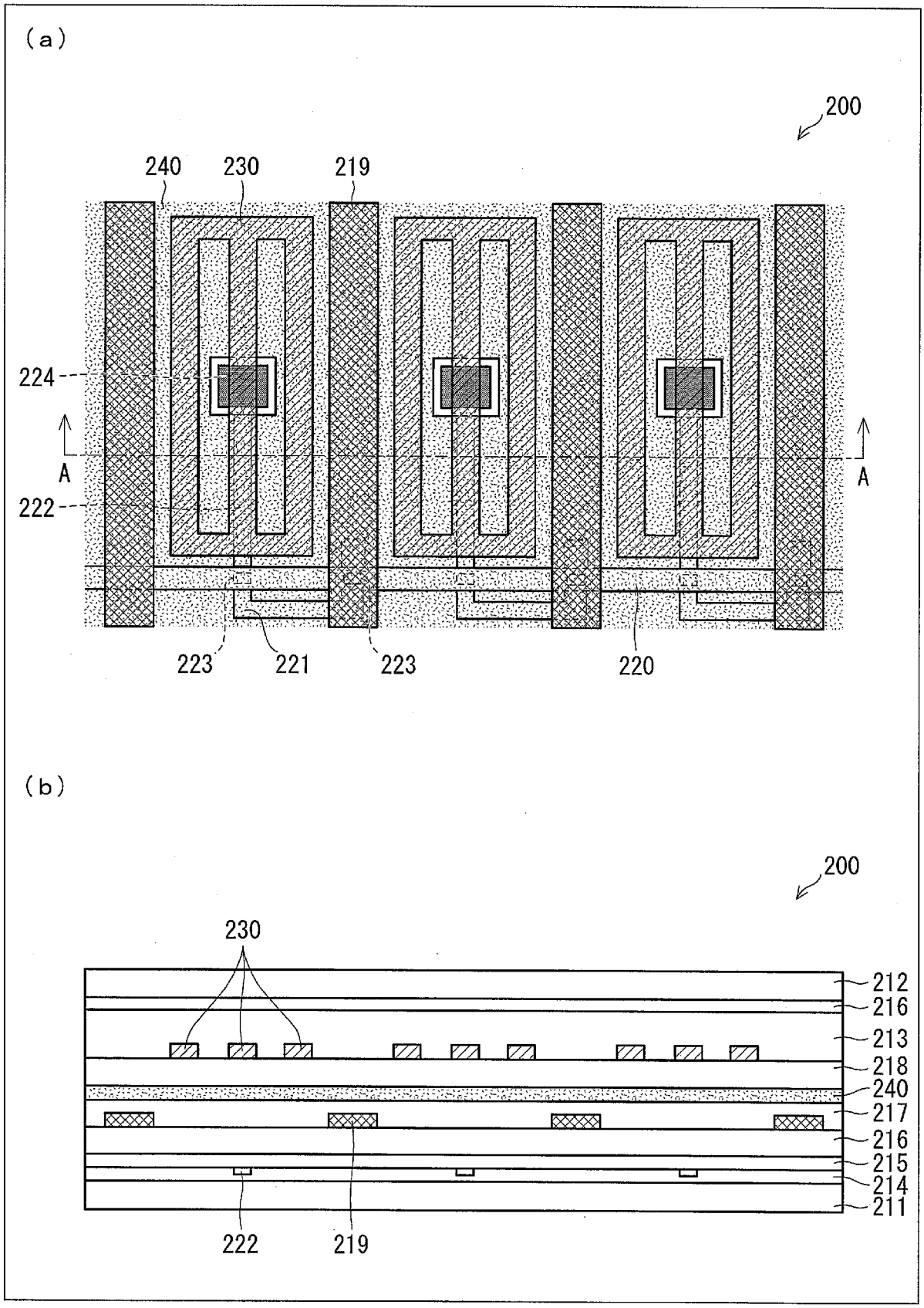
[図5]


(a)
100
130
119
124
140
A
A
122
123
121
123
120
(b)
110
130
119
112
126
125
113
117
116
140
115
114
111
122

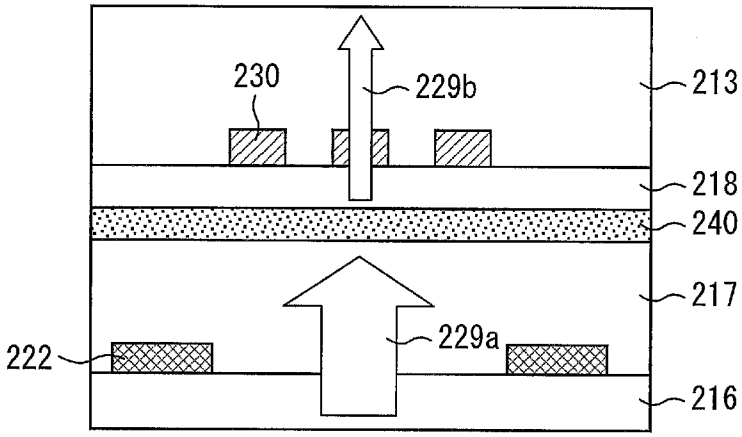
[図6]


(a)
130
113
127
117
119
116
140
115
(b)
130
113
117
128
119
116
120
115

[図7]


(a)
200
240
230
219
224
A
A
222
223
221
223
220
(b)
200
230
212
216
213
218
240
217
216
215
214
211
222
219

[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/077248

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-343612 A (Casio Computer Co., Ltd.), 21 December 2006 (21.12.2006), entire text; fig. 1 to 6 & WO 2006/132392 A1 & EP 1889120 A & US 2006/0278873 A1 & KR 10-2007-0088689 A & CN 101091135 A	1-2,5 3-4
A	JP 2005-128053 A (Sharp Corp.), 19 May 2005 (19.05.2005), entire text; fig. 1 to 13 (Family: none)	1-5
A	JP 2-63020 A (Toshiba Corp.), 02 March 1990 (02.03.1990), entire text; fig. 1 to 4 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 December, 2012 (27.12.12)	15 January, 2013 (15.01.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０７７２４８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1343

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2006-343612 A (カシオ計算機株式会社) 2006.12.21, 全文，第1-6図　& WO 2006/132392 A1 & EP 1889120 A & US 2006/0278873 A1 & KR 10-2007-0088689 A & CN 101091135 A	1-2,5 3-4
A	JP 2005-128053 A (シャープ株式会社) 2005.05.19, 全文，第1-13図（ファミリーなし）	1-5
A	JP 2-63020 A (株式会社東芝) 1990.03.02，全文，第1-4図 (ファミリーなし)	1-5

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．１２．２０１２	１５．０１．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　９１１５
鈴木　俊光
電話番号　０３－３５８１－１１０１　内線　３２５５