



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0055585
 (43) 공개일자 2011년05월25일

(51) Int. Cl.
H01L 21/28 (2006.01) **H01L 21/8238** (2006.01)
 (21) 출원번호 10-2011-7004709
 (22) 출원일자(국제출원일자) 2009년08월04일
 심사청구일자 없음
 (85) 번역문제출일자 2011년02월28일
 (86) 국제출원번호 PCT/US2009/052643
 (87) 국제공개번호 WO 2010/017162
 국제공개일자 2010년02월11일
 (30) 우선권주장
 12/188,228 2008년08월08일 미국(US)

(71) 출원인
인터내셔널 비지네스 머신즈 코퍼레이션
 미국 10504 뉴욕주 아몬크 뉴오차드 로드
 (72) 발명자
앤드리, 폴, 스티븐
 미국 버몬트 05452, 에섹스 정션, 리버 스트리트
 1000
스프로지스, 에드먼드, 주리스
 미국 버몬트 05452, 에섹스 정션, 리버 스트리트
 1000
창, 코르넬리아, 케이.
 미국 버몬트 05452, 에섹스 정션, 리버 스트리트
 1000
 (74) 대리인
허정훈, 윤여원

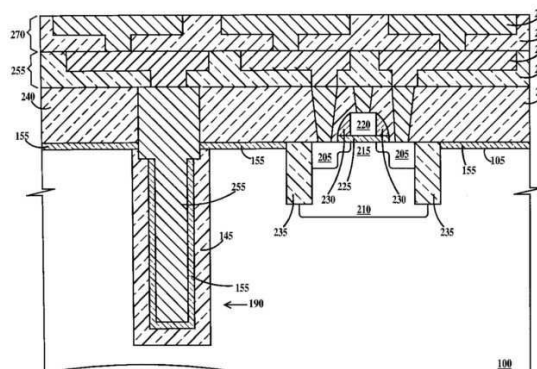
전체 청구항 수 : 총 35 항

(54) 쓰루 실리콘 비아 및 이의 제작 방법

(57) 요약

쓰루 실리콘 비아 구조 및 상기 쓰루 실리콘 비아를 제작하는 방법에 관한 발명이다. 상기 방법은 (a) 실리콘 기판(100)내 트렌치(140)를 형성하는 단계 -상기 트렌치(140)는 상기 기판(100)의 상면(105)으로 오픈됨-; (b) 상기 트렌치(140)의 측벽들상에 이산화 실리콘층(145)을 형성하는 단계 -상기 이산화 실리콘층은 상기 트렌치(140)를 채우지 않음-; (c) 상기 트렌치내 남아있는 공간을 폴리실리콘(160)으로 채우는 단계; (d) (c) 단계 이후에, 상기 기판(100)내 CMOS 디바이스(200)의 적어도 일 부분을 제작하는 단계; (e) 상기 트렌치(140)로부터 상기 폴리실리콘을 제거하는 단계 -상기 유전층(145)은 상기 트렌치의 측벽들상에 남아있음-; (f) 상기 트렌치(140)를 전기 도체 코어(255)를 가지고 다시 채우는 단계; 및 (g) (f) 단계 이후에, 상기 기판(100)의 상면(105)위로 하나 또는 그 이상의 배선층들(260)을 형성하는 단계 -상기 기판(100)에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨(255)의 하나의 배선(260)은 상기 전기 도체(255)에 접촉함-;를 포함한다.

대표도 - 도2f



특허청구의 범위

청구항 1

- (a) 실리콘 기판내 트렌치(trench)를 형성하는 단계 -상기 트렌치는 상기 기판의 상면으로 오픈됨-;
- (b) 상기 트렌치의 측벽들상에 이산화 실리콘층(silicon dioxide layer)을 형성하는 단계 - 상기 이산화 실리콘 층은 상기 트렌치를 채우지 않음-;
- (c) 상기 트렌치내 남아있는 공간을 폴리실리콘(polysilicon)으로 채우는 단계;
- (d) (c)단계 이후, 상기 기판에 CMOS 디바이스의 적어도 일 부분을 제작하는 단계;
- (e) 상기 트렌치로부터 상기 폴리실리콘을 제거하는 단계 -상기 유전층은 상기 트렌치의 상기 측벽들상에 남아 있음-;
- (f) 상기 트렌치를 전자 도체 코어(electrically conductive core)로 다시 채우는 단계; 및
- (g) (f) 단계 이후, 상기 기판의 상면 위로 하나 또는 그 이상의 배선층들을 형성하는 단계 -상기 기판에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨의 하나의 배선은 상기 전기 도체에 접촉함-;를 포함하는

방법.

청구항 2

제1항에 있어서,

- (h)박판화된 기판(thinned substrate)을 형성하기 위해 하면으로부터 상기 기판을 박판화하는 단계(thinning) -상기 박판화 후 상기 코어의 하면이 상기 박판화된 기판의 하면과 동일평면임-;를 더 포함하는

방법.

청구항 3

제2항에 있어서,

- 상기 코어의 상기 하면에 상호연결 구조를 형성하는 단계;를 더 포함하는

방법.

청구항 4

제3항에 있어서,

상기 상호연결 구조를 형성하는 단계는

상기 박판화된 기판의 상기 하면상에 유전층을 형성하는 단계;

상기 유전층내 개구(opening)를 형성하는 단계 -상기 코어는 상기 개구의 바닥에 노출됨-;

상기 유전층상에 금속 패드를 형성하는 단계 -상기 패드의 주변은 상기 개구의 주변을 오버랩핑하고, 상기 패드는 상기 코어의 상기 하면에 접촉함-; 및

상기 금속 패드상에 솔더 범프(solder bump)를 형성하는 단계를 더 포함하는

방법.

청구항 5

제1항에 있어서,

상기 이산화 실리콘층은, 상기 트렌치의 상기 측벽들상의 노출된 상기 기판의 열산화(thermal oxidation)에 의

해서 형성되는
방법.

청구항 6

제1항에 있어서,
상기 이산화 실리콘층은 적어도 약 0.5 마이크론 두께인
방법.

청구항 7

제6항에 있어서,
상기 이산화 실리콘층은 상기 트렌치의 상기 측벽들상의 상기 이산화 실리콘층의 가장 얇은 영역들과 가장 두꺼운 영역들 사이에서 약 10% 보다 적은 두께 변화를 가지는
방법.

청구항 8

제1항에 있어서,
상기 (a) 단계는
상기 기판의 상기 상면상에 산화 장벽을 형성하는 단계;
상기 산화 장벽내 개구를 형성하는 단계 -상기 기판의 상기 상면의 영역은 상기 개구내에 노출됨-; 및
상기 개구내 노출된 상기 기판을 플라즈마 에칭하는 단계(plasma etching);를 포함하는
방법.

청구항 9

제1항에 있어서,
상기 (a) 단계는
상기 기판의 상면상에 산화 장벽층을 형성하는 단계;
상기 장벽층의 상면상에 패터닝 포토레지스트층을 형성하는 단계;
상기 기판의 상기 상면을 노출하기 위해 상기 장벽층을 에칭하는 단계 -상기 장벽층은 상기 패터닝 포토레지스트층에 의해 보호되지 않음-;
상기 장벽층을 에칭한 후에, 상기 트렌치를 형성하기 위해 상기 기판을 에칭하는 단계; 및
상기 트렌치를 에칭한 이후 그리고 (b) 단계 이전에, 상기 포토레지스트층을 제거하는 단계를 포함하는
방법.

청구항 10

제1항에 있어서,
(b)단계와 (c)단계 사이에서, 상기 기판의 상기 상면과 상기 이산화 실리콘층의 노출된 표면에 패드 유전층을 형성하는 단계를 더 포함하는
방법.

청구항 11

제10항에 있어서,

(b)단계와 (c)단계 사이에서,
 상기 트렌치내 상기 폴리실리콘의 위쪽 영역을 제거하는 단계 및
 상기 트렌치내 남아있는 폴리실리콘상에 유전 캡을 형성하는 단계를 더 포함하는
 방법.

청구항 12

제1항에 있어서,
 상기 CMOS 디바이스는 전계 효과 트랜지스터(field effect transistor: FET)이고 (d) 단계는
 상기 전계 효과 트랜지스터의 형성후에, 상기 기판의 상기 상면위로 보호층을 형성하는 단계;
 상기 보호층을 통해서 상기 전계 효과 트랜지스터의 소스, 드레인 및 게이트 전극으로 금속 콘택들을 형성하는
 단계; 및
 상기 트렌치 위로 상기 보호층내 개구를 형성하는 단계를 포함하는
 방법.

청구항 13

제12항에 있어서,
 (f)단계를 수행한 후에, 상기 코어의 위쪽 영역이 상기 보호층내 상기 개구를 채우는
 방법.

청구항 14

제1항에 있어서,
 상기 트렌치는 상기 웨이퍼의 상기 상면에 수직인 직선 측벽들과 실질적으로 동일한 너비를 가지는
 방법.

청구항 15

제1항에 있어서,
 상기 트렌치는 서로를 향해서 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기
 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 큰
 방법.

청구항 16

제1항에 있어서,
 상기 트렌치는 서로에게서 멀어지는 방향으로 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기
 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 작은
 방법.

청구항 17

- (a) 실리콘 기판의 상면상에 산화 장벽층을 형성하고 상기 장벽층내 개구를 형성하는 단계 -상기 기판의 상기 상면의 영역은 상기 개구의 바닥에서 노출됨-;
- (b) 상기 기판이 상기 장벽층에 의해 보호되지 않는 상기 실리콘 기판에 트렌치를 형성하는 단계-상기 트렌치는 상기 기판의 상면으로 오픈됨-;
- (c) 상기 트렌치의 측벽들상에 이산화 실리콘층을 형성하는 단계 -상기 이산화 실리콘층은 상기 트렌치를 채우

지 않음-;

(d) 상기 산화 장벽층을 제거하는 단계;

(e) 상기 기판의 상기 상면과 상기 이산화 실리콘층의 노출된 모든 면에 하드마스크층을 형성하는 단계;

(f) 상기 트렌치내 남아있는 공간을 폴리실리콘으로 채우는 단계 -이후 상기 폴리실리콘의 상면은 상기 하드마스크층의 상면과 수평임-;

(g) (f)단계 이후, 상기 기판내 전계 효과 트랜지스터(field effect transistor)의 소스, 드레인 및 채널 영역, 상기 채널 영역상의 게이트 유전체 및 상기 게이트 유전체상의 게이트 전극을 형성하는 단계;

(h) 상기 하드마스크층 및 상기 전계 효과 트랜지스터 위로 보호층을 형성하는 단계;

(i) 상기 보호층을 지나서 상기 전계 효과 트랜지스터의 상기 소스, 상기 드레인 및 상기 게이트 전극 각각에 메탈 콘택들을 형성하는 단계 -상기 금속 콘택들의 상면과 상기 보호층의 상면은 동일평면임-;

(j) 상기 트렌치 위로 상기 보호층내 개구를 형성하고 상기 트렌치로부터 상기 폴리실리콘을 제거하는 단계 -상기 유전층과 상기 하드마스크층은 상기 트렌치의 상기 측벽들상에 남아있음-;

(k) 상기 트렌치를 전자 도체 코어로 다시 채우는 단계 -상기 유전층 및 상기 하드마스크층은 상기 트렌치의 상기 측벽들상에 남아있고, 상기 코어의 상면과 상기 보호층의 상면은 동일평면임-; 및

(l) (k)단계 이후에, 상기 보호층위에 하나 또는 그 이상의 배선층들을 형성하는 단계 -상기 기판에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨의 하나의 배선은 상기 전도 코어의 상기 상면에 접촉함-;를 포함하는

방법.

청구항 18

제17항에 있어서,

(m)박판화된 기판(thinned substrate)을 형성하기 위해 하면으로부터 상기 기판을 박판화하는 단계(thinning)-상기 박판화 후 상기 코어의 하면은 상기 박판화된 기판의 하면과 동일평면임-;를 더 포함하는

방법.

청구항 19

제18항에 있어서,

상기 박판화된 기판의 상기 하면상에 유전층을 형성하는 단계;

상기 보호층의 밑에 개구를 형성하는 단계 -상기 코어는 상기 개구의 밑으로 노출됨-;

상기 유전층상에 금속패드를 형성하는 단계 -상기 패드의 주변은 상기 개구의 주변과 오버랩되고, 상기 패드는 상기 코어의 상기 바닥과 접촉함-; 및

상기 바닥 금속 패드상에 솔더 범프를 형성하는 단계;를 더 포함하는

방법.

청구항 20

제17항에 있어서,

상기 이산화 실리콘층은 상기 트렌치의 상기 측벽들상에 노출된 상기 기판의 열산화에 의해 형성되는

방법.

청구항 21

제17항에 있어서,

상기 이산화 실리콘층은 적어도 약 0.5 마이크로미터 두께를 가지는

방법.

청구항 22

제21항에 있어서,

상기 이산화 실리콘층은 상기 트렌치의 상기 측벽들상의 상기 이산화 실리콘층의 가장 두꺼운 영역과 가장 얇은 영역사이에서 약 10%보다 적은 두께 변화를 가지는

방법.

청구항 23

제17항에 있어서,

상기 (a)단계는 상기 장벽층의 상면상에 패터닝 포토레지스트층을 형성하는 단계 및 상기 장벽층이 상기 패터닝 포토레지스트층에 의해 보호되지 않는 상기 장벽층내 상기 개구를 형성하기 위해, 상기 장벽층을 에칭하는 단계를 포함하고,

상기 (b) 단계는 상기 개구내 노출된 상기 기판을 플라즈마 에칭함으로써 상기 트렌치를 형성하는 단계 및 상기 에칭이후 (c) 단계 이전에, 상기 포토레지스트층을 제거하는 단계를 포함하는

방법.

청구항 24

제17항에 있어서,

(f) 단계 및 (g) 단계 사이에서, 상기 트렌치내 상기 폴리실리콘의 위쪽 영역을 제거하는 단계 및 상기 트렌치내 남아있는 폴리실리콘상의 유전캡을 형성하는 단계;를 더 포함하고,

상기 (j) 단계는 상기 유전캡을 제거하는 단계를 포함하는

방법.

청구항 25

제17항에 있어서,

상기 트렌치는 상기 웨이퍼의 상기 상면에 수직인 직선 측벽들과 실질적으로 균등한 너비를 가지는

방법.

청구항 26

제17항에 있어서,

상기 트렌치는 서로를 향해서 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 큰

방법.

청구항 27

제17항에 있어서,

상기 트렌치는 서로에게서 멀어지는 방향으로 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 작은

방법.

청구항 28

실리콘 기판내 트렌치;

상기 트렌치의 측벽들상의 이산화 실리콘층(silicon dioxide layer) -상기 이산화 실리콘층은 상기 트렌치를 채우지 않고, 상기 이산화 실리콘층은 상기 트렌치의 상기 측벽들상의 상기 이산화 실리콘층의 가장 두꺼운 영역과 가장 얇은 영역사이에서 약 10%보다 작은 두께 변화를 가짐-;

상기 기판내 CMOS 디바이스의 적어도 일 부분에서 상기 트렌치내 남아있는 공간을 채우는 전기 도체 코어; 및
상기 기판의 상기 상면 위의 하나 또는 그 이상의 배선층들-상기 기판에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨의 하나의 배선은 상기 전도 코어의 상면에 접촉함-;을 포함하는

구조.

청구항 29

제28항에 있어서,

상기 전도 코어는 내화 금속(refractory metal)을 포함하는

구조.

청구항 30

제28항에 있어서,

상기 기판의 하면상의 유전층;

상기 바닥 유전층내 개구 -상기 코어는 상기 개구의 바닥에 노출됨-;

상기 유전층상의 금속 패드 -상기 패드의 주변부는 상기 개구의 주변부에 오러랩되고, 상기 패드는 상기 코어의 상기 바닥면에 접촉함-; 및

상기 금속 패드상의 솔더 범프;를 더 포함하는

구조.

청구항 31

제28항에 있어서,

상기 트렌치는

(i) 상기 웨이퍼의 상기 상면과 수직인 직선 측벽들과 실질적으로 균일한 너비를 가지거나,

(ii) 상기 트렌치는 서로를 향해서 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 큰 또는

(iii) 상기 트렌치는 서로에게서 멀어지는 방향으로 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 작은 중 하나인

구조.

청구항 32

실리콘 기판내 트렌치;

상기 트렌치의 측벽들상의 이산화 실리콘층 -상기 이산화 실리콘층은 상기 트렌치를 채우지 않음-;

상기 기판의 상기 상면과 상기 이산화 실리콘층상의 유전층 -상기 유전층은 상기 트렌치를 채우지 않음-;

상기 트렌치, 상기 기판내 전계 효과 트랜지스터의 소스, 드레인 및 채널 영역, 상기 채널 영역상의 게이트 유전체 및 상기 게이트 유전체상의 게이트 전극내 남아있는 공간을 채우는 전기 도체;

유전층과 상기 전계 효과 트랜지스터 위의 보호층 -상기 코어는 상기 보호층을 지나서 연장되고, 상기 코어의 상면은 상기 보호층의 상기 상면과 동일평면임-;

상기 보호층을 지나 상기 전계 효과 트랜지스터의 상기 소스, 상기 드레인 및 상기 게이트 전극 각각의 금속 콘

택들 -상기 금속 컨택들의 상면은 상기 보호층의 상면과 동일평면임-; 및

상기 보호층 위에 하나 또는 그 이상의 배선층들 -상기 기판에 인접한 상기 하나 또는 그 이상의 배선층들의 배선 레벨의 배선은 상기 전도 코어의 상기 상면과 접촉됨-;을 포함하는

구조.

청구항 33

제 32항에 있어서,

상기 기판의 하면상의 유전층;

상기 바닥 유전층내 개구 -상기 코어는 상기 개구의 바닥에 노출됨-;

상기 유전층상의 금속 패드 -상기 패드의 주변부는 상기 개구의 주변부에 오러랩되고, 상기 패드는 상기 코어의 상기 하면에 접촉함-; 및

상기 금속 패드상의 솔더 범프;를 더 포함하는

구조.

청구항 34

제 32항에 있어서,

상기 코어는 내화 금속(refractory metal)을 포함하는

구조.

청구항 35

제 32항에 있어서,

상기 트렌치는

(i) 상기 웨이퍼의 상기 상면과 수직인 직선 측벽들과 실질적으로 균일한 너비를 가지거나,

(ii) 상기 트렌치는 서로를 향해서 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 큰 또는

(iii) 상기 트렌치는 서로에게서 멀어지는 방향으로 좁아지는 직선 측벽들을 가지며, 이에 따라 상기 트렌치의 상기 상면에서의 상기 트렌치의 제1 너비는 상기 트렌치의 바닥에서의 상기 트렌치의 제2 너비보다 작은 중 하나인

구조.

명세서

기술분야

[0001] 본 발명은 집적 회로 분야에 관한 것으로서, 보다 더 자세하게는, 집적 회로 칩에서 사용하기 위한 쓰루 실리콘 비아들 및 쓰루 실리콘 비아들을 생산하는 방법에 관련된 것이다.

배경기술

[0002] 집적 회로 칩을 이용하는 디바이스들의 밀도를 증가시키기 위해, 상기 집적 회로 칩의 상면 및 하면 양쪽으로 상호연결이 이루어지는 것이 필요하다. 이는 CMOS(complementary metal oxide silicon) 기술과 호환되는 집적 회로의 상면부터 하면까지의 쓰루 실리콘 비아들의 형성을 필요로한다. 종래의 수많은 쓰루 비아 기술들은 CMOS 제작 공정들에 통합하기 어렵거나 또는 상기 직접 회로 칩의 전면(front surface)으로부터 상기 직접 회로 칩의 하면까지 또는 이와 반대방향으로 전파하는 신호들의 심각한 저하라는 결과를 낳을 수 있다. 따라서, 상기 분야에서 상술한 상기 결합 및 한계를 극복할 필요가 있다.

발명의 내용

과제의 해결 수단

[0003] 본 발명의 일 실시예에는 (a) 실리콘 기판내 트렌치(trench)를 형성하는 단계 -상기 트렌치는 상기 기판의 상면으로 오픈됨-; (b) 상기 트렌치의 측벽들상에 이산화 실리콘층(silicon dioxide layer)을 형성하는 단계 - 상기 이산화 실리콘층은 상기 트렌치를 채우지 않음-; (c) 상기 트렌치내 남아있는 공간을 폴리실리콘(polysilicon)으로 채우는 단계; (d) (c)단계 이후, 상기 기판에 적어도 하나의 CMOS 디바이스 영역을 제작하는 단계; (e) 상기 트렌치로부터 상기 폴리실리콘을 제거하는 단계 -상기 유전층은 상기 트렌치의 상기 측벽들상에 남아있음-; (f) 상기 트렌치를 전자 도체 코어(electrically conductive core)로 다시 채우는 단계; 및 (g) (f) 단계 이후, 상기 기판의 상면 위로 하나 또는 그 이상의 배선층들을 형성하는 단계 -상기 기판에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨의 하나의 배선은 상기 전기 도체에 접촉함-;를 포함하는 방법을 제공한다.

[0004] 본 발명의 제2 실시예는 (a) 실리콘 기판의 상면상에 산화 장벽층을 형성하고 상기 장벽층내 개구를 형성하는 단계 -상기 기판의 상기 상면의 영역은 상기 개구의 바닥에서 노출됨-; (b) 상기 기판이 상기 장벽층에 의해 보호되지 않는 상기 실리콘 기판에 트렌치를 형성하는 단계-상기 트렌치는 상기 기판의 상면으로 오픈됨-; (c) 상기 트렌치의 측벽들상에 이산화 실리콘층을 형성하는 단계 -상기 이산화 실리콘층은 상기 트렌치를 채우지 않음-; (d) 상기 산화 장벽층을 제거하는 단계; (e) 상기 기판의 상기 상면과 상기 이산화 실리콘층의 노출된 모든 면에 하드마스크층을 형성하는 단계; (f) 상기 트렌치내 남아있는 공간을 폴리실리콘으로 채우는 단계 -이후 상기 폴리실리콘의 상면은 상기 하드마스크층의 상면과 수평임-; (g) (f)단계 이후, 상기 기판내 전계 효과 트랜지스터(field effect transistor)의 소스, 드레인 및 채널 영역, 상기 채널 영역상의 게이트 유전체 및 상기 게이트 유전체상의 게이트 전극을 형성하는 단계; (h) 상기 하드마스크층 및 상기 전계 효과 트랜지스터 위로 보호층을 형성하는 단계; (i) 상기 보호층을 지나서 상기 전계 효과 트랜지스터의 상기 소스, 상기 드레인 및 상기 게이트 전극 각각에 메탈 콘택들을 형성하는 단계 -상기 금속 콘택들의 상면과 상기 보호층의 상면은 동일평면임-; (j) 상기 트렌치 위로 상기 보호층내 개구를 형성하고 상기 트렌치로부터 상기 폴리실리콘을 제거하는 단계 -상기 유전층과 상기 하드마스크층은 상기 트렌치의 상기 측벽들상에 남아있음-; (k) 상기 트렌치를 전자 도체 코어로 다시 채우는 단계 -상기 유전층 및 상기 하드마스크층은 상기 트렌치의 상기 측벽들상에 남아있고, 상기 코어의 상면과 상기 보호층의 상면은 동일평면임-; 및 (l) (k)단계 이후에, 상기 보호층위에 하나 또는 그 이상의 배선층들을 형성하는 단계 -상기 기판에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨의 하나의 배선은 상기 전도 코어의 상기 상면에 접촉함-;를 포함하는 방법을 제공한다.

[0005] 본 발명의 제3 실시예는 실리콘 기판내 트렌치; 상기 트렌치의 측벽들상의 이산화 실리콘층(silicon dioxide layer) -상기 이산화 실리콘층은 상기 트렌치를 채우지 않고, 상기 이산화 실리콘층은 상기 트렌치의 상기 측벽들상의 상기 이산화 실리콘층의 가장 두꺼운 영역과 가장 얇은 영역사이에서 약 10%보다 작은 두께 변화를 가짐-; 상기 기판내 CMOS 디바이스의 적어도 일 부분에서 상기 트렌치내 남아있는 공간을 채우는 전기 도체 코어; 및 상기 기판의 상기 상면 위의 하나 또는 그 이상의 배선층들-상기 기판에 인접한 상기 하나 또는 그 이상의 배선 레벨들 중 하나의 배선 레벨의 하나의 배선은 상기 전도 코어의 상면에 접촉함-;을 포함하는 구조를 제공한다.

[0006] 본 발명의 제4 실시예는 실리콘 기판내 트렌치; 상기 트렌치의 측벽들상의 이산화 실리콘층 -상기 이산화 실리콘층은 상기 트렌치를 채우지 않음-; 상기 기판의 상기 상면과 상기 이산화 실리콘층상의 유전층 -상기 유전층은 상기 트렌치를 채우지 않음-; 상기 트렌치, 상기 기판내 전계 효과 트랜지스터의 소스, 드레인 및 채널 영역, 상기 채널 영역상의 게이트 유전체 및 상기 게이트 유전체상의 게이트 전극내 남아있는 공간을 채우는 전기 도체; 유전층과 상기 전계 효과 트랜지스터 위의 보호층 -상기 코어는 상기 보호층을 지나서 연장되고, 상기 코어의 상면은 상기 보호층의 상기 상면과 동일평면임-; 상기 보호층을 지나 상기 전계 효과 트랜지스터의 상기 소스, 상기 드레인 및 상기 게이트 전극 각각의 금속 콘택들 -상기 금속 콘택들의 상면은 상기 보호층의 상면과 동일평면임-; 및 상기 보호층 위에 하나 또는 그 이상의 배선층들 -상기 기판에 인접한 상기 하나 또는 그 이상

의 배선층들의 배선 레벨의 배선은 상기 전도 코어의 상기 상면과 접촉됨-;을 포함하는 구조를 제공한다.

도면의 간단한 설명

[0007] 본 발명의 특징들은 첨부된 청구항들에서 개시된다. 그러나, 본 발명 그 자체는 첨부된 도면들과 함께 관독하면서 개시된 실시예들의 이하의 상세한 설명들을 참조로 함으로써 가장 잘 이해될 것이다.

도 1a 내지 1m은 본 발명의 실시예들에 따른 쓰루 실리콘 비아의 초기 생산 단계들을 도시하는 단면도이다; 그리고

도 2a 내지 2h는 본 발명의 실시예들에 따른 CMOS 집적 회로 디바이스들 및 배선의 제작에 통합되는 쓰루 실리콘 비아의 추가 생산 단계들을 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 도 1a 내지 1m은 본 발명의 실시예들에 따라 실리콘 쓰루 비아의 초기 생산 단계들을 도시하는 단면도이다. 도 1a에서, 단일-크리스탈 실리콘 기판(100)은 상면(105)을 가진다. 일 실시예에서, 기판(100)은 상면(105)에 대해서 <100> 크리스탈 배열을 가진다. 일 실시예에서, 기판(100)은 도핑된 P 타입이다. 기판(100)의 상면(105)상에 형성된 것은 장벽층(110)이다. 일 실시예에서, 장벽층(110)은 두개 또는 그 이상의 개별 층들을 포함한다. 일 실시예에서 그리고 도 1a에 도시된 바와 같이, 장벽층(110)은 기판(100)상의 제1층(115)과 상기 제1층상의 제2층(120)으로 형성된다. 일 실시예에서, 제1층(115)은 이산화 실리콘(silicon dioxide)이며 약 5 nm에서 약 20 nm 두께 사이이고 제2층(120)은 질화 실리콘(silicon nitride)이며 약 100 nm에서 약 30 nm 두께 사이이다. 일 실시예에서, 장벽층(110)은 하나 또는 그 이상의 이산화 실리콘층, 질화 실리콘층 및 탄화 실리콘(silicon carbide) 층을 포함한다. 장벽층(110)의 일 목적은 차후의 처리 단계들을 위해 실리콘 산화 장벽(silicon oxidation barrier)으로서 동작하는 것이다(즉, 산소(O, O₂ 또는 O₃으로), 수소/산소 화합물(예를 들어 H₂O), 및 다른 화합물을 포함하는 산소(예를 들어 NO, N₂O)에 대한 확산 장벽으로서). 따라서 장벽층(110)의 적어도 하나의 층은 산화 장벽인 재료를 포함한다. 또한 장벽층(110)의 표면이 산화하더라도, 산소(또는 물) 확산 장벽으로서 동작하기 위한 재료의 두께가 충분히 남아 있도록 하기 위해, 장벽층(110)은 충분하게 두꺼울 필요가 있다. 도시된 목적을 위해, 제1층(115)과 제2층(120)은 아래에 개시된 다음의 도면들에서 도시될 것이다.

[0009] 도 1b에서, 포토레지스트층(125)이 장벽층(110)상에 형성되어 있고, 개구(opening)(130)가 상기 개구의 바닥에 패드 유전체가 노출되도록 상기 포토레지스트층내에 포토리소그래픽으로 형성된다.

[0010] 포토리소그래픽 공정은 포토레지스트층이 표면에 적용되고, 상기 포토레지스트층이 패터닝 포토마스크를 통한 화학 방사(actinic radiation)에 노출되고, 그리고 상기 노출된 포토레지스트층이 패터닝 포토레지스트층을 형성하기 위해 현상되는 공정이다. 상기 포토레지스트층이 양성 포토레지스트를 포함하는 경우, 상기 현상액(developer)은 상기 화학 방사에 노출된 포토레지스트 부분을 용해시키고, 상기 포토레지스트층상에 침범으로부터 차단된(또는 상기 방사능의 강도를 상당히 약화시킴) 상기 패터닝 포토마스크 부분은 용해시키지 않는다. 상기 포토레지스트층이 음성 포토레지스트를 포함하는 경우, 상기 현상액은 상기 화학 방사에 노출된 포토레지스트 부분을 용해시키지 않고, 상기 포토레지스트층상의 침범으로부터 차단된(또는 방사능의 양을 상당히 약화시킨) 패터닝 포토마스크의 부분을 용해시킨다. 차후 공정(예를 들어 에칭이나 이온 식각)이후에, 상기 패터닝 포토레지스트가 제거된다. 상기 포토레지스트층은 화학 방사선에 노출하기 전, 화학 방사선에 노출과 현상사이에, 현상후에 중 어느 하나 또는 그 이상에서 선택적으로 가열될 수 있다.

[0011] 도 1c에서, 포토레지스트층(125)의 개구(130)내 노출된 상기 장벽층 부분에서, 장벽층(110)을 통과해서 개구(135)가 에칭된다. 기판(100)의 상면(105)이 개구(135)의 바닥에 노출된다. 일 실시예에서, 개구(135)는 반응 이온 에칭(RIE) 공정에 의해 형성된다.

- [0012] 도 1d에서, 트렌치(140)가 장벽층(110)내 개구(135)에서 기판(100)으로 에칭된다. 일 실시예에서, 트렌치(140)는 RIE 공정을 이용해서 에칭된다. 트렌치(140)를 에칭하기 위해 적절한 RIE 공정의 일 실시예는 보쉬 공정(Bosch process)으로 기술분야에 알려져 있다(또한 펄스 또는 시분할 플라즈마 에칭 공법으로도 알려져 있음).
- [0013] 도 1E에서, IE 포토레지스트층(135)이 제거된다(도 1d 참조). 이는 건식 박리 에칭(dry stripping ashing)(예를 들어 산화 플라즈마내 포토레지스트층을 에칭), 산화 용액 습식 박리(wet stripping in an acid solution), 또는 건식 및 습식 박리 둘 다의 조합에 의해 수행될 수 있다. 트렌치(140)는 상면(105)으로부터 기판(100)쪽으로 거리 D만큼 연장되고, 기판(100)의 상면(105)에 상대적으로 측정된 각도 A에서 실질적으로 일직선인 측벽들(141)과 실질적으로 같은 모양(즉, W1의 대략 플러스 마이너스 10%이내)을 가진다. 일 실시예에서, A는 약 85°와 약 95° 사이이다. 일 실시예에서 A는 약 88°와 약 92° 사이이다. 도 1e에 도시된 바와 같이, A는 약 90°이다. A가 가능한한 90°에 가까울수록 좋다. 일 실시예에서 D는 약 20 마이크로미터 및 약 200마이크로미터 사이이고, W1은 약 1마이크로미터 및 약 5마이크로미터 사이이다. 너비는 상기 기판의 상면에 평행인 면에서 측정된 트렌치의 두 개의 가장 가까운 반대측 측벽들간의 거리로 정해진다. 예를 들어, 일직선인 측벽들을 가진 직사각형 트렌치에서, 너비는 상기 기다란 측면들 사이에서의 서로 직각으로 측정되고 하나의 너비값이 획득된다. 예를 들어, 끝이 가늘어지는(tapered) 옆면들을 가진 직사각형 트렌치에서는, 너비는 상기 기다란 측면들 사이에서 서로 직각으로 측정되나, 너비값은 상기 기판의 상면에 평면인 어느 면에서 상기 너비값이 측정되는지에 따라서 변경될 것이나, 여전히 가장 가까운 반대 측벽들사이에서 측정된다.
- [0014] 도 1f는 제1 대안 형태의 트렌치를 도시한다. 도 1f에서, 트렌치(140A)는 트렌치의 위에서 너비 W1 그리고 트렌치의 밑에서 너비 W2를 가진다. W1이 W2보다 크다. 도 1f에서, 측벽들이 각도 A 만큼 안쪽으로 일정하게 좁아진다. 도 1f에 도시된 바와 같이, A는 90°보다 크다.
- [0015] 도 1g는 제2 대안 형태의 트렌치를 도시한다. 도 1g에서, 트렌치(140B)는 트렌치의 위에서 너비 W1과 트렌치의 밑에서 너비 W3을 가진다. W3은 W1보다 크다. 도 1g에서, 트렌치(140b)는 외관상으로 좁아지는 측벽들(143)과 벌버스 바닥(bulbus bottom)(144)를 가진다. 도 1g에 도시된 바와 같이, A는 90°보다 작다. 설명의 편의를 위해, 도 1e의 트렌치(140)가 이하에서 기술된 다음 도면에서 도시될 것이다.
- [0016] 도 1h에서, 이산화 실리콘층(145)이 트렌치의 측면과 바닥상에 형성되어 있다. 이산화 실리콘층(145)은 산화 공정에 의해 형성된다. 이산화 실리콘은 상면(105)으로부터 바로 인접한 트렌치(140)로의 양방향으로 자라므로, 첨점(cusps, 150)이 트렌치(140)의 둘레 주변으로 장벽층(110)내에 형성된다. 일 실시예에서는, 이산화 실리콘층(145)이 실내압(즉, 1 atm)에서 약 1000°C 및 약 1200°C 사이의 온도에서 H₂O를 이용하는 습식 산화에 의해 형성된다. 일 실시예에서는, 이산화 실리콘층(145)이 실내압에서 약 1000°C 및 약 1200°C 사이의 온도에서 O₂를 이용하는 건식 산화에 의해 형성된다. 일 실시예에서, 이산화 실리콘층(145)이 약 500°C 및 약 800°C 사이의 온도에서 O₂나 H₂O를 이용해서 고압에서(즉 1 atm보다 큰) 형성된다. 이산화 실리콘층(145)은 T1의 두께를 가진다. 이산화 실리콘층(145)이 산화에 의해 형성되므로, 상기 이산화 실리콘층의 약 반의 두께가 실리콘의 소비에 의해 형성되고, 여기서 산화막 성장(oxide growth)의 약 절반이 트렌치(140)의 원래 측벽(도 1e)으로부터 상기 기판이 되고, 그리고 상기 산화막 성장의 약 절반은 상기 트렌치의 원래 측벽으로부터 상기 트렌치가 된다. 트렌치(140)의 측벽들과 바닥에서 약 (T1)/2 두께의 실리콘층이 소비되었다. 이제 트렌치(140)가 W4의 너비로 감소되었고, 따라서 W1(도 1e 참조)는 W4+T1과 거의 동일하다. 일 실시예에서 T1은 0.1 마이크로미터와 약 1 마이크로미터 사이이고, W4는 약 0.8 마이크로미터와 약 4.8 마이크로미터 사이이다. 일 실시예에서, T1은 적어도 약 0.5 마이크로미터이다.
- [0017] 본 발명의 실시예들의 특징은 현재의 CMOS 호환 트렌치 기술에서 이를 수 없는, 상기 트렌치의 측벽들상의 이산화 실리콘층의 가장 얇은 및 가장 두꺼운(상기 트렌치의 측벽들에 수직인 방향으로 측정된) 영역들 사이에서 대략 10%보다 적은 두께 변동을 가진 이산화 실리콘층(145)을 형성한다는 것이다. 본 발명의 실시예들의 특징은

현재의 CMOS 호환 트렌치 기술에서 이를 수 없는, 약 0.5마이크론이나 이보다 큰 두께를 가진 이산화 실리콘층(145)을 형성하는 기능이다. 본 발명의 실시예들의 특징은 현재의 CMOS 호환 트렌치 기술에서 이를 수 없는, 상기 트렌치의 측벽들상의 가장 얇은 및 가장 두꺼운(상기 트렌치의 측벽들에 수직인 방향으로 측정된) 산화 영역들의 사이에서 약 10%보다 작은 두께 변화를 가지는 이산화 실리콘층(145)을 형성하고, 그리고 약 0.5마이크론이나 이보다 큰 두께를 가진 이산화 실리콘층(145)을 형성하는 것이다.

[0018] 도 1i에서, 선택적인 장벽층(110)(도 1h 참조)이 제거되고, 하드마스크층(155)이 기판(100)의 상면(105) 위와 이산화 실리콘층(145)의 노출된 모든 표면에 증착된다. 하드마스크층(155)은 산화 장벽(110)(도 1a 참조)에 대해서 상술한 바와 같은 동일한 재료들이나 재료들의 조합을 포함할 수 있다. 설명의 편의를 위해, 하드마스크층(155)은 아래에 기술된 다음 도면들에서 도시될 것이다.

[0019] 도 1j에서, 필층(fill layer, 160)이 하드마스크층(155)상에 증착된다(또는 장벽층(110)상에 표시한다면, 도 1h를 참조). 일 실시예에서, 필층(160)은 폴리실리콘을 포함한다. 필층(160)은 트렌치(140)내 남아있는 모든 공간을 채운다. 트렌치(140)의 측벽들상의 층들간의 가장 먼 거리가 B이고, 필층(160)의 두께가 C이면, 트렌치(140)가 필층(160)으로 상면을 완벽하게 채워지는 것을 보장하기 위해 C는 대략 B의 1.5 배일 수 있다.

[0020] 도 1k에서, 트렌치(140)내 필층(160)의 상면(165)이 하드마스크층(155)의 상면(170)과 동일 평면이 되도록, CMP(chemical-mechanical-polish)가 수행된다. 따라서 하드마스크층(155)은 폴리시 정지층(polish stop layer)으로서 동작한다.

[0021] 도 1l에서, 기판(100)의 상면(105) 아래로 거리 R만큼 필층(160)의 상면(175)을 리세스하도록, 필층 리세스 에치(fill layer recess etch)가 수행된다. 일 실시예에서, 상기 필 리세스 에치는 RIE(reactive ion etch)이다. 일 실시예에서, R은 약 50nm 및 약 500nm 사이이다. 만약 이후 도 1m에서, 선택 필 리세스 에치가 수행되면, 선택 유전캡(180)이 도 1l에서 형성된 리세스를 채우면서 트렌치(140)내에 형성된다. 캡(180)의 상면(185)은 하드마스크층(155)의 상면(170)과 동일평면이다. 일 실시예에서, 캡(180)은 이산화 실리콘의 CVD(chemical-vapor-deposition)에 의해 형성되고, CMP가 이어진다. 설명의 편의를 위해, 캡(180)은 이하에 기술된 다음 도면들에서 도시될 것이다.

[0022] 도 1m의 구조는 선도적인(precursor) 쓰루 실리콘 비아(190)로 고려될 수 있다. 상기 쓰루 실리콘 비아는 도 2a 내지 2g내 도시된 단계들에서 완료되고, CMOS 디바이스들 및 CMOS 기술과 호환되는 디바이스들의 생산과 함께 이하에서 기술된다.

[0023] 도 2a 내지 2h는 본 발명의 실시예들에 따른 CMOS 집적 회로 디바이스들 및 배선의 제작에 통합되는 쓰루 실리콘 비아의 추가 생산 단계를 도시하는 단면도이다. 도 2a에서, 집적 회로의 일반 제작은 하나 또는 그 이상의 이전의 쓰루 실리콘 비아들(190)을 가지는 기판(100)을 이용해서 시작된다. 도 2a에서, FET(field effect transistor, 200)가 제작되어 있다. FET(200)는 웰(well, 210)내에 형성되고 게이트 전극(220) 밑의 채널 영역(215)에 의해 분리되는 소스/드레인(205)를 포함한다. 게이트 전극(220)은 게이트 유전체(225)에 의해 채널 영역으로부터 분리된다. 유전체 측벽 스페이서들이 게이트 전극(220)의 측벽들상에 형성되어 있다. 소스/드레인들(205) 및 웰(210)이 기판(100)에 형성되어 있다. 유전체 트렌치 절연체(235)는 웰(210)의 주위에 인접하고 소스/드레인들(205)에 인접한다. 게이트 전극(225)은 기판(100)의 상면(105)상에 형성되어 있고, 게이트 전극(220)과 스페이서들(230)은 상면(105)의 위에 형성되어 있다. 금속 수이사이드 콘택들(Metal suicide contacts, 미도시)이 소스/드레인들(205) 및 게이트 전극(220)의 노출된 표면들상에 형성된다. FET(200)는 상기 공정의 현 시점에서 제작될 수 있는 CMOS 디바이스의 일 예이다. CMOS나 CMOS 호환(즉, CMOS 처리 기술을 이용하여 제작될 수 있는) 디바이스들은 쌍극성 트랜지스터들(SiGe 트랜지스터들을 포함함), 다이오드들, 커패시터들, 트렌치 커패시터들 및 레지스터들(폴리실리콘 및 금속 레지스터들을 포함)을 포함한다. FET(200)(및/또는 FET들 및 다른 디바이스들)의 제작 후, 유전 보호층(dielectric passivation layer, 240)이 하드마스크층(155), 트렌치 절연

체(235) 및 FET(200)의 노출된 영역들상에 증착된다. 일 실시예에서, 유전층(240)은 이산화 실리콘이다. 일 실시예에서, 보호층(240)은 테트라에톡시실란(tetraethoxysilane: TEOS)를 이용하는(즉 TEOS 산화물을 형성하기 위해) CVD에 의해 형성된다. 일 실시예에서, 보호층(240)은 실레인(silane) 및/또는 실레인 파생물을 이용하는(즉 HDP 산화물을 형성하기 위해) 산화물의 고압(1 atm 보다 큰) 플라즈마 증착에 의해 형성된다.

[0024] 도 2b에서, 소스/드레인(205) 및 게이트 전극(220)으로의 금속 컨택들(245)은 보호층(240)을 통과해 형성된다. 일 실시예에서, 컨택들(245)은 텅스텐을 포함한다. 금속 컨택들(245)은 다마신(damascene) 공정을 이용해서 형성되어 있다.

[0025] 다마신 공정은 배선 트렌치들이나 비아 개구가 유전층내에 형성되고, 상기 트렌치들을 채우기 위해 충분한 두께의 전기 도체가 상기 유전체의 상면상에 증착되고, 그리고 익세스 도체를 제거하고 다마신 배선들(또는 다미신 비아들)을 형성하도록 상기 전도체의 표면을 상기 유전층의 표면과 평행하도록 만들기 위해 CMP(chemical-mechanical-polish) 공정이 수행되는 공정이다. 트렌치 및 배선(또는 비아 개구 및 비아)만이 형성되면, 상기 공정은 단일-다마신이라 호칭된다. 상기 용어 배선은 용어 컨택을 포함하려는 의도이다.

[0026] 도 2c에서, 포토리소그래픽/RIE 프로세스가 기존의 쓰루 실리콘 비아(190)위로 보호층(240) 및 하드마스크층(155)을 통한 개구(250)를 형성하기 위해 사용된다. 개구(250)내 노출된 하드마스크(155) 및 이산화 실리콘층(145)의 상부에 더하여 유전캡(도 2b 참조)이 이러한 공정동안에 제거되었다는 점에 유념해라.

[0027] 도 2d에서, 필층(160, 도 2c 참조)이 트렌치(140)로부터 제거되었다. 제1 예에서, 폴리실리콘 보쉬 에치 공정(하드마스크(155) 및 이산화 실리콘층(145)의 재료에 선택적인)이 필층(160)을 제거하기 위해 사용되었다(도 2c 참조). 제2 예에서, 수용성 TMAH나 수용성 수산화암모늄을 이용하는 습식 에치가 필층(160)을 제거하기 위해 사용된다(도 2c 참조). 제3 예에서, 폴리실리콘 보쉬 에치 공정(하드마스크층(155)과 이산화 실리콘층(145)의 재료에 선택적인)이 필층을 제거하기 위해 사용되고(도 2c 참조), 이후에 수용성 TMAH(tetramethylammonium hydroxide)나 수용성 수산화암모늄의 습식 클린업 에치가 뒤따른다.

[0028] 도 2e에서, 전기 도체 코어(255)가 트렌치(140) 및 개구(150)내 공간을 완전하게 채운다. 코어(255)의 상면은 보호층(240)의 상면과 동일평면이다. 코어(255)는 다마신 공정을 이용해서 형성되어 있다. 일 실시예에서, 코어(255)는 금속을 포함한다. 일 실시예에서 코어(255)는 내화 금속(refractory metal)을 포함한다. 내화 금속은 열, 마모 및 부식에 매우 강한 금속의 종류이다. 다섯가지 내화 금속들로 텅스텐(W), 몰리브데넘(Mo), 니오븀(Nb), 탄탈럼(Ta) 및 레늄(Re)이 있다. 일 실시예에서, 코어(255)는 텅스텐, 탄탈럼 또는 이들의 조합을 포함한다. 일 실시예에서, 코어(255)는 구리 또는 구리와 탄탈럼의 조합을 포함한다. 일 실시예에서, 코어(255)는 도프된 폴리실리콘을 포함한다. 소위 FEOL(front-end-of-line) 동작들이나 단순히 FEOL을 통해서 집적회로의 제작을 완료한다. 코어(255)는 보호층(240)내 통합 컨택 영역(257)을 포함한다.

[0029] 도 2f에서, 집적회로의 제작이 소위 BEOL 동작들이나 간단히 BEOL 동안에 하나 또는 그 이상의 배선 레벨의 추가에 의해서 완료된다. 도 2f에서, 2개의 배선 레벨들이 추가되어 있다. 제1 배선 레벨(255)은 인터레벨 유전(ILD)층(260)에 형성된 듀얼 다마신 배선(260)을 포함한다.

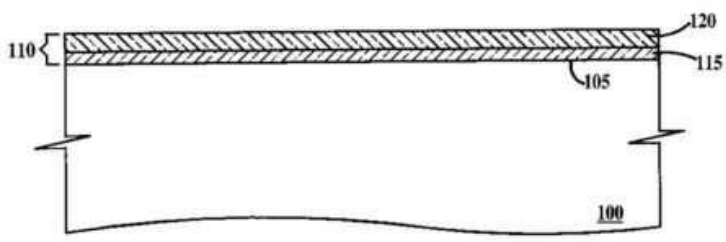
[0030] 듀얼-다마신 공정은 비아 개구들이 유전층의 전체 두께를 통해 형성되고, 이어서 주어진 어느 단면도에서 상기 유전층을 통한 길(way)에 대한 트렌치 부분들의 포메이션이 뒤따르는 공정이다. 모든 바이 개구들은 위의 필수 배선 트렌치들에 의해서 그리고 밑의 배선 트렌치들에 의해서 가로질러지나, 모든 트렌치들이 비아 개구를 가로지를 필요는 없다. 상기 트렌치들 및 비아 개구를 채우기에 충분한 두께의 전기 도체가 상기 유전체의 상면상에 증착되고, 그리고 CMP 공정이 상기 트렌치내 도체의 표면을 상기 유전층의 표면과 동일평면으로 만들고 듀얼-다마신 배선 및 일체형 듀얼-다마신 비아들을 가지는 듀얼-다마신 배선들을 형성하기 위해 수행된다. 몇몇 듀얼

다마신 공정에서는, 상기 트렌치가 먼저 형성되고 이어서 상기 바이 개구가 형성된다.

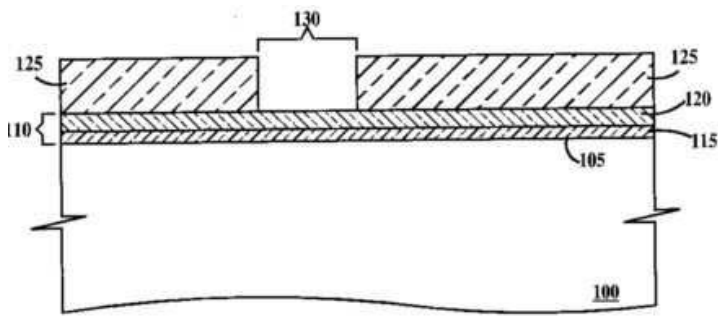
- [0031] 대안으로, 배선들(265)이 비아들에 대한 단일 다마신 공정 및 배선들에 대한 단일 다마신 공정을 이용해서 형성될 수 있다(그러나 ILD(255)는 2개의 유전층을 포함할 수 있음). 제2 배선 레벨(270)은 ILD 층(280)에 형성된 듀얼 다마신 배선들(275)을 포함한다. 이로써 상기 집적 회로의 BEOL 제작이 완료된다.
- [0032] BEOL 이후에, 추가 동작들이 수행된다. 도 2g에서, 이면 그라인딩(backside grinding) 및/또는 CMP가 기판(100)을 박판화하고 코어(255)의 하면(290)을 노출시키기 위해 수행되고, 그리고 쓰루 실리콘 비아(285)의 제작을 완료한다. 코어(255)의 하면(190)은 기판(100)의 하면(295)과 동일 평면이다.
- [0033] 이제 다양한 상호연결 구조가(예를 들어 코어(290) 및 배선들(275)로의 솔더 범프 연결들을 형성) 배선들(275) 및 쓰루 실리콘 비아(285)에 이루어질 수 있다. 그러한 상호연결 구조들의 예들은 도 2h에 도시되어 있다.
- [0034] 도 2h에서, 유전 바닥 보호층(300)이 기판(100)의 하면(295)상에 형성된다. 전기 도체 바닥패드(305)는 쓰루 실리콘 비아(295)를 지나서 바닥 보호층(300)의 개구를 통해 코어(255)와 접촉한다. 바닥 솔더 범프(310)가 바닥패드(305)상에 형성된다. 전기 도체 상부 패드(325)가 쓰루 배선들(275)을 지나 상부 보호층(315)내 개구들을 통해 배선들(275)과 접촉한다. 상부 솔더범프(330)가 상부 패드들(325)상에 형성된다. 단일 쓰루 비아(285)가 패드(305)에 연결된 반면, 두개 또는 그 이상의 쓰루 실리콘 비아들이 패드(305)에 연결될 수 있고 따라서 단일 바닥 상호연결을 공유한다.
- [0035] 따라서, 본 발명의 실시예들에 따른 쓰루 웨이퍼 비아의 제작은 (1) FEOL 전에 쓰루 실리콘 비아 전구체 구조를 형성, (2) FEOL 동안 코어 도체를 추가함으로써, 상기 쓰루 실리콘 비아 전구체 구조를 수정 및 (3)BEOL 후에 상기 쓰루 실리콘 비아를 완료하는 단계들을 포함한다.
- [0036] 따라서 본 발명의 실시예들은 CMOS 기술과 호환될 수 있고 상기 집적 회로 칩의 상면에서 상기 집적 회로의 하면까지 현재 산업계에서 얻을수 있는 것보다 우수한 절연층 두께를 가지는 쓰루 실리콘 비아들 및 쓰루 실리콘 비아들의 제작 방법을 제공한다.
- [0037] 본 발명의 실시예들의 설명이 본 발명의 이해를 위해 상술되었다. 본 발명은 여기서 기술된 특정 실시예들로 한정되는 것은 아니고, 본 발명의 권리범위에서 벗어남이 없이 본 기술분야에서 통상의 기술을 가진 자들에게 다양한 변형, 재배치 및 대체들이 가능하다는 점이 이해되어야 한다. 따라서, 이하의 청구항들은 본 발명의 진정한 사상 및 기술분야에 포함되는 그러한 모든 변형들 및 변경들을 커버하려는 의도이다.

도면

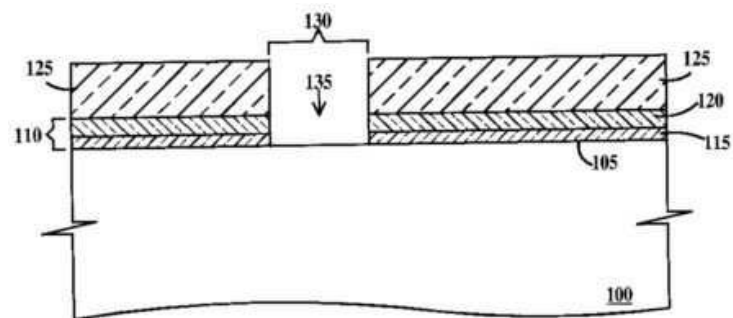
도면1a



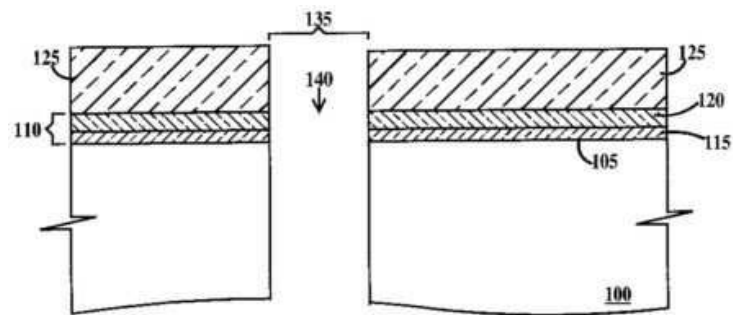
도면1b



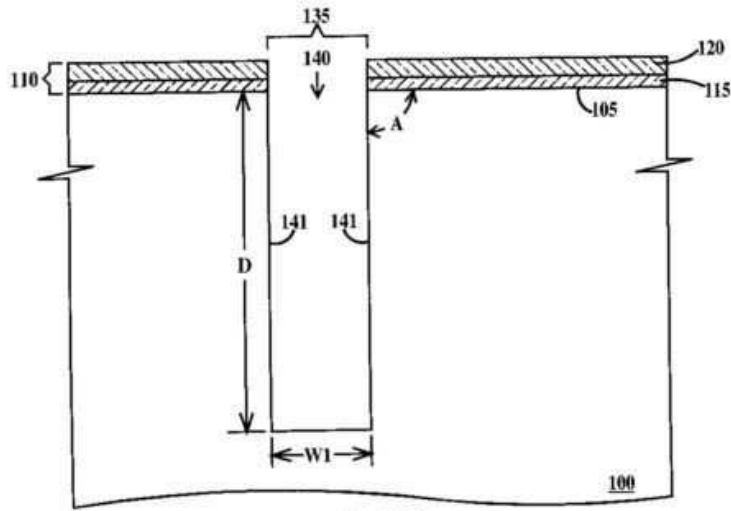
도면1c



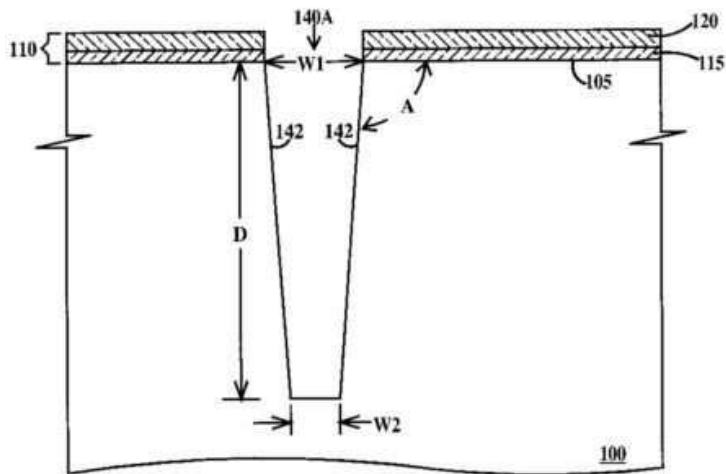
도면1d



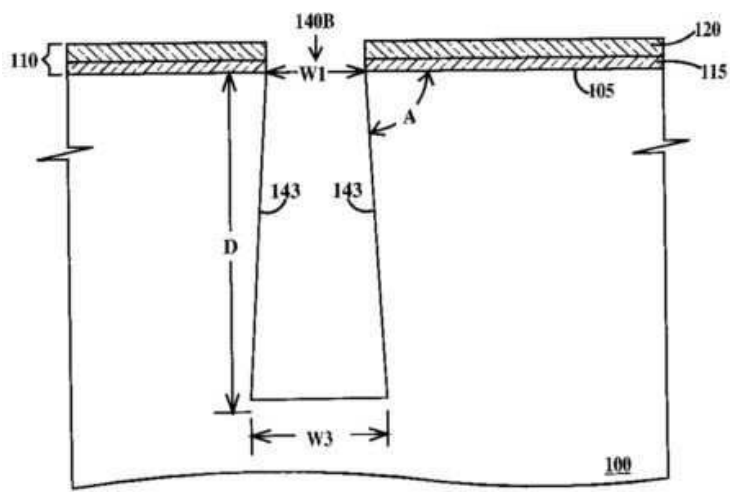
도면1e



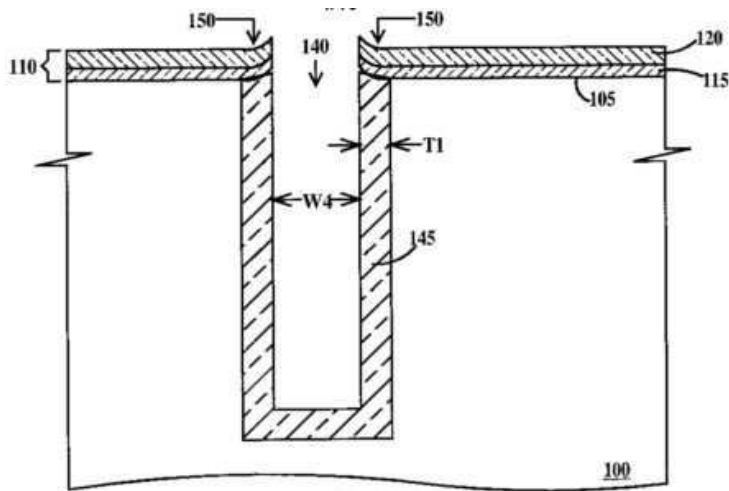
도면1f



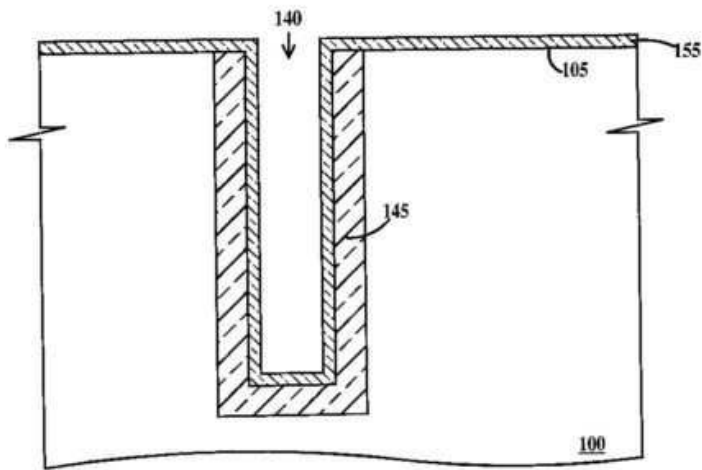
도면1g



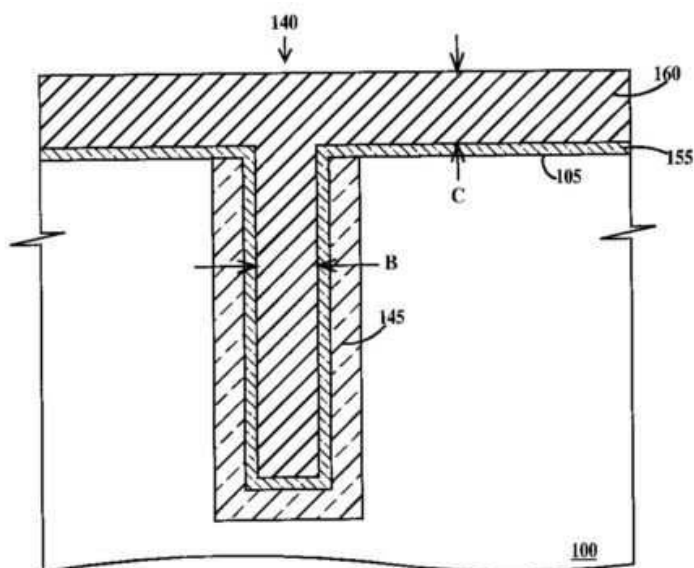
도면1h



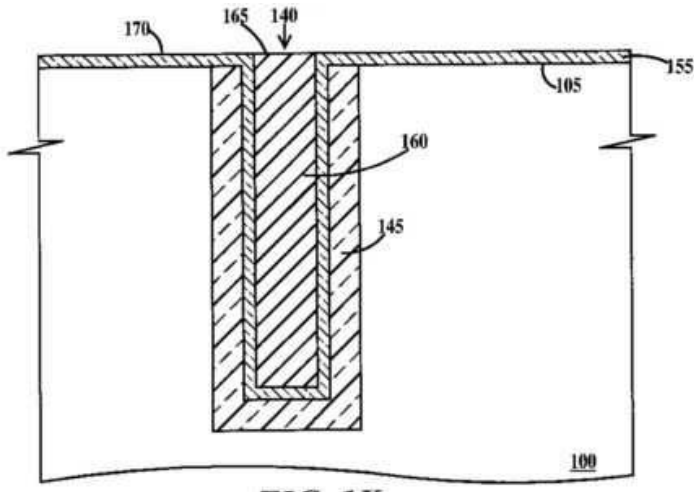
도면1i



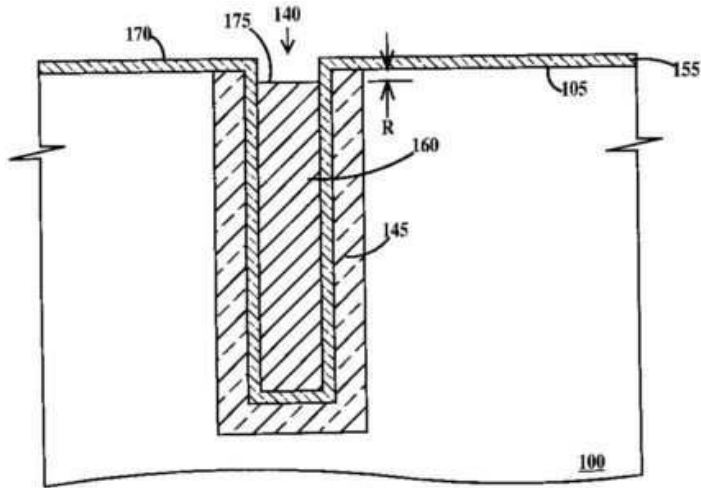
도면1j



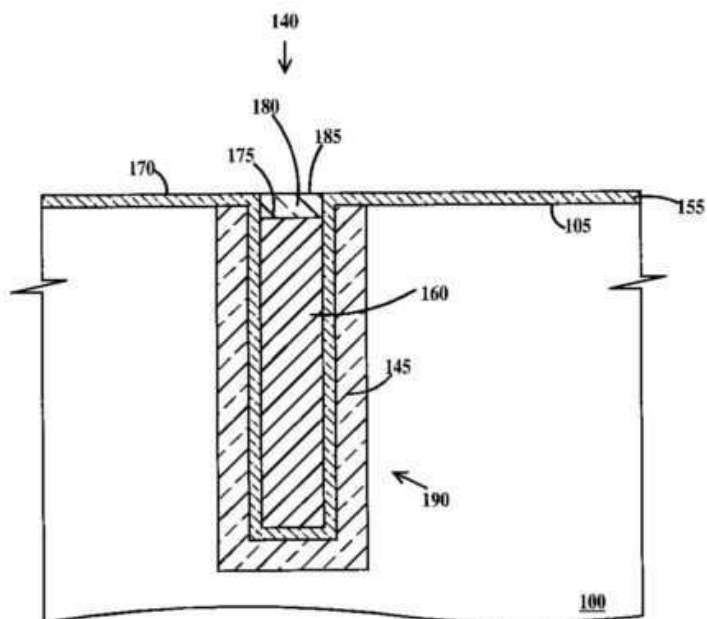
도면1k



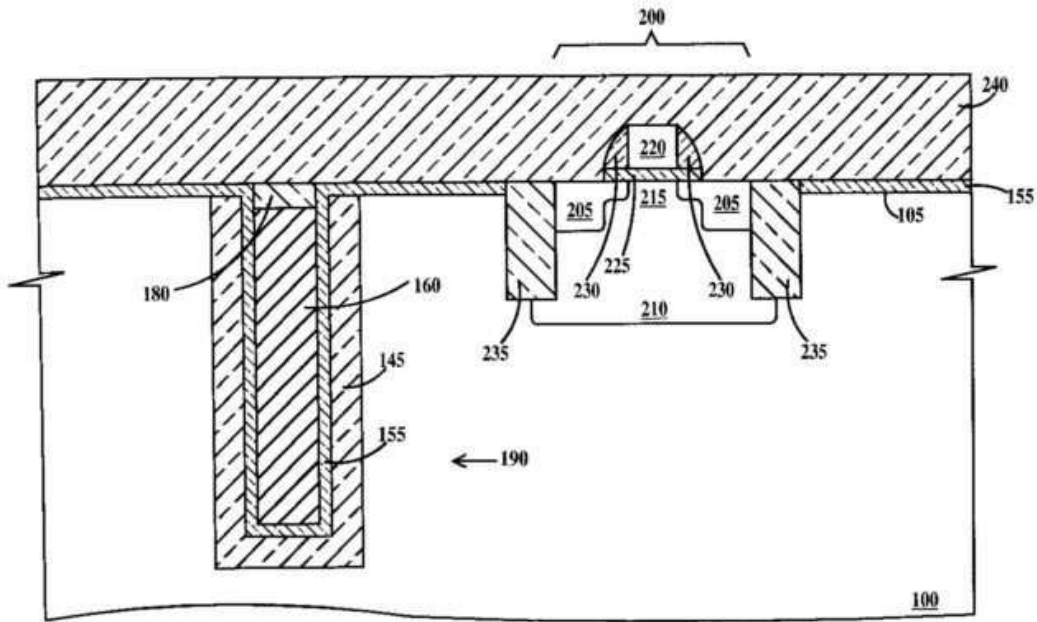
도면1l



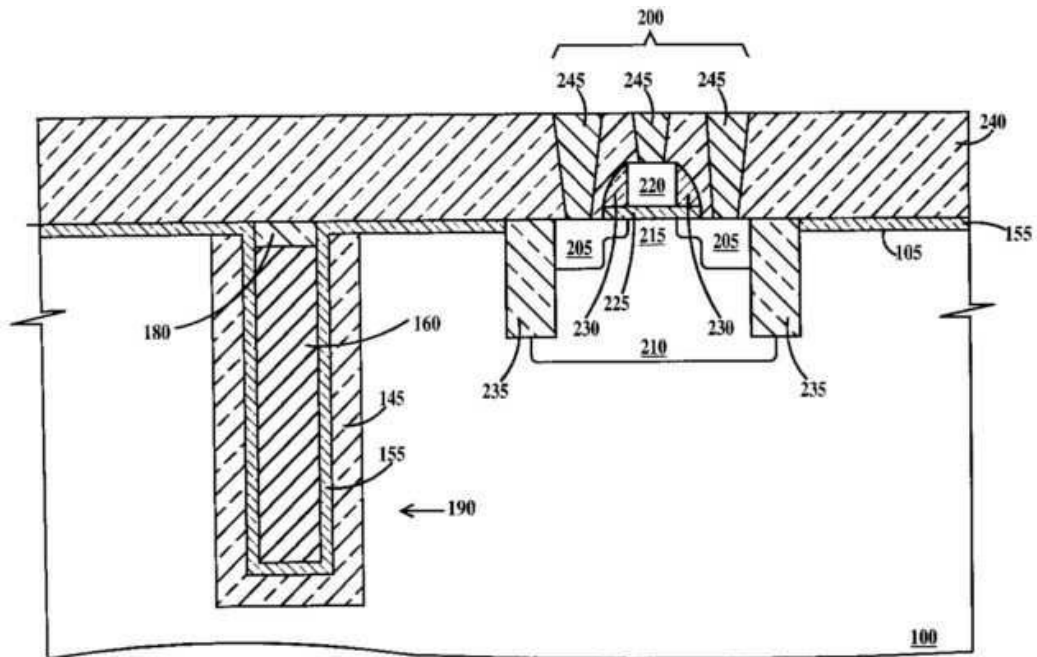
도면1m



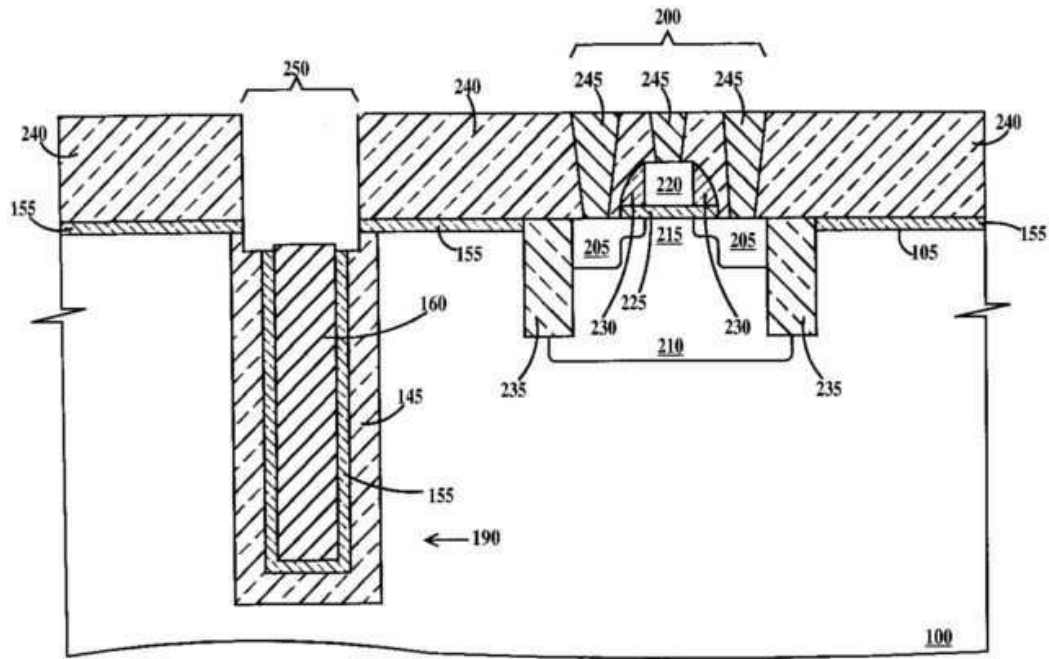
도면2a



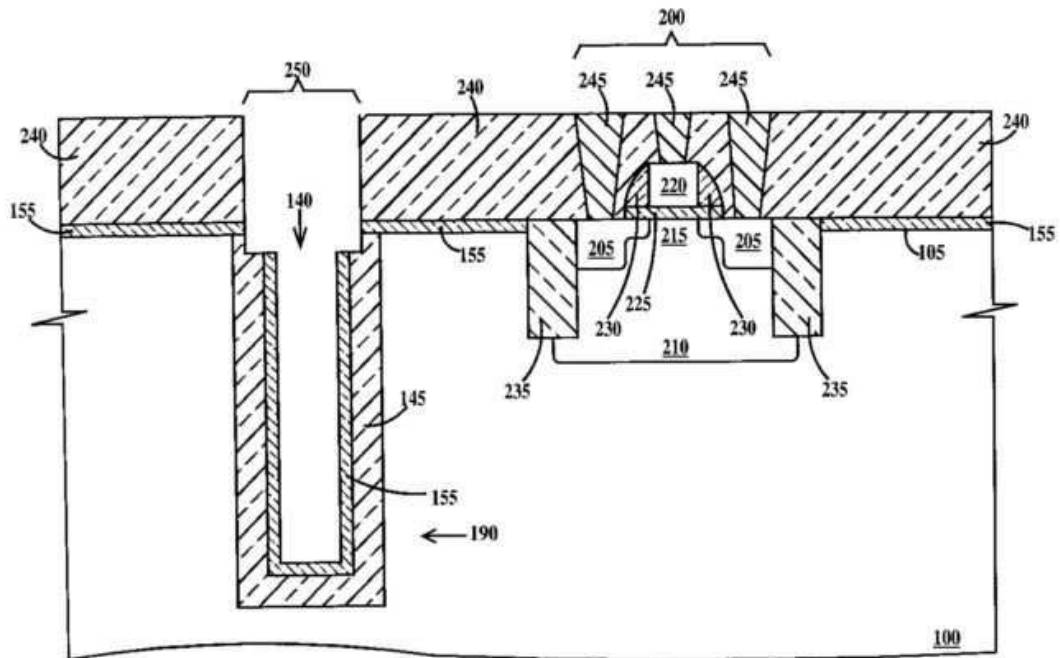
도면2b



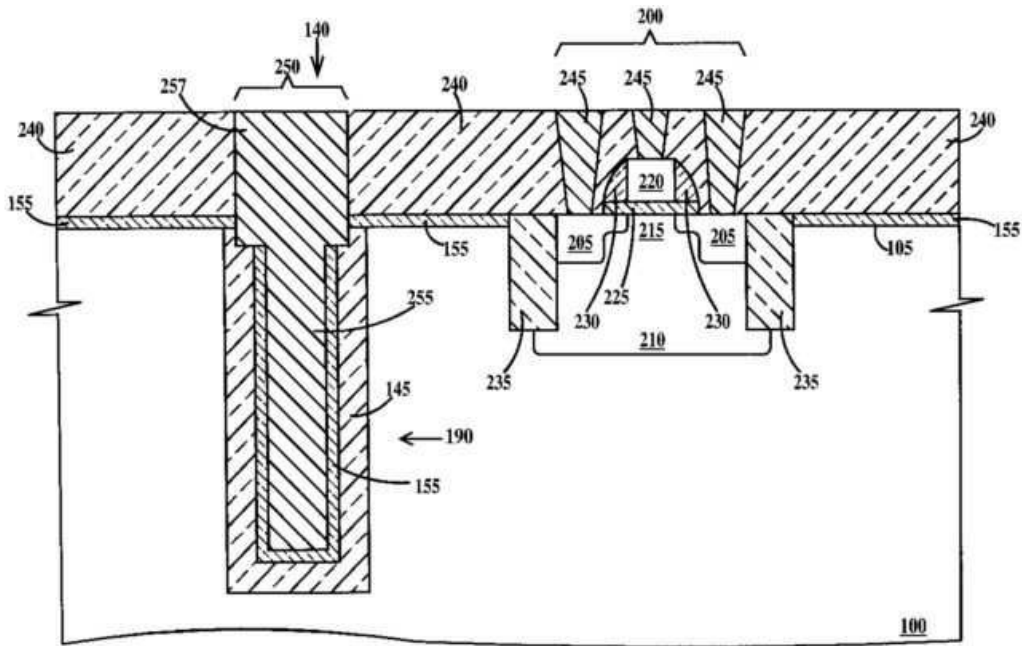
도면2c



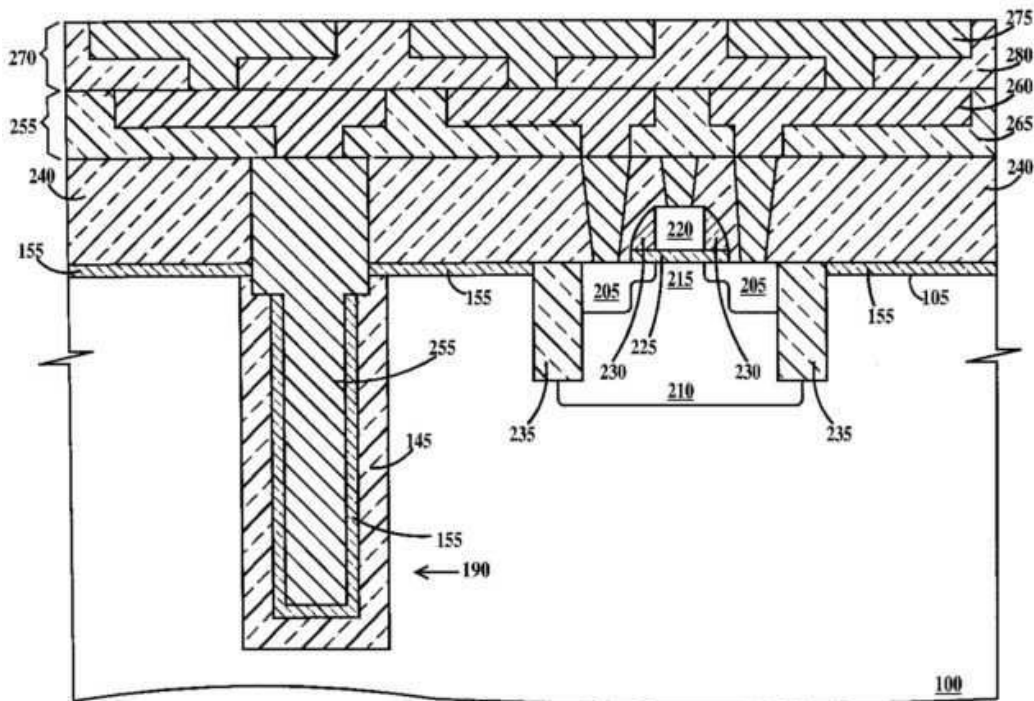
도면2d



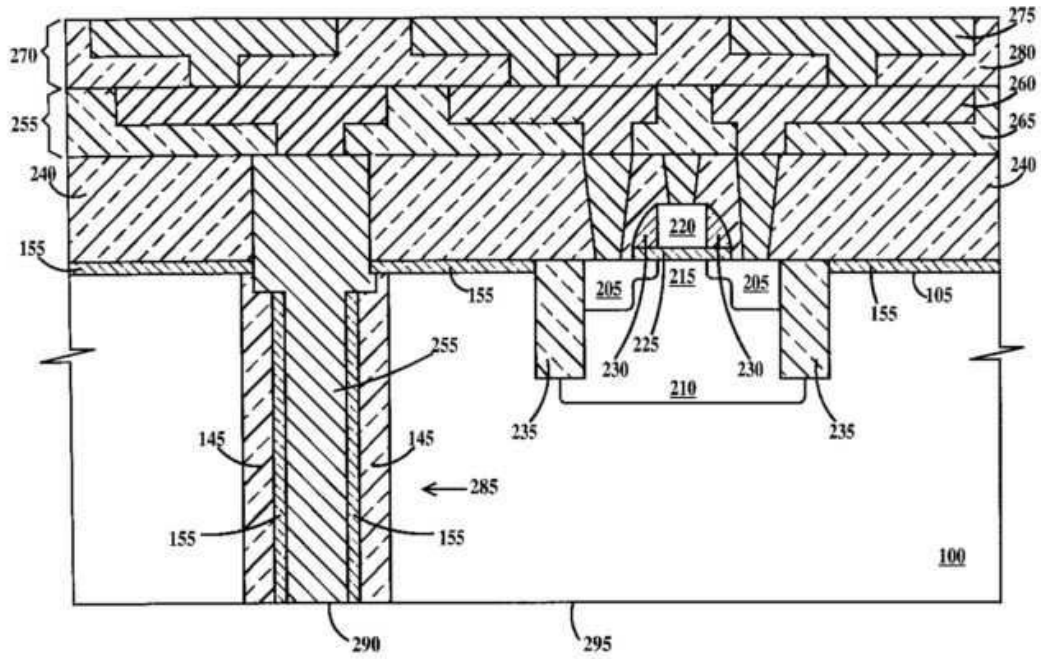
도면2e



도면2f



도면2g



도면2h

