(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 1 月 10 日 (10.01.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/007207 A1

(51) 国际专利分类号:
C23C 14/34 (2006.01) *C23C 14/56* (2006.01)
C23C 14/54 (2006.01)

(21) 国际申请号: PCT/CN2018/091817

(22) 国际申请日: 2018 年 6 月 19 日 (19.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710538291.3 2017年7月4日 (04.07.2017) CN

(71) 申请人: 北京北方华创微电子装备有限公司 (BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.) [CN/CN]; 中国北京市北京经济技术开发区文昌大道 8 号, Beijing 100176 (CN)。

(72) 发明人: 徐宝岗 (XU, Baogang); 中国北京市北京经济技术开发区文昌大道8号, Beijing 100176 (CN)。 董博宇 (DONG, Boyu); 中国北京市北京经济技术开发区文昌大道8号, Beijing 100176 (CN)。 文莉辉 (WEN, Lihui); 中国北京市北京经济技术开发区文昌大道8号, Beijing 100176 (CN)。 耿玉洁 (GENG, Yujie); 中国北京市北京经济技术开发区文昌大道8号, Beijing 100176 (CN)。 郭冰亮 (GUO, Bingliang); 中国北京市北京经济技术开发区文昌大道8号, Beijing 100176 (CN)。 王军 (WANG, Jun); 中国北京市北京经济技术开发区文昌大道8号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层张天舒, Beijing 100005 (CN)。

(54) **Title:** SEMI-CONDUCTOR APPARATUS AND IMPEDANCE REGULATION METHOD THEREFOR

(54) **发明名称**: 半导体设备及其阻抗调节方法

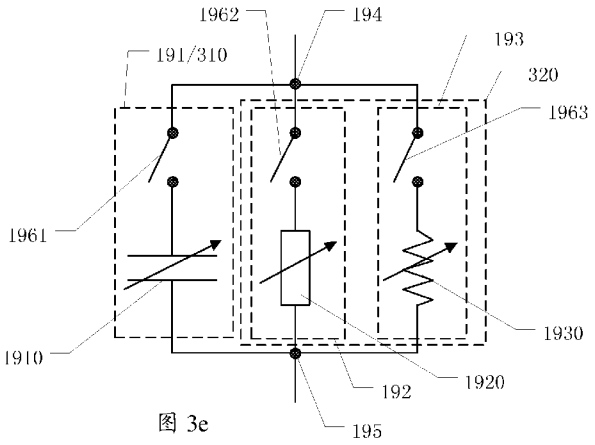


图 3e

(57) **Abstract:** Disclosed are a semi-conductor apparatus and an impedance regulation method therefor. The semi-conductor apparatus comprises a chamber (100), a base (110) for bearing a substrate (200) being arranged in the chamber (100); and an impedance regulating circuit (190) electrically connected to the base (110) and a grounding terminal (300) respectively, and used for regulating the impedance between the base (110) and the grounding terminal (300). Thus, the semi-conductor apparatus can regulate the size of the bias voltage on the base (110), so that the cost of the semi-conductor apparatus can be reduced, and continuous regulation of the bias voltage on the base (110) can also be realized.

(57) **摘要**: 一种半导体设备及其阻抗调节方法，该半导体设备包括：腔室（100），在腔室（100）中设置有用于承载基片（200）的基座（110）；阻抗调节电路（190），分别与基座（110）与接地端（300）电连接，用于调节基座（110）与接地端（300）之间的阻抗。由此，该半导体设备可以对基座（110）上的偏压的大小进行调节，从而可以降低半导体设备的成本，同时可以实现对基座（110）上的偏压的连续调节。

WO 2019/007207 A1

[见续页]

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

半导体设备及其阻抗调节方法

技术领域

本发明涉及半导体制造领域，具体地，涉及一种半导体设备以及半导体设备的阻抗调节方法。

背景技术

在半导体制作工艺中，半导体设备是一种常用的形成各种半导体膜层和导体膜层的工具。例如，在发光二极管（Light Emitting Diode，LED）的制作工艺中，可采用半导体设备形成位于蓝宝石基底和 n 型氮化镓（n-GaN）氮化铝（ALN）薄膜，从而提高该 LED 的电性能，包括亮度、静电释放性能等。

在通常的半导体设备中，溅射电源通过电极引入工艺腔室后耦合到工艺气体中，从而激发气体为等离子体，在等离子体中电子和离子作用下，完成薄膜沉积。

发明内容

本公开实施例提供一种半导体设备和半导体设备的阻抗调节方法。该半导体设备包括:

腔室，在所述腔室中设置有用于承载基片的基座;

阻抗调节电路，分别与所述基座与接地端电连接，用于调节所述基座与接地端之间的阻抗。

在一些示例中，所述腔室为多个，至少一个所述腔室设置有所述阻抗调节电路。

在一些示例中，所述阻抗调节电路包括:

第一调节电路，用于降低所述基座与接地端之间的阻抗；

第二调节电路，用于提高所述基座与接地端之间的阻抗；

选择开关，用于选择性地将所述第一调节电路和第二调节电路中的至少之一与所述基座电导通。

在一些示例中，所述第一调节电路包括可变电容线路，所述可变电容线路包括可变电容。

在一些示例中，所述第二调节电路包括可变电阻线路，和/或可变电感线路，其中，所述可变电阻线路包括可变电阻；所述可变电感线路包括可变电感。

在一些示例中，所述第二调节电路包括可变电阻线路和可变电感线路，且所述可变电容线路、可变电阻线路和可变电感线路相互并联；所述选择开关包括设置在所述可变电容线路上的第一开关，设置在所述可变电阻线路上的第二开关，以及设置在所述可变电感线路上的第三开关。

在一些示例中，所述第二调节电路包括可变电阻线路和可变电感线路，所述可变电阻线路和可变电感线路相互串联，且与所述可变电容线路相互并联；所述选择开关包括设置在所述可变电容线路上的第一开关，和设置在所述可变电阻线路或者所述可变电感线路上的第二开关。

在一些示例中，所述半导体设备还包括与所述基座电连接的第一节点，以及接地的第二节点；所述阻抗调节电路分别与所述第一节点和第二节点电连接。

在一些示例中，所述第二节点直接接地。

在一些示例中，所述可变电容的电容值在 50pF-1μF 的范围内。

在一些示例中，所述可变电阻的电阻值在 100Ω-100KΩ 的范围内。

在一些示例中，所述可变电感的电感值在 100μH-2000μH 的范围内。

在一些示例中，所述腔室还包括:

腔体，所述基座位于所述腔体内部，所述阻抗调节电路位于所述腔体外部。

本公开至少一个实施例还提供一种根据上述任一项所描述的半导体设备的阻抗调节方法，包括:

调节所述阻抗调节电路的阻抗，以调节所述基座与接地端之间的阻抗。

在一些示例中，所述腔室为多个，至少一个所述腔室设置有所述阻抗调节电路；所述阻抗调节方法包括:

通过调节至少一个所述腔室对应的阻抗调节电路的阻抗，以使多个所述腔室的阻抗保持一致。

有益效果:

本公开实施例提供半导体设备和半导体设备的阻抗调节方法，其通过借助阻抗调节电路调节基座与接地端之间的阻抗，可以对基座上的偏压的大小进行调节，这与现有技术中通过改变偏压电源的输出功率调节基座上偏压相比，可以降低半导体设备的成本，同时可以实现对基座上的偏压的连续调节。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 为一种半导体设备中腔室的结构示意图;

图 2 为另一种半导体设备中腔室的结构示意图;

图 3a 为本公开第一实施例提供的半导体设备的平面示意图;

图 3b 为本公开第一实施例提供的半导体设备中单个腔室的结构示意图;

图 3c 为本公开第一实施例提供的半导体设备中阻抗调节电路的示意图;

图 3d 为本公开第二实施例提供的半导体设备中阻抗调节电路的示意图;

图 3e 为本公开第三实施例提供的半导体设备中阻抗调节电路的示意图；

图 4 为本公开第三实施例提供的半导体设备中腔室的等效电路图；

图 5 为本公开第三实施例提供的另一种半导体设备中阻抗调节电路的示意图；

图 6 为本公开一实施例提供的一种可变电容的示意图；

图 7 为本公开一实施例提供的一种可变电阻的示意图；以及

图 8 为本公开一实施例提供的一种可变电感的示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。

图 1 为一种半导体设备中的腔室的结构示意图。如图 1 所示，该半导体设备中的腔室包括基座 10、腔体 20、电极 30、溅射电源 40 以及靶材 50。基座 10 设置在腔体 20 中，用于承载待沉积薄膜的基片 200。电极 30 设置在腔体 20 中，且位于基座 10 的上方，并且溅射电源 40 与电极 30 电连接。在开启溅射电源 40 时，在电极 30 与基座 10 之间形成电场，该电场能够激发

腔体 20 内的工艺气体（例如，氩气）形成等离子体，在等离子体中的电子和离子作用下，完成在基片 200 上的薄膜沉积。例如，以溅射镀膜类的半导体设备为例，等离子体中的阳离子（例如氩离子）在电场的作用下轰击靶材 50，靶材 50 的材料会被溅射出来并沉积在基片 200 上。如图 1 所示，在该半导体设备中，腔体 20 具有一开口 21，该半导体设备还包括抽气阀 60、真空管路 70 以及真空泵 80；抽气阀 60 设置在腔体 20 的开口 21 上，真空泵 80 通过真空管路 70 和抽气阀 60 相连。

然而，由于等离子体中的电子质量远远小于离子的质量，并且电子和离子所带电荷相同，因此在相同电场下，电子的运动速度快于离子的运动速度，从而导致基座上附着的电子数目多于离子数目；同时，由于基座与接地端之间存在阻抗，这导致基座上积累的电荷不会立即消失，进而使得基座对地形成负偏压。对于物理气相沉积工艺，基座上的偏压的大小有两方面的影响：一方面是影响轰击靶材的离子的动能，另一方面是影响撞击基片的离子的动能。基座上的偏压通过上述两方面的影响可影响基片上沉积的薄膜性能，包括薄膜均匀性、应力、结晶质量等。因此，通过采用适当的方法和装置调节基座的偏压的大小可获得良好的沉积效果，具有实际意义。通常，在物理气相沉积工艺中，基座的偏压的大小由各种因素决定，影响该偏压的因素包括工艺气体种类、气压、溅射电源输出功率等。然而，对于特定的物理气相沉积工艺，上述条件通常固定不变，因此需要额外增加偏压调节装置来调节基座的偏压。

如图 1 所示，该半导体设备还包括隔直电容 91、匹配器 92 以及偏压电源 93。偏压电源 93 通过匹配器 92 和隔直电容 91 与基座 10 电连接，该偏压电源 93 通常为射频电源，用于通过匹配器 92 向基座 10 加载射频功率，从而在基座 10 上产生偏压。例如，隔直电容 91 可为电容值在 100pF-200pF 范围之内的电容；偏压电源 93 可为频率在 1MHz-25MHz 的范围之间的射频电

源。匹配器 92 可使负载阻抗与偏压电源 93 的输出阻抗相匹配，从而保证偏压电源 93 输出的功率最大程度地施加到腔体 20 内部的等离子体上。需要说明的是，上述的负载包括匹配器、隔直电容和腔体内的等离子体。

通过改变偏压电源 93 的输出功率可调节基座 10 上偏压的大小。然而，通过增加偏压电源 93 和匹配器 92 等器件来调节基座 10 上的偏压的大小会增加该半导体设备的成本。另外，上述的通过增加偏压电源 93 和匹配器 92 等器件来调节基座 10 上的偏压的大小的方式所能调节的偏压范围有限。

图 2 为另一种半导体设备中的腔室的结构示意图。如图 2 所示，与图 1 所示的半导体设备不同的是，该半导体设备在腔体 20 内基座 10 与电极 30 之间增设有隔离层 94，并设置射频电源 95 和隔直电容 91，射频电源 95 通过隔直电容 91 与基座 10 电连接。通过调节隔离层 94 的各项参数，例如隔离层 94 的径向厚度、隔离层 94 的内周壁面积、隔离层 94 与腔体内壁之间的间距以及隔离层 94 所采用的介电材料的介电常数等，可以改变基座 10 与电极 30 之间的耦合电容的大小，进而实现对基座 10 的偏压的大小的调节。然而，一方面，上述的半导体设备需要先打开腔体，然后调节隔离层 94 的各项参数以调节基座 10 的偏压的大小，从而导致腔体被污染的风险，并且还增加了偏压调节的时间降低了效率。另一方面，在实际中，由于隔离层 94 的径向厚度、隔离层 94 的内周壁面积、隔离层 94 所采用的介电材料的介电常数等参数均不能连续调节，从而无法实现对基座 10 的偏压的连续调节，并且为了能够满足对基座的偏压调节的需求，需要制作大量的不同的隔离层，从而导致实现该方式的成本较高。

为了解决上述问题至少之一，本公开实施例提供了一种半导体设备，其包括：腔室和阻抗调节电路，其中，在腔室中设置有用于承载基片的基座；阻抗调节电路分别与基座与接地端电连接，用于调节基座与接地端之间的阻抗。

通过借助阻抗调节电路调节基座与接地端之间的阻抗，可以对基座上的偏压的大小进行调节，这与现有技术中通过改变偏压电源的输出功率调节基座上偏压相比，可以降低半导体设备的成本，同时可以实现对基座上的偏压的连续调节。

下面，结合附图对本公开实施例提供的半导体设备以及半导体设备的阻抗调节方法进行说明。

第一实施例

本实施例提供一种半导体设备。图 3a 为本公开第一实施例提供的半导体设备的平面示意图。如图 3a 所示，该半导体设备包括多个腔室 100。至少一个腔室 100 设置有上述阻抗调节电路。图 3a 中示出了 6 个腔室，但根据本公开的实施例对此没有特别限制。

通过借助阻抗调节电路调节与之对应的腔室的基座与接地端之间的阻抗，可以在使基片上沉积的薄膜性能满足要求的同时，使多个腔室的阻抗保持一致，从而可以提高该半导体设备的薄膜沉积质量。同时，可以实现对基座上的偏压的连续调节。另外，该半导体设备的结构简单，成本较低，利于推广。

需要说明的是，在本实施例中，半导体设备包括多个腔室 100，但是，本发明并不局限于此，在实际应用中，半导体设备还可以仅包括一个腔室。

图 3b 为本公开第一实施例提供的半导体设备中单个腔室的结构示意图。如图 3b 所示，至少一个腔室 100 包括可承载基片 200 的基座 110，以及阻抗调节电路 190，该阻抗调节电路 190 可调节该腔室 100 的基座 110 与接地端 300 之间的阻抗，以使基片上沉积的薄膜性能满足要求，同时使多个腔室 100 的阻抗保持一致。

当采用本实施例提供的半导体设备制作半导体器件中的膜层时，可通过阻抗调节电路使得多个腔室的阻抗保持一致，从而可使得多个腔室中的基座

的偏压的大小保持一致，进而可提高该半导体器件的膜层的一致性和可重复性，从而可提高该半导体器件的品质。另一方面，该半导体设备的结构简单，成本较低，利于推广。

例如，如图 3a 所示，该半导体设备还包括传送腔室 900，多个腔室 100 与传送腔室 900 相连通，且围绕传送腔室 900 设置。

例如，如图 3a 所示，该半导体设备还包括与传送腔室 900 相连通的负载锁定腔室 700 和 800，以实现传送腔室与前端环境之间的基片的传送。

下面以单个腔室为例，对阻抗调节电路的具体实施方式进行详细描述。具体地，图 3c 为本公开第一实施例提供的半导体设备中阻抗调节电路的示意图。请参阅图 3c，阻抗调节电路包括：第一调节电路 310、第二调节电路 320 和选择开关，其中，第一调节电路 310 用于降低基座与接地端之间的阻抗；第二调节电路 320 用于提高基座与接地端之间的阻抗；选择开关用于选择性地将第一调节电路 310 和第二调节电路 320 中的至少之一与基座电导通。

通过改变基座与接地端之间的阻抗，可以改变基座上累积的电荷对地的释放通道特性，从而改变基座上电荷的积累量，进而实现调节基座上的偏压大小的目的。第一调节电路 310 对基座的偏压具有增益效果，即，当选择开关将第一调节电路 310 与基座电导通时，可使基座的偏压增大。相反的，第二调节电路 320 对基座的偏压具有减益效果，即，当选择开关将第一调节电路 310 与基座电导通时，可使基座的偏压减小。由于基座的偏压可影响基片上沉积的薄膜性能，包括薄膜均匀性、应力、结晶质量等，因此通过阻抗调节电路对基座的偏压进行调节，可以提高该半导体设备的薄膜沉积质量。并且，当采用多个本实施例提供的半导体设备制作半导体器件中的膜层时，可通过阻抗调节电路使得不同半导体设备的基座的偏压的大小保持一致，从而可提高该半导体器件的膜层的一致性和可重复性，进而可提高该半导体器件

的品质。另一方面，该阻抗调节电路不需设置在该半导体设备的腔体内，在使用该阻抗调节电路调节基座的偏压时无需打开腔体，从而可在保证较好的阻抗调节效果的前提下提高阻抗调节效率。另外，该半导体设备的结构简单，成本较低，利于推广。

需要说明的是，上述的基座的偏压增大或减小是指基座的偏压的幅值增加或减小。例如，当基座的偏压为负偏压时，例如-30V，上述的基座的偏压增大可为基座的偏压从-30V 变为-60V，上述的基座的偏压减小可为基座的偏压从-30V 变为-10V。

在本实施例中，如图 3c 所示，第一调节电路 310 包括可变电容线路 191，该可变电容线路 191 包括可变电容 1910。可选的，该可变电容 1910 的电容值可以在 50pF-1μF 的范围内。

当选择开关将可变电容线路 191 接入基座时，可变电容线路 191 能够降低基座与接地端之间的阻抗，从而提高基座上的偏压。并且，通过调节可变电容 1910 接入电路的大小，可以对阻抗的降低量进行调节，该调节方式能够实现阻抗的连续调节，从而可以实现基座上的偏压的连续调节。

在本实施例中，第二调节电路 320 包括可变电阻线路 192，该可变电阻线路 192 包括可变电阻 1920。可选的，该可变电阻 1920 的电阻值在 100Ω-100KΩ 的范围内。例如，可变电阻 1920 的电阻值可进一步选取在 200Ω-100KΩ 的范围内。

当选择开关将可变电阻线路 192 接入基座时，可变电阻线路 192 能够提高基座与接地端之间的阻抗，从而降低基座上的偏压。并且，通过调节可变电阻 1920 接入电路的大小，可以对阻抗的提高量进行调节，该调节方式能够实现阻抗的连续调节，从而可以实现基座上的偏压的连续调节。

在本实施例中，可变电容线路 191 和可变电阻线路 192 相互并联，当选择开关将可变电容线路 191 和可变电阻线路 192 同时接入基座时，该并联电

路能够提高基座与接地端之间的阻抗，从而降低基座上的偏压。此外，可变电容线路 191 的接入能够抑制基座上的偏压的波形形状出现瞬时尖峰，从而可以使该波形形状更平滑。

在本实施例中，选择开关包括设置在可变电容线路 191 上的第一开关 1961，和设置在可变电阻线路 192 上的第二开关 1962。通过选择性地接通第一开关 1961 和/或第二开关 1962，可以将可变电容线路 191 和/或可变电阻线路 192 接入基座。

在本实施例中，半导体设备还包括与基座电连接的第一节点 194，以及与接地端电连接的第二节点 195，阻抗调节电路分别与该第一节点 194 和第二节点 195 电连接。具体地，在本实施例中，可变电容线路 191 和可变电阻线路 192 各自的两端分别与第一节点 194 和第二节点 195 连接。

可选的，上述第二节点 195 可以直接接地。这里，第二节点 195“直接接地”是指第二节点 195 可以通过导线等直接电连接到接地端，而中间不再插设其他器件或电源灯。

本实施例提供的半导体设备无需设置额外的射频电源，从而可降低该半导体设备的成本。

第二实施例

本实施例提供的半导体设备，其与上述第一实施例提供的半导体设备相同，除了阻抗调节电路不同之外。下面对阻抗调节电路的不同处进行详细描述。

图 3d 为本公开第二实施例提供的半导体设备中阻抗调节电路的示意图。请参阅图 3d，在本实施例中，与上述第一实施例相同，第一调节电路 310 同样包括可变电容线路 191。

在本实施例中，第二调节电路 320 包括可变电感线路 193，该可变电感线路 193 包括可变电感 1930。可选的，该可变电感 1930 的电感值在

100μH-2000μH 的范围内。

当选择开关将可变电感线路 193 接入基座时，可变电感线路 193 能够提高基座与接地端之间的阻抗，从而降低基座上的偏压。并且，通过调节可变电感 1930 接入电路的大小，可以对阻抗的提高量进行调节，该调节方式能够实现阻抗的连续调节，从而可以实现基座上的偏压的连续调节。

在本实施例中，当选择开关将可变电容线路 191 和可变电感线路 193 同时接入基座时，可变电容线路 191 和可变电感线路 193 相互并联，该并联电路能够提高基座与接地端之间的阻抗，从而降低基座上的偏压；同时，由于电感对基座上的偏压的波形形状影响较大，通过调节可变电感，可以避免该波形形状出现瞬时尖峰，从而可以使该波形形状更加平滑。

在本实施例中，选择开关包括设置在可变电容线路 191 上的第一开关 1961，和设置在可变电感线路 193 上的第三开关 1963。通过选择性地接通第一开关 1961 和/或第三开关 1963，可以将可变电容线路 191 和/或可变电感线路 193 接入基座。

第三实施例

本实施例提供的半导体设备，其与上述第一、第二实施例提供的半导体设备相同，除了阻抗调节电路不同之外。下面对阻抗调节电路的不同处进行详细描述。

具体地，图 3e 为本公开第三实施例提供的半导体设备中阻抗调节电路的示意图。请参阅图 3e，在本实施例中，与上述第一实施例相同，第一调节电路 310 同样包括可变电容线路 191。

在本实施例中，第二调节电路 320 包括可变电阻线路 192 和可变电感线路 193，且可变电阻线路 192、可变电感线路 193 和可变电容线路 191 相互并联。

当选择开关将可变电容线路 191 接入基座时，可变电容线路 191 能够降

低基座与接地端之间的阻抗，从而提高基座上的偏压。

当选择开关将可变电阻线路 192 或者可变电感线路 193 接入基座时，可变电阻线路 192 或者可变电感线路 193 能够提高基座与接地端之间的阻抗，从而降低基座上的偏压。

当选择开关将可变电容线路 191 和可变电阻线路 192 同时接入基座时，该并联电路能够提高基座与接地端之间的阻抗，从而降低基座上的偏压；同时，可变电阻线路 192 的接入能够增加偏压调节的连续程度。

当选择开关将可变电容线路 191 和可变电感线路 193 同时接入基座时，该并联电路能够提高基座与接地端之间的阻抗，从而降低基座上的偏压；同时，可变电感线路 193 的接入还能够避免基座上的偏压的波形形状出现瞬时尖峰，从而可以使该波形形状更加平滑。

在本实施例中，选择开关包括设置在可变电容线路 191 上的第一开关 1961，设置在可变电阻线路 192 上的第二开关 1962，和设置在可变电感线路 193 上的第三开关 1963。

需要说明的是，在本实施例中，可变电阻线路 192 和可变电感线路 193 相互并联。当然，本公开包括但不限于此，在实际应用中，可变电阻线路 192 和可变电感线路 193 也可相互串联，且该串联电路与可变电容线路 191 相互并联。在这种情况下，选择开关可以包括设置在可变电容线路上的第一开关，和设置在可变电阻线路或者可变电感线路上的第二开关。

综上所述，半导体设备中的阻抗调节电路可根据不同的需要来选择需要接入的可变电容线路、可变电阻线路和可变电感线路。

需要说明的是，在上述各个实施例中，如图 3b 所示，半导体设备还包括腔体 120，基座 110 位于腔体 120 内部，阻抗调节电路 190 位于腔体 120 外部。这样，一方面，在对基座上的偏压进行调节时，不需要打开腔体 120 以及在腔体 120 打开的状态进行偏压调节，从而可避免腔体 120 受到污染；

另一方面，不需要打开腔体 120 就可以进行偏压调节，可以节省打开腔体 120 后再恢复到进行气相沉积的工艺条件需要的时间，以及如果调节后基座上的偏压不能满足工艺需求，还需要反复打开腔体进行偏压调节所耗费的时间，从而可以大幅度地提高偏压调节的效率。

另外，半导体设备还包括电极 130，其位于腔体 120 中并与基座 110 相对设置，并且电极 130 与溅射电源 140 电连接。当溅射电源 140 通电时，在电极 130 与基座 110 之间形成电场，从而可激发腔体 120 内的工艺气体（例如，氩气）成为等离子体，在等离子体中的电子和离子作用下，完成在基片 200 上的薄膜沉积。

例如，以溅射镀膜类的半导体设备为例，等离子体中的阳离子（例如氩离子）在电场的作用下轰击靶材 150，靶材 150 的材料会被溅射出来从而沉积在基片 200 上。

另外，在该半导体设备中，腔体 120 具有一开口 121，该半导体设备还包括抽气阀 160、真空管路 170 以及真空泵 180；抽气阀 160 设置在腔体 120 的开口 121 上，真空泵 180 通过真空管路 170 和抽气阀 160 相连。需要说明的是，除了溅射镀膜类的半导体设备，本公开实施例提供的半导体设备还可为其他类型的物理沉积装置，例如离子镀膜类的半导体设备。

例如，溅射电源可为脉冲直流电源，其频率可在 5KHz-1MHz 的范围。

以上述第三实施例为例，图 4 为本公开第三实施例提供的半导体设备中腔室的等效电路图。请参阅图 4，在进行气相沉积的过程中，腔体内的等离子体 125 可等效为电感 127 和电阻 129 并联。等离子体 125 与电极（靶材）之间存在鞘层电容 131；阻抗调节电路的第一节点 194 连接到基座，阻抗调节电路的第二节点 195 接地。

阻抗调节电路的结构如图 3e 所示，其上的可变电容 1910、可变电阻 1920 以及可变电感 1930 均能够改变基座上累积的电荷对地的释放通道特性，从

而改变基座上电荷的积累量，从而调节基座上的偏压。具体地，通过选择性地接通第一开关 1961、第二开关 1962 和/或第三开关 1963，可以将可变电容 1910、可变电阻 1920 和/或可变电感 1930 接入基座。通过直接调节可变电容 1910 来调节接入的电容值的大小，通过直接调节可变电阻 1920 来调节接入的电阻值的大小，以及通过直接调节可变电感 1930 来调节接入的电感值的大小，从而对基座的偏压进行精确的调节。

例如，如图 3c-图 3e 所示，在可变电容线路 191 中，第一开关 1961 位于可变电容 1910 与第一节点 194 之间；在可变电阻线路 192 中，第二开关 1962 位于可变电阻 1920 与第一节点 194 之间；在可变电感线路 193 中，第三开关 1963 位于可变电感 1930 与第一节点 194 之间。当然，本公开实施例包括但不限于此。

图 5 为本公开第三实施例提供的另一种半导体设备中阻抗调节电路的示意图。如图 5 所示，在可变电容线路 191 中，第一开关 1961 位于可变电容 1910 与第二节点 195 之间。也就是说，第一开关 1961 和可变电容 1910 在可变电容线路 191 中的位置可以互换。需要说明的是，图 5 中的阻抗调节电路以图 3e 中的结构为例进行说明，当然，本公开实施例包括但不限于此，图 5 中的阻抗调节电路还可采用图 3c 或图 3d 所示的结构。

同样地，在可变电阻线路中，第二开关也可位于可变电阻与第二节点之间；在可变电感线路中，第二开关也可位于可变电感与第二节点之间，本公开实施例在此不再赘述。

需要说明的是，在上述各个实施例中，可变电容线路 191 的可变电容可以是可变电容器，通过改变可变电容器的极片间相对的有效面积或片间距离，来改变电容量。但是，本发明并不局限于此，在实际应用中，还可以采用下述结构的可变电容。

具体地，图 6 为本公开一实施例提供的一种可变电容的示意图。如图 6

所示，可变电容 1910 可包括相互并联的多条支路，每条支路上设置有至少一个子电容 1911，以及第一选择开关 1912。由此，可通过闭合或断开多个第一选择开关 1912 中的一个或多个来调节可变电容的总电容值。需要说明的是，可变电容也可采用其他结构，只要电容值可调节即可。

例如，子电容可为电容值可调电容和电容值固定电容至少之一，从而实现可调电容的电容值可调或连续可调。

与上述可变电容相类似的，图 7 为本公开一实施例提供的一种可变电阻的示意图。如图 7 所示，可变电阻 1920 可包括相互并联的多条支路，每条支路上设置有至少一个子电阻 1921，以及第二选择开关 1922。由此，可通过闭合或断开多个第二选择开关 1922 中的一个或多个来调节可变电阻的总电阻值。需要说明的是，可变电阻也可采用其他结构，只要电阻值可调节即可。

例如，子电阻可为电阻值可调电阻和电阻值固定电阻至少之一，从而实现可调电阻的电阻值可调或连续可调。

类似的，图 8 为本公开一实施例提供的一种可变电感的示意图。如图 8 所示，可变电感 1930 可包括相互并联的多条支路，每条支路上设置有至少一个子电感 1931，以及第三选择开关 1932。由此，可通过闭合或断开多个第三选择开关 1932 中的一个或多个来调节可变电感的电感值。需要说明的是，可变电感也可采用其他结构，只要电感值可调节即可。

例如，子电感可为电感值可调电感和电感值固定电感至少之一，从而实现可调电感的电感值可调或连续可调。

作为另一个技术方案，本发明实施例还提供一种半导体设备的阻抗调节方法，其包括:

调节阻抗调节电路的阻抗，以调节基座与接地端之间的阻抗。

通过借助阻抗调节电路调节基座与接地端之间的阻抗，可以对基座上的

偏压的大小进行调节，这与现有技术中通过改变偏压电源的输出功率调节基座上偏压相比，可以降低半导体设备的成本，同时可以实现对基座上的偏压的连续调节。

可选的，当腔室为多个时，至少一个腔室设置有阻抗调节电路。在这种情况下，通过调节至少一个腔室对应的阻抗调节电路的阻抗，可以使多个腔室的阻抗保持一致。

由此，一方面，可通过阻抗调节电路使得多个腔室的阻抗保持一致，从而可使得多个腔室中的基座的偏压的大小保持一致，从而可提高该半导体器件的膜层的一致性和可重复性，进而可提高该半导体器件的品质。另一方面，该阻抗调节电路不需设置在该半导体设备的腔体内，在使用该阻抗调节电路调节基座的偏压时无需打开腔体，从而可在保证较好的偏压调节效果的前提下提高偏压调节效率。另外，该半导体设备的结构简单，成本较低，利于推广。

本实施例的一示例提供的半导体设备的阻抗调节方法包括步骤S201-S203。

步骤 S201：断开阻抗调节电路并测量基座的偏压的大小。

需要说明的是，上述的断开阻抗调节电路是指阻抗调节电路与基座断开，例如，以图 3e 所示的阻抗调节电路为例，可通过断开阻抗调节电路中的第一开关 1961、第二开关 1962 和第三开关 1963 来断开阻抗调节电路。需要说明的是，本公开实施例包括但不限于此，也可在第一节点 194 与基座之间设置一个总开关，通过断开总开关来实现断开阻抗调节电路。

另外，上述的基座的偏压大小是指基座对地的电压，

例如，可通过示波器测量基座的偏压。

步骤 S202：比较基座的偏压与基准偏压的大小关系。

例如，可通过在参考用半导体设备上做实验，可选取工艺结果良好（良

好的薄膜性能）时基座上的偏压作为基准偏压。

步骤 S203：若基座的偏压小于基准偏压，闭合第一开关并断开第二开关和第三开关，并调节可变电容的大小以缩小基座的偏压与基准偏压的差值，若基座的偏压大于基准偏压，闭合第二开关和第三开关两者中的至少之一并断开第一开关，并调节闭合的第二开关和第三开关至少之一所对应的可变电阻和/或可变电感的大小以缩小基座的偏压与基准偏压的差值。

需要说明的是，上述的闭合第一开关并断开第二开关和第三开关是指：如果阻抗调节电路包括第二开关和第三开关两者中的一个，则断开该阻抗调节电路包括的第二开关或第三开关，如果阻抗调节电路同时包括第二开关和第三开关，则断开该阻抗调节电路包括的第二开关和第三开关。上述的闭合第二开关和第三开关至少之一是指：如果阻抗调节电路包括第二开关和第三开关两者中的一个，则闭合该阻抗调节电路包括的第二开关或第三开关，如果阻抗调节电路同时包括第二开关和第三开关，则闭合该阻抗调节电路包括的第二开关和/或第三开关。

在本实施例提供的半导体设备的阻抗调节方法中，通过调节阻抗调节电路中的可变电阻和可变电感两者中的至少之一和可变电容，可改变基座上累积的电荷对地的释放通道特性，从而改变基座上电荷的积累量，从而调节基座的偏压。阻抗调节电路中的可变电容对基座的偏压具有增益效果，即，闭合第一开关接入可变电容可起到增大基座的偏压的效果；阻抗调节电路中的可变电阻和可变电感对基座的偏压具有减益效果，即，闭合第二开关接入可变电阻可起到减小基座的偏压的效果，闭合第三开关接入可变电感可起到减小基座的偏压的效果。

由于基座的偏压可影响基片上沉积的薄膜性能，包括薄膜均匀性、应力、结晶质量等，因此可通过阻抗调节电路对基座的偏压进行调节，从而提高该半导体设备的薄膜沉积质量。并且，可通过本实施例提供阻抗调节方法使得

不同半导体设备的基座的偏压的大小保持一致，从而可提高半导体设备制作的半导体器件中的膜层的一致性和可重复性，进而可提高该半导体器件的品质。另一方面，在使用该阻抗调节方法调节基座的偏压时无需打开腔体，从而可在保证较好的偏压调节效果的前提下提高偏压调节效率。

例如，在本实施例一示例提供的半导体设备中，当基座的偏压小于基准偏压，闭合第一开关并断开第二开关和第三开关，并调节可变电容的大小以缩小基座的偏压与基准偏压的差值时，若闭合第一开关并断开第二开关和第三开关以接入可变电容后，基座的偏压仍然小于基准偏压，可通过增加可变电容的电容值来增大基座的偏压，若闭合第一开关并断开第二开关和第三开关以接入可变电容后，基座的偏压仍然大于基准偏压，可通过减小可变电容的电容值来减小基座的偏压。

例如，在本实施例一示例提供的半导体设备中，可设置可变电容的初始值为可变电容的电容值调节范围的中间值，从而便于增大或减小可变电容的电容值。例如，可变电容的电容值调节范围为 50pF-1μF 时，可设置可变电容的初始值为 5000pF。

例如，在本实施例一示例提供的半导体设备中，上述的若基座的偏压大于基准偏压，闭合第二开关和第三开关至少之一并断开第一开关，并调节闭合的第二开关和第三开关至少之一所对应的可变电阻和/或可变电感的大小以缩小基座的偏压与基准偏压的差值时，包括以下三种情况:

（一）闭合第二开关并断开第三开关和第一开关以接入可变电阻，此时，若闭合第二开关并断开第三开关和第一开关以接入可变电阻后，基座的偏压仍然高于基准偏压，则可通过增加可变电阻的电阻值来减小基座的偏压，若闭合第二开关并断开第三开关和第一开关以接入可变电阻后，基座的偏压小于基准偏压，则可通过减小可变电阻的电阻值来增大基座的偏压；

（二）闭合第三开关并断开第二开关和第一开关以接入可变电感，此时，

若闭合第三开关并断开第二开关和第一开关以接入可变电感后，基座的偏压仍然高于基准偏压，则可通过增加可变电感的电感值来减小基座的偏压，若闭合第三开关并断开第二开关和第一开关以接入可变电感后，基座的偏压小于基准偏压，则可通过减小可变电感的电感值来增大基座的偏压；

（三）闭合第三开关和第二开关并断开第一开关以接入可变电阻和可变电感，此时，可变电阻和可变电感并联，若闭合第三开关和第二开关并断开第一开关以接入可变电阻和可变电感后，基座的偏压仍然高于基准偏压，则可通过增加可变电阻的电阻值和增加可变电感的电感值来减小基座的偏压，若闭合第三开关和第二开关并断开第一开关以接入可变电阻和可变电感后，基座的偏压小于基准偏压，则可通过减小可变电阻的电阻值和减小可变电感的电感值来增大基座的偏压。

例如，在本实施例一示例提供的半导体设备中，可设置可变电阻的初始值为可变电阻的电阻值调节范围的中间值，从而便于增大或减小可变电阻的电阻值。例如，可变电阻的电阻值调节范围为 100Ω-100KΩ 时，可设置可变电阻的初始值为 50KΩ。同样地，设置可变电感的初始值为可变电感的电感值调节范围的中间值，从而便于增大或减小可变电感的电感值。例如，可变电感的电感值调节范围为 100μH-2000μH 时，可设置可变电感的初始值为 1000μH。

例如，本实施例一示例提供的半导体设备的阻抗调节方法还包括:

在基座的偏压大于基准偏压的情况下测量基座的偏压的波形形状的瞬时尖峰;

比较瞬时尖峰与基准尖峰的大小关系；以及若瞬时尖峰大于基准尖峰，闭合第一开关，并调节可变电容的大小以抑制瞬时尖峰。

由此，当基座的偏压的波形形状的瞬时尖峰较高时，可通过本实施例提供的阻抗调节方法抑制该瞬时尖峰。

例如，在本实施例一示例提供的半导体设备的阻抗调节方法中，基准尖峰的峰值大于等于基座的偏压的稳定值的120%。

例如，在本实施例一示例提供的半导体设备的阻抗调节方法中，在使用本实施例提供的阻抗调节方法抑制瞬时尖峰时，由于接入的可变电容对基座的偏压有增益效果，会增大基座的偏压；因此，可将可变电容的初始值为可变电容的最小值，从而可减少可变电容对基座的偏压的大小的影响。

例如，本实施例一示例提供的半导体设备的阻抗调节方法还包括：

再次测量基座的偏压的大小；

比较基座的偏压与基准偏压的大小关系；以及调节闭合的第二开关和第三开关至少之一所对应的可变电阻和/或可变电感的大小以缩小基座的偏压与基准偏压的差值。

由此，在使用本实施例提供的阻抗调节方法抑制瞬时尖峰时，在接入可变电容以抑制瞬时尖峰时，若基座的偏压的大小发生变化时，可通过上述的过程对基座的偏压的大小进行再次调节，以使基座的偏压的大小与基准偏压的大小的差值在允许误差的范围之内。

有以下几点需要说明：

（1）本公开实施例附图中，只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

（2）在不冲突的情况下，本公开同一实施例及不同实施例中的特征可以相互组合。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权 利 要 求 书

1、一种半导体设备，包括:

腔室，在所述腔室中设置有用于承载基片的基座;

阻抗调节电路，分别与所述基座与接地端电连接，用于调节所述基座与所述接地端之间的阻抗。

2、根据权利要求 1 所述的半导体设备，其中，所述腔室为多个，至少一个所述腔室设置有所述阻抗调节电路。

3、根据权利要求 1 或 2 所述的半导体设备，其中，所述阻抗调节电路包括:

第一调节电路，用于降低所述基座与接地端之间的阻抗;

第二调节电路，用于提高所述基座与接地端之间的阻抗;

选择开关，用于选择性地将所述第一调节电路和第二调节电路中的至少之一与所述基座电导通。

4、根据权利要求 3 所述的半导体设备，其中，所述第一调节电路包括可变电容线路，所述可变电容线路包括可变电容。

5、根据权利要求 4 所述的半导体设备，其中，所述第二调节电路包括可变电阻线路，和/或可变电感线路，其中，所述可变电阻线路包括可变电阻; 所述可变电感线路包括可变电感。

6、根据权利要求 5 所述的半导体设备，其中，所述第二调节电路包括可变电阻线路和可变电感线路，且所述可变电容线路、可变电阻线路和可变电感线路相互并联; 所述选择开关包括设置在所述可变电容线路上的第一开

关，设置在所述可变电阻线路上的第二开关，以及设置在所述可变电感线路上的第三开关。

7、根据权利要求 5 所述的半导体设备，其中，所述第二调节电路包括可变电阻线路和可变电感线路，所述可变电阻线路和可变电感线路相互串联，且与所述可变电容线路相互并联；所述选择开关包括设置在所述可变电容线路上的第一开关，和设置在所述可变电阻线路或者所述可变电感线路上的第二开关。

8、根据权利要求 1 所述的半导体设备，其中，所述半导体设备还包括与所述基座电连接的第一节点，以及接地的第二节点；所述阻抗调节电路分别与所述第一节点和第二节点电连接。

9、根据权利要求 8 所述的半导体设备，其中，所述第二节点直接接地。

10、根据权利要求 4 所述的半导体设备，其中，所述可变电容的电容值在 50pF-1μF 的范围内。

11、根据权利要求 5 所述的半导体设备，其中，所述可变电阻的电阻值在 100Ω-100KΩ 的范围内。

12、根据权利要求 5 所述的半导体设备，其中，所述可变电感的电感值在 100μH-2000μH 的范围内。

13、根据权利要求 1 所述的半导体设备，其中，所述腔室还包括：

腔体，所述基座位于所述腔体内部，所述阻抗调节电路位于所述腔体外部。

14、一种根据权利要求 1 所述的半导体设备的阻抗调节方法，包括:

调节所述阻抗调节电路的阻抗，以调节所述基座与接地端之间的阻抗。

15、根据权利要求 14 所述的半导体设备的阻抗调节方法，其中，所述腔室为多个，至少一个所述腔室设置有所述阻抗调节电路；所述阻抗调节方法包括:

通过调节至少一个所述腔室对应的阻抗调节电路的阻抗，以使多个所述腔室的阻抗保持一致。

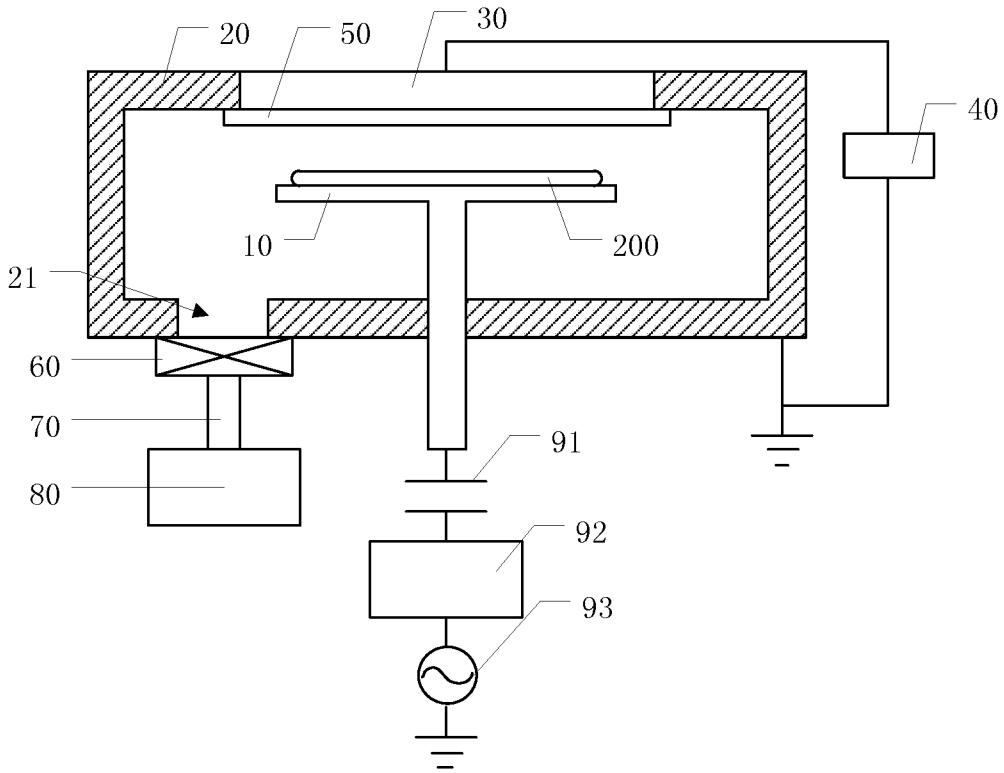

20
50
30
40
10
200
21
60
70
91
80
92
93

图 1

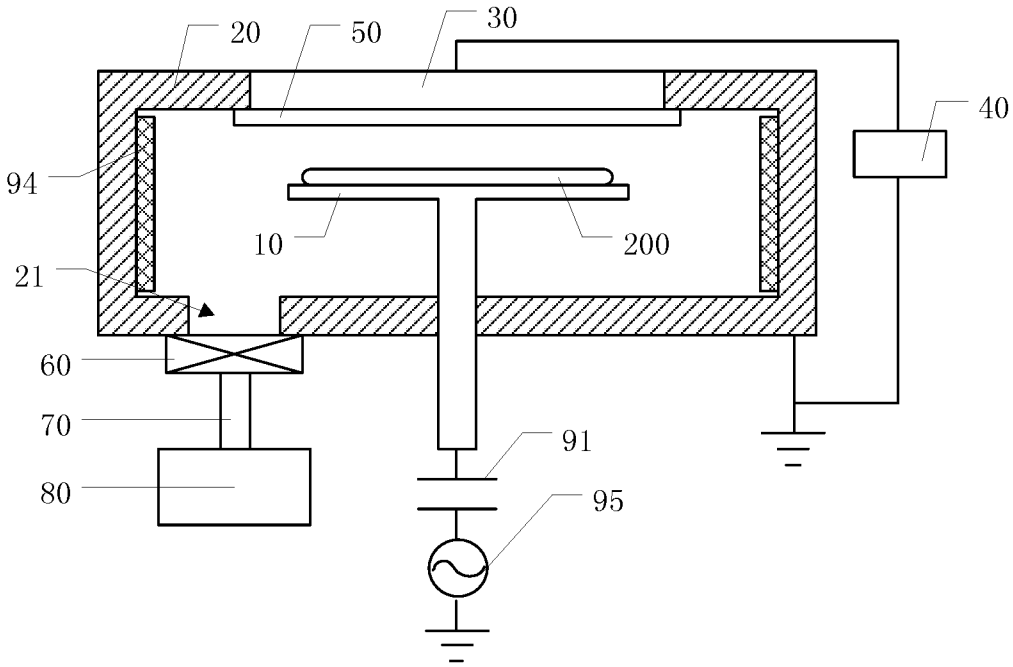

20
50
30
40
94
10
200
21
60
70
91
80
95

图 2

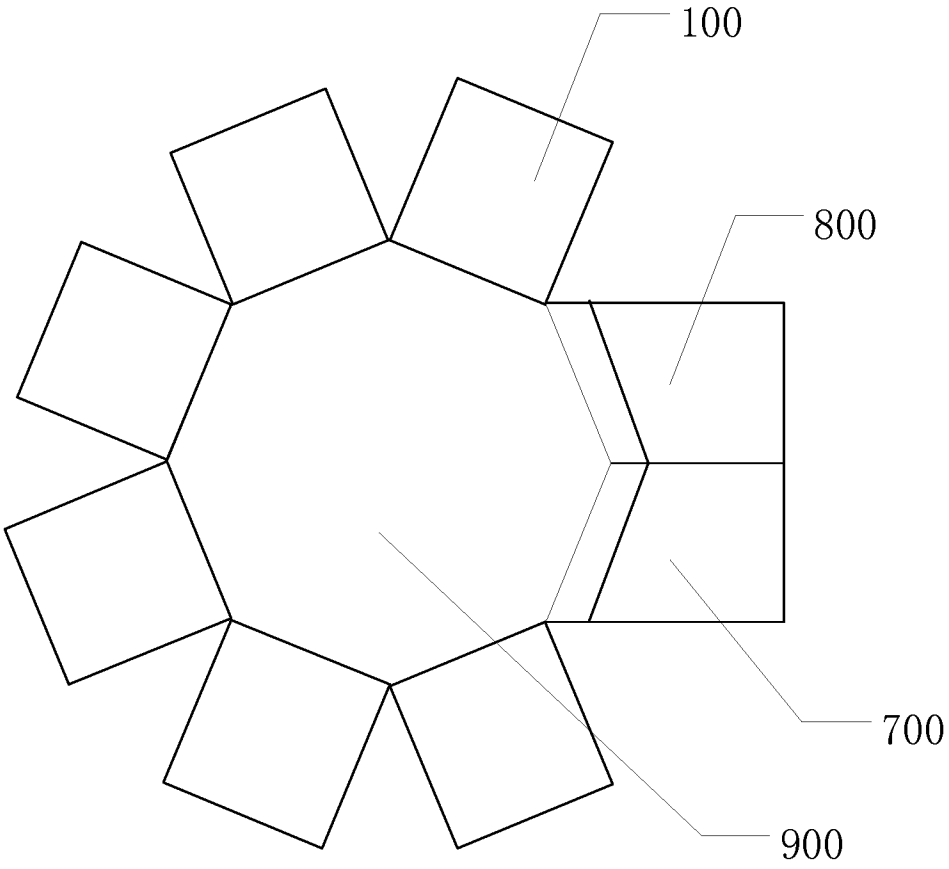


图 3a

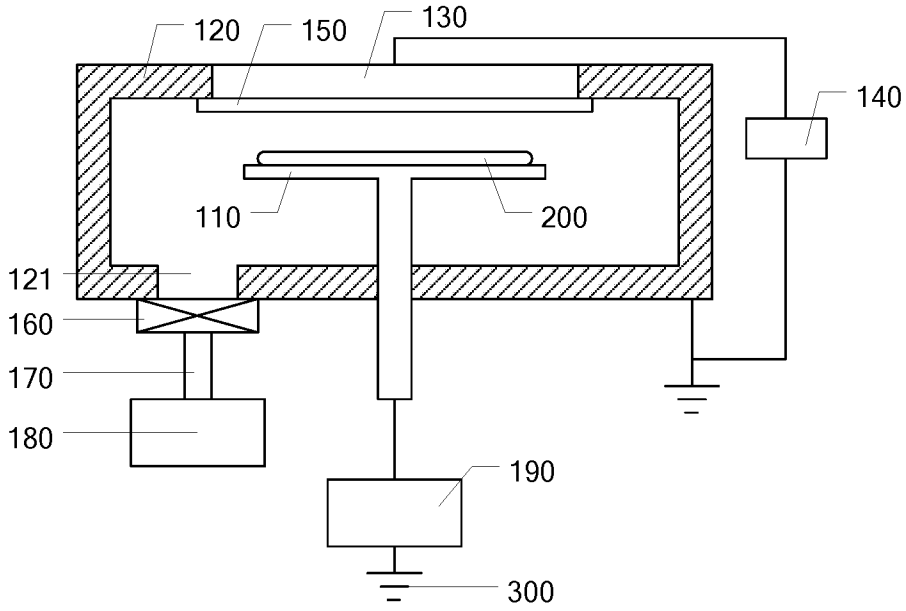


图 3b

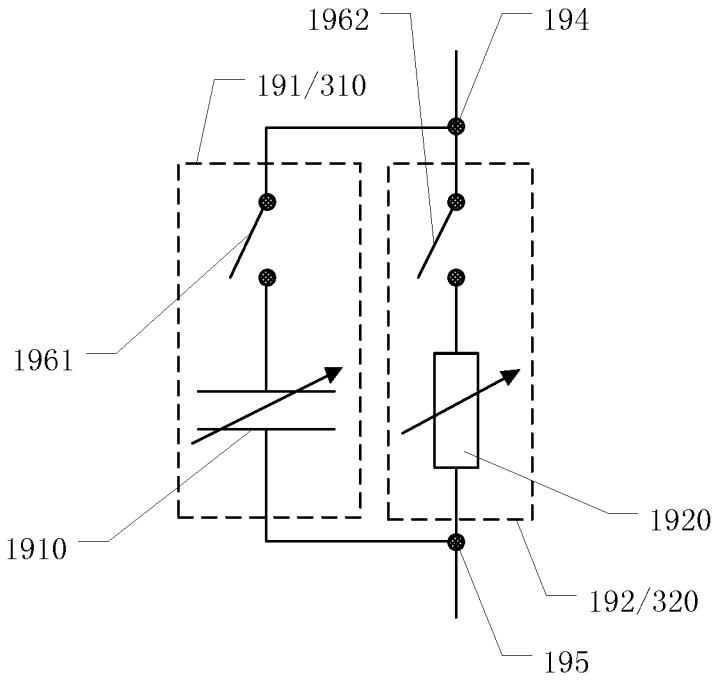

1962
194
191/310
1961
1910
1920
192/320
195

图 3c

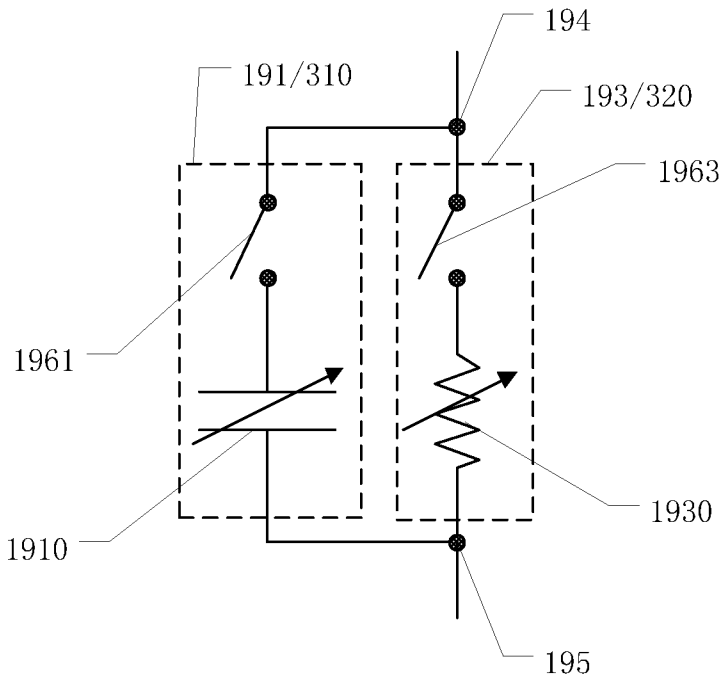

194
191/310
193/320
1963
1961
1930
1910
195

图 3d

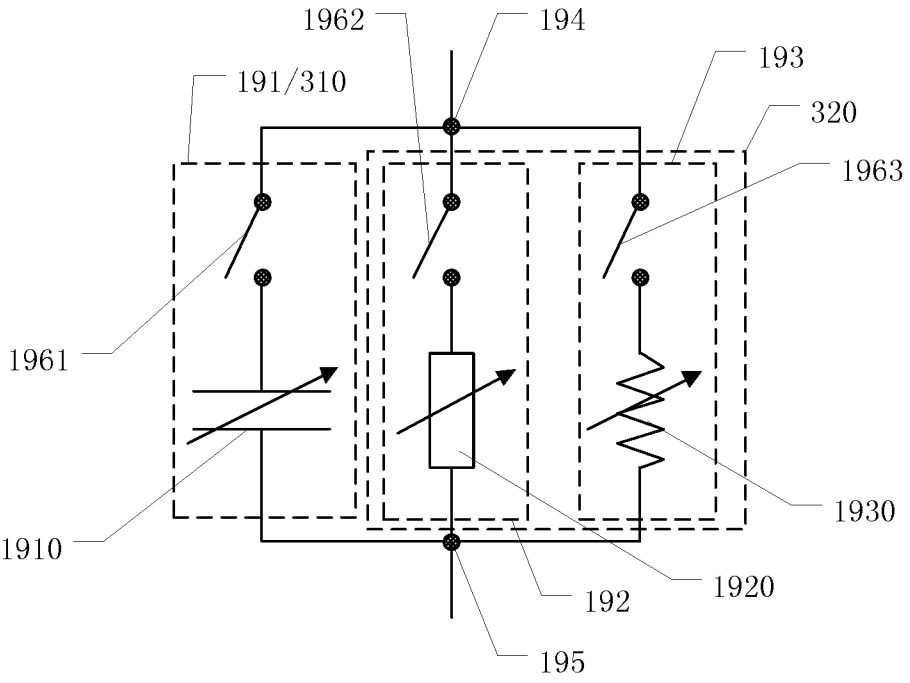

1962
194
193
191/310
320
1963
1961
1930
1910
1920
192
195

图 3e

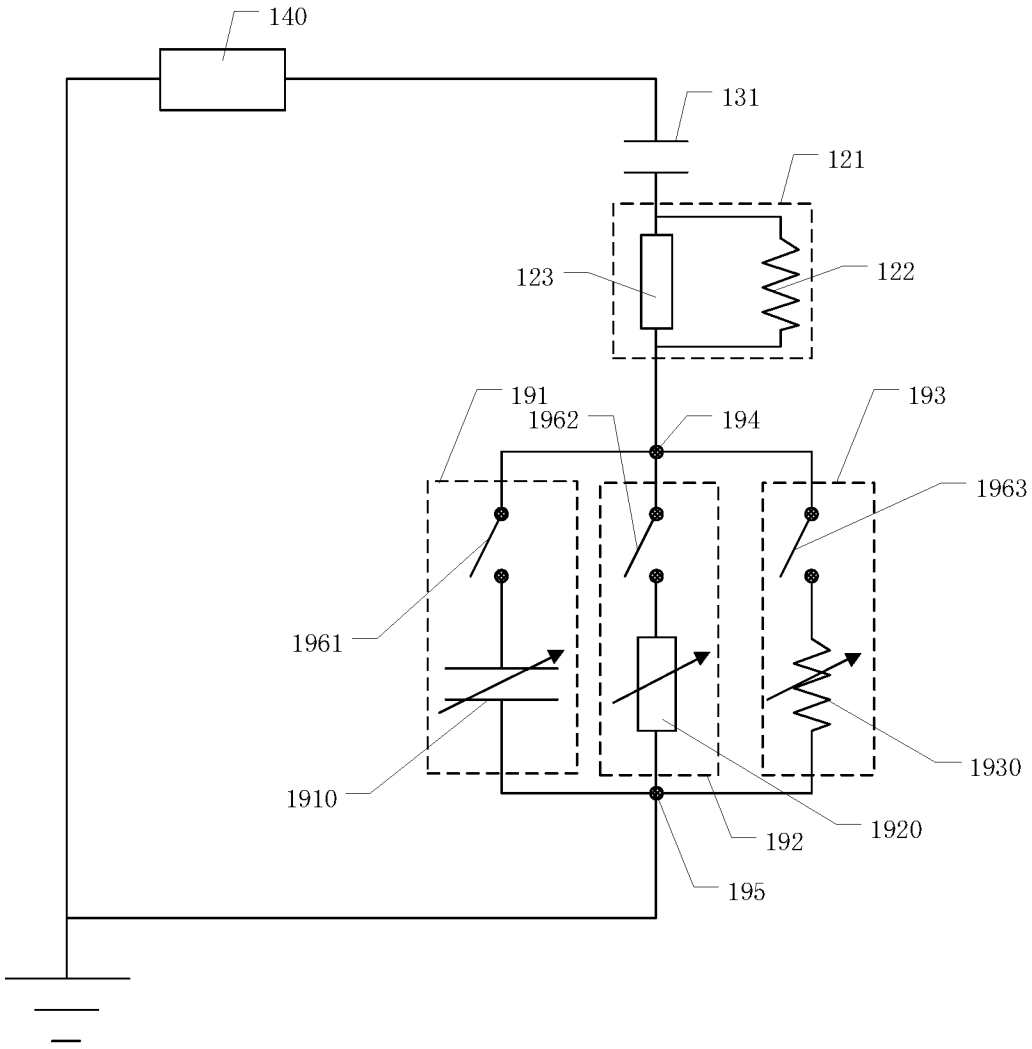

140
131
121
123
122
191
1962
194
193
1963
1961
1930
1910
1920
192
195

图 4

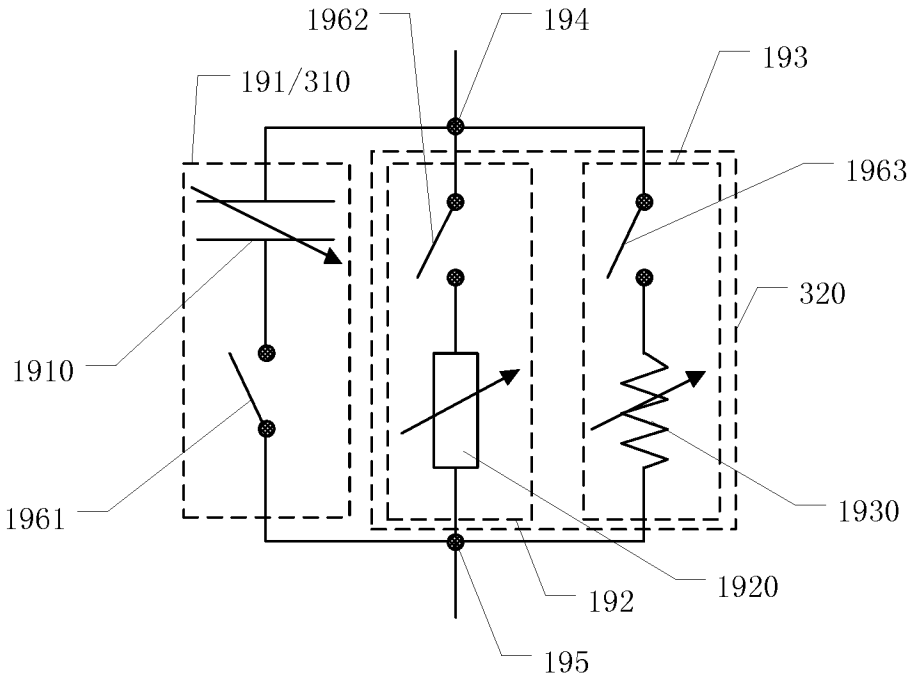

1962
194
193
191/310
1963
320
1910
1961
1930
1920
192
195

图 5

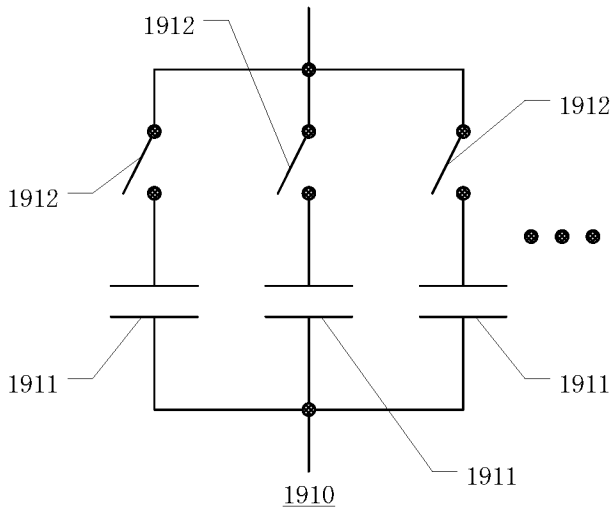

1912
1912
1912
1911
1911
1911
1910

图 6

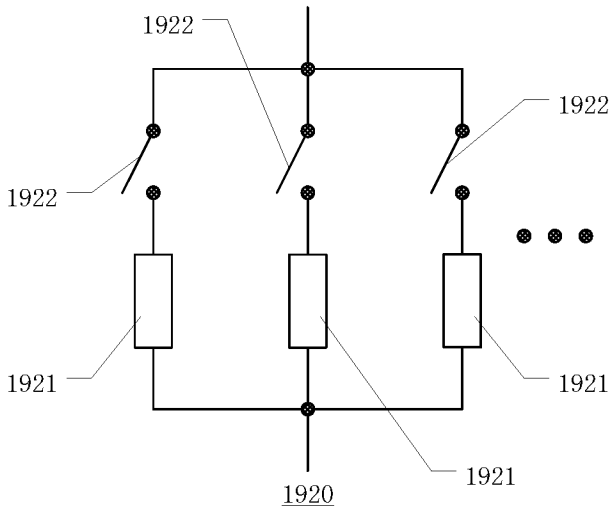

1922
1922
1922
1921
1921
1921
1920

图 7

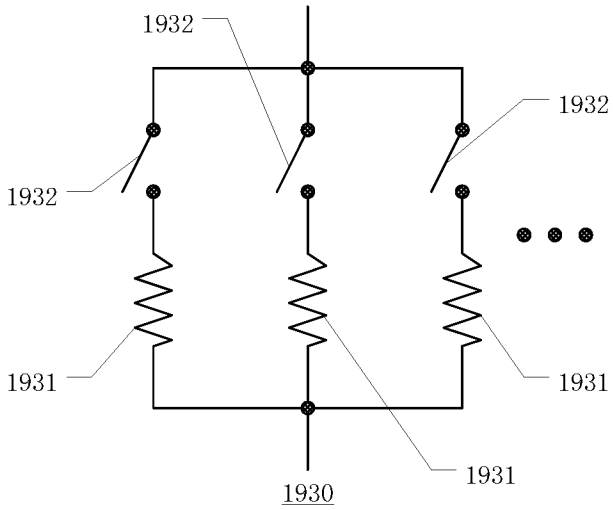

1932
1932
1932
1931
1931
1931
1930

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/091817

A. CLASSIFICATION OF SUBJECT MATTER

C23C 14/34(2006.01)i; C23C 14/54(2006.01)i; C23C 14/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C23C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 腔室, 阻抗, 调节, 调整, 沉积, 电感, 电容, 电阻, 电抗, 开关, 接地, 基座, chamber, impedance, capacitance, inductance, resistance, reactance, switch, adjust, control, deposition, ground, base

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107227446 A (BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.) 03 October 2017 (2017-10-03) claims 1-14	1-15
PX	CN 207072964 U (BEIJING NAURA MICROELECTRONICS EQUIPMENT CO., LTD.) 06 March 2018 (2018-03-06) description, paragraphs [0041]-[0092], and figures 3a-8	1-15
X	CN 101376965 A (FUJIFILM CORPORATION) 04 March 2009 (2009-03-04) description page 11, paragraph 3 to page 15, paragraph 5, and figures 1-3	1-15
X	CN 102439697 A (APPLIED MATERIALS, INC.) 02 May 2012 (2012-05-02) description, paragraphs [0089]-[0094], and figure 6	1-15
X	CN 101960561 A (APPLIED MATERIALS INC.) 26 January 2011 (2011-01-26) description, paragraphs [0015]-[0067], and figures 5-6B	1-15

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 September 2018	**18 September 2018**

Name and mailing address of the ISA/CN	Authorized officer
State Intellectual Property Office of the P. R. China **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing** **100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/091817

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107227446	A	03 October 2017	None			
CN	207072964	U	06 March 2018	None			
CN	101376965	A	04 March 2009	US	9111732	B2	18 August 2015
				EP	2031084	B1	25 January 2017
				JP	2009057599	A	19 March 2009
				US	2009057135	A1	05 March 2009
				CN	101376965	B	04 July 2012
				EP	2031084	A3	28 April 2010
				EP	2031084	A2	04 March 2009
				JP	4317888	B2	19 August 2009
CN	102439697	A	02 May 2012	TW	I499682	B	11 September 2015
				CN	102439697	B	19 August 2015
				WO	2010115128	A2	07 October 2010
				US	2010252417	A1	07 October 2010
				TW	201104004	A	01 February 2011
				US	2017029941	A1	02 February 2017
				KR	20120004502	A	12 January 2012
				KR	20170037678	A	04 April 2017
				WO	2010115128	A9	24 March 2011
				KR	101841236	B1	22 March 2018
				WO	2010115128	A4	03 March 2011
				WO	2010115128	A3	13 January 2011
CN	101960561	A	26 January 2011	US	2013008778	A1	10 January 2013
				US	2009229969	A1	17 September 2009
				US	9856558	B2	02 January 2018
				US	2018119272	A1	03 May 2018
				JP	2011515577	A	19 May 2011
				KR	20110003489	A	12 January 2011
				US	9593411	B2	14 March 2017
				KR	101579742	B1	23 December 2015
				JP	5431370	B2	05 March 2014
				CN	101960561	B	06 March 2013
				WO	2009114184	A3	23 December 2009
				WO	2009114184	A2	17 September 2009

国际检索报告

国际申请号
PCT/CN2018/091817

A. 主题的分类

C23C 14/34(2006.01)i; C23C 14/54(2006.01)i; C23C 14/56(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

C23C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT, CNKI, WPI, EPODOC, IEEE: 腔室，阻抗，调节，调整，沉积，电感，电容，电阻，电抗，开关，接地，基座，chamber, impedance, capacitance, inductance, resistance, reactance, switch, adjust, control, deposition, ground, base

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 107227446 A (北京北方华创微电子装备有限公司) 2017年 10月 3日 (2017-10-03) 权利要求1-14	1-15
PX	CN 207072964 U (北京北方华创微电子装备有限公司) 2018年 3月 6日 (2018-03-06) 说明书第[0041]-[0092]段、图3a-8	1-15
X	CN 101376965 A (富士胶片株式会社) 2009年 3月 4日 (2009-03-04) 说明书第11页第3段-第15页第5段、图1-3	1-15
X	CN 102439697 A (应用材料公司) 2012年 5月 2日 (2012-05-02) 说明书第[0089]-[0094]段、图6	1-15
X	CN 101960561 A (应用材料股份有限公司) 2011年 1月 26日 (2011-01-26) 说明书第[0015]-[0037]段、图5-6B	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 9月 7日	2018年 9月 18日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	李静
传真号 (86-10)62019451	电话号码 86-(10)-53961223

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/091817

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	107227446	A	2017年 10月 3日	无			
CN	207072964	U	2018年 3月 6日	无			
CN	101376965	A	2009年 3月 4日	US	9111732	B2	2015年 8月 18日
				EP	2031084	B1	2017年 1月 25日
				JP	2009057599	A	2009年 3月 19日
				US	2009057135	A1	2009年 3月 5日
				CN	101376965	B	2012年 7月 4日
				EP	2031084	A3	2010年 4月 28日
				EP	2031084	A2	2009年 3月 4日
				JP	4317888	B2	2009年 8月 19日
CN	102439697	A	2012年 5月 2日	TW	I499682	B	2015年 9月 11日
				CN	102439697	B	2015年 8月 19日
				WO	2010115128	A2	2010年 10月 7日
				US	2010252417	A1	2010年 10月 7日
				TW	201104004	A	2011年 2月 1日
				US	2017029941	A1	2017年 2月 2日
				KR	20120004502	A	2012年 1月 12日
				KR	20170037678	A	2017年 4月 4日
				WO	2010115128	A9	2011年 3月 24日
				KR	101841236	B1	2018年 3月 22日
				WO	2010115128	A4	2011年 3月 3日
				WO	2010115128	A3	2011年 1月 13日
CN	101960561	A	2011年 1月 26日	US	2013008778	A1	2013年 1月 10日
				US	2009229969	A1	2009年 9月 17日
				US	9856558	B2	2018年 1月 2日
				US	2018119272	A1	2018年 5月 3日
				JP	2011515577	A	2011年 5月 19日
				KR	20110003489	A	2011年 1月 12日
				US	9593411	B2	2017年 3月 14日
				KR	101579742	B1	2015年 12月 23日
				JP	5431370	B2	2014年 3月 5日
				CN	101960561	B	2013年 3月 6日
				WO	2009114184	A3	2009年 12月 23日
				WO	2009114184	A2	2009年 9月 17日