

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-120175
(P2011-120175A)

(43) 公開日 平成23年6月16日(2011.6.16)

(51) Int.Cl. F 1 テーマコード (参考)
HO4N 5/335 (2011.01) HO4N 5/335 P 5C024

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願2009-278007 (P2009-278007)
 (22) 出願日 平成21年12月7日 (2009.12.7)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 衣笠 友壽
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 Fターム(参考) 5C024 AX01 CX05 GX03 GX18 HX02
 HX12 HX18 HX40

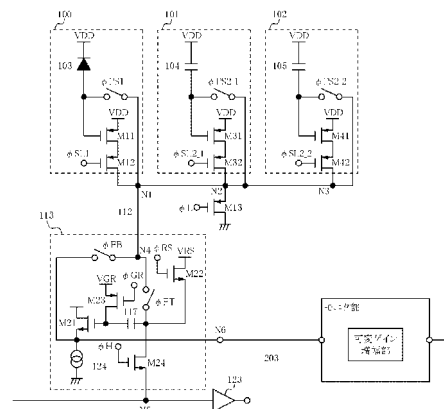
(54) 【発明の名称】 光電変換装置

(57) 【要約】

【課題】 1つのセンサセル部に対して複数のメモリセル部を設けた構成における好適な光電変換装置を提供することを目的とする。

【解決手段】 センサセル部を初期化したことによって生じるリセットノイズを、複数のメモリセル部に同時に書き込む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

光電変換された信号を出力するセンサセル部と、複数のメモリセル部と、を各々が有する複数の単位画素を備え、

一の前記センサセル部を初期化したことによって生じるリセットノイズを、前記一のセンサセル部に対応して設けられた複数の前記メモリセル部に同時に書き込むことを特徴とする光電変換装置。

【請求項 2】

前記センサセル部または前記メモリセル部から出力された信号を受けて、前記センサセル部または前記メモリセル部に転送する転送部を有する請求項 1 に記載の光電変換装置。

10

【請求項 3】

前記一のセンサセル部に対応して設けられた複数の前記メモリセル部に同時に書き込まれる前記リセットノイズは、さらに前記転送部で生じるノイズが重畳されることを特徴とする請求項 2 に記載の光電変換装置。

【請求項 4】

前記転送部は、前記センサセル部から出力された信号と、前記メモリセル部に書き込まれた前記リセットノイズおよび前記転送部で生じるノイズとの差分処理を行うことを特徴とする請求項 3 に記載の光電変換装置。

【請求項 5】

前記センサセル部は、光電変換部と、光電変換部で生じた電荷を増幅して出力する増幅部とを備えることを特徴とする請求項 1 ないし 4 のいずれかに記載の光電変換装置。

20

【請求項 6】

請求項 1 ないし 5 のいずれかに記載の光電変換装置を用いた位相差検出方式の焦点検出装置。

【請求項 7】

対をなすラインセンサ部を有し、

前記ラインセンサ部の各々が、光電変換された信号を出力するセンサセル部と、複数のメモリセル部と、を有する単位画素を複数有する焦点検出装置であって、

前記焦点検出装置は、

一の前記センサセル部を初期化したことによって生じるリセットノイズを、前記一のセンサセル部に対応して設けられた複数の前記メモリセル部に同時に書き込み、

30

前記センサセル部または前記メモリセル部から出力された信号を受けて、前記センサセル部または前記メモリセル部に転送する転送部であって、前記センサセル部から出力された信号と、前記メモリセル部に書き込まれた前記リセットノイズおよび前記転送部で生じるノイズとの差分処理を行う転送部を備え、さらに

前記ラインセンサ部を複数の領域に分けて、前記ラインセンサ部の端部を含まない一部の領域でデフォーカス量の検出を行い、

所定のコントラストが得られた場合には各前記単位画素の一のメモリセル部を用いて前記差分処理を行い、

前記所定のコントラストが得られない場合には、前記ラインセンサ部の全体の領域でデフォーカス量の検出を行い、前記一のメモリセル部とは異なるメモリセル部を用いて前記差分処理を行うこと

40

を特徴とする焦点検出装置。

【請求項 8】

請求項 6 または 7 に記載の焦点検出装置を備える撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は光電変換装置に関し、特に、光電変換を行う光電変換部と、光電変換部からの信号を転送する転送部と、光電変換部からの信号を保持する記憶部と、を備える光電変換

50

装置に関する。

【背景技術】

【0002】

撮像システムにおいては、焦点を検出するAF (Auto Focusing) センサを備えることが一般的である。近年のAFセンサは、焦点検出の高速化とともに、検出精度を高めることが求められている。

【0003】

特許文献1には、センサセル部から出力された信号をメモリセル部に転送する転送系を備えた固体撮像装置が記載されている。この中で、メモリセル部は複数設けられても良いことが記載されている。

【0004】

特許文献2には、ラインセンサを複数の領域に分割した場合にそれぞれの領域に対応する蓄積信号を記憶するフレームメモリと、ラインセンサの全領域に対応する蓄積信号を記憶するフレームメモリと、を備える焦点検出装置が記載されている。特許文献2によれば、デフォーカス量が大きい場合でも高速に焦点検出を行えるとしている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平09-200614号公報

【特許文献2】特開2006-220684号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1および特許文献2のいずれにも、1つのセンサセル部に対して複数のメモリセル部を設ける具体的な回路構成もその動作も開示がない。

【0007】

本発明は、1つのセンサセル部に対して複数のメモリセル部を設けた構成における好適な光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決する本発明は、光電変換された信号を出力するセンサセル部と、複数のメモリセル部と、を各々が有する複数の単位画素を備え、一の前記センサセル部を初期化したことによって生じるリセットノイズを、前記一の前記センサセル部に対応して設けられた複数の前記メモリセル部に同時に書き込むことを特徴とする光電変換装置である。

【発明の効果】

【0009】

本発明によれば、1つのセンサセル部に対して複数のメモリセル部を設けた光電変換装置において、好適な動作を実現できる。

【図面の簡単な説明】

【0010】

【図1】実施例1に係る位相差AF用の光電変換装置における撮像面を模式的に示す図である。

【図2】実施例1に係るラインセンサ部を示すブロック図である。

【図3】本発明の第1の実施例に係る光電変換装置の回路図である。

【図4】本発明の第1の実施例に係るタイミング図である。

【図5】本発明の第2の実施例に係るタイミング図である。

【図6】本発明の第1の実施例に係る光電変換装置のレイアウト図である。

【図7】本発明の第1の実施例に係る光電変換装置のレイアウト図である。

【図8】本発明の第3の実施例に係る焦点検出装置 (AFセンサ) の構成例を示すブロック図である。

10

20

30

40

50

【図9】本発明の第4の実施例にかかる撮像システムの構成例を示すブロック図である。

【発明を実施するための形態】

【0011】

まず、本発明の利点を説明するために、仮に特許文献1に開示された構成において、特許文献2にあるように、1つのセンサセル部に対してメモリセル部を2つ設けることを考える。特許文献2によれば、蓄積動作に先だってセンサセル部のノイズ信号をメモリセル部に信号を書き込む動作が行われる。そのため、仮に特許文献1に開示された構成で2つのメモリセル部を設けると、メモリセル部へノイズ信号を書き込む動作が2回必要になる。そのため、ノイズ信号の書き込み動作の後に開始するオートゲインコントロール(Automatic Gain Control; 以下AGCと称する)を開始するタイミングが遅くなることが考えられる。

10

【0012】

上述の場合に問題となるのは、入射光の強度が強い場合である。入射光強度が強いということはセンサセル部が短い期間で信号の飽和レベルに達することを意味する。従って、AGCを開始するタイミングが遅くなると、AGCを開始するよりも前に信号が飽和レベルに達してしまい、AGCを適切に行えなくなるおそれが生じる。

【0013】

上記の問題に対処する本発明の具体的な実施例を以下に説明する。

【0014】

(実施例1)

図面を参照しながら本発明に係る第1の実施例を説明する。第1の実施例は、位相差焦点検出(Auto Focusing; AF)用の光電変換装置に適用した例を示す。

20

【0015】

図1は、位相差AF用の光電変換装置における撮像面を模式的に示した図である。撮像面には、対となるラインセンサ部L1AとL1B、L2AとL2B、・・・LNAとLNBが存在する。一对のラインセンサ部は撮像面のある領域における被写体のデフォーカス量を測定するために用いられ、このラインセンサ部の対を複数配列することで測距点を複数設け、AFの精度の向上を図るものである。各ラインセンサ部は、単位画素11A、12A、・・・を含んでいる。

【0016】

30

図2は、ラインセンサ部L1A、L2A、・・・に係る部分をより詳細に示したブロック図である。各単位画素はセンサセル部、第1メモリ部、及び第2メモリ部を備える構成で、共通出力線に接続されている。また、異なるラインセンサ部の同様の位置に存在する単位画素は、共通出力線を介して共通の転送部に接続される。各転送部は、共通のバッファアンプに接続される。ラインセンサ部L1B、L2B、・・・も図2と同様の構成である。

【0017】

図3は、図2で示した構成のうちラインセンサ部LS1を抜き出しており、特に単位画素11Aと、これと接続された転送部に注目して説明を行う。単位画素11Aは、センサセル部101、第1メモリセル部301、及び第2メモリセル部401とを含む。図3において、MOSトランジスタの制御電極並びにスイッチに付された「X」は、不図示の制御部から供給される信号を意味している。

40

【0018】

単位画素11Aに着目すると、センサセル部100は光電変換部であるフォトダイオード(PD)103、センサセル部書き込みスイッチ106、及びトランジスタM11、M12を含む。PD103のアノードはセンサセル部書き込みスイッチ106の一方の端子とトランジスタM11の制御電極と接続され、カソードは電源電圧VDDに接続される。トランジスタM11及びM12は、MOSトランジスタM12が導通すると負荷MOSトランジスタM13とともにゲインが-1の反転アンプを構成する。センサセル部100は、この反転アンプを介してフォトダイオード103で光電変換された電荷量に基づく蓄積

50

信号を共通出力線 112 に出力する。つまり、MOS トランジスタ M12 はセンサセル部 100 を選択するための選択スイッチとして機能する。センサセル部書き込みスイッチ 106 はフォトダイオード 103 のアノードと共通出力線 112 との導通または非導通を切り換えるもので、PMOS トランジスタ、NMOS トランジスタ、CMOS トランジスタなどで構成することができる。

【0019】

メモリセル部 101 及び 102 は、センサセル部 100 におけるフォトダイオード 103 をメモリ容量 104、105 に置き換えた構成となっているので説明を省略する。本図では負荷 MOS トランジスタ M13 がセンサセル部 100、メモリセル部 101 及び 102 に共通に設けられているが、各セル部につき 1 つの負荷 MOS トランジスタを設けても良い。

10

【0020】

次に、転送部 113 について説明する。転送部 113 は、MOS トランジスタ M21 ~ M24、転送容量 117、フィードバックスイッチ 120 及びトランスファースイッチ 121 を含む。トランスファースイッチ 121 の一方の端子は共通出力線 112 及びフィードバックスイッチ 120 の一方の端子と接続される。トランスファースイッチ 121 の他方の端子は、転送容量 117 の一方の端子、MOS トランジスタ M22 の一方の主電極、及び MOS トランジスタ M24 の一方の主電極に接続される。MOS トランジスタ M22 の他方の主電極は電源電圧 VRS に接続される。光信号読み出しスイッチである MOS トランジスタ M24 の他方の主電極はバッファアンプ 123 に接続される。転送容量 117 の他方の端子は MOS トランジスタ M21 の制御電極および MOS トランジスタ M23 の一方の主電極に接続される。MOS トランジスタ M21 の一方の主電極は電源電圧 VDD に接続され、他方の主電極は定電流源 124、ノード N6、及びフィードバックスイッチ 120 の他方の端子に接続される。転送部は、後述する動作により、センサセル部から出力された信号と、メモリセル部に書き込まれたリセットノイズおよび転送部で生じるノイズとの差分処理を行う。

20

【0021】

以下では図 3 及び 4 を参照しながら本実施例に係る光電変換装置の動作を説明する。図 4 では、図 3 に示すスイッチや MOS トランジスタの制御電極に与えられる信号を示している。PMOS トランジスタに与えられる信号は反転信号として“/”を付している。従って、各スイッチ及び MOS トランジスタは、図 4 に示す対応する信号がハイレベルで導通する。

30

【0022】

期間(1)では、フォトダイオード 103 及びメモリ容量 104、105 をリセットする動作が行われる。その後、フォトダイオード 103 をリセットすることによってセンサセル部 100 で生じたノイズ Ns を転送容量 117 に書き込む動作を行う。

【0023】

まず、信号 RS、FT、PS1、PS2__1、PS2__2 及び /GR がハイレベルになることで、センサセル部書き込みスイッチ 106、メモリセル部書き込みスイッチ 107、108、トランスファースイッチ 121、MOS トランジスタ M22 及び MOS トランジスタ M23 が導通する。これにより、フォトダイオード 103 及びメモリ容量 104、105 が電源電圧 VRS にリセットされるとともに、転送容量 117 の両電極が電源電圧 VRS および VGS にリセットされる。

40

【0024】

次に、信号 /GR がローレベルになることで転送容量 117 の他方の端子がフローティングになる。そして信号 PS1、PS2__1、PS2__2 及び RS がローレベルになった後に、信号 /SL1 及び /L がハイレベルになると、センサセル部 100 のリセット後のセンサノイズ Ns が転送容量 117 に書き込まれる。

【0025】

期間(2)で信号 FB がハイレベルになると、転送容量 117 に保持されたセンサノ

50

イズ N_s に転送部 113 のノイズ N_t が重畳されたノイズ $N_s + N_t$ が、MOS トランジスタ M21 と定電流源 124 とで構成されるソースフォロワによって共通出力線 112 に出力される。この期間に信号 PS1 が一時的にハイレベルとなることで、ノイズ $N_s + N_t$ がセンサセル部 100 に書き込まれる。信号 PS1 がローレベルになったタイミングから、センサセル部の蓄積動作期間が開始する。

【0026】

期間(3)で信号 /SL1、/L がハイレベルになると、センサセル部 100 に保持されていた ($N_s + N_t$) が反転されて、これに N_s が加わって出力される。すなわち、センサセル部 100 の出力は $-(N_s + N_t) + N_s = -N_t$ となる。このとき、/GR および FT がハイレベルになると転送容量 117 の一方の端子には $-N_t$ が、他方の電極には VGR が与えられる。その g 、信号 /GR がローレベルになると転送容量 117 の他方の端子がフローティングとなり、転送容量 117 には $VGR + N_t$ の電位差が保持される。

10

【0027】

期間(4)に信号 RS がハイレベルになると転送容量 117 の一方の端子が VRS になり、転送部ノイズ N_t 分だけ変動するので、他方の端子も N_t 分だけ変動する。このとき信号 FB がハイレベルであるので、転送部 113 のソースフォロワからノイズ $2 \times N_t$ が出力されることになる。式には明示しないが、ノイズ $2 \times N_t$ に加えて、期間(1)でセンサセル部を初期化したことによって生じるランダムノイズ(以下、リセットノイズと称す)も重畳されている。

20

【0028】

さらに、期間(4)では信号 PS2__1、PS2__2 もともにハイレベルであるので、スイッチ 107 および 108 を介してメモリセル部 101、102 にも $2 \times N_t$ が同時に書き込まれる。ここで同時とは、期間(4)において信号 RS と FB とがともにハイレベルである期間に、信号 PS2__1、PS2__2 によって $2 \times N_t$ がメモリセル部 101 と 102 の両者に書き込まれることを意味する。信号 PS2__1 と PS2__2 とが同時にローレベルに遷移することは必ずしも必要ではない。

【0029】

期間(5)では、信号 FT がハイレベルである。期間(5)に信号 RS および /GR がハイレベルになると、共通出力線 112 と転送容量 117 の一方の端子が VRS に、他方の端子が VGR にリセットされる。その後、信号 RS および /GR がローレベルにすることで、転送容量 117 の他方の端子、すなわちソースフォロワの入力をフローティングにする。

30

【0030】

期間(6)から AGC 動作が開始される。この期間では信号 /SL1 および /L がハイレベルになるので、センサセル部 100 の反転アンプが動作して共通出力線にはセンサセル部 100 で光電変換された信号 S1 に応じたレベルが現れる。期間(5)までの動作でセンサセル部にはノイズ $N_s + N_t$ が書き込まれていたもので、センサセル部 100 から出力される信号は反転アンプの作用により $-(S1 + N_s + N_t)$ に、センサセル部 100 によるノイズ N_s が加わって $-(S1 + N_t)$ となる。この結果、転送容量 117 の他方の端子も $-(S1 + N_t)$ だけ変動するので、転送容量 117 の他方の端子の電位は $VGR - (S1 + N_t)$ となる。これに転送部のノイズ N_t が加わった信号がノード N6 からモニタ部 MON に入力されるので、モニタ部 MON ではノイズの影響のない光信号 S1 だけをモニタすることができる。期間(6)におけるセンサセル部 100 の出力変化は、端子 122 を介してリアルタイムでモニタ部 MON にて観測される。モニタ部 MON にはゲイン可変増幅部が含まれており、後述するコントラストの検出結果に応じてゲインが可変される。これをオートゲインコントロール(AGC)と呼ぶ。モニタ部 MON によるモニタ動作の結果、期間(6)での蓄積動作が終了した時点での、センサセル部 101 から出力される光信号を $-S2$ とする。

40

【0031】

50

期間(7)では信号信号 FTがハイレベルに保たれており、信号ノ SL1、ノ L1及びノ GRがハイレベルになることで、転送容量117の一方の電極の電位がVRSから $-(S2 + Nt)$ 分だけ変動する。

【0032】

期間(8)に信号ノ SL2__1およびノ L1がハイレベルになると、第1メモリセル部101に保持されていたノイズ2Ntに、第1メモリセル部101のノイズNm1が加わって、 $-2Nt + Nm1$ が転送容量117の一方の端子に与えられる。つまり、転送容量117には、 $-2Nt + Nm1 - (-(S2 + Nt)) = S2 - Nt + Nm1$ 分の電位変動量が保持されることになる。

【0033】

期間(9)では信号 FTがローレベルにある。信号 FBがハイレベルの期間に信号ノ PS2__1がハイレベルになると、転送部113からは、 $S2 - Nt + Nm1$ にノイズNtが加わって、 $S2 + Nm1$ が第1メモリセル部101に与えられる。

【0034】

期間(10)に信号 FBがローレベルになり、信号 FTがハイレベルになる。この期間に信号ノ Lおよびノ SL2__1がハイレベルになることで、第1メモリセル部101に保持された信号 $S2 + Nm1$ が反転アンプによって反転出力され、これに第1メモリセル部101のノイズNm1が加わって、 $-S2$ が転送容量117の一方の端子に与えられる。つまり、結果的にノイズの影響が低減された信号が出力されるものである。この期間に、不図示のシフトレジスタから信号 Hが供給されると、信号 $-S2$ がバッファアンプに伝達されて、不図示の後段の信号処理回路に出力される。

【0035】

期間(11)~(14)に係る動作は、期間(7)~(10)の動作を、第2メモリセル部102に対して行う。これにより、1回の蓄積シーケンスでセンサセル部100から、異なる蓄積時間に基づく信号を取得することができる。これにより、高速な焦点検出動作が実現できる。

【0036】

以上で説明した動作を、焦点検出装置全体の動作と関連付けて、対をなすラインセンサ部L1AとL1Bとに着目して説明する。

【0037】

図1において、ラインセンサ部L1AとL1Bとは、撮像面のある領域における被写体のデフォーカス量、すなわち、撮像システムのレンズの合焦位置からのずれ量を検出するために用いられる。

【0038】

特許文献2に記載された焦点検出装置と同様に、ラインセンサ部を複数の領域に分割し、まずは各ラインセンサ部の中央付近、すなわち端部を含まない領域でデフォーカス量を検出する(小デフォーカス量での検出)。仮にこの条件で所定のコントラストが得られた場合には、各単位画素に複数設けられたメモリセル部のうちの一つを用いて、ノイズ低減のための差分処理を転送部で行って信号を読み出す。

【0039】

一方、各ラインセンサ部の中央付近では所定のコントラストが得られない、すなわち大デフォーカスの状態では、各ラインセンサ部の全体の領域でデフォーカス量の検出を行い。この場合には、先述した小デフォーカス量での検出時に用いたメモリセル部とは異なるメモリセル部を用いて差分処理を行う。なお、所定のコントラストとは、用途や目的に応じて任意に設定できるものである。

【0040】

これにより、被写体が小デフォーカスの状態であれば、ラインセンサ部の一部の領域のみを読み出すことで高速な動作が可能となり、被写体が大デフォーカスの状態であったとしても、センサセル部を初期化して蓄積動作をやり直す必要がないために、高速な動作が実現できる。

10

20

30

40

50

【 0 0 4 1 】

以上で説明したように、本発明で特徴的なのは期間(4)において、転送部113から出力されるノイズ $2 \times N_t$ を、メモリセル部101と102の両者に書き込むことである。つまり、センサセル部100を初期化したことによって生じるリセットノイズをメモリセル部101と102の両者に書き込んでいる。本実施例ではメモリセル部を2つ設けた例を説明したが、メモリセル部の数は3以上であってもよい。その場合には、期間(7)~(10)の動作に対応する操作を、追加したメモリセル部に対しても行う。

【 0 0 4 2 】

図3に示した光電変換装置のレイアウト例を図6及び7に示す。図6では、センサセル部と2つのメモリセル部を一つの組として、その組を行列状に配列したものである。転送部ならびにシフトレジスタは、各列に設けられた複数のセンサセル部とメモリセル部に対して共通に設けられている。

10

【 0 0 4 3 】

図7は、センサセル部のみが配列された領域と、メモリセル部のみが配列された領域とに分けてレイアウトした場合の図である。このレイアウトにおいても、転送部ならびにシフトレジスタは、各列に設けられた複数のセンサセル部とメモリセル部に対して共通に設けられている。

【 0 0 4 4 】

(実施例2)

図5に示すタイミングチャートを参照しながら本発明の第2の実施例に係る動作を説明する。本実施例に係る動作は、図2に示した動作と期間(1)~(8)までは同一の動作であるので、ここでは期間(1)~(5)を省略している。

20

【 0 0 4 5 】

本実施例は、ある時刻までに各ラインセンサ部のセンサセル部で蓄積された信号が所望のレベル(以下、蓄積レベルと称す)に達しているか否かを判定するための光電変換装置の動作を説明するものである。

【 0 0 4 6 】

期間(9')では信号FTがローレベルである。この期間に信号FBおよびPS₂₋₂が一時的にハイレベルとなると、実施例1の期間(8)で説明した信号 $S_2(t_1) - N_t + N_{m1}$ に転送部のノイズ N_t が加わった $S_2(t_1) + N_{m1}$ が第2メモリセル部102に書き込まれる。ここで $S_2(t_1)$ は、時刻 t_1 における信号であることを示すための表記で、実施例1で説明した信号 S_2 と同じものである。

30

【 0 0 4 7 】

期間(10')には信号FBがローレベルになり、信号FTがハイレベルになる。この期間に信号NLおよびNSL₂₋₂がハイレベルになると、第2メモリセル部102に保持された信号 $S_2(t_1) + N_{m1}$ が反転された上でノイズ N_{m2} が加わり、結果として $-(S_2(t_1) + N_{m1}) + N_{m2}$ が共通出力線112に出力される。さらに不図示のシフトレジスタから信号Hが与えられると、この信号はバッファアンプ123から不図示の信号処理部へと伝達される。このようにしてバッファアンプ123を介して読み出された時刻 t_1 における信号は、信号処理部にて、蓄積レベルに達しているか否かの判定が行われる。上述の説明から明らかなように、読み出された信号にはノイズ $N_{m2} - N_{m1}$ が重畳されているが、モニタする信号 S_2 のレベルに対して十分に小さいので、ノイズの影響は小さい。

40

【 0 0 4 8 】

時刻 t_1 における信号 $S_2(t_1)$ が、所定の蓄積終了レベルに達していないと判定された場合には、期間(8')~(11')と同様の動作を繰り返して、時刻 t_2 における信号を第2メモリセル部102から出力する。以降、取得された信号が所定の蓄積終了レベルに達するまで、同様の動作を繰り返す。ここで、所定の蓄積終了レベルとは目的に応じて設定しうるものである。

【 0 0 4 9 】

50

上述のように、第1メモリセル部101に保持されたノイズ $2 \times N_t$ を用いて、第2メモリセル部102から繰り返し読み出すことで、バッファアンプの後段に設けられた信号処理部を用いて信号レベルのモニタを行うことができる。信号処理部をバッファアンプの後段に設けられるので、信号処理部をラインセンサ部とは異なる半導体基板上に形成することでラインセンサ部のレイアウトが容易になる。

【0050】

(実施例3)

図8を参照しながら本発明に係る第3の実施例を説明する。図8は、本発明に係る光電変換装置を、位相差検出方式の焦点検出装置(以下AFセンサと称す)に適用した場合の構成例を示すブロック図である。

10

【0051】

AFセンサ811は、ラインセンサ部L1A、L2A、・・・及びL1B、L2B、・・・が配列されたセンサブロックと、外部インターフェースとAFセンサのタイミング信号を生成する機能を持つロジックブロック801、アナログ回路ブロック810とを含む。

【0052】

アナログ回路ブロック810は、AGC回路802~805を備え、ラインセンサ部からの信号のモニタリングや、蓄積時間の制御を行う。アナログ回路ブロック810は更に、光電変換装置で用いられる参照電圧や参照電流を生成する参照電圧電流生成回路806、温度計回路807等を含んでなる。

20

【0053】

ロジックブロック801はシリアル通信端子812を介して外部とのシリアル通信によってAFセンサ811の駆動タイミングを制御する。

【0054】

本実施例においても、実施例1または2で説明した光電変換装置を用いることで、高速な焦点検出動作が実現できる。

【0055】

(実施例4)

図9は、本発明の実施例4を示す撮像システムの構成例を示すブロック図である。

【0056】

901は後述するレンズのプロテクトを行うバリア、902は被写体の光学像を固体撮像装置904に結像するレンズ、903はレンズを通過した光量を調整するための絞りである。904はレンズで結像された被写体の光学像を画像信号として取得する固体撮像装置である。905は先述の各実施例で説明した光電変換装置を用いたAFセンサである。

30

【0057】

906は固体撮像装置904やAFセンサ905から出力される信号を処理するアナログ信号処理装置、907は信号処理装置906から出力された信号をアナログデジタル変換するA/D変換器である。908はA/D変換器907より出力された画像データに対して各種の補正や、データを圧縮するデジタル信号処理部である。

【0058】

909は画像データを一時記憶するためのメモリ部、910は外部コンピュータなどと通信するための外部I/F回路、911はデジタル信号処理部908などに各種タイミング信号を出力するタイミング発生部である。912は各種演算とカメラ全体を制御する全体制御・演算部、913は記録媒体制御I/F部、914は取得した画像データを記録、又は読み出しを行うための半導体メモリなどの着脱可能な記録媒体、915は外部コンピュータである。

40

【0059】

次に、上記の撮像システムの撮影時の動作について説明する。

【0060】

バリア901がオープンされ、AFセンサ905から出力された信号をもとに、全体制

50

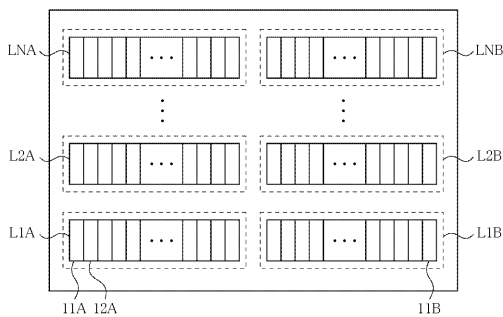
御・演算部 9 1 2 は前記したような位相差検出により被写体までの距離を演算する。その後、演算結果に基づいてレンズ 9 0 2 を駆動し、再び合焦しているか否かを判断し、合焦していないと判断したときには、再びレンズ 9 0 2 を駆動するオートフォーカス制御を行う。次いで、合焦が確認された後に固体撮像装置 9 0 4 による蓄積動作が始まる。固体撮像装置 9 0 4 の蓄積動作が終了すると、固体撮像装置 9 0 4 から出力された画像信号は A / D 変換器 9 0 7 でアナログデジタル変換され、デジタル信号処理部 9 0 8 を通り全体制御・演算によりメモリ部 9 0 9 に書き込まれる。その後、メモリ部 9 0 9 に蓄積されたデータは全体制御・演算部 9 1 2 の制御により記録媒体制御 I / F 部 9 1 0 を介して記録媒体 9 1 4 に記録される。また、外部 I / F 部 9 1 0 を通り直接コンピュータなどに入力してもよい。

【符号の説明】

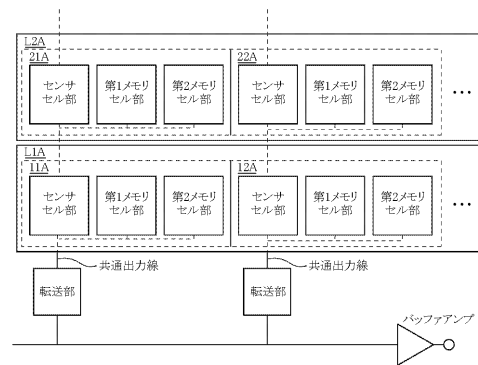
【 0 0 6 1 】

- 1 0 0 センサセル部
- 1 0 1 第 1 メモリセル部
- 1 0 2 第 2 メモリセル部
- 1 0 3 フォトダイオード (P D)
- 1 0 4 メモリ容量
- 1 0 5 メモリ容量
- 1 1 3 転送部

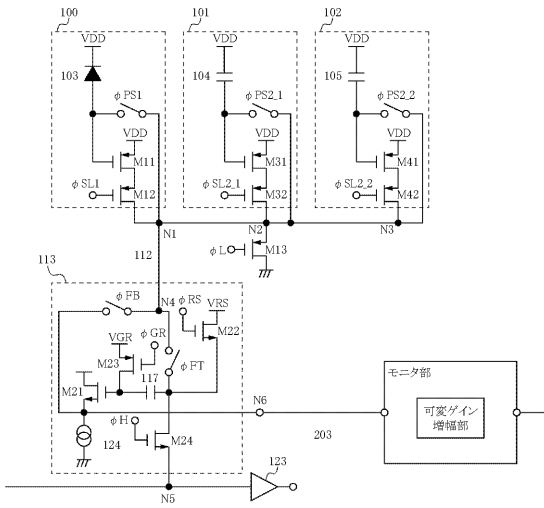
【 図 1 】



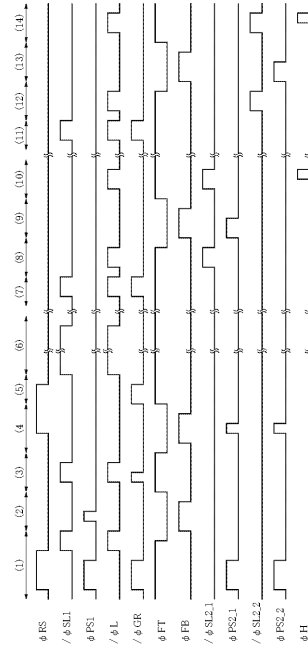
【 図 2 】



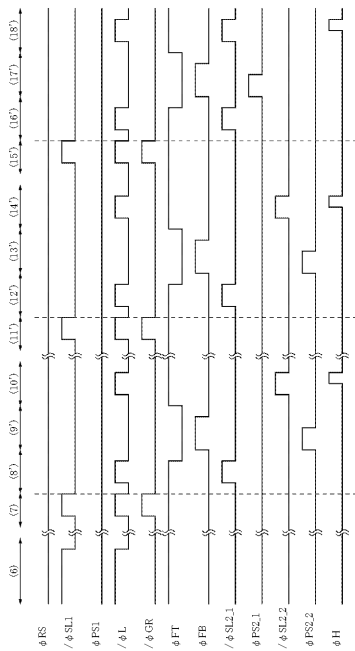
【 図 3 】



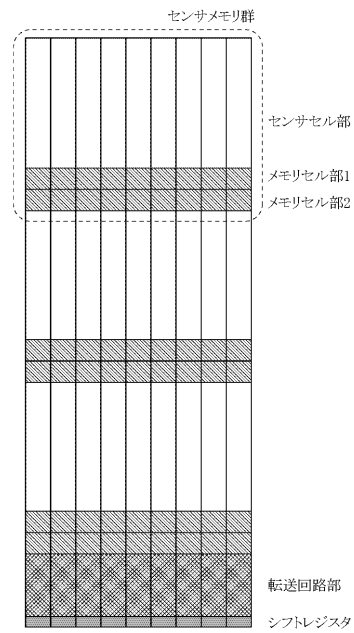
【 図 4 】



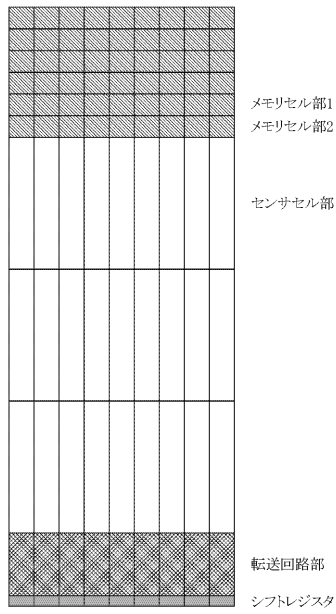
【 図 5 】



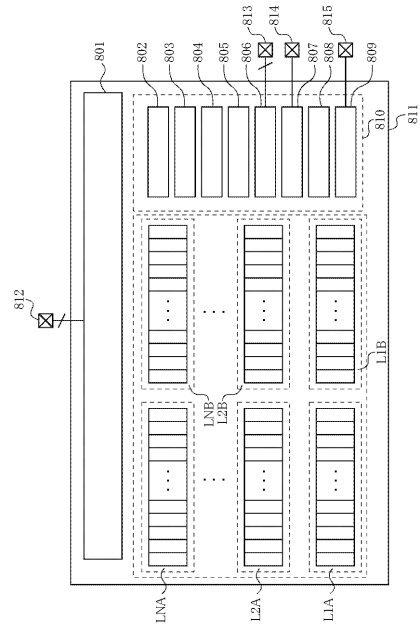
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

