



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년03월13일

(11) 등록번호 10-2089200

(24) 등록일자 2020년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/02* (2006.01)
H01L 29/04 (2006.01) *H01L 29/22* (2006.01)
H01L 29/221 (2006.01) *H01L 29/24* (2006.01)
H01L 29/66 (2006.01)

(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02554 (2013.01)

(21) 출원번호 10-2018-7024790(분할)

(22) 출원일자(국제) 2010년11월08일

심사청구일자 2018년09월07일

(85) 번역문제출일자 2018년08월28일

(65) 공개번호 10-2018-0099934

(43) 공개일자 2018년09월05일

(62) 원출원 특허 10-2012-7014554
원출원일자(국제) 2010년11월08일

심사청구일자 2015년11월06일

(86) 국제출원번호 PCT/JP2010/070246

(87) 국제공개번호 WO 2011/065243

국제공개일자 2011년06월03일

(30) 우선권주장
JP-P-2009-270857 2009년11월28일 일본(JP)

(56) 선행기술조사문헌
JP2007123861 A*

(뒷면에 계속)

전체 청구항 수 : 총 7 항

심사관 : 최혜미

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자끼 슌페이

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장수길, 박소미, 박충범, 이중희, 이만금

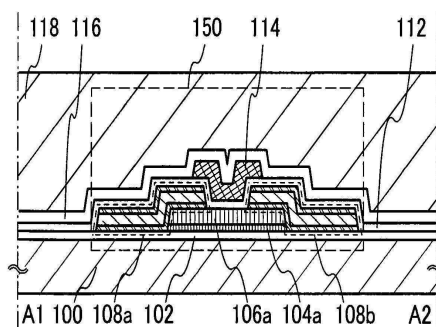
(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

일 실시 형태는, 절연면을 갖는 기판 위에 있고 제1 산화물 반도체층의 표면으로부터 내부를 향해 성장에 의해 형성된 결정 영역을 포함하는 제1 산화물 반도체층; 제1 산화물 반도체층 위의 제2 산화물 반도체층; 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층; 제2 산화물 반도체층, 소스 전극층 및 드레인 전극층을 피복

(뒷면에 계속)

대표도 - 도1b



하는 게이트 절연층; 및 게이트 절연층 위에 있고 제2 산화물 반도체층과 중첩하는 영역에 있는 게이트 전극층을 포함하는 반도체 장치이다. 제2 산화물 반도체층은 결정 영역으로부터의 성장에 의해 형성된 결정을 포함하는 층이다.

(52) CPC특허분류

H01L 21/02565 (2013.01)
H01L 21/02631 (2013.01)
H01L 29/045 (2013.01)
H01L 29/2206 (2013.01)
H01L 29/221 (2013.01)
H01L 29/24 (2013.01)
H01L 29/66742 (2013.01)
H01L 29/78648 (2013.01)
H01L 29/78696 (2013.01)

(56) 선행기술조사문헌

JP2007220820 A*
 JP2009167087 A*
 KR1020080052107 A*
 KR1020090119666 A*
 *는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치로서,

In, Ga 및 Zn을 포함하는 제1 산화물 반도체층;

상기 제1 산화물 반도체층 위에서 접하고, In, Ga 및 Zn를 포함하는 제2 산화물 반도체층;

상기 제2 산화물 반도체층 위에서 접하는 소스 전극층 및 드레인 전극층;

상기 제2 산화물 반도체층, 상기 소스 전극층 및 상기 드레인 전극층 위의 게이트 절연층; 및

상기 게이트 절연층 위의 게이트 전극층을 포함하고,

상기 제1 산화물 반도체층은 적어도 상기 제1 산화물 반도체층의 상부 표면을 포함하는 제1 결정 영역을 포함하고,

상기 제2 산화물 반도체층은 상기 제2 산화물 반도체층의 상부 표면에 수직인 방향으로부터 $\pm 10^\circ$ 이내의 방향으로 배향된 c축을 갖는 제2 결정 영역을 포함하고,

상기 제2 결정 영역은 적어도 상기 제2 산화물 반도체층의 저부 표면 및 상기 상부 표면을 포함하고,

상기 제2 결정 영역에서, 상기 상부 표면은 상기 저부 표면과 평행하고,

상기 제2 산화물 반도체층은 상기 소스 전극층과 상기 드레인 전극층 사이의 함몰부(depression portion)를 가지고,

상기 제2 산화물 반도체층의 전기 전도도는 상기 제1 산화물 반도체층의 전기 전도도보다 높은, 반도체 장치.

청구항 2

제1항에 있어서,

제2 게이트 전극층; 및

상기 제2 게이트 전극층을 피복하는 제2 게이트 절연층을 더 포함하고,

상기 제1 산화물 반도체층은 상기 제2 게이트 절연층 위에 위치되는, 반도체 장치.

청구항 3

제1항에 있어서,

상기 제2 산화물 반도체층의 상기 상부 표면의 높이 변동은 상기 소스 전극층과 상기 드레인 전극층 사이의 영역에서 1 nm 이하인, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제1 결정 영역은 상기 제1 산화물 반도체층의 상기 상부 표면에 수직인 방향으로부터 $\pm 10^\circ$ 이내의 방향으로 c축이 배향된 결정을 포함하는, 반도체 장치.

청구항 5

제1항에 있어서,

상기 제1 산화물 반도체층에 포함된 상기 제1 결정 영역은 2 nm 이상 10 nm 이하의 평균 두께를 갖는, 반도체 장치.

청구항 6

제1항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층의 두께의 합은 3 nm 이상 50 nm 이하인, 반도체 장치.

청구항 7

제1항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층은 질화 티탄 또는 질화 탄탈을 포함하는, 반도체 장치.

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명의 기술 분야는 산화물 반도체를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다. 여기서, 반도체 장치란 반도체 특성을 이용하여 기능하는 모든 소자 및 장치를 말한다. 예를 들면, 파워 장치, 사이리스터, 컨버터, 이미지 센서, 메모리 등; 이러한 장치를 포함하는 반도체 집적 회로; 액정 표시 패널로 대표되는 전기 광학 장치; 유기 발광 소자를 포함하는 발광 표시 장치; 등이 넓게는 반도체 장치의 범주에 포함된다.

배경 기술

[0002] 전계 효과 트랜지스터는 가장 널리 이용되는 반도체 소자 중 하나이다. 전계 효과 트랜지스터에 대하여는 그 용도에 따라 다양한 재료가 이용된다. 특히, 실리콘을 포함하는 반도체 재료가 많이 이용되고 있다.

[0003] 실리콘을 포함하는 전계 효과 트랜지스터는 다양한 용도에 대한 필요성을 만족하는 특성을 갖는다. 예를 들면, 고속 동작이 필요한 집적 회로 등의 용도에는 단결정 실리콘이 이용됨으로써, 고속 동작에 대한 필요성이 만족된다. 또한, 표시 장치와 같이 대면적을 필요로 하는 장치 용도에는 비정질(amorphous) 실리콘이 이용됨으로써, 대면적에 대한 필요성이 만족될 수 있다.

[0004] 전술한 바와 같이, 실리콘은 범용성이 높고, 여러 가지 목적으로 이용될 수 있다. 그러나, 최근에, 반도체 재료가 범용성뿐만 아니라 더 높은 성능을 가질 것이 기대되고 있다. 예를 들면, 대면적 표시 장치의 성능을 향상시키는 관점에서, 스위칭 소자의 고속 동작을 실현하기 위해, 표시 장치의 면적 증가를 용이하게 하고 비정질 실리콘보다 높은 성능을 나타내는 반도체 재료가 요구되고 있다.

[0005] 일부 금속 산화물은 반도체 특성을 갖고 있으며, 예를 들면, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 알려져 있다. 반도체 특성을 갖는 이러한 금속 산화물을 이용하여 채널 형성 영역을 형성하는 박막 트랜지스터가 이미 알려져 있다(특히 문헌 1 내지 4, 비특히 문헌 1).

[0006] 금속 산화물로서는 단일 성분 산화물뿐만 아니라 다성분 산화물도 알려져 있다. 예를 들면, 호모로거스(homologous) 상을 갖는 $\text{InGaO}_3(\text{ZnO})_m$ (m: 자연수)는, In, Ga 및 Zn을 포함하는 다성분 산화물 반도체로서 알려져 있다(비특히 문헌 2 내지 4).

[0007] 이러한 상황 하에서, 산화물 반도체를 이용한 전계 효과 트랜지스터(FET라고도 함)에 관한 기술이 주목받고 있다. 또한, 이러한 In-Ga-Zn-O계 산화물을 포함하는 산화물 반도체가 박막 트랜지스터의 채널층에 적용 가능하다는 것이 확인되었다(비특히 문헌 5 및 6).

[0008] 예를 들면, 특허 문헌 5에는, 호모로거스 화합물 $\text{InMO}_3(\text{ZnO})_m$ (M은 In, Fe, Ga 또는 Al이고, m은 1 이상 50 미만의 정수임)을 이용한 투명 박막 전계 효과 트랜지스터가 개시되어 있다.

[0009] 또한, 특허 문헌 6에는, In, Ga 및 Zn를 함유하며 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물 반도체를 이용하는 전계 효과 트랜지스터가 개시되어 있다. 이 특허 문헌에서는, 비정질 산화물 반도체에서의 In 원자 대 Ga 원자와 Zn 원자의 비율이 In : Ga : Zn = 1 : 1 : m(m < 6)로서 표현된다는 점에 주목한다.

[0010] 또한, 특허 문헌 7에는, 미결정(microcrystal)을 포함하는 비정질 산화물 반도체를 활성층으로서 이용하는 전계 효과 트랜지스터가 개시되어 있다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) (특허 문헌 1) 일본 특허공개소 제60-198861호
 (특허문헌 0002) (특허 문헌 2) 일본 특허공개평 제8-264794호
 (특허문헌 0003) (특허 문헌 3) 일본 특허공표평 제11-505377호
 (특허문헌 0004) (특허 문헌 4) 일본 특허공개 제2000-150900호
 (특허문헌 0005) (특허 문헌 5) 일본 특허공개 제2004-103957호
 (특허문헌 0006) (특허 문헌 6) PCT 국제 공개 제05/088726호
 (특허문헌 0007) (특허 문헌 7) 일본 특허공개 제2006-165529호

비특허문헌

(비특허 문헌 1) M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor," Appl. Phys. Lett., 17 June 1996, Vol. 68, pp. 3650-3652

(비특허 문헌 2) M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the In_2O_3 - Ga_2ZnO_4 -ZnO System at 1350°C," J. Solid State Chem., 1991, Vol. 93, pp. 298-315

(비특허 문헌 3) N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 -ZnO System," J. Solid State Chem., 1995, Vol. 116, pp. 170-178

(비특허 문헌 4) M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$ (m : natural number) and related compounds," KOTAI BUTSURI (SOLID STATE PHYSICS), 1993, Vol. 28, No. 5, pp. 317-327

(비특허 문헌 5) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor," SCIENCE, 2003, Vol. 300, pp. 1269-1272

(비특허 문헌 6) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors," NATURE, 2004, Vol. 432, pp. 488-492

[0012]

발명의 내용

- [0013] 특허 문헌 3에는, 결정 상태에 있어서의 조성이 $\text{InGaO}_3(\text{ZnO})_m$ (m 은 6 미만의 정수임)인 것이 개시되어 있다. 또한, 특허 문헌 3의 실시 형태 1에는, $\text{InGaO}_3(\text{ZnO})_4$ 의 경우가 개시되어 있다. 하지만, 이러한 산화물 반도체를 이용하여도 충분한 특성을 얻지 못하고 있는 실정이었다.
- [0014] 상기 서술된 문제점을 고려하여, 본 발명은 새로운 구조의 산화물 반도체층을 이용하는 새로운 구조의 반도체 장치를 제공하는 것을 목적으로 한다.
- [0015] 본 발명에서는, 결정 영역을 포함하는 순도화된(purified) 산화물 반도체층을 이용하여 반도체 장치가 형성된다. 결정 영역은, 예를 들면, 전기적인 이방성을 갖는 영역 또는 불순물의 침입을 억제하는 영역이다.
- [0016] 본 발명의 일 실시 형태는, 절연면을 갖는 기판 위의, 제1 산화물 반도체층의 표면으로부터 내부를 향해 성장에 의해 형성된 결정 영역을 포함하는 제1 산화물 반도체층; 제1 산화물 반도체층 위의 제2 산화물 반도체층; 제2 산화물 반도체층의 상부 표면과 접하는 소스 전극층 및 드레인 전극층; 제2 산화물 반도체층, 소스 전극층 및 드레인 전극층을 피복하는 게이트 절연층; 및 게이트 절연층 위에 있고 제2 산화물 반도체층과 중첩하는 영역에 있는 게이트 전극층을 포함하는 반도체 장치이다. 제2 산화물 반도체층은 결정 영역으로부터의 성장에 의해 형성된 결정을 포함하는 층이다.
- [0017] 본 발명의 다른 실시 형태는, 절연면을 갖는 기판 위의 제1 게이트 전극층; 제1 게이트 전극층을 피복하는 제1 게이트 절연층; 제1 게이트 절연층 위의, 제1 산화물 반도체층의 표면으로부터 내부를 향해 성장에 의해 형성된 결정 영역을 포함하는 제1 산화물 반도체층; 제1 산화물 반도체층 위의 제2 산화물 반도체층; 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층; 제2 산화물 반도체층, 소스 전극층 및 드레인 전극층을 피복하는 제2 게이트 절연층; 및 제2 게이트 절연층 위에 있고 제2 산화물 반도체층과 중첩하는 영역에 있는 게이트 전극층을 포함하는 반도체 장치이다. 제2 산화물 반도체층은 결정 영역으로부터의 성장에 의해 형성된 결정을 포함하는 층이다.
- [0018] 반도체 장치의 상기 구조에 있어서, 제2 산화물 반도체층의 표면의 높이 변동은, 게이트 전극층과 중첩하는 영역(채널 형성 영역)에 있어서 1 nm 이하(바람직하게는 0.2 nm 이하)이다.
- [0019] 제1 산화물 반도체층의 결정 영역은 제1 산화물 반도체층의 표면에 수직인 방향으로 배향된 c 축을 가짐에 유의한다. 또한, 결정의 c 축 방향은 막 두께 방향에 대응한다.
- [0020] 반도체 장치의 상기 구조에 있어서, 절연면을 갖는 기판은 산화물 또는 질화물을 포함한다.
- [0021] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층에 포함된 결정 영역은 2 nm 이상 10 nm 이하의 평균 두께를 갖는다.
- [0022] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 또는 제2 산화물 반도체층은, In-Sn-Ga-Zn-O , In-Ga-Zn-O , In-Sn-Zn-O , In-Al-Zn-O , Sn-Ga-Zn-O , Al-Ga-Zn-O , Sn-Al-Zn-O , In-Zn-O , Sn-Zn-O , Al-Zn-O , Zn-Mg-O , Sn-Mg-O , In-Mg-O , In-O , Sn-O , 및 Zn-O 로부터 선택되는 금속 산화물을 포함한다.
- [0023] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 또는 제2 산화물 반도체층은 순도화된 산화물 반도체층이다.
- [0024] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 및 제2 산화물 반도체층은 동일한 주성분을 갖는 재료를 포함한다.
- [0025] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 및 제2 산화물 반도체층은 상이한 재료를 포함한다.
- [0026] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층의 결정 영역은 제2 산화물 반도체층의 결정과 동일한 전자 친화력을 갖는다.
- [0027] 반도체 장치의 상기 구조에 있어서, 제2 산화물 반도체층은 함몰부(depression portion)를 갖는다.
- [0028] 반도체 장치의 상기 구조에 있어서, 제2 산화물 반도체층은 고순도 결정 영역을 포함한다.
- [0029] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 또는 제2 산화물 반도체층은 $1.0 \times 10^{12} \text{ cm}^{-3}$ 미만의 캐리어 밀도, 바람직하게는 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만의 캐리어 밀도를 갖는다.

- [0030] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층의 결정 영역은 다결정 산화물 반도체 재료를 포함한다. 또한, 제2 산화물 반도체층도 다결정 산화물 반도체 재료를 포함한다.
- [0031] 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 및 제2 산화물 반도체층은 다결정 산화물 반도체 재료를 포함한다. 반도체 장치의 상기 구조에 있어서, 제1 산화물 반도체층 및 제2 산화물 반도체층의 두께의 합은 3 nm 이상 50 nm 이하이다.
- [0032] 반도체 장치의 상기 구조에 있어서, 소스 전극층 및 드레인 전극층 위에, 소스 전극층 및 드레인 전극층과 실질적으로 동일한 형상을 갖는 절연층들이 포함되어 있다.
- [0033] 반도체 장치의 상기 구조에 있어서, 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층의 부분들은 낮은 산소 친화력을 갖는 재료를 포함한다.
- [0034] 본 발명의 또 다른 실시 형태는, 절연면을 갖는 기판 위에 제1 산화물 반도체층을 형성하는 단계; 제1 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 배향된 c축을 갖는 결정 영역을 제1 산화물 반도체층에 형성하기 위해, 제1 열처리를 수행하여 제1 산화물 반도체층의 표면으로부터 내부를 향해 결정 성장시키는 단계; 제1 산화물 반도체층 위에 제2 산화물 반도체층을 형성하는 단계; 제2 열처리를 수행하여 결정 영역으로부터 결정 성장시키고 제2 산화물 반도체층을 결정화하는 단계; 제2 산화물 반도체층 위에 도전층을 형성하는 단계; 도전층을 에칭하여 소스 전극층 및 드레인 전극층을 형성하는 단계; 제2 산화물 반도체층, 소스 전극층 및 드레인 전극층을 피복하는 게이트 절연층을 형성하는 단계; 및 게이트 절연층 위에 있고 제2 산화물 반도체층과 중첩하는 영역에 있는 게이트 전극층을 형성하는 단계를 포함하는, 반도체 장치의 제조 방법이다.
- [0035] 본 발명의 또 다른 실시 형태는, 절연면을 갖는 기판 위에 제1 게이트 전극층을 형성하는 단계; 제1 게이트 전극층을 피복하는 제1 게이트 절연층을 형성하는 단계; 제1 게이트 절연층 위에 제1 산화물 반도체층을 형성하는 단계; 제1 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 배향된 c축을 갖는 결정 영역이 제1 산화물 반도체층에 형성되도록, 제1 열처리를 수행하여 제1 산화물 반도체층의 표면으로부터 내부를 향해 결정 성장시키는 단계; 제1 산화물 반도체층 위에 제2 산화물 반도체층을 형성하는 단계; 제2 열처리를 수행하여 결정 영역으로부터 결정 성장시키고 제2 산화물 반도체층을 결정화하는 단계; 제2 산화물 반도체층 위에 도전층을 형성하는 단계; 도전층을 에칭하여 소스 전극층 및 드레인 전극층을 형성하는 단계; 제2 산화물 반도체층, 소스 전극층 및 드레인 전극층을 피복하는 제2 게이트 절연층을 형성하는 단계; 및 제2 게이트 절연층 위에 있고 제2 산화물 반도체층과 중첩하는 영역에 있는 제2 게이트 전극층을 형성하는 단계를 포함하는, 반도체 장치의 제조 방법이다.
- [0036] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제1 산화물 반도체층은 3 nm 이상 15 nm 이하의 두께를 갖는다.
- [0037] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제1 산화물 반도체층의 결정 영역으로서 다결정 영역을 형성한다.
- [0038] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제2 열처리는 제2 산화물 반도체층이 다결정 산화물 반도체층으로 되게 한다.
- [0039] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제1 열처리 및 제2 열처리는, 제1 산화물 반도체층 및 제2 산화물 반도체층이 다결정 산화물 반도체층들이 되게 한다.
- [0040] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제2 열처리에서는 c축이 제2 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 배향되도록 결정 성장시킨다.
- [0041] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제2 산화물 반도체층은, 조성비 $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$ (x 는 0 이상 2 이하이고, y 는 1 이상 5 이하임)를 갖는 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다.
- [0042] 반도체 장치의 제조 방법의 상기 구조에 있어서, 금속 산화물 타겟은 조성비 $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$ ($x = 1, y = 1$)를 갖는다.
- [0043] 반도체 장치의 제조 방법의 상기 구조에 있어서, 금속 산화물 타겟은 조성비 $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$ ($x = 0, y = 1$)를 갖는다.
- [0044] 반도체 장치의 제조 방법의 상기 구조에 있어서, 소스 전극층 및 드레인 전극층 위에, 소스 전극층 및 드레인

전극층과 실질적으로 동일한 형상을 갖는 절연층들을 형성한다.

- [0045] 반도체 장치의 제조 방법의 상기 구조에 있어서, 제2 산화물 반도체층과 접하는 소스 전극층 및 드레인 전극층에 있어서의 부분들은 낮은 산소 친화력을 갖는 재료를 이용하여 형성된다.
- [0046] 상기 제조 방법에 있어서, 제1 산화물 반도체층의 형성 이후에 어닐링이 수행되고, 제1 산화물 반도체층 위에 제2 산화물 반도체층이 형성된다. 그 후, 제1 산화물 반도체층의 표면으로부터 제2 산화물 반도체층의 표면으로 향해 결정 성장이 야기된다. 제1 산화물 반도체층은 제2 산화물 반도체층의 종 결정(seed crystal)에 상당한다. 제1 산화물 반도체층 위에 결정성(예를 들면, 다결정성)의 제2 산화물 반도체층이 형성되는 것이 중요하다.
- [0047] 산화물 반도체층의 결정성이 증가됨에 따라, BT 시험에서의 트랜지스터의 임계 전압의 변화량이 감소될 수 있으므로, 높은 신뢰성이 실현될 수 있다. c축-배향 다결정층을 포함하는 산화물 반도체층을 이용하여 형성된 트랜지스터에 있어서, 트랜지스터에 연속적으로 광을 조사하는 BT 시험에서 트랜지스터의 임계 전압의 변화량이 감소될 수 있다. 따라서, 안정한 전기 특성을 갖는 트랜지스터가 제조될 수 있다.
- [0048] 또한, 산화물 반도체층의 결정성이 증가됨에 따라, 트랜지스터의 전기 특성의 온도 의존성, 예를 들면 온도 범위 -30°C 내지 120°C 에서의 온 전류 또는 오프 전류의 변화량이 억제될 수 있다. 일반적인 표시 패널의 동작 온도 범위는 0°C 이상 40°C 이하이지만, 예를 들면, 차재용의 표시 패널은, -30°C 이상 85°C 이하의 온도, 또는 나아가서는 105°C 까지의 내열성을 필요로 한다. 표시 패널에 한정하지 않고, 스위칭 소자 또는 구동 회로에 높은 결정성을 갖는 산화물 반도체층이 이용될 수 있고; 이러한 경우에, 여러 가지 가혹한 환경에서도 견딜 수 있는 장치가 획득될 수 있어, 용도 또는 사용 분야를 확장시키는 데 유리하다.
- [0049] 또한, 산화물 반도체층의 보다 높은 결정성은, 보다 높은 전계 효과 이동도를 갖는 트랜지스터를 실현할 수 있다.
- [0050] 상기 서술된 산화물 반도체층들은 모두 금속 산화물을 포함하며, 4-성분 금속 산화물인 In-Sn-Ga-Zn-O계 막; 3-성분 금속 산화물인 In-Ga-Zn-O계 막, In-Sn-Zn-O계 막, In-Al-Zn-O계 막, Sn-Ga-Zn-O계 막, Al-Ga-Zn-O계 막, 또는 Sn-Al-Zn-O계 막; 2-성분 금속 산화물인 In-Zn-O계 막, Sn-Zn-O계 막, Al-Zn-O계 막, Zn-Mg-O계 막, Sn-Mg-O계 막, 또는 In-Mg-O계 막; 또는 In-O계 막, Sn-O계 막, Zn-O계 막 등을 이용하여 형성될 수 있다.
- [0051] 상기 산화물 반도체층에 있어서, $\text{InM}_x\text{O}_3(\text{ZnO})_m$ ($m>0$, m 은 자연수가 아님)으로 나타내는 박막이 이용될 수 있다. 여기서, M 은 Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M 은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수도 있다. $\text{InGa}_x\text{Zn}_y\text{O}_z$ 로 나타내는 재료가 이용될 수 있다. 여기서, x , y 및 z 는 임의의 수이다. 또한, x , y 및 z 는 정수일 필요는 없으며, 비정수일 수도 있다. 게다가, x 는 0일 수도 있지만, y 는 0이 아닌 것이 바람직하다. 예를 들면, x 가 0인 경우의 In-Zn-O가 이용될 수도 있다. 또한, 이 명세서에서 In-Ga-Zn-O로 표현되는 산화물 반도체 재료는 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$, m 은 자연수가 아님)이고, m 이 자연수가 아닌 ICP-MS 또는 RBS를 이용한 분석에 의해 확인될 수 있다. 또한, x 는 1이고 y 는 1인 경우, x 는 1이고 y 는 0.5인 경우 등이 채용될 수도 있다. 캐리어 밀도가 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 바람직하게는 $1.45 \times 10^{10} \text{ cm}^{-3}$ 미만인 순도화된 산화물 반도체를 이용하는 것이 바람직하다.
- [0052] 지금까지 보고된 금속 산화물은 비정질 상태의 금속 산화물, 또는 다결정 상태의 금속 산화물, 또는 대략 1400°C 의 고온에서의 처리를 통해 획득되는 단결정 상태의 금속 산화물뿐이다. 그러나, 전술한 바와 같이, 금속 산화물의 판 형상의 다결정을 형성한 후 금속 산화물의 판 형상의 다결정을 종으로서 이용하여 결정 성장시키는 방법에 의해 비교적 저온에서 박막 다결정이 형성될 수 있다. 보다 후막의 다결정의 형성이 가능해지면, 공업 응용이 더욱 넓어진다. 미세한 후막 다결정을 획득하기 위해, 기판의 평탄성 및 평활성이 높은 것이 바람직함에 유의한다. 이것은, 기판의 작은 요철이 c축의 국부적인 어긋남을 유도하고, 결정 성장이 진행함에 따라, 인접 결정들 간의 c축 방향의 차이가 결정 전이와 같은 결함을 생성하기 때문이다. 산화물 반도체층에 있어서의 판 형상의 결정은 InGaZnO_4 (In : Ga : Zn : O = 1 : 1 : 1 : 4)의 결정인 것이 바람직함에 유의한다. 또는, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ (In : Ga : Zn : O = 2 : 2 : 1 : 7)의 결정이 바람직하다. 또한, 산화물 반도체층의 표면에 수직인 방향으로 c축이 배향된 결정, 예를 들면 다결정이 이용될 수 있다.
- [0053] 본 명세서 등에 있어서, "위" 또는 "아래"라는 용어는, 어떤 구성요소가 다른 구성요소의 "바로 위" 또는 "바로 아래" 배치되는 것을 반드시 의미하지는 않는다는 점에 유의한다. 예를 들면, "게이트 절연층 위의 게이트 전

극층"이라는 표현은, 게이트 절연층과 게이트 전극층 사이에 어떤 구성요소가 배치되는 경우를 배제하지 않는다. 또한, "위" 및 "아래"와 같은 용어는 설명의 편의를 위해서만 사용되며, 다르게 특정되지 않는 한 구성요소들의 위치들이 뒤집힌 경우를 포함할 수 있다.

[0054] 또한, 본 명세서 등에 있어서, "전극" 또는 "배선"과 같은 용어는 구성요소의 기능을 제한하지 않는다. 예를 들면, "전극"은 "배선"의 일부로서 이용될 수 있고, "배선"은 "전극"의 일부로서 이용될 수 있다. 또한, "전극" 또는 "배선"이라는 용어는 또한 복수의 "전극들" 및 "배선들"의 조합을 의미할 수 있다.

[0055] "소스" 및 "드레인"의 기능은, 예를 들면 반대 극성의 트랜지스터가 이용되는 경우 또는 회로 동작에 있어 전류 흐름의 방향이 변화되는 경우에는 때때로 대체된다. 따라서, 본 명세서에 있어서, "소스" 및 "드레인"이라는 용어는 각각 드레인 및 소스를 의미하도록 이용될 수 있다.

[0056] 본 명세서 등에 있어서, 용어 "전기적으로 접속된"은 구성요소들이 "어떠한 전기적 작용을 갖는 대상물"을 통해서 접속되는 경우를 포함함에 유의한다. "어떠한 전기적 작용을 갖는 대상물"이란, 그 대상물을 통해서 접속된 구성요소들 간에 전기 신호가 송수신될 수 있는 한 특별히 제한되지 않는다.

[0057] "어떠한 전기적 작용을 갖는 대상물"의 예는, 전극 및 배선뿐만 아니라 트랜지스터와 같은 스위칭 소자, 저항기, 인덕터, 용량 소자, 및 여러 가지 기능을 갖는 소자이다.

[0058] 본 발명에 있어서, 순도화된 산화물 반도체층이 반도체 장치에 이용된다. 순도화(purification)란, 산화물 반도체가 n-형 산화물 반도체로 변화하도록 하는 수소를 산화물 반도체층으로부터 가능한 한 제거하는 것 및 산화물 반도체층에 부족한 산소를 공급함으로써 산화물 반도체층에서의 산소 결핍에 의해 야기되는 결함을 저감시키는 것 중 적어도 하나를 의미한다.

[0059] 순도화는, 산화물 반도체층이 i-형 산화물 반도체층으로 되도록 실시된다. 산화물 반도체는 일반적으로 n-형 도전성을 가지기 때문에, 오프 전류가 높다. 오프 전류가 높은 경우, 스위칭 특성이 불충분하여, 반도체 장치에 적당하지 않다. 따라서, 본 발명의 실시 형태에서는, 산화물 반도체층을 순도화하여 i-형 또는 실질적으로 i-형 산화물 반도체층으로 변화시킨다.

[0060] 본 발명에 있어서, 결정 영역을 포함하는 산화물 반도체층이 반도체 장치에 이용된다.

[0061] 결정 영역을 포함하는 산화물 반도체층과 결정 영역을 갖지 않는 산화물 반도체층 간에는 전기적 특성이 상이하다. 예를 들면, 표면에 실질적으로 수직인 방향으로 c축이 배향된 결정 영역을 포함하는 산화물 반도체층에서는, 산화물 반도체층의 표면에 평행한 방향의 도전성이 증가되고, 산화물 반도체층의 표면에 수직인 방향의 절연 특성이 증가된다.

[0062] 이와 같이, 결정 영역을 포함하는 산화물 반도체층이 반도체 장치에 이용되는 경우, 반도체 장치는 우수한 전기 특성을 가질 수 있다.

[0063] 결정 영역을 포함하는 산화물 반도체층에서는, 결정 영역을 갖지 않는 산화물 반도체층을 이용하는 경우와 비교해서, 산화물 반도체층 내로의 불순물의 침입이 저감된다. 예를 들면, 결정 영역을 포함하는 산화물 반도체층에서는, 산화물 반도체층에 대해 악영향을 주는 물, 수소 등의 침입이 저감된다.

[0064] 따라서, 산화물 반도체층은 성막 이후에 n-형 산화물 반도체층으로 변화되는 것이 억제될 수 있다. 즉, 반도체 장치의 신뢰성이 향상될 수 있다.

[0065] 따라서, 본 발명의 실시 형태에 있어서, 높은 신뢰성 및 우수한 특성을 갖는 반도체 장치가 제공된다.

[0066] 진술한 바와 같이, 산화물 반도체, 특히, 순도화된 진성 산화물 반도체를 이용할 경우 여러 가지 유리한 효과를 얻을 수 있는 것으로 이해된다. 또한, 본 발명에 기재된 바와 같이 결정 구조를 갖는 진성 산화물 반도체층이 실현되는 경우, 우수한 특성을 갖는 새로운 반도체 장치가 실현된다.

도면의 간단한 설명

[0067] 도 1a 및 도 1b는 반도체 장치를 도시하는 단면도이다.

도 2a 내지 도 2e는 반도체 장치의 제조 공정을 도시하는 단면도이다.

도 3a 내지 도 3d는 반도체 장치의 제조 공정을 도시하는 단면도이다.

도 4a 내지 도 4c는 반도체 장치를 각각 도시하는 단면도이다.

도 5a 내지 도 5c는 반도체 장치를 각각 도시하는 단면도이다.

도 6a 및 도 6b는 반도체 장치를 각각 도시하는 단면도이다.

도 7a 및 도 7b는 반도체 장치를 각각 도시하는 단면도이다.

도 8a 내지 도 8d는 반도체 장치의 제조 공정을 도시하는 단면도이다.

도 9a 내지 도 9c는 반도체 장치의 제조 공정을 도시하는 단면도이다.

도 10a 내지 도 10c는 반도체 장치의 제조 공정을 도시하는 단면도이다.

도 11a 내지 도 11c는 반도체 장치를 각각 도시하는 단면도이다.

도 12a 내지 도 12c는 반도체 장치를 각각 도시하는 단면도이다.

도 13은 반도체 장치를 도시하는 단면도이다.

도 14a 내지 도 14c는 본 발명의 실시 형태를 도시하는 단면도이다.

도 15의 (a)는 단면 TEM 사진이고, 도 15의 (b)는 그 개략도이다.

도 16의 (a)는 제2 열처리 이후의 단면 TEM 사진이고, 도 16의 (b)는 그 개략도이다.

도 17의 (a)는 비교예의 단면 TEM 사진이고, 도 17의 (b)는 그 개략도이다.

도 18은 산화물 반도체를 포함하는 트랜지스터의 단면도이다.

도 19는 도 18의 선 A-A'를 따른 에너지 밴드도(개략도)이다.

도 20a는 게이트(GE)에 양의 전위(+V_G)가 인가되는 상태를 나타내고, 도 20b는 게이트(GE)에 음의 전위(-V_G)가 인가되는 상태를 나타낸다.

도 21은 진공 준위와 금속의 일함수(ϕ_M) 간의 관계 및 진공 준위와 산화물 반도체의 전자 친화력(χ) 간의 관계를 나타낸다.

도 22는 실리콘(Si)에 있어서 핫 캐리어의 주입을 유도하는 에너지의 양을 나타내는 도면이다.

도 23은 In-Ga-Zn-O계 산화물 반도체(IGZO)에 있어서 핫 캐리어의 주입을 유도하는 에너지의 양을 나타내는 도면이다.

도 24는 단채널 효과에 관한 장치 시뮬레이션의 결과를 나타낸다.

도 25는 단채널 효과에 관한 장치 시뮬레이션의 결과를 나타낸다.

도 26은 C-V(용량-전압) 특성을 나타낸다.

도 27은 V_g와 (1/C)² 간의 관계를 나타낸다.

도 28a 및 도 28b는 반도체 장치를 도시하는 단면도이다.

도 29는 반도체 장치를 도시하는 단면도이다.

도 30a 내지 도 30f는 전자 장치를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0068] 이하, 본 발명의 실시 형태에 대해 도면을 참조하여 설명한다. 본 발명은 하기 설명에 한정되지 않으며, 본 발명의 취지 및 범위로부터 이탈하는 일 없이 그 모드 및 상세를 여러 가지로 변경할 수 있다는 것이 당업자라면 용이하게 이해될 것이라는 점에 유의한다. 따라서, 본 발명은 하기의 실시 형태의 설명에 한정되는 것으로 해석되지 않아야 한다.

[0069] 도면 등에서 도시되는 각 구조의 위치, 크기, 범위 등은 이해를 용이하게 하기 위해 몇몇 경우에는 정확하게 나타나 있지 않음에 유의한다. 따라서, 본 발명은 도면 등에 개시된 그러한 위치, 크기, 범위 등에 한정될 필요는 없다.

- [0070] 본 명세서 등에 있어서, "제1", "제2" 및 "제3"과 같은 서수는 구성요소들 간의 혼동을 피하기 위해 이용되며, 그 용어는 구성요소들을 수적으로 한정하지 않는다.
- [0071] (실시 형태 1)
- [0072] 본 실시 형태에 있어서, 본 발명의 실시 형태에 따른 반도체 장치의 구조 및 제조 방법에 대해 도 1a 및 도 1b, 도 2a 내지 도 2e, 도 3a 내지 도 3d, 그리고 도 4a 내지 도 4c를 참조하여 설명한다.
- [0073] <반도체 장치의 구조>
- [0074] 도 1a 및 도 1b는 반도체 장치의 구조의 일례인 트랜지스터(150)를 도시하는 단면도이다. 여기에 기재된 트랜지스터(150)는 캐리어가 전자인 n-채널 IGFET(insulated gate field-effect transistor)이지만, 트랜지스터(150)는 p-채널 IGFET일 수도 있다는 점에 유의한다.
- [0075] 트랜지스터(150)는, 기판(100) 위에 절연층(102)을 개재하여 제공된 제1 산화물 반도체층(104a), 제1 산화물 반도체층(104a) 위에 제공된 제2 산화물 반도체층(106a), 제2 산화물 반도체층(106a)에 전기적으로 접속된 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b), 제2 산화물 반도체층(106a), 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 피복하는 게이트 절연층(112), 그리고 게이트 절연층(112) 위의 게이트 전극층(114)을 포함한다(도 1a 및 도 1b 참조).
- [0076] 또한, 트랜지스터(150) 위에 층간 절연층(116) 및 층간 절연층(118)이 제공되어 있다. 층간 절연층(116) 및 층간 절연층(118)은 필수 구성요소는 아니며 적당히 생략될 수도 있음에 유의한다.
- [0077] 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)에 있어서, 4-성분 금속 산화물인 In-Sn-Ga-Zn-O계 재료; 3-성분 금속 산화물인 In-Ga-Zn-O계 재료, In-Sn-Zn-O계 재료, In-Al-Zn-O계 재료, Sn-Ga-Zn-O계 재료, Al-Ga-Zn-O계 재료, 또는 Sn-Al-Zn-O계 재료; 2-성분 금속 산화물인 In-Zn-O계 재료, Sn-Zn-O계 재료, Al-Zn-O계 재료, Zn-Mg-O계 재료, Sn-Mg-O계 재료, 또는 In-Mg-O계 재료; 1-성분 금속 산화물인 In-O계 재료, Sn-O계 재료, 또는 Zn-O계 재료 등이 이용될 수 있다.
- [0078] 또한, In-A-B-O로 표현되는 산화물 반도체 재료가 이용될 수도 있다. 여기서, A는 갈륨(Ga) 또는 알루미늄(Al)과 같은 13족에 속하는 원소, 실리콘(Si) 또는 게르마늄(Ge)으로 대표되는 14족에 속하는 원소 등으로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. 또한, B는 아연(Zn)으로 대표되는 12족에 속하는 원소로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. In 함유량, A 함유량 및 B 함유량은 자유롭게 설정되며, A 함유량이 제로인 경우를 포함함에 유의한다. 한편, In 함유량 및 B 함유량은 제로가 아니다. 즉, 상기 표현은 In-Ga-Zn-O, In-Zn-O 등을 포함한다.
- [0079] 특히, In-Ga-Zn-O계 산화물 반도체 재료는 전계가 없을 때에 충분히 높은 저항을 가지므로 오프 전류가 충분히 감소될 수 있다. 또한, 전계 효과 이동도가 높기 때문에, In-Ga-Zn-O계 산화물 반도체 재료는 반도체 장치에 이용되는 반도체 재료로서 적합하다.
- [0080] In-Ga-Zn-O계 산화물 반도체 재료의 대표예로서, $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 것이 주어진다. Ga 대신에 M을 이용하여, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표현되는 산화물 반도체 재료가 있다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수도 있다. 상기 서술된 조성은 산화물 반도체 재료가 가질 수 있는 오직 예시인 결정 구조로부터 도출된 것임에 유의한다.
- [0081] 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)은, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)으로부터 수소와 같은 불순물이 충분히 제거되고 거기에 산소가 공급되는 방식으로 순도화되는 것이 바람직하다. 구체적으로, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하이다. 수소 농도를 충분히 감소시키고 산소를 공급함으로써 순도화된 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)은, 대략 $1 \times 10^{14}/\text{cm}^3$ 의 캐리어 밀도를 갖는 일반적인 실리콘 웨이퍼(인 또는 붕소와 같은 불순물 원소가 미량 첨가된 실리콘 웨이퍼)와 비교해서, 충분히 낮은 캐리어 밀도(예컨대, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만)를 갖는다. i-형 또는 실질적으로 i-형 산화물 반도체를 이용하는 것에 의해 매우 우수한 오프 전류 특성을 갖는 트랜지스터(150)가 획득될 수 있다. 예를 들면, 드레인 전압 V_d 가 +1 V 또는 +10 V 이고 게이트 전압 V_g

가 -20 V 내지 -5 V 의 범위인 경우에, 오프 전류는 1×10^{-13} A 이하이다. 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)의 수소 농도는 2차 이온 질량 분석법(SIMS : secondary ion mass spectroscopy)으로 측정되었음에 유의한다.

[0082] 여기서, 제1 산화물 반도체층(104a)은 결정 영역을 포함하는 것이 바람직하다. 결정 영역은 제1 산화물 반도체층(104a)의 표면을 포함하는 영역, 즉, 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a) 사이의 계면을 포함하는 영역인 것이 바람직하고, 제1 산화물 반도체층(104a)의 표면에 실질적으로 수직인 방향으로 c축이 배향된 결정을 포함하는 영역인 것이 바람직하다. 예를 들면, 결정 영역은, c축이 제1 산화물 반도체층(104a)의 표면에 실질적으로 수직인 방향으로 배향되는 결정립을 포함할 수 있다. 여기서, "실질적으로 수직인 방향"이란, 수직 방향으로부터 $\pm 10^\circ$ 이내의 방향을 의미한다. 결정 영역은, 제1 산화물 반도체층(104a)의 표면 근방(예를 들면, 표면으로부터 거리(깊이) 2 nm 이상 10 nm 이하까지의 영역)에만 형성될 수도 있고, 또는 제1 산화물 반도체층(104a)의 저부 표면에 도달하도록 형성될 수도 있음에 유의한다.

[0083] 또한, 결정 영역은 판 형상의 결정을 포함하는 것이 바람직하다. 여기서, 판 형상의 결정이란 평면적으로 성장된 결정을 의미하며, 박판과 같은 형상을 갖는다. 결정 영역은 다결정을 포함하는 것이 바람직하다.

[0084] 제2 산화물 반도체층(106a)은 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 결정을 포함한다.

[0085] 여기서, 제2 산화물 반도체층(106a)은 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 결정을 포함하기 때문에, 제2 산화물 반도체층(106a)은, 제1 산화물 반도체층(104a)의 결정 영역과 마찬가지로, 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a) 사이의 계면에 실질적으로 수직인 방향으로 c축이 배향된 결정을 포함한다. 여기서, "실질적으로 수직인 방향"이란 수직 방향으로부터 $\pm 10^\circ$ 이내의 방향을 의미한다.

[0086] 또한, 제2 산화물 반도체층(106a)은 제1 산화물 반도체층(104a)의 결정 영역과 마찬가지로, 판 형상의 결정을 포함하는 것이 바람직하다. 제2 산화물 반도체층(106a)은 다결정을 포함하는 것이 바람직하다.

[0087] 제2 산화물 반도체층(106a)은 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 결정 뿐만 아니라, 제2 산화물 반도체층(106a)의 표면으로부터의 결정 성장에 의해 형성된 결정도 포함할 수도 있다.

[0088] 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)이 동일한 재료를 사용하여 형성되는 경우에(즉, 호모 에피택시의 경우에), 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a) 사이의 경계를 식별하지 못할 수도 있다. 도 1a에서는 경계가 점선으로 나타나 있지만, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)은 하나의 층으로서 간주될 수 있다(도 1a 참조). 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a) 모두가 다결정을 포함한다.

[0089] 대안으로서, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)은 상이한 재료를 사용하여 형성될 수도 있다(도 1b 참조). 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)이 상이한 재료를 사용하여 형성되는 경우에(즉, 헤테로에피택시의 경우에), 예를 들면, 제1 산화물 반도체층(104a)이 2-성분 금속 산화물인 In-Zn-O계 재료를 사용하여 형성될 수 있고, 제2 산화물 반도체층(106a)이 3-성분 금속 산화물인 In-Ga-Zn-O계 재료를 사용하여 형성될 수 있다.

[0090] 제2 산화물 반도체층(106a)이 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성되기 때문에, 제2 산화물 반도체층(106a)은 전기적인 이방성을 갖는다. 예를 들면, c축이 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a) 사이의 계면에 실질적으로 수직인 방향으로 배향되기 때문에, 제2 산화물 반도체층(106a)의 표면에 평행한 방향의 도전성이 증가된다. 대조적으로, 제2 산화물 반도체층(106a)의 표면에 수직인 방향에 있어서는, 절연 특성이 증가된다.

[0091] 산화물 반도체층에 있어서 채널 형성 영역으로서 작용하는 영역은, 적어도 평탄면을 가지고 있는 것이 바람직하다. 제1 산화물 반도체층 및 제2 산화물 반도체층은 다결정이며, 제1 산화물 반도체층 및 제2 산화물 반도체층에 포함된 다결정의 c축은 동일한 방향으로 배향되어 있다. 제2 산화물 반도체층의 표면의 높이 변동은, 게이트 전극층과 중첩하는 영역(채널 형성 영역)에 있어서 1 nm 이하(더욱 바람직하게는 0.2 nm 이하)인 것이 바람직하다.

[0092] 전술한 바와 같이, 순도화된 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 제2 산화물 반도체층(106a)을 이용하는 것에 의해, 양호한 전기 특성을 갖는 반도체 장치가 실현될 수 있다.

- [0093] 제2 산화물 반도체층(106a)은 비교적 안정하기 때문에, 거기에 불순물(예를 들면, 물)이 침입하는 것을 억제할 수 있다. 따라서, 제2 산화물 반도체층(106a)의 신뢰성을 향상시킬 수 있다.
- [0094] 산화물 반도체가 진성(i-형) 산화물 반도체로 되게 하는 산화물 반도체의 순도화의 의미, 이러한 산화물 반도체를 반도체 장치에 이용하는 것의 이점 등이 설명된다.
- [0095] <진성 산화물 반도체의 형성>
- [0096] DOS(Density Of State)와 같은 산화물 반도체의 물성에 대한 많은 연구가 실시되고 있지만, 그들은 결함 준위 자체를 충분히 감소시키는 사상을 포함하지 않는다. 본 발명의 실시 형태에 따르면, DOS 증대를 야기할 수도 있는 물 또는 수소를 산화물 반도체로부터 제거함으로써 순도화된 진성(i-형) 산화물 반도체가 형성된다. 이는 DOS 자체를 충분히 감소시키는 사상에 기초한다. 따라서, 우수한 공업 제품이 제조될 수 있다.
- [0097] 수소, 물 등이 제거될 때에, 몇몇 경우에는 산소가 또한 제거되는 것에 유의한다. 따라서, 산소 결핍에 의해 발생하는 금속의 덩글링 본드(dangling bond)에 산소를 공급하고 이에 따라 산소 결핍에 기인하는 DOS를 감소시킴으로써 산화물 반도체가 진성(i-형) 산화물 반도체로 되도록 더욱 순도화하는 것이 바람직하다. 예를 들어, 채널 형성 영역에 밀접하게 산소 과잉의 산화물 막을 형성하고; 200℃ 이상 400℃ 이하, 통상적으로는 대략 250℃에서 열처리를 수행하여 산화물 막으로부터 산화물 반도체에 산소를 공급하도록 하는 방식으로, 산소 결핍으로부터 야기되는 DOS를 감소시킬 수 있다. 열처리 동안 불활성 가스로부터 산소 함유 가스로 가스가 전환될 수도 있다. 게다가, 열처리 후에 이어서, 산소 분위기 또는 수소, 물 등이 충분히 제거된 분위기에서 온도 하강 단계를 수행함으로써 산화물 반도체에 산소를 공급할 수 있다.
- [0098] 산화물 반도체 특성을 악화시키는 요인은, 전도대 아래의 0.1 eV 내지 0.2 eV 에서 과잉 수소로 인해 형성된 얇은 레벨, 산소 결핍에 기인하는 깊은 레벨 등이라고 고려될 수 있다. 이러한 결함을 없애기 위해, 수소를 철저히 제거하고 산소를 충분히 공급한다고 하는 기술 사상은 합리적인 것이다.
- [0099] 산화물 반도체는 일반적으로 n-형 도전성을 가지고 있지만, 본 발명의 일 실시 형태에서는, 물 또는 수소와 같은 불순물을 제거하고 산화물 반도체의 구성요소인 산소를 공급함으로써 i-형 산화물 반도체가 획득되는 것에 유의한다. 이러한 견지에서, 본 명세서에 본 발명의 일 실시 형태는, 불순물 원소를 첨가한 실리콘과 같은 i-형 반도체와는 다르기 때문에 새로운 기술적 사상을 포함한다고 말할 수 있다.
- [0100] i-형 산화물 반도체가 이용되는 경우, 트랜지스터의 양호한 온도 특성이 획득될 수 있다. 통상적으로, -25℃ 내지 150℃ 온도 범위에서의 트랜지스터의 전류-전압 특성에 대해, 온 전류, 오프 전류, 전계 효과 이동도, S 값, 및 임계 전압이 거의 변동하지 않으므로, 온도에 의해 전류-전압 특성이 거의 열화되지 않는다.
- [0101] 이 실시 형태에 기재된 산화물 반도체를 이용한 트랜지스터는, 실리콘 카바이드를 이용한 트랜지스터의 이동도보다 2자리수 정도 낮은 이동도를 갖는다. 그러나, 산화물 반도체를 이용한 트랜지스터의 전류 값은, 드레인 전압 또는 채널 폭(W)을 증가시킴으로써 증가될 수 있으며; 따라서, 장치 특성이 향상될 수 있다.
- [0102] 이 실시 형태의 기술 사상은, 산화물 반도체에 불순물을 첨가하지 않고서, 산화물 반도체에 불필요하게 존재하는 물 또는 수소 등의 불순물을 의도적으로 제거함으로써 산화물 반도체 자체를 순도화하기 위한 것이다. 즉, 이 실시 형태의 기술 사상은, 도너 준위를 형성하는 물 또는 수소를 제거하고, 산소 결핍을 저감시키기 위해 산화물 반도체의 주성분인 산소를 충분히 공급함으로써 산화물 반도체를 순도화하기 위한 것이다.
- [0103] SIMS(2차 이온 질량 분석)에 의한 측정에 따르면, 산화물 반도체의 성막 직후 시점에 대략 $1 \times 10^{20} \text{ cm}^{-3}$ 로 수소가 산화물 반도체에 존재한다. 도너 준위를 야기하는 물 또는 수소를 의도적으로 제거하고, 물 또는 수소의 제거에 따라 감소되는 산소(산화물 반도체의 성분 중 하나)를 산화물 반도체에 부가함으로써, 산화물 반도체는 전기적으로 진성(i-형) 반도체로 되도록 순도화된다.
- [0104] 또한, 실시 형태에 있어서, 산화물 반도체 중의 물 및 수소의 양은 적으면 적을수록 바람직하고, 캐리어의 수도 적으면 적을수록 바람직하다. 즉, 캐리어 밀도는 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 바람직하게는 측정 한계 이하인 $1.4 \times 10^{10} \text{ cm}^{-3}$ 미만이 요구된다. 게다가, 이 실시 형태의 기술 사상에서 이상적인 캐리어 밀도는 0 cm^{-3} 또는 대략 0 cm^{-3} 이다. 특히, 산화물 반도체를, 산소 분위기, 질소 분위기, 또는 초진공(물 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하인 공기) 분위기로, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 온도에서 열처리를 실시하는 경우, n-형 불순물로서 작용하는 물 또는 수소가 제거될 수 있고, 산화물 반도체가 순도화될 수 있다. 또한, 물 또는 수소와 같은 불순물을 제거함으로써 산화물 반

도체가 순도화되는 경우, 그 캐리어 밀도는 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 바람직하게는 측정 한계 이하인 $1.4 \times 10^{10} \text{ cm}^{-3}$ 미만 일 수 있다.

[0105] 게다가, 열처리를 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하의 고온에서 수행하면, 산화물 반도체를 순도화할 수 있고 또한 결정화할 수 있으며, 산화물 반도체의 표면으로부터 그 내부를 향해 결정 성장이 진행하여, 산화물 반도체는 c축이 배향된 다결정층이 된다.

[0106] 본 발명의 실시 형태에 따르면, c축이 배향된 다결정층을 종 결정으로서 이용하여, 그 위에 제2 산화물 반도체를 형성하고, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 온도에서 열처리를 수행하며, 따라서 제2 산화물 반도체는 종 결정과 유사한 방식으로 c축이 배향된 다결정층이 될 수 있다. 즉, 종 결정의 c축과 제2 산화물 반도체의 c축이 동일 방향으로 배향된 이상적인 축 성장 또는 에피택셜 성장이 수행될 수 있다.

[0107] 종 결정과 동일한 방향으로 c축이 배향된 제2 산화물 반도체는, 성막 후의 열처리에 의한 고상 성장에 의해 획득될 수 있을 뿐만 아니라, 200℃ 이상 600℃ 이하의 온도로 가열된 상태에서 제2 산화물 반도체가 통상적으로 스퍼터링에 의해 성막되는 성막 동안의 결정 성장에 의해서도 획득될 수 있다.

[0108] 또한, 산화물 반도체 내의 캐리어를 저감시키고, 바람직하게는 모든 캐리어를 제거하여, 트랜지스터에 있어서 산화물 반도체는 캐리어가 통과하는 통로로서 기능하게 된다. 그 결과, 산화물 반도체는 캐리어를 갖지 않거나 또는 매우 적게 갖는 순도화된 i-형(진성) 반도체이며, 따라서 오프 상태에서의 트랜지스터의 오프 전류가 극히 낮아질 수 있다는 것이 이 실시 형태의 기술 사상이다.

[0109] 또한, 산화물 반도체가 통로로서 기능하고, 산화물 반도체 자체가 캐리어를 갖지 않거나 또는 매우 적게 갖는 순도화된 i-형(진성) 반도체가 되면, 캐리어는 소스 전극 및 드레인 전극에 의해 공급된다. 산화물 반도체에 있어서의 전자 친화력 χ 및 페르미 준위, 바람직하게는 진성 페르미 준위에 대응하는 페르미 준위와, 소스 전극 및 드레인 전극의 일 함수를 적절히 선택하면, 소스 전극 및 드레인 전극으로부터 캐리어를 주입할 수 있다. 따라서, n-채널 트랜지스터 및 p-채널 트랜지스터를 적절히 제조할 수 있다.

[0110] 채널이 기판과 실질적으로 평행하게 형성되는 가로형 트랜지스터에 있어서는, 채널뿐만 아니라 소스 및 드레인 이 제공될 필요가 있고, 따라서 기판에 있어서의 트랜지스터에 의해 점유되는 면적이 증가되어, 미세화를 방해하게 된다. 하지만, 세로형 트랜지스터에 있어서는, 소스, 채널 및 드레인을 적층하고, 이에 따라 기판 표면에 있어서 트랜지스터에 의해 점유되는 면적이 저감될 수 있다. 이 결과, 박막 트랜지스터를 소형화하는 것이 가능하다.

[0111] 전술한 바와 같이, 산화물 반도체막은 산화물 반도체막의 주성분이 아닌 불순물, 통상적으로는 수소, 물, 수산기 또는 수소화물을 가능한 한 적게 함유하도록 순도화되고, 다결정 영역을 포함하도록 이루어져, 트랜지스터의 양호한 동작을 획득할 수 있다. 구체적으로, 내압성을 증대시킬 수 있고, 단채널 효과를 저감시킬 수 있고, 온/오프비를 증대시킬 수 있다. 또한, BT 시험에 있어서의 트랜지스터의 임계 전압의 변화량을 감소시킬 수 있어, 높은 신뢰성을 실현할 수 있다. 게다가, 전기 특성의 온도 의존성을 저감시킬 수 있다. c축-배향된 다결정층을 포함하는 산화물 반도체층을 이용하여 형성된 트랜지스터에 있어서, 트랜지스터에 광을 연속적으로 조사하는 BT 시험에 있어서의 트랜지스터의 임계 전압의 변화량을 감소시킬 수 있다. 따라서, 안정한 전기 특성을 갖는 트랜지스터를 제조할 수 있다.

[0112] <다른 반도체 재료에 비해 이 공정의 이점>

[0113] 산화물 반도체와 비교될 수 있는 반도체 재료로서, 실리콘 카바이드(예를 들면, 4H-SiC) 등이 주어질 수 있다. 산화물 반도체와 4H-SiC 간에는 몇 개의 공통점이 있다. 캐리어 농도는 산화물 반도체와 4H-SiC 간의 공통점의 일례이다. 페르미-디랙 분포에 따르면, 산화물 반도체의 소수 캐리어 밀도는 $10^{-7} / \text{cm}^3$ 정도라고 추정된다. 소수 캐리어 밀도의 이 값은, 4H-SiC의 소수 캐리어 밀도 $6.7 \times 10^{-11} / \text{cm}^3$ 와 유사하게 매우 작다. 산화물 반도체의 소수 캐리어 밀도를 실리콘의 진성 캐리어 밀도($1.4 \times 10^{10} / \text{cm}^3$ 정도)와 비교하면, 산화물 반도체의 소수 캐리어 밀도가 상당히 낮은 것임을 잘 이해할 수 있다.

[0114] 또한, 산화물 반도체의 에너지 밴드갭은 3.0 eV 이상 3.5 eV 이하이며, 4H-SiC의 에너지 밴드갭은 3.26 eV이다. 따라서, 산화물 반도체는 와이드 갭 반도체라는 점에서 실리콘 카바이드와 유사하다.

[0115] 한편, 산화물 반도체와 실리콘 카바이드 간에는 중대한 차이점이 있는데, 그것은 공정 온도이다. 일반적으로,

실리콘 카바이드를 이용할 경우에 1500℃ 이상 2000℃ 이하에서의 열처리가 요구된다. 이러한 높은 온도에서는, 실리콘 카바이드 이외의 재료를 이용하는 반도체 기판, 반도체 소자 등이 파괴되므로, 실리콘 카바이드 이외의 반도체 재료를 이용하는 반도체 소자 위에 실리콘 카바이드를 이용하는 반도체 소자를 형성하는 것이 곤란하다. 한편, 산화물 반도체는 300℃ 이상 800℃ 이하에서의 열처리를 통해 획득될 수 있다. 따라서, 다른 반도체 재료를 이용하여 집적 회로를 형성한 후에 산화물 반도체를 이용하여 반도체 소자를 형성하는 것이 가능하다.

[0116] 산화물 반도체를 사용하는 경우에는, 실리콘 카바이드가 사용되는 경우와 달리, 유리 기판과 같은 낮은 내열성을 갖는 기판을 사용하는 것이 가능하다는 이점이 있다. 게다가, 산화물 반도체는 고온 열처리 없이 획득될 수 있으므로, 실리콘 카바이드를 사용하는 경우와 비교해서 에너지 비용이 충분히 저감될 수 있다. 또한, 실리콘 카바이드에 있어서, 결정 결함 또는 의도하지 않게 실리콘 카바이드에 도입되는 미량의 불순물이 캐리어를 발생시키는 요인이 된다. 이론적으로는, 실리콘 카바이드의 경우에 본 발명의 산화물 반도체의 캐리어 밀도와 동등한 낮은 캐리어 밀도가 획득될 수 있지만; 상기 서술된 이유 때문에 $10^{12}/\text{cm}^3$ 이하의 캐리어 밀도를 획득하는 것은 실제로 어렵다. 와이드 밴드갭 반도체로서 또한 알려져 있는 질화 갈륨과 산화물 반도체가 비교될 때에도 마찬가지이다.

[0117] <산화물 반도체를 포함하는 트랜지스터의 전도 메커니즘>

[0118] 산화물 반도체를 포함하는 트랜지스터의 전도 메커니즘에 대해 도 18, 도 19a 및 도 19b, 도 20a 및 도 20b, 그리고 도 21을 참조하여 설명한다. 하기 설명은 이해를 용이하게 하기 위해 이상적인 상황을 가정하고 있으며 실제 상황을 전적으로 반영하고 있지 않음에 유의한다. 부가적으로, 하기 설명은 하나의 고찰에 지나지 않는다.

[0119] 도 18은 산화물 반도체를 포함하는 트랜지스터(박막 트랜지스터)의 단면도이다. 산화물 반도체층(OS)은 게이트 전극(GE) 위에 게이트 절연층(GI)을 개재시켜 제공되고, 산화물 반도체층 위에 소스 전극(S) 및 드레인 전극(D)이 제공된다.

[0120] 도 19는 도 18에서의 선 A-A'를 따라 취해진 단면의 에너지 밴드도(개략도)이다. 도 19에서, 검은 원(●) 및 하얀 원(○)은 각각 전자 및 정공을 나타내고 전하(-q, +q)를 갖는다. 드레인 전극에 양 전압($V_D > 0$)이 인가될 때, 점선은 게이트 전극에 전압이 인가되지 않은 경우를 나타내고($V_G = 0$), 실선은 게이트 전극에 양 전압이 인가되는 경우를 나타낸다($V_G > 0$). 게이트 전극에 전압이 인가되지 않은 경우, 높은 전위 장벽 때문에 전극으로부터 산화물 반도체층으로 캐리어(전자)가 주입되지 않고, 따라서 전류가 흐르지 않으며, 이는 오프 상태를 의미한다. 한편, 게이트 전극에 양 전압이 인가될 경우, 전위 장벽이 낮아지므로, 전류가 흐르고, 이는 온 상태를 의미한다.

[0121] 도 20a 및 도 20b는 도 18에서의 선 B-B'를 따라 취해진 단면의 에너지 밴드도(개략도)이다. 도 20a는 게이트 전극(GE)에 양 전위($V_G > 0$)가 인가된 상태 그리고 소스 전극과 드레인 전극 사이에 캐리어(전자)가 흐르는 온 상태를 도시한다. 도 20b는 게이트 전극(GE)에 음 전위($V_G < 0$)가 인가된 상태 그리고 오프 상태(소수 캐리어가 흐르지 않음)를 도시한다.

[0122] 도 21은 진공 준위와 금속의 일 함수(ϕ_M) 간의 관계 및 산화물 반도체의 진공 준위와 전자 친화력(χ) 간의 관계를 나타낸다.

[0123] 금속에서의 전자는 실온에서 축퇴되기 때문에, 전도대에 페르미 준위가 위치된다. 한편, 종래의 산화물 반도체는 n-형 반도체이며, 그 경우 페르미 준위(E_F)는 밴드갭의 중앙에 위치한 진성 페르미 준위(E_i)로부터 떨어져 있고, 전도대에 보다 가깝게 위치된다. 산화물 반도체에 있어서 수소의 일부는 도너이며 산화물 반도체가 n-형 반도체가 되도록 하는 하나의 요인이라는 것이 알려져 있음에 유의한다. 또한, 산소 결핍은 n-형 산화물 반도체를 생성하도록 하는 원인의 하나로서 알려져 있다.

[0124] 대조적으로, 본 발명의 실시 형태에 따른 산화물 반도체는, n-형 산화물 반도체가 되게 하는 요인인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체가 산화물 반도체의 주성분 이외의 원소(불순물 원소)를 가능한 한 적게 포함하도록 순도화하고, 또한 산소 결핍을 제거하는 방식으로 진성(i-형)이 되거나 또는 진성에 가깝게 되는 산화물 반도체이다. 즉, 본 발명의 실시 형태의 특징은, 산화물 반도체가 불순물 원소의 첨가에 의해서가 아닌 수소 및 물과 같은 불순물과 산소 결핍을 가능한 한 많이 제거하는 것에 의해서 순도화된 i-형(진성) 반도체

체가 되거나 또는 순도화된 i-형(진성) 반도체에 가깝게 된다는 것이다. 따라서, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 비교가능하게 될 수 있다.

- [0125] 산화물 반도체의 밴드갭(E_g)이 3.15 eV 이고 전자 친화력(χ)이 4.3 V 라고 여겨진다. 소스 및 드레인 전극을 형성하는 데 사용된 티탄(Ti)의 일 함수는, 산화물 반도체의 전자 친화력(χ)과 대략 동일하다. 그 경우, 금속과 산화물 반도체 사이의 계면에는 전자에 대한 쇼트키 장벽이 형성되지 않는다.
- [0126] 그때, 도 20a에 도시된 바와 같이, 게이트 절연층과 순도화된 산화물 반도체(에너지적으로 안정한 산화물 반도체의 저부) 사이의 계면 근방에서 전자가 이동된다.
- [0127] 도 20b에 도시된 바와 같이, 게이트 전극(GE)에 음 전위가 공급되는 경우, 소수 캐리어인 정공은 실질적으로 존재하지 않는다. 따라서, 전류 값은 거의 0에 가깝다.
- [0128] 이러한 방식으로, 산화물 반도체는 그 주성분 이외의 원소(불순물 원소)를 가능한 한 적게 함유하도록 순도화됨으로써 진성(i-형) 또는 실질적으로 진성이 된다. 따라서, 산화물 반도체와 게이트 절연층 사이의 계면의 특징이 명백해진다. 그 때문에, 게이트 절연층은 산화물 반도체와의 양호한 계면을 형성할 필요가 있다. 구체적으로, 다음의 절연층, 예를 들면 VHF 밴드 내지 마이크로파 밴드의 범위의 전원 주파수에서 발생된 고밀도 플라즈마를 이용하는 CVD법에 의해 형성된 절연층 또는 스퍼터링법에 의해 형성된 절연층을 이용하는 것이 바람직하다.
- [0129] 산화물 반도체를 순도화하고 산화물 반도체와 게이트 절연층 사이의 양호한 계면을 형성함으로써, 예를 들면, 트랜지스터의 채널폭(W)이 $1 \times 10^4 \mu\text{m}$, 그 채널 길이(L)가 $3 \mu\text{m}$ 인 경우, 1×10^{-13} A 이하의 오프 전류 및 0.1V/dec.의 부임계(subthreshold) 스윙 값(S 값)(게이트 절연층의 두께: 100 nm)과 같은 특성이 실현될 수 있다.
- [0130] 산화물 반도체가 순도화한 바와 같이 그 주성분 이외의 원소(불순물 원소)를 가능한 한 적게 함유하도록 순도화되는 경우, 트랜지스터가 양호한 방식으로 동작할 수 있다.
- [0131] <산화물 반도체를 이용한 트랜지스터의 핫 캐리어 열화에 대한 내성>
- [0132] 다음에, 산화물 반도체를 이용한 트랜지스터의 핫 캐리어 열화에 대한 내성에 대해 도 22 및 도 23을 참조하여 설명한다. 하기 설명은 이해를 용이하게 하기 위해 이상적인 상황을 가정하고 있으며 실제 상황을 전적으로 반영하고 있지 않음에 유의한다. 또한, 하기 설명은 하나의 고찰에 지나지 않는다.
- [0133] 핫 캐리어 열화의 주 요인은 채널 핫 전자 주입(CHE 주입) 및 드레인 애벌랜치 핫 캐리어 주입(DAHC 주입)이다. 간편함을 위해 전자만이 고려되는 것에 유의한다.
- [0134] CHE 주입이란, 게이트 절연층의 장벽의 에너지보다 높은 에너지를 가지게 된 반도체층 내의 전자가 게이트 절연층 등에 주입되는 현상을 말한다. 전자는 낮은 전계에 의해 가속되는 에너지를 얻는다.
- [0135] DAHC 주입이란, 높은 전계에 의해 가속되는 전자의 충돌에 의해 발생된 전자가 게이트 절연층 등에 주입되는 현상을 말한다. DAHC 주입과 CHE 주입 사이의 차이점은, 충돌 이온화에 의한 애벌랜치 항복을 수반하는지 아닌지에 있다. DAHC 주입은, 반도체의 밴드갭보다 높은 운동 에너지를 갖는 전자를 필요로 한다는 점에 유의한다.
- [0136] 도 22는 실리콘(Si)의 밴드 구조로부터 추정되는 핫 캐리어의 주입을 유발하는 에너지의 양을 나타낸다. 도 23은 In-Ga-Zn-O계 산화물 반도체(IGZO)의 밴드 구조로부터 추정되는 핫 캐리어의 주입을 유발하는 에너지의 양을 나타낸다. 도 22 및 도 23에서, 좌측 도면은 CHE 주입을 나타내고, 우측 도면은 DAHC 주입을 나타낸다.
- [0137] 실리콘과 관련하여, DAHC 주입에 의한 열화가 CHE 주입에 의한 열화보다 더욱 심각하다. 이는 실리콘이 좁은 밴드갭을 가지며 애벌랜치 항복이 생기기 쉽다는 사실에 기인하고 있다. 실리콘에 있어서 충돌하지 않고 가속되는 캐리어(예를 들면, 전자)가 매우 적기 때문에, CHE 주입의 확률이 낮다. 한편, 애벌랜치 항복은 게이트 절연층의 장벽을 넘어 이동할 수 있는 전자의 수를 증가시키므로, DAHC 주입의 확률이 CHE 주입의 확률보다 높아지기 쉽다.
- [0138] In-Ga-Zn-O계 산화물 반도체와 관련하여, CHE 주입을 유발하는 에너지의 양은 실리콘의 경우와 크게 다르지 않지만, DAHC 주입을 유발하는 에너지의 양은, 넓은 밴드갭으로 인해 CHE 주입을 유발하는 에너지의 양과 실질적으로 동일하다. 즉, DAHC 주입의 확률이 낮다.
- [0139] 실리콘과 유사하게, 충돌하지 않고 가속되는 캐리어(예를 들면, 전자)가 매우 적으며; 따라서, CHE 주입의 확률도 또한 낮다. 즉, In-Ga-Zn-O계 산화물 반도체는 실리콘과 비교해서 핫 캐리어 열화에 대한 높은 내성을 갖는다.

다.

[0140] <산화물 반도체를 이용한 트랜지스터에 있어서의 단채널 효과>

[0141] 다음으로, 산화물 반도체를 이용한 트랜지스터에 있어서의 단채널 효과에 대해 도 24를 참조하여 설명한다. 하기 설명은 이해를 용이하게 하기 위해 이상적인 상황을 가정하고 있으며 실제 상황을 전적으로 반영하고 있지는 않다. 또한, 하기 설명은 하나의 고찰에 지나지 않는다.

[0142] 단채널 효과란, 트랜지스터의 소형화(채널 길이(L)의 축소)에 따라 명백해지는 전기 특성의 열화를 말한다. 단채널 효과는, 소스 위에서의 드레인의 효과에 기인한다. 단채널 효과의 구체적인 예는 임계 전압의 감소, 부임계 스윙(S 값)의 증대, 리크 전류의 증대 등이 있다.

[0143] 여기서, 장치 시뮬레이션을 이용하여 단채널 효과를 억제할 수가 있는 구조에 대해 검증하였다. 구체적으로, 상이한 캐리어 밀도 및 산화물 반도체층의 상이한 두께를 각각 갖는 4 종류의 모델을 준비하고, 채널 길이(L)와 임계 전압(V_{th}) 간의 관계를 확인하였다. 모델로서, 보텀 게이트 트랜지스터를 채용하였고, 각각이 캐리어 밀도 $1.7 \times 10^{-8} / \text{cm}^3$ 또는 $1.0 \times 10^{15} / \text{cm}^3$ 및 산화물 반도체층의 두께 1 μm 또는 30 nm를 가지고 있었다. 산화물 반도체로서 In-Ga-Zn-O계 산화물 반도체를 이용하고 게이트 절연층으로서 두께 100 nm를 갖는 산화 질화 실리콘막을 이용하였다.

[0144] 톱 게이트 트랜지스터와 보텀 게이트 트랜지스터 간에 계산 결과의 큰 차이는 없음에 유의한다.

[0145] 도 24 및 도 25는 계산 결과를 나타낸다. 도 24는 캐리어 밀도가 $1.7 \times 10^{-8} / \text{cm}^3$ 인 경우를 나타내고, 도 25는 캐리어 밀도가 $1.0 \times 10^{15} / \text{cm}^3$ 인 경우를 나타낸다. 이 결과는, 산화물 반도체를 포함하는 트랜지스터에 있어서 산화물 반도체층의 두께를 감소시킴으로써 단채널 효과를 억제할 수 있다는 것을 나타낸다. 예를 들면, 채널 길이가 대략 1 μm 인 경우, 산화물 반도체층이 충분히 낮은 캐리어 밀도를 가지더라도, 산화물 반도체층의 두께가 약 3 nm 내지 50 nm, 바람직하게는 약 3 nm 내지 20 nm, 통상적으로는 약 20 nm로 설정될 때에 단채널 효과를 충분히 억제할 수 있다는 것을 이해할 수 있다.

[0146] <산화물 반도체의 캐리어 밀도>

[0147] 본 명세서에 본 발명에 따른 기술 사상의 하나는, 산화물 반도체층의 캐리어 밀도를 충분히 감소시킴으로써 산화물 반도체층이 진성(i-형) 산화물 반도체층에 가능한 한 가깝게 된다는 것이다. 캐리어 밀도를 획득하는 방법 및 산화물 반도체층에서 측정된 캐리어 밀도에 대해 도 26 및 도 27을 참조하여 설명한다.

[0148] 산화물 반도체층에서의 캐리어 밀도는, 산화물 반도체층을 포함하는 MOS 용량 소자를 형성하고 MOS 용량 소자의 C-V 측정의 결과(C-V 특성)를 평가하는 방식으로 획득될 수 있다.

[0149] 캐리어 밀도는 다음의 3개의 단계로 측정된다: MOS 용량 소자의 게이트 전압 V_g 와 용량 C 사이의 관계를 플롯함으로써 C-V 특성을 획득하기 위한 단계 1; C-V 특성으로부터 게이트 전압 V_g 와 $(1/C)^2$ 사이의 관계를 나타내는 그래프를 획득하고, 이 그래프에서 약한 반전 영역에서의 $(1/C)^2$ 의 미분값을 획득하기 위한 단계 2; 및 획득된 미분값을 캐리어 밀도 N_d 를 나타내는 하기 식 1에 대입하기 위한 단계 3. 식 1에서, e는 전기소량을 나타내고, ϵ_0 는 진공의 유전율, ϵ 는 산화물 반도체의 비유전율을 나타냄에 유의한다.

수학식 1

$$N_d = - \left(\frac{2}{e \epsilon_0 \epsilon} \right) \left/ \frac{d(1/C)^2}{dV} \right.$$

[0150]

[0151] 측정을 위한 샘플로서, 다음의 구조를 갖는 MOS 용량 소자를 이용하였다. MOS 용량 소자는, 유리 기판 위의 300 nm 두께의 티탄층, 티탄층 위의 100 nm 두께의 질화 티탄층, 질화 티탄층 위의 In-Ga-Zn-O계 산화물 반도체(a-IGZO)를 이용한 2 μm 두께의 산화물 반도체층, 산화물 반도체층 위의 300 nm 두께의 실리콘 산화 질화물층, 실리콘 산화 질화물층 위의 300 nm 두께의 은층을 포함한다.

- [0152] 산화물 반도체층은, In, Ga 및 Zn 을 포함하는 산화물 반도체를 성막하기 위한 타겟(In : Ga : Zn=1 : 1 : 0.5[atom%])을 이용하여 스퍼터링법에 의해 형성되었다. 산화물 반도체층이 형성되는 분위기는, 아르곤과 산소의 혼합 분위기(Ar 및 O₂의 유량이 각각 30(sccm) 및 15(sccm) 입)이었다.
- [0153] 도 26은 C-V 특성을 나타낸다. 도 27은 V_g와 (1/C)² 간의 관계를 나타낸다. 도 27의 약한 반전 영역에서의 (1/C)²의 미분값을 이용하여 식 1로부터 획득되는 캐리어 밀도는 6.0×10¹⁰/cm³이었다.
- [0154] 진성 또는 실질적으로 진성이 되는 산화물 반도체(예를 들면, 캐리어 밀도가 1×10¹²/cm³ 미만, 바람직하게는, 1.45×10¹⁰/cm³ 미만)를 이용함으로써, 우수한 오프 전류 특성을 갖는 트랜지스터를 획득할 수 있다.
- [0155] 전술한 바와 같이, 산화물 반도체, 특히 순도화된 진성 산화물 반도체를 이용할 경우 여러 가지 유리한 효과를 획득할 수 있음이 이해된다. 또한, 본 발명에 기재된 바와 같이 결정 구조를 갖는 진성 산화물 반도체층이 실현될 경우, 우수한 특성을 갖는 새로운 반도체 장치가 실현된다.
- [0156] <반도체 장치의 제조 방법>
- [0157] 다음으로, 트랜지스터(150)의 제조 방법에 대해 도 2a 내지 도 2e 및 도 3a 내지 도 3d를 참조하여 설명한다.
- [0158] 기판(100) 위에 절연층(102)을 형성한다. 그 후, 절연층(102) 위에 제1 산화물 반도체층을 형성하고, 제1 열처리를 수행하여 적어도 제1 산화물 반도체층의 표면을 포함하는 영역을 결정화함으로써, 제1 산화물 반도체층(104)을 형성한다(도 2a 참조).
- [0159] 기판(100)은 절연면을 갖는 임의의 기판일 수도 있고, 예를 들면, 유리 기판일 수도 있다. 유리 기판을 사용하는 것은, 본 발명의 실시 형태에 따른 반도체 장치의 대량 생산을 가능하게 하기 때문에 바람직하다. 유리 기판은 무알칼리 유리 기판인 것이 바람직하다. 무알칼리 유리 기판의 재료로는, 예를 들면, 알루미노실리케이트 유리, 알루미노boro실리케이트 유리, 바륨 боро실리케이트 유리 등과 같은 유리 재료가 사용된다. 대안으로서, 기판(100)으로서, 세라믹 기판, 석영 기판, 또는 사파이어 기판과 같이 절연체를 이용하여 형성된 절연 기판, 실리콘과 같은 반도체 재료를 이용하여 형성된 반도체 기판의 표면을 절연 재료로 피복한 반도체 기판, 또는 금속 또는 스테인리스 스틸과 같은 도전체를 이용하여 형성된 도전성 기판의 표면을 절연 재료로 피복한 도전성 기판을 이용할 수 있다. 제조 공정의 열처리에 견딜 수 있는 것이라면, 플라스틱 기판을 이용할 수도 있다.
- [0160] 절연층(102)은 하지(base)로서 기능하며, CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 절연층(102)은 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 포함하도록 형성되는 것이 바람직하다. 절연층(102)은 단층 구조를 가질 수도 있고 또는 적층 구조를 가질 수도 있음에 유의한다. 절연층(102)의 두께는 특별히 제한되지 않지만; 절연층(102)은, 예를 들면, 10 nm 이상 500 nm 이하의 두께를 가질 수 있다. 여기서 절연층(102)은 필수 구성요소는 아니므로; 절연층(102)이 제공되지 않은 구조가 또한 가능하다.
- [0161] 절연층(102)에 수소, 물 등이 함유되는 경우, 수소가 산화물 반도체층에 침입하거나 또는 산화물 반도체층으로부터 산소를 추출할 수도 있고, 그에 따라 트랜지스터의 특성이 악화될 수도 있다. 따라서, 절연층(102)이 가능한 한 수소 또는 물을 포함하지 않도록 형성하는 것이 바람직하다.
- [0162] 예를 들면, 스퍼터링법 등을 이용하는 경우, 처리 챔버 내의 잔류 수분을 제거한 상태로 절연층(102)을 형성하는 것이 바람직하다. 처리 챔버 내의 잔류 수분을 제거하기 위해서는, 크라이오펌프, 이온 펌프, 또는 티탄 승화 펌프와 같은 흡착형 진공 펌프를 이용하는 것이 바람직하다. 콜드 트랩을 구비한 터보 펌프를 이용할 수도 있다. 크라이오펌프 등으로 배기한 처리 챔버로부터, 수소, 물 등이 충분히 제거되고; 따라서, 절연층(102) 내의 불순물의 농도를 저감시킬 수 있다.
- [0163] 절연층(102)을 형성할 경우, 수소 또는 물과 같은 불순물이, 그 농도가 단위 "ppm"(바람직하게는, "ppb")으로 표현된 값 정도로 감소되도록 저감된 고순도 가스를 이용하는 것이 바람직하다.
- [0164] 제1 산화물 반도체층은, 4-성분 금속 산화물인 In-Sn-Ga-Zn-O계 재료; 3-성분 금속 산화물인 In-Ga-Zn-O계 재료, In-Sn-Zn-O계 재료, In-Al-Zn-O계 재료, Sn-Ga-Zn-O계 재료, Al-Ga-Zn-O계 재료, 또는 Sn-Al-Zn-O계 재료; 2-성분 금속 산화물인 In-Zn-O계 재료, Sn-Zn-O계 재료, Al-Zn-O계 재료, Zn-Mg-O계 재료, Sn-Mg-O계 재료, 또는 In-Mg-O계 재료; 또는 In-O계 재료, Sn-O계 재료, Zn-O계 재료 등을 이용하여 형성될 수 있다.

- [0165] 또한, In-A-B-O로 표현되는 산화물 반도체 재료를 이용할 수도 있다. 여기서, A는 갈륨(Ga) 또는 알루미늄(Al)과 같은 13족에 속하는 원소, 실리콘(Si) 또는 게르마늄(Ge)으로 대표되는 14족에 속하는 원소 등으로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. 또한, B는 아연(Zn)으로 대표되는 12족에 속하는 원소로부터 선택되는 하나 또는 복수 종류의 원소를 나타낸다. In 함유량, A 함유량, 및 B 함유량은 자유롭게 설정되며, A 함유량이 제로인 경우를 포함하여 유의한다. 한편, In 함유량 및 B 함유량은 제로가 아니다. 즉, 상기 표현은 In-Ga-Zn-O, In-Zn-O 등을 포함한다.
- [0166] 특히, In-Ga-Zn-O계 산화물 반도체 재료는, 무전계에 충분히 높은 저항을 가지므로, 오프 전류가 충분히 감소될 수 있다. 또한, 높은 전계 효과 이동도를 가지므로, In-Ga-Zn-O계 산화물 반도체 재료는 반도체 장치에 이용되는 반도체 재료로서 적합하다.
- [0167] In-Ga-Zn-O계 산화물 반도체 재료의 대표예로서, $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 으로 나타내는 것이 주어진다. Ga 대신에 M을 이용하면, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표현되는 산화물 반도체 재료가 있다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수도 있다. 상기 서술된 조성은 산화물 반도체 재료가 가질 수 있는 결정 구조로부터 도출되는 것이며 오직 예시임에 유의한다.
- [0168] 이 실시 형태에서, 제1 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체를 성막하기 위한 타겟을 이용하여 스퍼터링법에 의해 형성된다.
- [0169] 제1 산화물 반도체층을 스퍼터링법에 의해 제조하기 위한 타겟으로서, 예를 들면, 산화 아연을 그 주성분으로서 함유하는 금속 산화물 타겟을 이용할 수 있다. In, Ga, 및 Zn을 포함하는 산화물 반도체를 성막하기 위한 타겟의 조성비는, In : Ga : Zn = 1 : x : y (x는 0 이상 2 이하, y는 1 이상 5 이하)로 한다. 예를 들면, In : Ga : Zn = 1 : 1 : 1 [원자비] (x=1, y=1) (즉, $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [몰비])의 조성비를 갖는 타겟을 이용할 수도 있다. 산화물 반도체를 성막하기 위한 타겟으로서, In : Ga : Zn = 1 : 1 : 0.5 [원자비]의 조성비를 갖는 타겟, In : Ga : Zn = 1 : 1 : 2 [원자비]의 조성비를 갖는 타겟, 또는 In : Ga : Zn = 1 : 0 : 1 [원자비] (x=0, y=1)의 조성비를 갖는 타겟을 이용할 수 있다. 이 실시 형태에서, 이후에 열처리에 의해 실시되는 의도적인 결정화를 위해, 결정화를 쉽게 유발할 수 있는 산화물 반도체를 성막하기 위한 타겟을 이용하는 것이 바람직하다.
- [0170] 또한, 산화물 반도체를 성막하기 위한 타겟에 함유된 산화물 반도체의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상인 것이 바람직하다. 높은 상대 밀도를 갖는 산화물 반도체를 성막하기 위한 타겟에 의하면, 제1 산화물 반도체층이 치밀하게 형성된다. 이 실시 형태에서, 이후에 열처리에 의해 실시되는 제1 산화물 반도체층의 의도적인 결정화를 위해, 결정화를 쉽게 유발할 수 있는 산화물 반도체를 성막하기 위한 타겟을 이용하는 것이 바람직하다.
- [0171] 제1 산화물 반도체층이 형성되는 분위기는, 희가스(통상적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(통상적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 바람직하다. 구체적으로, 예를 들면, 수소, 물, 수산기, 또는 수소화물과 같은 불순물이, 그 농도가 단위 "ppm" (바람직하게는 "ppb")으로 표현되는 값 정도로 감소되도록 제거된, 고순도 가스 분위기를 이용하는 것이 바람직하다.
- [0172] 제1 산화물 반도체층을 형성할 때에, 예를 들면, 감압으로 유지된 처리 챔버 내에 기판을 보관하고, 기판 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하의 온도로 설정한다. 그후, 잔류 수분이 제거된 처리 챔버 내로 수소 및 물이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타겟으로서 이용하고; 따라서, 제1 산화물 반도체층을 형성한다. 기판을 가열하면서 산화물 반도체층을 형성하는 경우, 제1 산화물 반도체층에 함유되는 불순물을 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감될 수 있다. 제1 산화물 반도체층을 형성하기 이전에, 형성하는 도중에, 또는 형성한 후에, 스퍼터링 장치에 잔류하는 수분 등을 제거하는 것이 바람직하다. 처리 챔버 내의 잔류 수분을 제거하기 위해서, 흡착형 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프, 티탄 승화 펌프 등을 이용할 수 있다. 대안으로서, 콜드 트랩을 구비한 터보 펌프를 이용할 수도 있다. 크라이오펌프로 배기한 처리 챔버로부터 수소, 물 등이 제거되기 때문에, 제1 산화물 반도체층의 불순물 농도를 저감할 수 있다.
- [0173] 예를 들면, 제1 산화물 반도체층의 성막 조건은 다음과 같다: 기판과 타겟 간의 거리가 170 mm 이고, 압력이 0.4 Pa 이고, 직류(DC) 전력이 0.5 kW 이고, 분위기가 산소 분위기(산소 흐름에서의 산소 비율이 100%임)이다. 펄스 직류(DC) 전원을 이용하는 것이, 더스트(성막시에 생성되는 분말 또는 플레이크 형상의 물질)를 경감하고

막 두께를 균일하게 하기 때문에 바람직함에 유의한다. 제1 산화물 반도체층의 두께는, 3 nm 이상 15 nm 이하로 하는 것이 바람직하고, 이 실시 형태에서는 5 nm 이다. 산화물 반도체의 재료, 용도 등에 따라 적절한 두께가 다르기 때문에, 그 두께는 재료, 용도 등에 따라 적절히 선택됨에 유의한다.

[0174] 제1 산화물 반도체층을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 수행하여, 절연층(102)의 표면에 부착된 재료를 제거하는 것이 바람직함에 유의한다. 여기서, 역스퍼터링은, 스퍼터링 타겟에 이온을 충돌시키는 통상의 스퍼터링과는 대조적으로, 처리될 표면에 이온을 충돌시켜서 그 표면을 개질시키는 방법이다. 처리될 표면에 이온을 충돌시키는 방법의 예로는, 아르곤 분위기에서 그 표면에 고주파 전압을 인가하여 기관 근방에 플라즈마를 발생시키는 방법이 있다. 아르곤 분위기 대신에 질소, 헬륨, 산소 등의 분위기를 이용할 수도 있음에 유의한다.

[0175] 게다가, 제1 산화물 반도체층의 성막 이전에, 스퍼터링 장치의 내벽, 타겟의 표면, 또는 타겟 재료 내부에 잔류하고 있는 수분 또는 수소를 제거하기 위해 예열 처리를 수행하는 것이 바람직하다. 예열 처리로서, 성막 챔버의 내부를 감압하에서 200℃ 이상 600℃ 이하로 가열하는 방법, 성막 챔버의 내부를 가열하면서 질소 또는 불활성 가스의 도입과 배기를 반복하는 방법 등이 주어질 수 있다. 예열 처리 후에, 기관 또는 스퍼터링 장치를 냉각한다. 그후, 공기에 노출시키지 않고서 산화물 반도체층을 형성한다. 이 경우, 타겟에 대한 냉각액으로서는 물이 아닌 오일 등을 이용하는 것이 바람직하다. 가열하지 않고서 질소의 도입과 배기를 반복할 때에 일정 수준의 효과를 획득할 수 있지만, 성막 챔버의 내부를 가열하면서 처리를 수행하는 것이 더욱 바람직하다.

[0176] 다음으로, 제1 산화물 반도체층에 제1 열처리를 수행하여, 적어도 제1 산화물 반도체층의 표면을 포함하는 영역을 결정화함으로써, 제1 산화물 반도체층(104)을 형성한다. 이 제1 열처리에 의해, 제1 산화물 반도체층 내의 물(수산기를 포함함), 수소 등을 제거할 수 있다. 제1 열처리의 온도는, 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하로 한다. 가열 기간은 1분 이상 24시간 이하이다. 이 실시 형태에서, 제1 열처리는 건조 공기 분위기에서 700℃, 1시간 동안 수행된다.

[0177] 제1 열처리에 있어서, 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에, 물, 수소 등이 함유되지 않는 것이 바람직함에 유의한다. 가열 처리 장치에 도입된 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스의 순도는 6 N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)인 것이 바람직하다. 제1 열처리는, H₂O 농도 20 ppm 이하의 조건조 공기중에서, 더욱 바람직하게는 H₂O 농도 1 ppm 이하의 조건조 공기중에서 수행될 수도 있다. 이러한 제1 열처리에 의하면, 제1 산화물 반도체층(104) 중의 물(수산기를 포함함), 수소 등을 제거할 수 있다. 따라서, 불순물이 감소된 i-형 또는 실질적으로 i-형 제1 산화물 반도체층(104)을 형성할 수 있고, 이는 트랜지스터(150)가 매우 우수한 특성을 갖는 것을 가능하게 한다.

[0178] 또한, 제1 열처리에서 온도가 증가될 때에, 노(furnace)의 내부를 질소 분위기로 설정할 수도 있고, 냉각을 수행할 때에, 노의 내부를 산소 분위기로 전환할 수도 있다. 질소 분위기에서 탈수화 또는 탈수소화를 수행하고, 분위기를 산소 분위기로 전환함으로써, 제1 산화물 반도체층 내에 산소를 공급할 수 있고, 따라서 i-형 산화물 반도체층을 획득할 수 있다.

[0179] 제1 열처리에 의해, 적어도 제1 산화물 반도체층(104)의 표면을 포함하는 영역에 결정 영역을 포함하는 제1 산화물 반도체층(104)을 형성한다. 표면을 포함하는 영역에 형성되는 결정 영역은, 표면으로부터 내부를 향해 결정 성장하는 것에 의해 형성된다. 결정 영역은, 평균 두께 2 nm 이상 10 nm 이하의 판 형상 결정을 포함한다. 결정 영역은, 표면에 실질적으로 수직인 방향으로 c축이 배향된 결정을 포함한다. 여기서, "실질적으로 수직인 방향"은, 수직 방향으로부터 ±10° 이내의 방향을 의미한다.

[0180] 이 실시 형태에서는, 제1 열처리에 의해 제1 산화물 반도체층의 전체 영역이 결정화되는 예를 서술하고 있지만, 이 실시 형태는 이것에 한정되지 않으며 제1 산화물 반도체층(104)의 적어도 표면을 포함하는 영역에 결정 영역이 형성되어 있으면 된다. 예를 들면, 제1 산화물 반도체층(104)은, 제1 산화물 반도체층(104)의 저부 표면 근방에, 즉, 제1 산화물 반도체층(104)과 절연층(102) 사이의 계면에 비정질 영역을 포함할 수도 있다. 제1 산화물 반도체층(104)과 절연층(102) 사이의 계면에 비정질 영역이 존재하는 것은, 결정 영역에 흐르는 캐리어가 절연층(102)과의 계면에 의해 직접적으로 영향을 받지 않도록 방지되기 때문에 바람직하다.

[0181] 제1 열처리에 이용되는 장치는 특별한 장치로 한정되지 않고, 저항 발열체 등과 같은 발열체로부터의 열전도 또는 열복사를 이용하여 피처리물을 가열하는 장치 등을 이용할 수 있다. 예를 들면, 전기로, 또는 GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치와 같은 RTA(rapid thermal

annealing) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출되는 광(전자파)의 복사에 의해 피 처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 이용하여 열처리하기 위한 장치이다.

- [0182] 다음으로, 적어도 표면을 포함하는 영역에 결정 영역을 포함하는 제1 산화물 반도체층(104) 위에 제2 산화물 반도체층(105)을 형성한다(도 2b 참조).
- [0183] 제2 산화물 반도체층(105)은, 제1 산화물 반도체층과 유사한 방식으로, 4-성분 금속 산화물인 In-Sn-Ga-Zn-O계 재료; 3-성분 금속 산화물인 In-Ga-Zn-O계 재료, In-Sn-Zn-O계 재료, In-Al-Zn-O계 재료, Sn-Ga-Zn-O계 재료, Al-Ga-Zn-O계 재료, 또는 Sn-Al-Zn-O계 재료; 2-성분 금속 산화물인 In-Zn-O계 재료, Sn-Zn-O계 재료, Al-Zn-O계 재료, Zn-Mg-O계 재료, Sn-Mg-O계 재료, 또는 In-Mg-O계 재료; 1-성분 금속 산화물인 In-O계 재료, Sn-O계 재료, Zn-O계 재료 등을 이용하여 형성될 수 있다.
- [0184] 특히, In-Ga-Zn-O계 산화물 반도체 재료는, 무전계시에 충분히 높은 저항을 가지므로, 오프 전류가 충분히 감소될 수 있다. 또한, 높은 전계 효과 이동도를 가지기 때문에, In-Ga-Zn-O계 산화물 반도체 재료는 반도체 장치에 이용되는 반도체 재료로서 적합하다.
- [0185] In-Ga-Zn-O계 산화물 반도체 재료의 대표예로서는, $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 로 나타내는 것이 주어진다. 상기 구조에서 Ga 대신에 M 을 이용하면, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표현되는 산화물 반도체 재료가 된다. 여기서, M 은 갈륨(Ga), 알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들면, M 은 Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등일 수도 있다. 상기 서술된 조성은 산화물 반도체 재료가 가질 수 있고 오직 예시인 결정 구조로부터 도출되는 것임에 유의한다.
- [0186] 제2 산화물 반도체층(105)이 제1 산화물 반도체층(104)의 재료의 주성분과 동일한 주성분을 갖는 재료를 이용하여 형성되거나 또는 제2 산화물 반도체층(105)이 제1 산화물 반도체층(104)과 동일한 결정 구조를 가지고 제1 산화물 반도체층(104)의 격자 상수와 유사한 격자 상수(1% 이하의 미스매치)를 갖는 것이 바람직하다. 대안으로서, 제1 산화물 반도체층(104) 및 제2 산화물 반도체층(105)은 상이한 주성분을 갖는 재료를 이용하여 형성될 수도 있다.
- [0187] 동일한 주성분을 포함하는 재료를 이용하는 경우에, 제1 산화물 반도체층(104)의 결정 영역이 종으로서 작용하기 때문에 제2 산화물 반도체층(105)의 후 결정화에 있어서 결정 성장이 쉽게 야기된다. 또한, 두께가 실질적으로 증가될 수 있기 때문에, 동일한 주성분을 포함하는 재료를 이용하는 것은 전력 장치 등의 용도에 적합하다. 게다가, 동일한 주성분을 포함하는 재료를 이용하는 경우에, 밀착성과 같은 양호한 계면 특성 또는 양호한 전기 특성이 획득될 수 있다.
- [0188] 상이한 주성분을 갖는 재료를 이용하는 경우, 층들은 상이한 전기 특성을 가질 수 있다. 예를 들면, 제2 산화물 반도체층에 높은 전기 전도도를 갖는 재료를 이용하고 제1 산화물 반도체층에 낮은 전기 전도도를 갖는 재료를 이용할 때에, 기초 계면의 영향이 저감된 반도체 장치를 실현할 수 있다. 제1 산화물 반도체층에 결정화가 용이한 재료를 이용하여 양호한 중 결정을 형성한 후, 제2 산화물 반도체층을 형성하고 결정화하는 경우, 제2 산화물 반도체층의 결정화 용이성에 관계없이, 제2 산화물 반도체층은 양호한 결정성을 가질 수 있다.
- [0189] 본 실시 형태에 있어서, 제2 산화물 반도체층(105)은, In-Ga-Zn-O계 산화물 반도체를 성막하기 위한 타겟을 이용하여 스퍼터링법에 의해 형성된다. 제2 산화물 반도체층(105)의 스퍼터링법에 의한 성막은, 상기 서술된 제1 산화물 반도체층의 스퍼터링법에 의한 성막과 유사한 방식으로 실시될 수도 있다. 제2 산화물 반도체층(105)의 두께는 제1 산화물 반도체층(104)의 두께보다 큰 것이 바람직함에 유의한다. 제1 산화물 반도체층(104)과 제2 산화물 반도체층(105)의 두께의 합이 3 nm 이상 50 nm 이하가 되도록 제2 산화물 반도체층(105)을 형성하는 것이 바람직하다. 산화물 반도체의 재료, 용도 등에 따라 적절한 두께가 다르기 때문에, 그 두께는 재료, 용도 등에 따라 적절히 선택됨에 유의한다.
- [0190] 다음으로, 제2 산화물 반도체층(105)에 제2 열처리를 수행하여, 제1 산화물 반도체층(104)의 결정 영역을 종으로서 이용하여 결정 성장시킨다. 따라서, 제2 산화물 반도체층(106)을 형성한다(도 2c 참조).
- [0191] 제2 열처리의 온도는 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하이다. 제2 열처리의 가열 기간은 1시간 이상 100시간 이하, 바람직하게는 5시간 이상 20시간 이하, 통상적으로는 10시간이다.
- [0192] 제2 열처리에 있어서도, 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에, 물, 수소 등이 함유되지 않는 것이 바람직함에 유의한다. 가열 처리 장치에 도입된 질소, 산소, 또는 헬륨, 네온 또는 아르곤과 같은

회가스의 순도는 6 N(99.9999%)이상, 바람직하게는 7N(99.99999%)이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)인 것이 바람직하다. 제2 열처리에는, H₂O 농도 20 ppm 이하의 초건조 공기중에서, 더욱 바람직하게는 H₂O 농도 1 ppm 이하의 초건조 공기중에서 수행될 수도 있다. 이러한 제2 열처리에 의하면, 제2 산화물 반도체층(106) 중의 물(수산기를 포함함), 수소 등을 제거할 수 있다. 따라서, 불순물이 감소된 i-형 또는 실질적으로 i-형 제2 산화물 반도체층(106)을 형성할 수 있고, 이는 트랜지스터(150)가 매우 우수한 특성을 갖는 것을 가능하게 한다.

[0193] 또한, 제2 열처리에서 온도가 증가될 때에, 노의 내부를 질소 분위기로 설정할 수도 있고, 냉각을 수행할 때에, 노의 내부를 산소 분위기로 전환할 수도 있다. 질소 분위기에서 탈수화 또는 탈수소화를 수행하고, 분위기를 산소 분위기로 전환함으로써, 제2 산화물 반도체층(106) 내에 산소를 공급할 수 있고, 따라서 i-형 산화물 반도체층을 획득할 수 있다.

[0194] 이러한 방식으로, 제2 열처리를 장기간 수행함으로써, 제2 산화물 반도체층(105)과 제1 산화물 반도체층(104) 사이의 계면 근방에 형성된 결정 영역으로부터 제2 산화물 반도체층(105)의 전체 영역이 결정화되고; 따라서, 제2 산화물 반도체층(106)을 형성할 수 있다. 또한, 제2 열처리에 의해, 제1 산화물 반도체층(104)의 결정층이 보다 높은 배향성을 가질 수 있다.

[0195] 제2 산화물 반도체층(106)은, 제1 산화물 반도체층(104)의 결정 영역과 유사한 방식으로, 제1 산화물 반도체층(104)과 제2 산화물 반도체층(106) 사이의 계면에 실질적으로 수직인 방향으로 c축이 배향된 결정을 포함한다. 여기서, "실질적으로 수직인 방향"은, 수직 방향으로부터 $\pm 10^\circ$ 이내의 방향을 의미한다.

[0196] 예를 들면, In-Ga-Zn-O계 산화물 반도체 재료를 제2 산화물 반도체층(106)에 이용하는 경우, InGaO₃(ZnO)_m(m>0, m은 자연수가 아님)으로 나타내는 결정, In₂Ga₂ZnO₇(In : Ga : Zn : O=2 : 2 : 1 : 7)로 나타내는 결정 등을 포함할 수 있다. 제2 열처리에 의해서, 이러한 결정의 c축은 산화물 반도체층(106)의 표면과 실질적으로 수직인 방향으로 배향된다.

[0197] 여기서, 상기 서술된 결정은, In, Ga 및 Zn 중 어느 것을 포함하고, a축 및 b축에 평행한 층의 적층 구조를 갖는 것으로 고려될 수 있다. 구체적으로, 상기 서술된 결정은, In을 포함하는 층과 In을 포함하지 않는 층(Ga 또는 Zn을 포함하는 층)이 c축 방향으로 적층된 구조를 갖는다.

[0198] In-Ga-Zn-O계 산화물 반도체 결정에서, In 을 포함하는 층의, a축 및 b축과 평행한 방향에서의 도전성은 양호하다. 이것은 In-Ga-Zn-O계 산화물 반도체 결정에서 전기 전도가 주로 In 에 의해 제어된다는 사실, 및 하나의 In 원자의 5s 궤도가 인접하는 In 원자의 5s 궤도와 중첩되어 캐리어 통로가 형성된다는 사실 때문이다. 상기 서술된 층에 수직인 방향(즉, c축 방향)에 있어서는 절연 특성이 증대된다.

[0199] 제1 산화물 반도체층(104)이 제1 산화물 반도체층(104)과 절연층(102) 사이의 계면 근방에 비정질 영역을 포함하는 경우, 제2 열처리에는 제1 산화물 반도체층(104)의 표면에 형성된 결정 영역으로부터 제1 산화물 반도체층의 저부 표면으로 향해 결정 성장을 야기할 수도 있고 몇몇 경우에는 비정질 영역을 결정화할 수도 있다. 절연층(102)을 형성하는 재료 또는 열처리 조건에 의존하여, 비정질 영역이 잔류할 수도 있음에 유의한다.

[0200] 제1 산화물 반도체층(104) 및 제2 산화물 반도체층(105)이 동일한 주성분을 포함하는 산화물 반도체 재료를 이용하여 형성되는 경우, 도 2c에 도시된 바와 같이, 제1 산화물 반도체층(104)이 결정 성장의 종 결정으로서 작용하여, 제2 산화물 반도체층(105)의 표면에 대해 상방으로 결정 성장이 발생하여, 제2 산화물 반도체층(106)이 형성된다. 제1 산화물 반도체층(104) 및 제2 산화물 반도체층(105)이 동일한 결정 구조를 갖는다. 따라서, 제1 산화물 반도체층(104)과 제2 산화물 반도체층(106) 사이의 경계는 도 2c에서 점선으로 나타나 있지만, 그것은 때때로 식별될 수 없으며, 제1 산화물 반도체층(104) 및 제2 산화물 반도체층(106)은 때때로 하나의 층으로서 간주될 수 있다.

[0201] 제1 산화물 반도체층(104)의 결정 영역으로부터의 결정 성장에 의해 제2 산화물 반도체층(106)이 형성되기 때문에, 제2 산화물 반도체층(106)은 전기적인 이방성을 갖는다. 상기 서술된 예에서, 제2 산화물 반도체층(106)의 표면에 평행한 방향으로 도전성이 증대되는 한편, 제2 산화물 반도체층(106)의 표면에 수직인 방향으로 절연 특성이 증대된다. 따라서, 순도화된 제1 산화물 반도체층(104)의 결정 영역으로부터의 결정 성장에 의해 형성된 제2 산화물 반도체층(106)을 이용하는 것은, 양호한 전기 특성을 갖는 반도체 장치를 실현할 수 있다.

[0202] 제2 열처리를 위한 장치도 또한 특정 장치에 한정되지 않으며, 그 장치는 저항 발열체와 같은 발열체로부터의 열전도 또는 열복사를 이용하여 피처리물을 가열하는 장치를 구비할 수도 있음에 유의한다. 예를 들면,

전기로, 또는 GRTA 장치 또는 LRTA 장치와 같은 RTA 장치를 이용할 수 있다.

- [0203] 다음으로, 마스크를 이용한 에칭과 같은 방법에 의해 제1 산화물 반도체층(104) 및 제2 산화물 반도체층(106)을 처리하고; 따라서, 섬 형상의 제1 산화물 반도체층(104a) 및 섬 형상의 제2 산화물 반도체층(106a)을 형성한다(도 2d 참조).
- [0204] 산화물 반도체층의 에칭을 위한 방법으로는, 드라이 에칭 또는 웨트 에칭 중 어느 하나가 채용될 수도 있다. 드라이 에칭과 웨트 에칭을 조합하여 이용할 수 있음은 말할 필요도 없다. 산화물 반도체층을 원하는 형상으로 에칭할 수 있도록 재료에 의존하여 에칭 조건(예를 들면, 에칭 가스 또는 에칭액, 에칭 시간, 및 온도)이 적절히 설정된다.
- [0205] 드라이 에칭법으로서는, 평행판 반응성 이온 에칭(RIE: reactive ion etching)법, 유도 결합형 플라즈마(ICP: inductively coupled plasma) 에칭법 등을 이용할 수 있다. 이 경우에도, 에칭 조건(코일형 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 및 기관축의 전극 온도)은 적절히 설정될 필요가 있다.
- [0206] 드라이 에칭에 이용될 수 있는 에칭 가스의 예는, 염소를 함유하는 가스(염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 실리콘(SiCl_4), 또는 사염화 탄소(CCl_4)와 같은 염소계 가스)이다. 또한, 불소를 함유하는 가스(사불화 탄소(CF_4), 육불화황(SF_6), 삼불화질소(NF_3), 또는 트리플루오로메탄(CHF_3)과 같은 불소계 가스), 브롬화수소(HBr), 산소(O_2), 이들 가스 중 임의의 가스에 헬륨(He) 또는 아르곤(Ar)과 같은 희가스를 첨가한 가스 등을 이용할 수도 있다.
- [0207] 웨트 에칭에 이용될 수 있는 에칭액의 예는, 인산, 아세트산 및 질산을 혼합한 용액, 암모니아 과산화수소 혼합물(과산화수소 용액 31wt%: 암모니아 용액 28wt%: 물=5:2:2) 등을 포함한다. ITO-07N(KANTO CHEMICAL CO., INC. 제조)와 같은 에칭액이 또한 이용될 수도 있다.
- [0208] 다음으로, 제2 산화물 반도체층(106a)에 접하도록 도전층(108)을 형성한다(도 2e 참조).
- [0209] 도전층(108)은 스퍼터링법과 같은 PVD법 또는 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 도전층(108)은, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 및 텅스텐으로부터 선택된 원소, 이들 원소 중 어느 원소를 성분으로서 포함하는 합금 등을 이용하여 형성될 수 있다. 망간, 마그네슘, 지르코늄, 및 베릴륨 중 하나 이상을 포함하는 재료를 이용할 수도 있다. 알루미늄과, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소를 포함하는 재료를 이용할 수도 있다.
- [0210] 도전층(108)은 또한 도전성 금속 산화물을 이용하여 형성될 수도 있다. 도전성 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금(In_2O_3 - SnO_2 , 몇몇 경우에는 ITO로 약기됨), 산화 인듐-산화 아연 합금(In_2O_3 - ZnO), 또는 이들 금속 산화물 재료 중 어느 재료에 실리콘 또는 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0211] 도전층(108)으로서는, 티탄층 위에 알루미늄층이 적층되고 그 알루미늄층 위에 티탄층이 적층된 3층 구조, 또는 몰리브덴층 위에 알루미늄층이 적층되고 그 알루미늄층 위에 몰리브덴층이 적층된 3층 구조가 바람직하다. 대안으로서, 알루미늄층과 텅스텐층이 적층된 2층 구조, 구리층과 텅스텐층이 적층된 2층 구조, 또는 알루미늄층과 몰리브덴층이 적층된 2층 구조를 갖는 금속 도전막을 이용할 수 있다. 물론, 금속 도전막은 단층 구조 또는 4층 이상의 적층 구조를 가질 수도 있다. 단층 구조의 경우, 예를 들면, 티탄층의 단층 구조가 양호하게 이용된다. 단층 구조를 갖는 티탄층을 이용하는 경우, 후에 수행될 에칭에 의해 양호한 테이퍼링된 형상이 획득될 수 있다. 여기서, 티탄막, 알루미늄막 및 티탄막을 포함하는 3층 구조가 채용된다.
- [0212] 티탄과 같이 제2 산화물 반도체층(106a)으로부터 산소를 추출하는 능력을 갖는 재료(높은 산소 친화력을 갖는 재료)를, 제2 산화물 반도체층(106a)과 접하는 도전층(108)의 부분에 이용하는 경우, 도전층(108)과 접하는 제2 산화물 반도체층(106a)의 영역이 산소 결핍으로 인해 n-형 도전성을 가지도록 변화된다. 이것을 이용하여, 소스 영역 및 드레인 영역의 저항을 감소시킬 수 있다.
- [0213] 대안으로서, 제2 산화물 반도체층(106a)으로부터 산소를 추출하는 능력을 갖는 재료를 이용하지 않고, 제2 산화물 반도체층(106a)과 도전층(108) 사이에 산화물 도전체층을 형성할 수도 있다. 이러한 산화물 도전체층을 제공하는 경우, 소스 영역 및 드레인 영역의 저항 역시 감소시킬 수 있다.
- [0214] 또한, 도전층(108)과 접하는 제2 산화물 반도체층(106a)의 영역이 n-형 도전성을 가지도록 변화될 필요가 없는

경우, 제2 산화물 반도체층(106a)과 접하는 도전층(108)의 부분에, 산소를 추출하는 능력이 낮은 재료(낮은 산소 친화력을 갖는 재료)를 이용하는 것이 바람직하다. 이러한 재료로서는, 예를 들면, 질화 티타늄이 주어질 수 있다. 상기와 유사한 방식으로, 도전층(108)은 단층 구조 또는 적층 구조 중 어느 구조를 가질 수도 있다. 도전층(108)이 적층 구조를 갖는 경우, 예를 들면, 질화 티타늄과 티타늄의 2층 구조, 질화 티타늄과 텅스텐막의 2층 구조, 질화 티타늄과 구리-몰리브덴 합금막의 2층 구조, 질화 탄탈막과 텅스텐막의 2층 구조, 질화 탄탈막과 구리막의 2층 구조, 질화 티타늄과 텅스텐막과 티타늄의 3층 구조 등이 채용될 수 있다.

[0215] 상기 서술된 산소를 추출하는 능력이 낮은 재료를 도전층(108)에 이용하는 경우, 산소 추출에 의한 산화물 반도체층에서의 n-형으로의 변화를 방지할 수 있고; 따라서, n-형으로의 불균일한 변화 등에 기인하는 트랜지스터 특성에 대한 악영향을 억제할 수 있다.

[0216] 진술한 바와 같이 질화 티타늄 또는 질화 탄탈막과 같이 높은 장벽 특성을 갖는 재료를, 제2 산화물 반도체층(106a)과 접하는 도전층(108)의 부분에 이용하는 경우, 제2 산화물 반도체층(106a) 내로의 불순물의 침입을 억제할 수 있고, 트랜지스터 특성에 대한 악영향을 억제할 수 있다.

[0217] 다음으로, 도전층(108)을 선택적으로 에칭하여, 소스 또는 드레인 전극층(108a), 및 소스 또는 드레인 전극층(108b)을 형성한다(도 3a 참조). 또한, 도전층(108) 위에 절연층을 형성하고, 절연층을 에칭하여, 소스 및 드레인 전극층 위에, 소스 및 드레인 전극층과 실질적으로 동일한 형상을 갖는 절연층을 형성할 수도 있다. 이 경우, 소스 및 드레인 전극층과 게이트 전극 간의 용량(소위 게이트 용량)을 저감할 수 있다. 이 명세서에 있어서, "실질적으로 동일"이라는 표현은 엄밀한 의미에서의 "정확하게 동일"을 반드시 의미할 필요는 없으며, 동일하다고 고려되는 의미를 포함함에 유의한다. 예를 들면, 단일 에칭 공정에 의해 이루어진 차이는 허용가능하다. 또한, 두께는 동일할 필요가 없다.

[0218] 에칭에 이용되는 마스크 형성시의 노광에 대해, 자외선, KrF 레이저 광, 또는 ArF 레이저 광을 이용하는 것이 바람직하다. 특히 채널 길이(L)가 25 nm 미만인 경우의 노광에 대해, 마스크 형성을 위한 노광은 수 nm 내지 수십 nm의 극도로 짧은 파장을 갖는 극자외선 광을 이용하여 수행되는 것이 바람직하다. 극자외선 광을 이용한 노광에 있어서, 해상도는 높고 초점 심도는 크다. 따라서, 후에 완성되는 트랜지스터의 채널 길이(L)는 10 nm 내지 1000 nm(1 μ m)일 수 있다. 이러한 방법을 이용하여 채널 길이를 감소시키는 것에 의하면, 동작 속도가 향상될 수 있다. 또한, 상기 서술된 산화물 반도체를 포함하는 트랜지스터의 오프 전류는 작고; 따라서, 미세화에 의한 소비 전력의 증대를 억제할 수 있다.

[0219] 도전층(108)의 에칭시에 제2 산화물 반도체층(106a)이 제거되지 않도록, 도전층(108) 및 제2 산화물 반도체층(106a)의 재료 및 에칭 조건은 적절히 조절된다. 몇몇 경우에는, 재료 및 에칭 조건에 의존하여 에칭 단계에 있어서 제2 산화물 반도체층(106a)이 부분적으로 에칭되고 따라서 홈부(함몰부)를 갖는 것에 유의한다.

[0220] 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)의 측면 근방에서, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 접하는 결정층이 비정질 상태로 변화되는 경우가 있다.

[0221] 마스크의 사용 수를 삭감하고 단계 수를 삭감하기 위해서, 투과한 광이 복수의 강도를 갖게 되는 노광 마스크인 멀티-톤 마스크를 이용하여 형성된 레지스트 마스크를 사용하여 에칭 단계가 수행될 수도 있다. 멀티-톤 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께를 가지며(계단 형상을 가지며), 애싱(ashing)에 의해 형상이 더욱 변화될 수 있고; 따라서, 레지스트 마스크는 복수의 에칭 단계에서 이용될 수 있다. 즉, 하나의 멀티-톤 마스크를 이용하여 적어도 2 종류의 상이한 패턴에 대응하는 레지스트 마스크가 형성될 수 있다. 따라서, 노광 마스크의 수를 삭감할 수 있고, 대응하는 포토리소그래피 단계의 수도 삭감될 수 있기 때문에, 공정을 간략화할 수 있다.

[0222] 여기서, 제2 산화물 반도체층(106a)에 대해 열처리(제3 열처리)를 수행할 수도 있다. 제3 열처리에 의해, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 어느 것보다 증착하지 않고 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 고순도 결정 영역이 형성된다. 여기서, 고순도 결정 영역은, 제2 산화물 반도체층(106a)의 다른 영역보다 높은 결정성을 갖는 영역이다. 고순도 결정 영역의 범위는, 제2 산화물 반도체층(106a)의 재료, 열처리의 조건 등에 의존하여 변화한다. 예를 들면, 고순도 결정 영역은 제2 산화물 반도체층(106a)의 하부 계면까지 확장될 수 있다.

[0223] 제3 열처리에 대해, 제1 열처리와 유사한 열처리를 채용할 수 있다. 즉, 전기로를 이용한 열처리, 가열된 가스와 같은 매체로부터의 열전도를 이용한 열처리, 열복사를 이용한 열처리 등을 채용할 수 있다.

[0224] 예를 들면, 고온의 불활성 가스(예를 들면, 질소 또는 희가스)를 이용하는, 400℃ 이상 900℃ 이하의 온도에서

의 GRTA 처리를 채용할 수 있다. 발명의 본질적인 부분은 열처리 온도의 특정한 상한을 요구하지 않지만, 기판(100)이 낮은 내열성을 갖는 경우, 열처리 온도의 상한은 기판(100)의 허용가능한 온도 한계보다 낮게 할 필요가 있음에 유의한다.

[0225] GRTA 처리를 채용하는 경우, 열처리 기간은 1분 이상 100분 이하인 것이 바람직하다. 예를 들면, GRTA 처리는 650℃에서 대략 3분 내지 6분 동안 수행되는 것이 바람직하다. 상기 서술된 GRTA 처리를 채용함으로써, 열처리는 단시간에 수행될 수 있고; 따라서, 기판(100)에 대한 열의 악영향을 감소시킬 수 있다. 즉, 열처리를 장시간 수행하는 경우와 비교해서, 이 경우에 열처리 온도의 상한을 높일 수 있다. 또한, 고순도 결정 영역은 제2 산화물 반도체층(106a)의 표면을 포함하는 영역에 용이하게 형성된다.

[0226] 제3 열처리에 있어서, 처리 분위기에 수소(물을 포함함) 등이 함유되지 않는 것이 바람직하다. 예를 들면, 열처리 장치에 도입되는 불활성 가스의 순도는, 6N(99.9999%, 즉, 불순물 농도가 1 ppm 이하)이상, 바람직하게는 7N(99.99999%, 즉 불순물 농도가 0.1 ppm 이하)이상이다. 불활성 가스 대신에, 수소(물을 포함함) 등이 충분히 저감된 산소 가스, N₂O 가스, 조건조 공기(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하) 등을 이용할 수도 있다.

[0227] 본 실시 형태에 있어서 GRTA 처리가 제3 열처리로서 채용되고 있지만, 제3 열처리는 GRTA 처리에 한정되지 않는다. 예를 들면, 전기로를 이용한 열처리, LRTA 처리 등을 또한 채용할 수 있다.

[0228] 상기 서술된 방식으로 수행되는 제3 열처리에 의해, 결정을 포함하는 제2 산화물 반도체층(106a)에 보다 높은 순도를 갖는 결정 영역인 고순도 결정 영역을 형성하기 위해 재결정화가 야기될 수 있다. 또한, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 형성시에 제2 산화물 반도체층(106a)의 표면이 손상될 경우, 손상된 부분이 제3 열처리에 의해 회복될 수 있다.

[0229] 상기 서술된 결정과 유사한 방식으로, 이러한 방식으로 형성된 고순도 결정 영역에서의 산화물 반도체의 결정에 서는, 그 c축이 산화물 반도체층의 표면에 대해 실질적으로 수직인 방향으로 배향된다. 여기서, "실질적으로 수직인 방향"은, 수직 방향으로부터 ±10° 이내의 방향을 의미한다.

[0230] 이러한 고순도 결정 영역을 포함하는 것에 의해, 제2 산화물 반도체층(106a)은 보다 높은 전기적인 이방성을 가질 수 있다.

[0231] 이러한 고순도 결정 영역을 제2 산화물 반도체층(106a)에 제공하는 것에 의해, 반도체 장치의 전기 특성이 향상될 수 있다.

[0232] 다음으로, 공기에 노출시키지 않고, 제2 산화물 반도체층(106a)의 일부에 접하는 게이트 절연층(112)을 형성한다(도 3b 참조). 게이트 절연층(112)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 게이트 절연층(112)은, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 포함하도록 형성되는 것이 바람직하다. 게이트 절연층(112)은 단층 구조 또는 적층 구조를 가질 수도 있음에 유의한다. 게이트 절연층(112)의 두께에 특별한 제한은 없으며; 예를 들면, 게이트 절연층(112)은 10 nm 이상 500 nm 이하, 바람직하게는 50 nm 이상 200 nm 이하의 두께를 가질 수 있다.

[0233] 불순물을 제거함으로써 획득된 i-형 또는 실질적으로 i-형 산화물 반도체(순도화된 산화물 반도체)는 계면 상태 또는 계면 전하에 대해 매우 민감하며; 따라서, 게이트 절연층(112)은 높은 품질을 가질 필요가 있음에 유의한다.

[0234] 본 실시 형태에 있어서, 게이트 절연층(112)은 고밀도 플라즈마 장치를 이용하여 형성된다. 여기서, 고밀도 플라즈마 장치란, $1 \times 10^{11}/\text{cm}^3$ 이상의 플라즈마 밀도를 실현할 수 있는 장치를 지칭한다. 예를 들면, 3 kW 이상 6 kW 이하의 마이크로파 전력을 인가하여 플라즈마를 발생시켜, 절연막을 형성한다.

[0235] 예를 들면, 마이크로파(예를 들면, 2.45 GHz)를 이용한 고밀도 플라즈마 CVD법은, 게이트 절연층(112)이 높은 내전압 및 고품질을 가지도록 치밀하게 형성될 수 있기 때문에 바람직하다. 이는 순도화된 산화물 반도체층과 고품질의 게이트 절연층 간의 기밀한 접촉이 계면 상태를 저감시키고 원하는 계면 특성을 생성하기 때문이다.

[0236] 모노실란 가스(SiH₄), 아산화질소(N₂O) 및 희가스를 챔버에 소스 가스로서 도입하여, 10 Pa 이상 30 Pa 이하의 압력에서 고밀도 플라즈마를 발생시켜 게이트 절연층(112)을 형성한다. 그 후, 모노실란 가스의 공급을 중지할 수도 있고, 공기에 노출시키지 않고 아산화질소(N₂O) 및 희가스를 도입하여 절연막의 표면에 플라즈마 처리를 수

행할 수도 있다. 아산화질소(N_2O) 및 회가스의 도입에 의해 절연막의 표면에 수행되는 플라즈마 처리는, 적어도 절연막의 형성 이후에 수행된다. 상기 서술된 공정 순서를 거쳐 형성된 절연막은, 작은 두께를 가지며, 예를 들면, 100 nm 미만의 두께를 가지더라도 신뢰성이 확보될 수 있는 절연막이다.

- [0237] 게이트 절연층(112)의 형성시에, 챔버에 도입되는 모노실란 가스(SiH_4) 및 아산화질소(N_2O)의 유량비는 1 : 10 내지 1 : 200의 범위 내에 있다. 또한, 챔버에 도입되는 회가스로서는, 헬륨, 아르곤, 크립톤, 크세논 등을 이용할 수 있다. 특히, 저렴한 아르곤을 이용하는 것이 바람직하다.
- [0238] 또한, 고밀도 플라즈마 장치를 이용하여 형성된 절연막이 균일한 두께를 가질 수 있기 때문에, 절연막은 우수한 단차 피복성을 갖는다. 게다가, 고밀도 플라즈마 장치에 의해, 절연 막막의 두께가 정밀하게 제어될 수 있다.
- [0239] 상기 공정 순서를 거쳐 형성된 절연막은, 종래의 평행판 PCVD 장치를 이용하여 형성된 절연막과는 상당히 다르다. 동일한 에칭액을 이용하여 에칭 레이트를 서로 비교할 경우에, 상기 공정 순서를 거쳐 형성된 절연막의 에칭 레이트는, 종래의 평행판 PCVD 장치를 이용하여 형성된 절연막의 에칭 레이트보다 10% 이상 또는 20% 이상 낮다. 따라서, 고밀도 플라즈마 장치를 이용하여 형성된 절연막은 치밀한 막이라고 말할 수 있다.
- [0240] 본 실시 형태에 있어서, 게이트 절연층(112)으로서, 고밀도 플라즈마 장치를 이용하여 형성된 두께 100 nm를 갖는 산화 질화 실리콘막(SiO_xN_y 라고도 함, 여기서 $x>y>0$)을 이용한다.
- [0241] 게이트 절연층(112)으로서 고품질 절연층이 형성될 수 있다면, 스퍼터링법 또는 플라즈마 CVD법과 같은 다른 방법이 또한 채용될 수 있음은 말할 필요도 없다. 게다가, 절연층의 형성 이후에 수행되는 열처리에 의해 그 품질, 계면 특성 등이 개선되는 절연층을 이용하는 것이 가능하다. 어떤 경우에도, 게이트 절연층(112)으로서 양호한 막 품질을 가질 뿐만 아니라, 산화물 반도체층과의 감소된 계면 상태 밀도를 가지며 양호한 계면을 형성할 수 있는 절연층이 형성된다.
- [0242] 이와 같이 게이트 절연층(112)과의 계면 특성을 향상시키고 산화물 반도체로부터 불순물, 특히 수소, 물 등을 제거함으로써, 게이트 바이어스-온도 스트레스 시험(BT 시험 : 예를 들면, 12 시간 동안 85℃ 및 $2 \times 10^6 V/cm$)에서 그 임계 전압(V_{th})이 변화하지 않는 안정한 트랜지스터를 획득하는 것이 가능하다.
- [0243] 그 후, 불활성 가스 분위기 또는 산소 분위기에서 제4 열처리를 수행하는 것이 바람직하다. 열처리의 온도는, 200℃ 내지 400℃, 바람직하게는 250℃ 내지 350℃의 범위에 설정된다. 예를 들면, 질소 분위기에서 250℃에서 1 시간 동안 열처리를 수행할 수도 있다. 제4 열처리는 트랜지스터의 전기 특성의 변동을 저감시킬 수 있다. 또한, 제4 열처리에 의해 산화물 반도체층(106a)에 산소를 공급하는 것이 또한 가능하다.
- [0244] 이 실시 형태에서 제4 열처리는 게이트 절연층(112)의 형성 이후에 수행되고; 제4 열처리의 타이밍은 제3 열처리 이후에 수행된다면 특별히 제한되지 않는다는 점에 유의한다. 또한, 제4 열처리는 반드시 필수 단계는 아니다.
- [0245] 다음으로, 게이트 절연층(112) 위에서 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)과 중첩하는 영역에 게이트 전극층(114)을 형성한다(도 3c 참조). 게이트 전극층(114)은, 게이트 절연층(112) 위에 도전층을 형성한 후에 도전층을 선택적으로 패터닝함으로써 형성될 수 있다.
- [0246] 상기 서술된 도전층은 스퍼터링법과 같은 PVD법 또는 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 도전층은, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴 및 텅스텐으로부터 선택된 원소, 이들 원소 중 어느 원소를 성분으로서 포함하는 합금 등을 이용하여 형성될 수 있다. 대안으로서, 상기 서술된 원소의 질화물인 질화 티탄, 질화 탄탈 등을 이용할 수도 있다. 망간, 마그네슘, 지르코늄 및 베릴륨 중 하나 이상을 포함하는 재료를 이용할 수도 있다. 알루미늄과, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소를 포함하는 재료를 이용할 수도 있다.
- [0247] 도전층은 또한 도전성 금속 산화물을 이용하여 형성될 수도 있다. 도전성 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, 몇몇 경우에는 ITO로 약기됨), 산화 인듐-산화 아연 합금(In_2O_3-ZnO), 또는 이들 금속 산화물 재료 중 어느 재료에 실리콘 또는 산화 실리콘을 포함시킨 것을 이용할 수 있다.
- [0248] 도전층은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막이 적층된 2층 구조, 질화 티탄막 위에 티탄막이 적층된 2층 구조, 질화 티탄

막 위에 텅스텐막이 적층된 2층 구조, 탄탈과 실리콘을 포함한 질화막 위에 텅스텐막이 적층된 2층 구조, 티탄막, 알루미늄막 및 티탄막이 적층된 3층 구조 등이 주어질 수 있다. 여기서, 티탄을 포함한 재료를 이용하여 도전층을 형성한 후, 게이트 전극층(114)으로 처리한다.

[0249] 다음으로, 게이트 절연층(112) 및 게이트 전극층(114) 위에 층간 절연층(116) 및 층간 절연층(118)을 형성한다(도 3d 참조). 층간 절연층(116 및 118)은 PVD법, CVD법 등에 의해 형성될 수 있다. 층간 절연층(116 및 118)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈과 같은 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 이 실시 형태에서는 층간 절연층(116 및 118)이 적층되어 있지만, 본 발명의 실시 형태는 이 실시 형태에 한정되지 않음에 유의한다. 단층 구조 또는 3층 이상의 적층 구조를 또한 이용할 수 있다.

[0250] 예를 들면, 층간 절연층(118)은, 적절하게, 스퍼터링법과 같이, 층간 절연층(118)에 물 또는 수소와 같은 불순물을 혼입시키지 않는 방법에 의해 적어도 1 nm의 두께로 형성될 수 있다. 본 실시 형태에 있어서, 층간 절연층(118)으로서 산화 실리콘막을 두께 300 nm로 스퍼터링법에 의해 형성한다. 성막시의 기판 온도는 실온 이상 300℃ 이하일 수도 있고, 이 실시 형태에서는 100℃이다. 스퍼터링법에 의한 산화 실리콘막의 형성은, 회가스(통상적으로는 아르곤) 분위기, 산소 분위기, 또는 회가스(통상적으로는 아르곤)와 산소의 혼합 분위기에서 수행될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟을 이용할 수도 있다. 예를 들면, 실리콘 타겟을 이용하여, 산소 및 질소 분위기 하에서 스퍼터링법에 의해 산화 실리콘을 성막할 수 있다. 감소된 저항을 갖는 산화물 반도체층 위에 제공된 층간 절연층(118)으로서, 수분, 수소 이온, 또는 OH⁻와 같은 불순물을 포함하지 않고 이들 불순물이 외부로부터 침입하는 것을 차단하는 무기 절연막이 이용된다. 통상적으로는, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막 등을 이용한다. 게다가, 층간 절연층(118) 위에 질화 실리콘막 또는 질화 알루미늄막과 같은 보호 절연층을 형성할 수도 있다.

[0251] 또한, 층간 절연층(118)의 형성 이전에, 스퍼터링 장치의 내벽, 타겟의 표면, 또는 타겟 재료 내부에 잔류하고 있는 물 또는 수소를 제거하기 위해서, 예열 처리를 수행하는 것이 바람직하다. 예열 처리 이후에, 기판 또는 스퍼터링 장치를 냉각한다. 그후, 공기에 노출시키지 않고 층간 절연층(118)을 형성한다. 이 경우, 타겟에 대한 냉각액으로서 물이 아니라 오일 등을 이용하는 것이 바람직하다. 가열하지 않고 질소의 도입 및 배기를 반복하여도 일정한 수준의 효과를 획득할 수 있지만, 성막 챔버의 내부를 가열하면서 처리를 수행하는 것이 보다 바람직하다.

[0252] 또한, 층간 절연층(118)의 성막 이후에, 공기에 노출시키지 않고 스퍼터링법에 의해 질화 실리콘막을 적층할 수도 있다.

[0253] 또한, 층간 절연층(118) 및 층간 절연층(116) 내에 게이트 전극층(114)에 이르는 콘택트 홀을 형성하고, 게이트 전극층(114)에 전기적으로 접속되고 게이트 전극층(114)에 게이트 전위를 공급하는 접속 전극을 층간 절연층(118) 위에 형성할 수도 있다. 대안으로서, 다음을 채용할 수도 있다: 층간 절연층(116)의 형성 이후에 게이트 전극층(114)에 이르는 콘택트 홀을 형성하고; 그 위에 소스 전극층 및 드레인 전극층의 재료와 동일한 재료를 이용하여 접속 전극을 형성하고; 접속 전극 위에 층간 절연층(118)을 형성하고; 층간 절연층(118) 내에 접속 전극에 이르는 콘택트 홀을 형성하고; 그후 접속 전극에 전기적으로 접속되며 접속 전극에 게이트 전위를 공급하는 전극을 층간 절연층(118) 위에 형성한다.

[0254] 층간 절연층(118)은 평탄한 표면을 가지도록 형성되는 것이 바람직함에 유의한다. 이것은, 층간 절연층(118)이 평탄한 표면을 가지도록 형성될 때에 층간 절연층(118) 위에 전극, 배선 등이 양호하게 형성될 수 있기 때문이다.

[0255] 상기 서술된 공정을 통해서, 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 제2 산화물 반도체층(106a)을 포함하는 트랜지스터(150)가 완성된다.

[0256] 상기 서술된 방법에 의해 제조된 트랜지스터(150)는, 제2 산화물 반도체층(106a)에 포함된 결정으로 인해 양호한 전기 특성을 가질 수 있다.

[0257] 제1 열처리 및 제2 열처리에 의해, 결정화를 수행하고; n-형 불순물인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체의 주성분 이외의 불순물이 가능한 한 함유되지 않게 억제함으로써 산화물 반도체를 순도화한다. 이러한 방식으로, 진성(i-형) 또는 실질적으로 진성 산화물 반도체를 형성한다. 즉, 불순물을 첨가하지 않고 수소 또는 물과 같은 불순물을 가능한 한 제거함으로써, 순도화된 i-형(진성) 반도체, 또는 거기에 근접한 반도체를 획득한다. 산화물 반도체층의 순도화에 의해, 트랜지스터의 임계 전압이 양이 되고, 따라서 소위 노멀리-

오프의 트랜지스터(150)를 획득할 수 있다.

- [0258] 상기 서술된 방법에 의해 트랜지스터(150)를 제조하는 경우, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)의 수소 농도는 $5 \times 10^{18} / \text{cm}^3$ 이하이고, 트랜지스터(150)의 오프 전류는 측정 한계인 $1 \times 10^{-13} \text{ A}$ 이하이다. 수소 농도의 충분한 저감 및 산소의 공급에 의해 순도화되는 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)을 채용함으로써, 트랜지스터(150)가 우수한 특성을 가질 수 있다.
- [0259] 종래의 산화물 반도체는 일반적으로 n-형이며, 게이트 전압이 0V 이더라도 소스 전극과 드레인 전극 사이에 전류가 흐르는 경향이 있으며, 즉, 트랜지스터가 노멀리 온이 되는 경향이 있다. 전계 효과 이동도가 높더라도, 트랜지스터가 노멀리 온인 경우, 회로를 제어하기 어렵다. 산화물 반도체가 n-형인 경우, 페르미 준위(E_F)는 전도대에 보다 가깝게 위치하고 밴드갭 중앙에 위치하는 진성 페르미 준위(E_i)로부터 떨어져 있다. 산화물 반도체에 함유된 수소의 일부가 도너를 형성하고, 산화물 반도체가 n-형 산화물 반도체로 되게 하는 것이 알려져 있다.
- [0260] 이러한 점을 감안하여, 산화물 반도체로부터 n-형 불순물인 수소를 제거하여 산화물 반도체의 주성분 이외의 불순물이 가능한 한 산화물 반도체에 함유되지 않게 방지함으로써 산화물 반도체를 순도화하는 방식으로 진성(i-형) 또는 실질적으로 진성 산화물 반도체층을 형성한다. 즉, 불순물을 첨가하지 않고 수소 또는 물과 같은 불순물을 가능한 한 제거함으로써 순도화된 i-형(진성) 반도체 또는 거기에 근접한 반도체를 형성하는 것을 특징으로 하고 있다. 이것은, 페르미 준위(E_F)가 진성 페르미 준위(E_i)와 동일한 수준이 되게 할 수 있다.
- [0261] 산화물 반도체층의 순도화에 의해, 트랜지스터의 임계 전압이 양이 될 수 있고, 이에 따라 소위 노멀리-오프 스위칭 소자를 실현할 수 있다.
- [0262] 순도화를 위한 공정으로서, 산화물 반도체층의 형성 이전에, 산화물 반도체층의 형성 도중에, 또는 산화물 반도체층의 형성 이후에 스퍼터링 장치에 잔류하고 있는 수분 등을 제거하는 것이 바람직하다. 스퍼터링 챔버에 잔류하는 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오펌프, 이온 펌프, 티탄 승화 펌프 등을 이용하는 것이 바람직하다. 배기 수단으로서, 콜드 트랩을 구비한 터보 펌프를 이용할 수도 있다. 크라이오펌프를 이용하여 배기된 스퍼터링 장치의 성막 챔버로부터, 수소 원자, 물(H_2O) 등과 같이 수소 원자를 함유하는 화합물 등이 제거되기 때문에, 성막 챔버에서 형성된 산화물 반도체막 내의 불순물의 농도를 저감할 수 있다. 게다가, 성막용 산화물 반도체 타겟에 함유된 산화물 반도체의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상인 것이 바람직하다. 상대 밀도가 높은 타겟을 이용하는 경우, 산화물 반도체막 내의 불순물의 농도를 저감할 수 있다.
- [0263] 산화물 반도체막에 불순물이 혼입되면, 이후에 실시되는 결정화를 위한 열처리시에, 일 방향의 결정 성장, 즉, 표면으로부터 하방으로 진행되는 결정 성장이 저해될 수도 있다. 따라서, 산화물 반도체막이 불순물을 함유하지 않는 것이 이상적이다. 따라서, 순도화가 매우 중요하다.
- [0264] 또한, 산화물 반도체막의 형성 이전에, 스퍼터링 장치의 내벽, 타겟의 표면, 또는 타겟 재료의 내부에 잔류하고 있는 수분 또는 수소를 제거하기 위해서 예열 처리를 수행할 수도 있다. 예열 처리로서는, 성막 챔버의 내부를 감압하에서 200℃ 내지 600℃의 온도로 가열하는 방법, 성막 챔버의 내부를 가열하면서 질소 또는 불활성 가스의 도입과 배기를 반복하는 방법 등이 주어질 수 있다. 이 경우, 타겟에 대한 냉각액으로서 물이 아니라 오일 등을 이용하는 것이 바람직하다. 가열하지 않고 질소의 도입과 배기를 반복하여도 일정한 수준의 효과를 획득할 수 있지만, 성막 챔버의 내부를 가열하면서 처리를 수행하는 것이 보다 바람직하다. 예열 처리 이후에, 기관 또는 스퍼터링 장치를 냉각한 후, 산화물 반도체막을 성막한다.
- [0265] 또한, 산화물 반도체막, 또는 산화물 반도체 위에 접해서 형성되는 재료막을 성막하는 데 사용되는 스퍼터링 가스로서도, 수소, 물, 수산기 또는 수소화물과 같은 불순물이, 그 농도가 단위 "ppm"(바람직하게는 "ppb")으로 표현되는 값 정도로 저감되도록 감소된 고순도 가스를 이용하는 것이 바람직하다.
- [0266] 스퍼터링법에 의한 산화물 반도체막의 형성 동안, 기관은 실온 이상 기관의 변형점(strain point) 이하의 온도로 가열될 수도 있다.
- [0267] 또한, 순도화를 위한 하나의 단계로서, 수소 및 수분을 거의 함유하지 않는 분위기(예컨대, 질소 분위기, 산소 분위기 또는 건조-공기 분위기(예를 들면, 수분에 대해서, 이슬점이 -40℃ 이하, 바람직하게는 -50℃ 이하))에서 제1 열처리가 수행된다. 제1 열처리는, 산화물 반도체층으로부터 H, OH 등을 제거하는 탈수화 또는 탈수소

화라고 불릴 수 있다. 불활성 분위기에서 온도가 상승하고 그 분위기가 열처리 동안 산소를 함유하는 분위기로 전환되는 경우에, 또는 산소 분위기가 채워지는 경우에, 제1 열처리는 또한 산소를 공급하기 위한 처리라고 불릴 수 있다.

[0268] 제1 열처리에 있어서, 전기로를 이용하는 가열 방법, 가열된 기체를 이용하는 GRTA법 또는 램프 광을 이용하는 LRTA법과 같은 급속 가열 방법 등을 이용할 수 있다. 또한, 제1 열처리로서는, 450nm 이하의 파장을 갖는 광의 조사를 이용하는 가열을 동시에 수행할 수도 있다. 제1 열처리 이후의 산화물 반도체층에 대해 TDS(thermal desorption spectroscopy)로 온도 450℃까지 측정할 때에, 물의 2개의 피크 중 적어도 300℃ 부근에서의 피크가 검출되지 않는 조건하에서 산화물 반도체층에 순도화를 위한 제1 열처리를 실시한다. 따라서, 순도화를 위한 열처리를 실시한 산화물 반도체층을 포함하는 트랜지스터에 대해 TDS를 온도 450℃까지 수행하더라도, 적어도 300℃ 부근에서의 물의 피크는 검출되지 않는다.

[0269] 결정 성장의 종으로서 기능하는 다결정층이 없는 상태로 결정 성장을 수행하기 때문에, 제1 열처리는 표면으로부터의 결정 성장만을 야기하기 위해 고온으로 단시간에 수행되는 것이 바람직하다. 또한, 산화물 반도체층의 표면이 평탄할 경우, 양호한 판 형상의 다결정층을 획득할 수 있다. 따라서, 절연층 또는 기판과 같은 하지 구성요소의 평탄성이 가능한 한 높은 것이 바람직하다. 평탄성의 증대는, 하지 구성요소의 전체 표면과 접하는 다결정층이 용이하게 형성될 수 있기 때문에 효과적이다. 예를 들면, 산화물 반도체층의 평탄성은 시판되는 실리콘 웨이퍼의 평탄성과 대략 동등하고; 예를 들면, $1\mu\text{m} \times 1\mu\text{m}$ 의 영역에 있어서의 높이 변동(표면 조도)이 AFM 측정에 의해 1 nm 이하, 바람직하게는 0.2 nm 이다.

[0270] 다결정층에 있어서, 산화물 반도체에 포함된 In의 전자 구름이 서로 중첩하고 서로 연결되는 경우, 전기 전도율 σ 가 증가된다. 따라서, 다결정층을 포함하는 트랜지스터는 높은 전계 효과 이동도를 가질 수 있다.

[0271] 제1 열처리를 통해 형성된 판 형상의 다결정층을 종 결정으로서 이용하여 결정 성장을 야기하는 하나의 방법에 대해 도 14a 내지 도 14c를 참조하여 설명한다.

[0272] 단계의 순서의 개략은 다음과 같다: 하지 구성요소 위에 제1 산화물 반도체층을 형성하고; 순도화하기 위한 제1 열처리를 수행하고; 순도화를 위한 제1 열처리와 동일한 단계에서 제1 산화물 반도체층의 표면 위에, 결정 방향이 배향될 다결정층을 형성하고; 그 위에 제2 산화물 반도체층을 적층하고; 그리고 추가로, 결정화를 위한 제2 열처리를 수행하여, 제1 산화물 반도체층의 표면 위의 다결정층을 종으로서 이용하여 제2 산화물 반도체층을 결정화한다.

[0273] 제1 열처리에 있어서는, 결정 성장의 종으로서 기능하는 결정층이 존재하지 않는 상태로 표면으로부터 결정 성장을 수행하는 반면, 제2 열처리에 있어서는, 판 형상의 다결정층이 종으로서 기능한다. 따라서, 제2 열처리는 결정 성장을 야기할 수 있는 최저 온도에서 장시간 동안 수행되는 것이 양호한 결정성을 획득할 수 있기 때문에 바람직하다. 제2 열처리에 의한 결정 성장 방향은 하부 부분으로부터의 상방 방향, 즉, 기판측으로부터 표면측으로의 방향(재결정화 방향이라고도 함)에 대응하고, 제1 열처리에 의한 결정 성장 방향과는 상이하다. 또한, 제1 열처리에 의해 획득되는 다결정층은 제2 열처리에 의해 다시 가열되기 때문에, 다결정층의 결정성은 더욱 증대된다.

[0274] 도 14a는 하지 구성요소(500) 위에 형성된 제1 산화물 반도체층에 대해 결정화를 위한 제1 열처리가 수행된 후의 상태를 도시한다.

[0275] 도 14b는 제2 산화물 반도체층(502)의 형성 직후의 단면도를 도시한다. 제2 산화물 반도체층(502)은 스퍼터링법에 의해 형성되고, 이러한 형성을 위한 금속 산화물 타겟으로서, In : Ga : Zn=1 : 1 : 1[원자비]의 금속 산화물 타겟, 또는 In : Ga : Zn=1 : 1 : 2의 금속 산화물 타겟을 이용할 수도 있다.

[0276] 도 14c는, 제2 열처리 후의 단면도를 도시한다. 제2 열처리에 의해, 제1 산화물 결정층의 다결정층(제1 산화물 결정층(501))을 종으로서 이용하여 제2 산화물 반도체층(502)의 표면으로 향해 상방으로 결정 성장이 진행된다. 그 결과, 제2 산화물 결정층(503b)이 형성된다. 결정 구성요소들은 동일한 결정 구조를 갖는다.

[0277] 도 14b에 대응하는 구조를 실제로 제조하였다. 그 구조의 단면의 TEM 사진을 도 15의 (a)에 나타낸다. 그 개략도를 도 15의 (b)에 나타냄에 유의한다. TEM 사진은 가속 전압 300 kV 및 고배율(8백만배 배율)에서 고분해능 투과 전자 현미경(Hitachi, Ltd. 제조의 "H9000-NAR" : TEM)으로 촬영한 것임에 유의한다. 도 15의 (a)의 샘플은, 유리 기판 위에 절연층을 형성하고, 그 위에 두께 5 nm의 제1 In-Ga-Zn-O 막을 형성하고, 거기에 건조 공기 분위기에서 700℃, 1시간 동안 열처리를 수행하는 방식으로 형성되었다. 도 15의 (a)로부터, 제1 In-Ga-Zn-O막의 c축이 제1 In-Ga-Zn-O막의 표면에 대해 수직인 방향으로 배향되고, 절연층과 제1 In-Ga-Zn-O막 사이의

계면 근방이 또한 결정화되어 표면에 대해 수직인 방향으로 배향된 c축을 가지고 있음을 알 수 있다. 도 14a에 도시된 바와 같이, 판 형상의 다결정을 포함하는 제1 산화물 결정층(501)이 하지 구성요소 위에 형성된다. 판 형상의 다결정은 InGaZnO_4 ($\text{In} : \text{Ga} : \text{Zn} : \text{O} = 1 : 1 : 1 : 4$)의 결정인 것이 바람직하다. 또한, 결정의 c축 방향은 막 두께 방향에 대응한다.

[0278] 도 15의 (a)의 샘플에서의 제1 In-Ga-Zn-O막은, 스퍼터링 장치에 의해, 산화물 반도체를 성막하기 위한 타겟 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [몰비], $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [원자비]))을 이용하여 기판 온도 200°C 및 성막 속도 4nm/min 의 조건하에서 성막되었다. 타겟의 재료 및 성분을 한정하지 않고, 예를 들면, In_2O_3 , Ga_2O_3 및 ZnO 를 $1 : 1 : 1$ [몰비]로 함유하는 타겟을 이용할 경우, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 다결정을 용이하게 획득할 수 있다.

[0279] $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정 구조는 In, Ga 및 Zn의 임의의 것을 포함하고, a축 및 b축에 평행한 층의 적층 구조를 갖는 것으로 고려될 수 있다. $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정의 전도성이 주로 In에 의해 제어되기 때문에, a축 및 b축에 평행한 방향으로 In을 함유하는 층의 전기 특성이 양호하다. $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정에 있어서, In의 전자 구름은 서로 중첩하고 서로 연결되어, 캐리어 통로가 형성된다.

[0280] 상기 타겟 대신에, In_2O_3 , Ga_2O_3 및 ZnO 를 $2 : 1 : 8$ [몰비]로 함유하는 금속 산화물 타겟을 이용할 수도 있다.

[0281] 또한, Ga를 포함하지 않고 In_2O_3 및 ZnO 를 $1 : 2$ [몰비]로 함유하는 금속 산화물 타겟을 이용할 수도 있다. 보텀-게이트 트랜지스터를 형성하는 경우, Ga의 산화물이 절연체이기 때문에, 제1 In-Ga-Zn-O막을 이용하는 경우에 비해서 In-Zn-O막을 이용할 때 보다 높은 전계 효과 이동도를 획득할 수 있다.

[0282] 또한, 제1 열처리에 의해 획득된 다결정층은 제2 열처리에 의해 다시 가열되어 향상된 결정성을 갖는 제3 산화물 결정층(503a)으로 된다.

[0283] 또한, 도 14c에 도시된 구조는, 하지 구성요소(500) 위에 접해서 제3 산화물 결정층(503a)이 제공되고 그 위에 제2 산화물 결정층(503b)이 적층된 2층 구조라고 말할 수 있다. 제1 산화물 결정층(501) 및 제2 산화물 반도체층(502)의 재료는, 표면에 수직인 방향으로 c축이 배향된 다결정을 획득할 수 있다면 특별히 제한되지 않는다. 제1 산화물 결정층(501) 및 제2 산화물 반도체층(502)의 재료는 상이할 수도 있고 또는 동일한 주성분을 함유할 수도 있다.

[0284] 동일한 주성분을 함유하는 산화물 반도체 재료를 이용하는 경우, 도 14c에서 점선으로 도시된 바와 같이, 제3 산화물 결정층(503a)과 제2 산화물 결정층(503b) 간의 경계는 불명료하므로, 제3 산화물 결정층(503a)과 제2 산화물 결정층(503b)은 하나의 층으로서 간주될 수 있음에 유의한다.

[0285] 이러한 방식으로, 제3 산화물 결정층(503a)과 제2 산화물 결정층(503b)의 적층으로 형성되는 다결정층은, 2회의 열처리로 야기되는 결정 성장에 의해 획득될 수 있다.

[0286] 도 14a에 있어서, 결정 방향이 비교적 배향되고 제1 산화물 반도체층의 표면 부분에 형성되는 다결정층의 결정 성장은 표면으로부터의 막 두께 방향으로 진행하고; 따라서, 하지 구성요소에 의해 영향받지 않고 다결정층이 형성될 수 있음에 유의한다.

[0287] 제2 In-Ga-Zn-O막의 성막 이후에, 질소 분위기에서 650°C , 6분간 열처리를 수행하고, 단면을 촬영하였다. 도 16의 (a)는 단면의 실제 TEM 사진이다. 그 개략도를 도 16의 (b)에 도시한다. 도 16의 (a)에서, 제2 In-Ga-Zn-O막 전체가 결정화된 상태를 확인할 수 있다. 또한, 제2 In-Ga-Zn-O막의 결정은 제2 In-Ga-Zn-O막의 표면에 수직인 방향으로 배향된 c축을 가지고 있음을 관찰할 수 있다. 게다가, 제2 열처리 후에도 절연층과 제1 In-Ga-Zn-O막 사이의 계면 근방이 결정화되지 않음을 또한 확인할 수 있다.

[0288] 제1 산화물 반도체층, 예를 들면, In-Ga-Zn-O막의 표면 부분에, 결정 방향이 비교적 배향된 결정층이 형성되는 메커니즘에 대해 설명한다. 열처리에 의해, In-Ga-Zn-O막에 포함되는 아연이 확산되고, 표면 근방에 모이고, 결정 성장의 종이 된다. 결정 성장시에, 결정은 가로 방향(표면에 평행한 방향)보다 깊이 방향(표면에 수직인 방향)에 있어서 더욱 성장하며; 따라서, 판 형상의 다결정층이 형성된다. 이들은, TDS 측정이 온도 450°C 까지 수행될 경우, In 및 Ga의 피크가 검출되지 않고 아연의 피크가 진공 가열 조건에서, 특히 300°C 정도에서 검출된다는 사실로부터 추측된다. TDS 측정은 진공에서 수행되고 아연은 200°C 정도의 온도에서 검출되는 것을 확인할 수 있음에 유의한다.

- [0289] 비교예로서, 샘플을 형성한다. 샘플은, 두께 50 nm인 In-Ga-Zn-O막을 형성하고 700℃에서 1시간 동안 가열을 실시하는 방식으로 형성된다. 샘플의 단면의 TEM 사진을 도 17의 (a)에 나타낸다. 그 개략도를 도 17의 (b)에 나타낸다. 도 17의 (a)의 TEM 사진은, 가속 전압 300 kV 및 고배율(200만배 배율)에서 고분해능 투과 전자 현미경(Hitachi, Ltd. 제조의 "H9000-NAR" : TEM)으로 촬영한 것임에 유의한다. 도 17의 (a)로부터, In-Ga-Zn-O막의 표면으로부터 깊이 약 5 nm까지의 영역이 결정화되고, In-Ga-Zn-O막 내에서 결정 방향이 배향되지 않은 복수의 결정 및 다수의 비정질 부분이 랜덤하게 존재하는 것을 확인할 수 있다. 따라서, In-Ga-Zn-O막을 50 nm로 큰 두께로 성막한 후에 650℃보다 높은 700℃에서 6분보다 긴 1시간 동안 열처리를 1회 실시하더라도, 전체적으로 결정 방향이 고도로 배향된 결정층을 획득하는 것은 어렵다.
- [0290] 이러한 결과로부터, 2회 성막을 수행하는 방식, 즉, 결정 성장의 종으로서 기능하는 다결정층을 형성하고, 그후 성막을 행하고, 그후 결정 성장을 수행하는 방식으로, 큰 두께를 갖는 다결정층을 형성할 수 있다고 말할 수 있다. 따라서, 이 명세서에 개시된 방법은 매우 유용하다는 것을 알 수 있다. 성막을 2회 수행하고 열처리를 2회 수행함으로써, 결정 방향이 고도로 배향된 결정층, 즉, 산화물 반도체층의 표면에 수직인 방향으로 c축이 배향된 두꺼운 다결정층을 획득할 수 있다.
- [0291] 금속 산화물, 통상적으로는 In-Ga-Zn-O막을 이용하여 형성된 장치는, 단결정 Si를 이용하여 형성된 장치, SiC를 이용하여 형성된 장치, 및 GaN을 이용하여 형성된 장치와는 전혀 다르다.
- [0292] 와이드 갭 반도체로서, SiC(3.26 eV), GaN(3.39 eV)가 알려져 있다. 하지만, SiC 및 GaN은 고가의 재료이다. 또한, SiC를 이용할 경우, 저저항 영역을 선택적으로 형성하기 위해 인 또는 알루미늄으로 도핑한 후에 활성화하기 위해 1700℃ 이상의 온도가 필요하게 된다. 또한, GaN의 에피택셜 성장을 수행하기 위해, 1200℃ 이상의 온도에서의 가열을 장시간 수행하는 에피택셜 성장 공정이 수행된다. 즉, SiC 또는 GaN을 이용할 경우, 1000℃ 이상의 공정 온도가 필요로 되고; 따라서, 유리 기판 위에 SiC 또는 GaN을 얇게 형성하는 것이 실질적으로 불가능하게 된다.
- [0293] 게다가, SiC 또는 GaN은 단결정뿐이다. 따라서, PN 접합에서의 제어가 요구되어 더욱 완벽한 단결정화가 필요로 된다. 따라서, 제조 공정에서 의도하지 않게 혼합된 소량의 불순물은 도너 또는 억셉터로서 기능하고; 따라서, 캐리어 밀도가 하한을 갖는다. 한편, 금속 산화물은 비정질 구조, 다결정 구조, 및 단결정 구조 중 임의의 구조를 가질 수 있다. 이것은, PN 접합에서의 제어를 이용하지 않고, ϕ_{MS} 대 $\chi_{os} + 1/2E_g^{OS}$ 및 ϕ_{MD} 대 $\chi_{os} + 1/2E_g^{OS}$ 로 각각 나타내지는 특성, 즉, 소스 및 드레인의 일함수(ϕ_{MS} 및 ϕ_{MD}), 금속 산화물의 전자 친화력(χ_{os}), 및 에너지 밴드 폭(E_g^{OS})의 특성을 활용함으로써 PN 접합의 제어와 동등한 밴드 제어가 수행되기 때문이다. 이것은 금속 산화물의 하나의 특징이다.
- [0294] 금속 산화물, 통상적으로는 In-Ga-Zn-O막은 단결정 실리콘의 밴드갭의 3배인 밴드갭을 가지며, SiC에 비교해서 낮은 제조 비용 때문에 저렴한 재료이다.
- [0295] In-Ga-Zn-O의 밴드갭은 3.05 eV이며, 이 값에 기초하여 진성 캐리어 밀도를 계산한다. 고체에서의 전자의 에너지 분포 $f(E)$ 는 다음 식으로 나타내지는 페르미-디랙 통계에 의존한다.

수학식 2

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)}$$

[0296]

[0297] 캐리어 밀도가 매우 높지 않은 (축퇴하지 않은) 통상의 반도체의 경우에, 다음의 관계식이 만족된다.

수학식 3

[0298]

$$|E - E_F| > kT$$

[0299]

따라서, 식 1의 페르미-디랙 분포는 다음의 식으로 표현되는 볼츠만 분포의 식으로 근사된다.

수학식 4

[0300]

$$f(E) = \exp\left[-\frac{E - E_F}{kT}\right]$$

[0301]

식 3을 이용하여 진성 캐리어 밀도(n_i)를 계산하면, 다음의 식을 획득할 수 있다.

수학식 5

[0302]

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2kT}\right)$$

[0303]

그후, Si 및 In-Ga-Zn-O의 실험 상태 밀도(N_c 및 N_v) 및 밴드갭(E_g)의 값을 식 4에 대입하여, 진성 캐리어 밀도를 계산하였다. 그 결과를 표 1에 나타낸다.

표 1

[0304]

	Si	IGZO
N_c (300K) [cm^{-3}]	2.8×10^{19}	5.0×10^{18}
N_v (300K) [cm^{-3}]	1.04×10^{19}	5.0×10^{18}
E_g (300K) [eV]	1.08	3.05
n_i (300K) [cm^{-3}]	1.45×10^{10}	1.2×10^{-7}

[0305]

In-Ga-Zn-O는 Si에 비해 매우 낮은 진성 캐리어 밀도를 갖는 것이 밝혀졌다. IGZO의 밴드갭으로서 3.05 eV의 값이 선택되는 경우, 진성 캐리어 밀도에 페르미-디랙 분포 법칙을 적용가능하다고 가정하면, Si의 캐리어 밀도가 In-Ga-Zn-O의 캐리어 밀도의 대략 10^{17} 배이라고 말할 수 있다.

[0306]

산화물 반도체의 경우에, 실온으로부터 400℃까지의 가열 온도에서의 스퍼터링법에 의해 산화물 반도체 박막이 형성될 수 있고, 최대 공정 온도는 850℃ 이상, 통상적으로는 450℃ 이상 700℃ 이하의 온도로 설정될 수 있다. 최대 공정 온도가 유리의 변형점 이하의 온도로 설정되는 경우에, 대면적의 유리 기판 위에 산화물 반도체 박막을 형성할 수 있다. 따라서, 공업화를 위해 최대 공정 온도가 850℃ 미만, 통상적으로는 450℃ 이상 700℃ 이하이고 밴드갭이 넓은 금속 산화물을 이용하는 것이 중요하다.

[0307]

또한, 3차원의 실리콘 집적 회로를 형성하는 경우에, 산화물 반도체의 공정 온도가 저부층(실리콘층)에서의 접속이 파괴되는 온도(1050℃) 미만이기 때문에, 실리콘 집적 회로 및 그 위의 산화물 반도체 회로를 포함하는 3차원 집적 회로를 달성할 수 있다.

[0308]

전술한 바와 같이, 본 발명을 이용하여, 우수한 특성을 가지며 새로운 구조를 갖는 반도체 장치를 실현할 수 있다.

- [0309] <변형예>
- [0310] 다음으로, 도 1a 및 도 1b, 도 2a 내지 도 2e, 그리고 도 3a 내지 도 3d에 도시된 반도체 장치의 변형예에 대해 도 4a 내지 도 4c, 도 5a 내지 도 5c, 그리고 도 6a 및 도 6b를 참조하여 설명한다. 도 4a 내지 도 4c, 도 5a 내지 도 5c, 그리고 도 6a 및 도 6b에 도시된 반도체 장치의 여러 구성요소는, 도 1a 및 도 1b, 도 2a 내지 도 2e, 그리고 도 3a 내지 도 3d에 도시된 반도체 장치의 구성요소와 공통이기 때문에; 차이점에 대해서만 설명하는 것에 유의한다.
- [0311] 도 4a에 도시된 트랜지스터(150)는 함몰부(홈부)를 갖는 산화물 반도체층(106a)을 포함한다. 함몰부는, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 형성할 때에 에칭에 의해 형성된다. 따라서, 함몰부는, 게이트 전극층(114)과 중첩하는 영역에 형성된다. 함몰부, 채널 형성 영역에서의 반도체층의 두께를 감소시킬 수 있고, 이에 따라 단채널 효과의 억제에 기여한다.
- [0312] 도 4b에 도시된 트랜지스터(150)는, 고순도 결정 영역(110)을 포함하는 산화물 반도체층(106a)을 포함한다. 고순도 결정 영역(110)은 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 형성한 후에 제3 열처리에 의해 형성됨에 유의한다. 따라서, 고순도 결정 영역(110)은, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극(108b)의 어느 것과도 중첩하지 않고, 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 형성된다. 여기서, 고순도 결정 영역(110)은 제2 산화물 반도체층(106a)의 다른 영역보다 높은 결정성을 갖는 영역이다. 고순도 결정 영역(110)을 포함함으로써, 제2 산화물 반도체층(106a)은 보다 높은 전기적인 이방성을 가질 수 있고, 반도체 장치의 전기 특성을 향상시킬 수 있다.
- [0313] 도 4c에 도시된 트랜지스터(150)는 함몰부(홈부)를 갖는 산화물 반도체층(106a)을 포함하고, 또한 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 어느 것과도 중첩하지 않고 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 고순도 결정 영역(110)을 포함한다. 즉, 도 4c에 도시된 트랜지스터는 도 4a의 트랜지스터(150)의 특징과 도 4b의 트랜지스터(150)의 특징을 겸비하고 있다. 이 구조로부터 야기되는 효과는 도 4a 및 도 4b의 경우에 야기되는 효과와 유사하다.
- [0314] 도 5a에 도시된 트랜지스터(150)는, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b) 위에, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 실질적으로 동일한 형상을 갖는 절연층(109a) 및 절연층(109b)을 포함한다. 이 경우에, 소스 및 드레인 전극층과 게이트 전극층 간의 용량(소위 게이트 용량)을 저감할 수 있는 이점이 있다. 이 명세서에 있어서, 표현 "실질적으로 동일"은 엄밀한 의미에서의 "정확하게 동일"을 반드시 의미할 필요가 없으며, 동일하다고 고려된다는 의미를 포함함에 유의한다. 예를 들면, 단일의 에칭 처리에 의해 이루어지는 차이는 허용가능하다. 또한, 두께는 동일할 필요가 없다.
- [0315] 도 5b에 도시된 트랜지스터(150)는, 함몰부(홈부)를 갖는 산화물 반도체층(106a)을 포함하고, 또한 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b) 위에, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 실질적으로 동일한 형상을 갖는 절연층(109a) 및 절연층(109b)을 포함한다. 즉, 도 5a에 도시된 트랜지스터는 도 4a의 트랜지스터(150)의 특징과 도 5a의 트랜지스터(150)의 특징을 겸비하고 있다. 이 구조로부터 야기되는 효과는 도 4a 및 도 5a의 경우에 야기되는 효과와 유사하다.
- [0316] 도 5c에 도시된 트랜지스터(150)는, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극(108b)의 어느 것과도 중첩하지 않고, 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에, 고순도 결정 영역(110)을 형성하고, 도 5c에 도시된 트랜지스터(150)는, 또한 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b) 위에, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 실질적으로 동일한 형상을 갖는 절연층(109a) 및 절연층(109b)을 포함한다. 즉, 도 5c에 도시된 트랜지스터(150)는 도 4b의 트랜지스터(150)의 특징과 도 5a의 트랜지스터(150)의 특징을 겸비하고 있다. 이 구조로부터 야기되는 효과는 도 4b 및 도 5a의 경우에 야기되는 효과와 유사하다.
- [0317] 도 6a에 도시된 트랜지스터(150)는, 단층 구조를 각각 갖는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 포함한다. 구체적으로, 예를 들면, 티탄층의 단층 구조를 채용할 수 있다. 소스 및 드레인 전극층이 단층 구조를 갖는 경우에, 적층 구조를 채용하는 경우와 비교해서, 에칭에 의해 양호한 테이퍼링된 형상을 획득할 수 있다.
- [0318] 도 6b에 도시된 트랜지스터(150)는, 소스 또는 드레인 전극층(108a)이 산화물 반도체층(106a)과 접하는 영역에 산소를 추출하는 능력이 낮은 재료(낮은 산소 친화력을 갖는 재료)로 형성된 도전층(107a)을 포함하고, 또한 소스 또는 드레인 전극층(108b)이 산화물 반도체층(106a)과 접하는 영역에 산소를 추출하는 능력이 낮은 재료로

형성된 도전층(107b)을 포함한다. 산소를 추출하는 능력이 낮은 재료를 갖는 도전층에 의하면, 산소의 추출에 의한 산화물 반도체층에서의 n-형으로의 변화가 방지될 수 있고; 따라서, 산화물 반도체층의 n-형으로의 불균일한 변화 등에 의해 야기되는 트랜지스터 특성에 대한 악영향을 억제할 수 있다.

[0319] 도 6b에서는 2층 구조를 갖는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 채용하고 있지만; 본 발명의 실시 형태는 이러한 구조에 한정되지 않는다는 점에 유의한다. 이러한 전극층들은, 산소를 뽑아 추출하는 능력이 낮은 재료로 형성된 도전층의 단층 구조, 또는 3층 이상의 적층 구조를 가질 수도 있다. 단층 구조의 경우에, 예를 들면, 질화 티탄막의 단층 구조를 채용할 수 있다. 적층 구조의 경우에, 예를 들면, 질화 티탄막과 티탄막의 2층 구조를 채용할 수 있다.

[0320] 도 28a에 도시된 트랜지스터(150)는, 하부에 비정질이 잔류하는 제1 산화물 반도체층(104a)을 포함한다. 여기서, 도 28a의 제1 산화물 반도체층(104a)을 포함하는 영역의 확대도를 도 28b에 도시한다. 도 28b에 도시된 바와 같이, 제1 산화물 반도체층(104a)은, 하부의 비정질 영역(104aa) 및 상부의 결정 영역(104ab)을 포함하는 특징을 갖는다. 트랜지스터(150)의 채널 형성 영역으로서 기능하는 결정 영역의 아래에 비정질 영역이 잔류하여, 결정 영역에 흐르는 캐리어가 절연층(102)과 제1 산화물 반도체층(104a) 사이의 계면에 직접 영향을 받지 않도록 되기 때문에 바람직하다.

[0321] 도 29는 반도체 장치의 구성의 일례를 도시하는 단면도이다. 도 29에 도시된 반도체 장치는, 하부에 산화물 반도체 이외의 재료(예를 들면, 실리콘)를 포함하는 트랜지스터(250)와, 상부에 산화물 반도체를 포함하는 트랜지스터(150)를 포함한다. 산화물 반도체를 포함하는 트랜지스터(150)는 도 1a에 도시된 트랜지스터(150)이다. 트랜지스터(250 및 150)는 여기서 n-채널 트랜지스터이지만, p-채널 트랜지스터를 채용할 수도 있음에 유의한다. 특히, 트랜지스터(250)로서 p-채널 트랜지스터를 이용하는 것이 용이하다.

[0322] 트랜지스터(250)는 반도체 재료를 함유하는 기관(200)에 제공된 채널 형성 영역(216), 채널 형성 영역(216)을 사이에 두고 형성된 불순물 영역(214)과 고농도 불순물 영역(220)(단순히 불순물 영역이라 통칭함), 채널 형성 영역(216) 위의 게이트 절연층(208a), 게이트 절연층(208a) 위의 게이트 전극층(210a), 및 불순물 영역(214)에 전기적으로 접속된 소스 또는 드레인 전극층(230a 및 230b)을 포함한다(도 29 참조).

[0323] 여기서, 게이트 전극층(210a)의 측면에 측벽 절연층(218)이 형성된다. 위에서 볼 때 측벽 절연층(218)과 중첩하지 않는 기관(200)의 영역에 고농도 불순물 영역(220)이 제공된다. 고농도 불순물 영역(220)과 접하는 금속 화합물 영역(224)이 제공된다. 기관(200) 위에 트랜지스터(250)를 둘러싸도록 소자 분리 절연층(206)이 형성된다. 트랜지스터(250)를 피복하도록 층간 절연층(226) 및 층간 절연층(228)이 제공된다. 소스 또는 드레인 전극층(230a) 및 소스 또는 드레인 전극층(230b)은, 층간 절연층(226), 층간 절연층(228) 및 절연층(234)에 형성된 개구를 통해서 금속 화합물 영역(224)에 전기적으로 접속된다. 즉, 소스 또는 드레인 전극층(230a) 및 소스 또는 드레인 전극층(230b)은, 금속 화합물 영역(224)을 통해서 고농도 불순물 영역(220) 및 불순물 영역(214)에 전기적으로 접속된다.

[0324] 트랜지스터(150)는, 절연층(102) 위에 제공된 산화물 반도체층(106a), 산화물 반도체층(106a) 위에 제공되고 산화물 반도체층(106a)에 전기적으로 접속된 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b), 산화물 반도체층(106a), 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 피복하도록 제공된 게이트 절연층(112), 그리고 게이트 절연층(112) 위에서 산화물 반도체층(106a)과 중첩하는 영역에 형성된 게이트 전극층(114)을 포함한다(도 29 참조).

[0325] 또한, 트랜지스터(150) 위에는 층간 절연층(116) 및 층간 절연층(118)이 제공되어 있다. 게이트 절연층(112), 층간 절연층(116) 및 층간 절연층(118)에는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)에 도달하는 개구가 형성되어 있다. 각각의 개구를 통해서, 전극(254d) 및 전극(254e)이, 각각, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)에 접해서 형성되어 있다. 전극(254d 및 254e)과 유사한 방식으로, 게이트 절연층(112), 층간 절연층(116) 및 층간 절연층(118)에 제공된 개구를 통해서, 전극(236a), 전극(236b) 및 전극(236c)에 접하는 전극(254a), 전극(254b) 및 전극(254c)이 형성되어 있다.

[0326] 여기서, 산화물 반도체층(106a)은 수소와 같은 불순물을 충분히 제거하고 산소를 공급함으로써 순도화된 산화물 반도체층인 것이 바람직하다. 구체적으로, 산화물 반도체층(106a)의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하이다. 수소 농도를 충분히 감소시키고 산소를 공급함으로써 순도화된 산화물 반도체층(106a)은, 일반적인 실리콘 웨이퍼(인 또는 붕소와 같은 불순물 원소가 약간

첨가된 실리콘 웨이퍼)의 캐리어 밀도(대략 $1 \times 10^{14} / \text{cm}^3$ 정도)보다 충분히 낮은 캐리어 밀도(예를 들면, $1 \times 10^{12} / \text{cm}^3$ 미만, 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 이하)를 가짐에 유의한다. 이러한 i-형 또는 실질적으로 i-형 산화물 반도체를 이용하여 매우 우수한 오프 전류 특성을 갖는 트랜지스터(150)를 획득할 수 있다. 예를 들면, 드레인 전압 V_d 가 +1 V 또는 +10 V 이며 게이트 전압 V_g 가 -20 V 내지 -5 V의 범위로 설정되는 경우, 오프 전류는 1×10^{-13} A 이하이다. 전술한 바와 같이 수소 농도가 충분히 저감되어 순도화된 산화물 반도체층(106a)을 이용하여, 트랜지스터(150)의 오프 전류를 저감하고, 이에 따라 새로운 구조를 갖는 반도체 장치를 실현할 수 있다. 상기 산화물 반도체층(106a)의 수소 농도는 2차 이온 질량 분석법(SIMS)으로 측정된 것임에 유의한다.

[0327] 산화물 반도체층에 포함된 산화물 반도체는, 비-단결정 구조를 갖는다면 특별히 한정되지 않음에 유의한다. 예를 들면, 비정질 구조, 미결정 구조(나노결정 구조 등을 또한 포함함), 다결정 구조, 비정질 구조에 미결정 또는 다결정이 포함된 구조, 또는 비정질 구조의 표면에 미결정 또는 다결정이 형성된 구조와 같은 다양한 구조를 채용할 수 있다.

[0328] 층간 절연층(118) 위에는 절연층(256)이 제공된다. 절연층(256)에 임베딩되도록, 전극(258a), 전극(258b), 전극(258c) 및 전극(258d)이 제공된다. 전극(258a)은 전극(254a)과 접하고 있다. 전극(258b)은 전극(254b)과 접하고 있다. 전극(258c)은 전극(254c) 및 전극(254d)과 접하고 있다. 전극(258d)은 전극(254e)과 접하고 있다. 전극(258a), 전극(258b), 전극(258c) 및 전극(258d)의 일부에 구리를 함유하는 재료를 이용하는 것이 바람직하다. 전극(258a), 전극(258b), 전극(258c) 및 전극(258d)의 일부에 구리를 함유하는 재료를 이용하는 경우에, 도전성이 증대될 수 있다.

[0329] 즉, 트랜지스터(150)의 소스 또는 드레인 전극층(108a)은 전극(230c), 전극(236c), 전극(254c), 전극(258c), 및 전극(254d)을 통해서 다른 요소(산화물 반도체 이외의 재료를 포함하는 트랜지스터와 같은 것)에 전기적으로 접속되어 있다(도 29 참조). 또한, 트랜지스터(150)의 소스 또는 드레인 전극층(108b)은 전극(254e) 및 전극(258d)을 통해서 다른 요소에 전기적으로 접속되어 있다. 접속 전극(전극(230c), 전극(236c), 전극(254c), 전극(258c) 및 전극(254d)과 같은 것)의 구조는 상기 구조에 한정되지 않고, 적절한 추가, 생략 등이 가능함에 유의한다.

[0330] 상기에서 통상적인 접속 관계의 예가 주어졌지만, 본 발명의 실시 형태는 그 예에 한정되지 않는다. 예를 들면, 트랜지스터(250)의 게이트 전극층(210a) 및 트랜지스터(150)의 소스 또는 드레인 전극층(108a)이 서로 전기적으로 접속될 수도 있다.

[0331] 전술한 바와 같이, 본 발명의 실시 형태는 다양한 방식으로 변형될 수 있다. 또한, 변형예는 상기 서술된 변형예에 한정되지 않는다. 예를 들면, 도 4a, 도 4b, 도 4c, 도 5a, 도 5b, 도 5c, 도 6a, 도 6b, 도 28a 및 도 28b, 그리고 도 29의 구조는 다른 변형예로서 적절히 조합될 수도 있다. 이 명세서 등에서의 기재의 범위 내에서 추가, 생략 등이 가능하다는 것은 말할 필요도 없다.

[0332] 이 실시 형태에 기재된 구조, 방법 등은, 다른 실시 형태들에 기재된 임의의 구조, 방법 등과 적절히 조합될 수 있다.

[0333] (실시 형태 2)

[0334] 본 실시 형태에 있어서, 상기 실시 형태의 반도체 장치와는 상이한 구조를 갖는 반도체 장치 및 그 제조 방법에 대해, 도 7a 및 도 7b, 도 8a 내지 도 8d, 도 9a 내지 도 9c, 도 10a 내지 도 10c, 도 11a 내지 도 11c, 그리고 도 12a 내지 도 12c를 참조하여 설명한다. 이 실시 형태에 기재된 구조는 상기 실시 형태에 기재된 구조와 많은 점에서 공통되기 때문에; 이하에서는 주로 차이점에 대해서만 설명함에 유의한다.

[0335] <반도체 장치의 구조>

[0336] 도 7a 및 도 7b는 반도체 장치의 구조의 일례인 트랜지스터(150)를 도시하는 단면도이다.

[0337] 도 1a 및 도 1b의 구조와의 차이점은, 제1 산화물 반도체층(104a)의 아래에 게이트 전극층(101a)이 존재한다는 점이다. 즉, 도 7a 및 도 7b에 도시된 트랜지스터(150)는, 기판(100) 위의 게이트 전극층(101a), 게이트 전극층(101a)을 피복하는 절연층(102), 절연층(102) 위에 제공된 제1 산화물 반도체층(104a), 제1 산화물 반도체층(104a) 위에 제공된 제2 산화물 반도체층(106a), 제2 산화물 반도체층(106a)에 전기적으로 접속되는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b), 제2 산화물 반도체층(106a), 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 피복하는 게이트 절연층(112), 그리고 게이트 절연층(112) 위의 게

이트 전극층(114)을 포함한다(도 7a 및 도 7b 참조). 여기서, 절연층(102)은 또한 게이트 절연층으로서 기능한다.

[0338] 또한, 트랜지스터(150) 위에는 층간 절연층(116) 및 층간 절연층(118)이 제공된다. 층간 절연층(116) 및 층간 절연층(118)은 필수 구성요소는 아니며 적절히 생략될 수도 있음에 유의한다.

[0339] 실시 형태 1에 기재된 바와 같이, 제1 산화물 반도체층(104a)은, 표면을 포함하는 영역에 결정 영역을 포함하고, 제2 산화물 반도체층(106a)은, 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된다.

[0340] 도 7a 및 도 7b에 도시된 게이트 전극층(101a)은 소위 백 게이트로서 기능할 수 있다. 백 게이트의 전위는, 고정 전위, 예를 들면 0V 또는 접지 전위일 수 있고, 적절히 결정될 수도 있다. 또한, 산화물 반도체층의 위 및 아래에 게이트 전극을 제공하는 것에 의해, 박막 트랜지스터의 신뢰성을 검사하기 위한 바이어스-온도 스트레스 시험(이하, BT 시험이라고 함)에 있어서, BT 시험에 있어서의 박막 트랜지스터의 임계 전압의 변화량을 저감할 수 있다. 즉, 산화물 반도체층의 위 및 아래에 게이트 전극을 제공하는 것은 신뢰성을 향상할 수 있다. 게다가, 백 게이트에 인가되는 게이트 전압을 제어함으로써, 임계 전압을 제어할 수 있다. 임계 전압이 양이 되도록 설정함으로써, 트랜지스터는 인헨스먼트형 트랜지스터로서 기능할 수 있다. 대안으로서, 임계 전압을 음이 되도록 설정함으로써, 트랜지스터는 디플리션형 트랜지스터로서 기능할 수 있다. 예를 들면, 인헨스먼트형 트랜지스터와 디플리션형 트랜지스터의 조합을 포함하는 인버터 회로(이하, 이 회로를 EDMOS 회로라고 함)가 형성되어 구동 회로에 이용될 수 있다. 구동 회로는, 적어도 논리 회로부, 및 스위치부 또는 버퍼부를 포함한다. 논리 회로부는 상기 서술된 EDMOS 회로를 포함하는 회로 구조를 갖는다.

[0341] 산화물 반도체층에 있어서, 절연층(102)의 단차와 중첩하는 영역은 결정립계를 포함하고 다결정이다. 산화물 반도체층에서 채널 형성 영역으로서 기능하는 영역은 적어도 평탄면을 갖는다. 제1 산화물 반도체층과 제2 산화물 반도체층은 다결정이고, 제1 산화물 반도체층의 c축과 제2 산화물 반도체층의 c축은 동일한 방향으로 배향되어 있다. 제2 산화물 반도체층의 표면의 높이 변동은, 게이트 전극층과 중첩하는 영역(채널 형성 영역)에 있어서 1 nm 이하(바람직하게는 0.2 nm 이하)인 것이 바람직하다.

[0342] 구조적 요소들의 상세에 대해서는, 상기 실시 형태를 참조할 수 있으며 그 설명을 생략한다.

[0343] 도 7a 및 도 7b에 도시된 구조와 같이, 순도화된 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 제2 산화물 반도체층(106a)을 이용함으로써, 양호한 전기 특성을 갖는 반도체 장치를 실현할 수 있다.

[0344] 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a)이 동일한 재료를 이용하여 형성되는 경우(즉, 호모에피택시의 경우), 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a) 간의 경계를 식별할 수 없게 될 수도 있다. 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a)이 하나의 층이라고 간주될 수 있는 경우가 있다(도 7a 참조).

[0345] 대안으로서, 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a)이 상이한 재료를 이용하여 형성될 수도 있다(도 7b 참조). 제1 산화물 반도체층(104a)과 제2 산화물 반도체층(106a)이 상이한 재료를 이용하여 형성되는 경우(즉, 헤테로에피택시의 경우), 예를 들면, 제1 산화물 반도체층(104a)이 2-성분 금속 산화물인 In-Zn-O계 재료를 이용하여 형성될 수 있고, 제2 산화물 반도체층(106a)이 3-성분 금속 산화물인 In-Ga-Zn-O계 재료를 이용하여 형성될 수 있다.

[0346] 제2 산화물 반도체층(106a)은 비교적 안정하므로, 제2 산화물 반도체층으로의 불순물(예를 들면, 수분)의 침입을 억제할 수 있다. 따라서, 제2 산화물 반도체층(106a)의 신뢰성을 향상시킬 수 있다.

[0347] 게다가, 소위 백 게이트인 게이트 전극층(101a)을 포함하는 것에 의해, 트랜지스터(150)의 전기 특성을 용이하게 제어할 수 있다. 게이트 전극층(114)에 인가되는 전위와 동일한 전위 또는 상이한 전위를 게이트 전극층(101a)에 인가할 수도 있음에 유의한다. 대안으로서, 게이트 전극층(101a)은 플로팅 상태에 있을 수도 있다.

[0348] <반도체 장치의 제조 방법>

[0349] 다음으로, 반도체 장치의 구조의 일례인 트랜지스터(150)의 제조 방법에 대해 도 8a 내지 도 8d, 도 9a 내지 도 9c, 및 도 10a 내지 도 10c를 참조하여 설명한다.

[0350] 먼저, 기판(100) 위에 도전층(101)을 형성한다(도 8a 참조). 기판(100)의 상세에 대해서는, 상기 실시 형태를

참조할 수 있으며 그 설명을 생략한다.

- [0351] 도전층(101)은 스퍼터링법과 같은 PVD법 또는 플라즈마 CVD법과 같은 CVD법에 의해 형성될 수 있다. 도전층(101)은, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴 및 텅스텐으로부터 선택된 원소, 이들 원소 중 어느 원소를 성분으로서 포함하는 합금 등을 이용하여 형성될 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨 중 하나 이상을 포함하는 재료를 이용할 수도 있다. 알루미늄과, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소를 포함하는 재료를 이용할 수도 있다.
- [0352] 도전층(101)은 또한 도전성 금속 산화물을 이용하여 형성될 수도 있다. 도전성 금속 산화물로서는, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐-산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 몇몇 경우에는 ITO로 약기함), 산화 인듐-산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 이들 금속 산화물 재료에 실리콘 또는 산화 실리콘을 포함시킨 어느 재료를 이용할 수 있다.
- [0353] 도전층(101)은 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 본 발명의 실시 형태에 있어서, 도전층(101)의 형성 이후에 비교적 고온에서의 열처리가 수행되기 때문에, 도전층(101)은 내열성이 높은 재료를 이용하여 형성되는 것이 바람직하다. 내열성이 높은 재료로서는, 예를 들면, 티탄, 탄탈, 텅스텐, 몰리브덴 등이 주어질 수 있다. 불순물 원소의 첨가에 의해 도전성이 증가된 폴리실리콘 등을 또한 이용할 수 있다.
- [0354] 다음으로, 도전층(101)을 선택적으로 에칭하여 게이트 전극층(101a)을 형성하고, 게이트 전극층(101a)을 피복하는 절연층(102)을 형성한다(도 8b 참조).
- [0355] 에칭에 이용되는 마스크 형성시의 노광에 대해, 자외선, KrF 레이저 광 또는 ArF 레이저 광을 이용하는 것이 바람직하다. 특히, 채널 길이(L)가 25 nm 미만인 경우의 노광에 대해, 마스크 형성을 위한 노광은, 파장이 수 nm 내지 수십 nm로 파장이 매우 짧은 극자외선 광으로 수행되는 것이 바람직하다. 극자외선 광을 이용한 노광은 고 해상도 및 큰 초점 심도의 특징을 가지므로, 미세화에 적합하다.
- [0356] 게이트 전극층(101a)은 소위 백 게이트이다. 게이트 전극층(101a)의 존재로 인해, 산화물 반도체층(106a)에서의 전계를 제어할 수 있고, 이에 따라 트랜지스터(150)의 전기 특성을 제어할 수 있다. 게이트 전극층(101a)은 다른 배선, 전극 등에 전기적으로 접속되어 게이트 전극층(101a)에 전위가 인가되도록 할 수도 있고, 또는 절연되어 플로팅 상태에 있도록 할 수도 있다는 점에 유의한다.
- [0357] "게이트 전극"은 통상 전위를 의도적으로 제어할 수 있는 게이트 전극을 의미하지만; 이 명세서에서의 "게이트 전극"은 또한 전위를 의도적으로 제어하지 않는 게이트 전극도 의미한다. 예를 들면, 전술한 바와 같이 절연되어 플로팅 상태에 있는 도전층은, 몇몇 경우에 "게이트 전극층"이라고 불린다.
- [0358] 절연층(102)은 하지로서 기능할 뿐만 아니라 게이트 절연층으로서 기능한다. 절연층(102)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 절연층(102)은, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 hafnium, 산화 탄탈 등을 포함하도록 형성되는 것이 바람직하다. 절연층(102)은 단층 구조 또는 적층 구조를 가질 수도 있음에 유의한다. 절연층(102)의 두께는 특별히 제한되지 않고; 예를 들면, 절연층(102)은 10 nm 이상 500 nm 이하의 두께를 가질 수 있다.
- [0359] 절연층(102)에 수소, 물 등이 함유되면, 수소가 산화물 반도체층에 침입하거나 또는 산화물 반도체층으로부터 산소를 추출할 수도 있고, 이에 따라 트랜지스터의 특성이 악화될 수도 있다. 따라서, 절연층(102)이 가능한 한 수소 또는 물을 포함하지 않게 형성하는 것이 바람직하다.
- [0360] 예를 들면, 스퍼터링법 등을 이용하는 경우에, 처리 챔버 내에 잔류하는 수분을 제거한 상태로 절연층(102)을 형성하는 것이 바람직하다. 처리 챔버 내에 잔류하는 수분을 제거하기 위해서는, 크라이오펌프, 이온 펌프 또는 티탄 승화 펌프와 같은 흡착형 진공 펌프를 이용하는 것이 바람직하다. 콜드 트랩을 구비한 터보 펌프를 이용할 수도 있다. 크라이오펌프 등을 이용하여 배기된 처리 챔버로부터, 수소, 물 등이 충분히 제거되고; 따라서, 절연층(102) 내의 불순물의 농도를 저감할 수 있다.
- [0361] 절연층(102)이 형성되는 경우, 수소 또는 물과 같은 불순물이, 그 농도가 단위 "ppm"(바람직하게는, "ppb")으로 표현되는 값 정도까지 저감되도록 감소된 고순도 가스를 이용하는 것이 바람직하다.
- [0362] 절연층(102)은 게이트 절연층(112)과 유사하게 높은 품질이 요구된다. 따라서, 절연층(102)은 게이트 절연층(112)에 채용될 수 있는 방법으로 형성되는 것이 바람직하다. 그 상세에 대해서는, 상기 실시 형태를 참조할 수 있으며 그 설명을 생략한다.

- [0363] 다음으로, 절연층(102) 위에 제1 산화물 반도체층(104)을 형성하고, 제1 열처리를 수행하여 적어도 제1 산화물 반도체층의 표면을 포함하는 영역을 결정화하고, 이에 따라 제1 산화물 반도체층(104)을 형성한다(도 8c 참조). 제1 산화물 반도체층의 형성 방법, 제1 열처리의 조건 및 제1 산화물 반도체층(104)의 상세에 대해서는, 상기 실시 형태를 참조할 수 있으며 그 설명을 생략한다.
- [0364] 제1 산화물 반도체층(104)에 있어서, 게이트 절연층의 단차와 중첩하는 영역은 결정립계를 포함하고 다결정이다. 제1 산화물 반도체층(104)에서 채널 형성 영역으로서 기능하는 영역은 적어도 평탄면을 갖는다. 제1 산화물 반도체층 및 제2 산화물 반도체층은 다결정이고, 제1 산화물 반도체층의 c축 및 제2 산화물 반도체층의 c축은 동일한 방향으로 배향된다.
- [0365] 다음으로, 적어도 표면을 포함하는 영역에 결정 영역을 포함하는 제1 산화물 반도체층(104) 위에 제2 산화물 반도체층을 형성하고, 제2 열처리를 수행하여 제1 산화물 반도체층(104)의 결정 영역을 종으로서 이용하여 결정 성장시킨다. 따라서, 제2 산화물 반도체층(106)을 형성한다(도 8d 참조). 제2 산화물 반도체층의 형성 방법, 제2 열처리의 조건 및 제2 산화물 반도체층(106)의 상세에 대해서는, 상기 실시 형태를 참조할 수 있으며 그 설명을 생략한다.
- [0366] 다음으로, 마스크를 이용한 에칭과 같은 방법에 의해 제1 산화물 반도체층(104) 및 제2 산화물 반도체층(106)을 처리하고; 따라서, 섬 형상의 제1 산화물 반도체층(104a) 및 섬 형상의 제2 산화물 반도체층(106a)을 형성한다(도 9a 참조). 여기서, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)은 게이트 전극층(101a)과 중첩하는 영역에 형성된다는 점에 유의할 필요가 있다. 상세에 대해서는, 상기 실시 형태를 참조할 수 있다.
- [0367] 다음으로, 제2 산화물 반도체층(106a)에 접하도록 도전층(108)을 형성한다(도 9b 참조). 도전층(108)을 선택적으로 에칭하여 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 형성한다(도 9c 참조). 도전층(108), 소스 또는 드레인 전극층(108a), 소스 또는 드레인 전극층(108b), 에칭 단계, 및 그 외의 상세에 대해서는, 상기 실시 형태를 참조할 수 있다.
- [0368] 하나의 특징은, 도 9c에 도시된 바와 같이 게이트 전극층(101a)이 소스 또는 드레인 전극층(108a)(또는 소스 또는 드레인 전극층(108b))과 중첩하는 영역을 포함한다는 점이다. 게이트 전극층(101a)은 소스 또는 드레인 전극층(108a)의 에지부와 절연층(102)의 단차 사이의 영역, 즉, 소스 또는 드레인 전극층(108a)의 에지부와 단면에 있어서 게이트 절연층의 평탄면이 테이퍼링된 부분의 표면으로 변화되는 지점 사이의 영역(여기서, 도 9c에서 L_{ov} 영역)을 포함한다. L_{ov} 영역은, 게이트 전극층의 에지부의 단차로 인해 발생하는 결정립계에 캐리어가 흐르는 것을 방지하는 관점에서 중요하다.
- [0369] 다음으로, 상기 실시 형태와 유사한 방식으로, 제2 산화물 반도체층(106a)에 열처리(제3 열처리)를 수행할 수도 있다. 제3 열처리에 의해, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 어느 것이라도 중첩하지 않고 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 고순도 결정 영역이 형성된다. 고순도 결정 영역의 예어리어는, 제2 산화물 반도체층(106a)의 재료, 열처리의 조건 등에 의존하여 변동된다. 예를 들면, 고순도 결정 영역은 제2 산화물 반도체층(106a)의 하부 계면까지 확장될 수 있다. 제3 열처리 및 그 외의 상세에 대해서는, 상기 실시 형태를 참조할 수 있다.
- [0370] 다음으로, 공기에 노출시키지 않고 제2 산화물 반도체층(106a)의 일부에 접하는 게이트 절연층(112)을 형성한다(도 10a 참조). 그 후, 게이트 절연층(112) 위의 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)과 중첩하는 영역에 게이트 전극층(114)을 형성한다(도 10b 참조). 그 후, 게이트 절연층(112) 및 게이트 전극층(114) 위에 층간 절연층(116) 및 층간 절연층(118)을 형성한다(도 10c 참조). 상기 서술된 단계의 상세에 대해서는, 상기 실시 형태를 참조할 수 있다.
- [0371] 이 실시 형태에 기재된 방법을 이용하여, 제1 산화물 반도체층(104a)의 결정 영역으로부터의 결정 성장에 의해 형성된 제2 산화물 반도체층(106a)을 형성할 수가 있고; 따라서, 양호한 전기 특성을 갖는 반도체 장치를 실현할 수 있다.
- [0372] 이 실시 형태에 기재된 방법을 이용하여, 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)에서의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하이고, 트랜지스터의 오프 전류는 1×10^{-13} A 이하이다. 수소 농도의 충분한 저감 및 산소의 공급에 의해 순도화된 제1 산화물 반도체층(104a) 및 제2 산화물 반도체층(106a)을 이용하기 때문에, 우수한 특성을 갖는 반도체 장치를 실현할 수 있다.
- [0373] 게다가, 소위 백 게이트로서 기능하는 게이트 전극층을 갖는 것에 의해, 반도체 장치의 전기적 특성을 용이하게

제어할 수 있다.

[0374] 전술한 바와 같이, 본 발명을 이용하여, 우수한 특성을 갖는 새로운 구조의 반도체 장치를 실현할 수 있다.

[0375] <변형예>

[0376] 다음으로, 도 7a 및 도 7b, 도 8a 내지 도 8d, 도 9a 내지 도 9c, 그리고 도 10a 내지 도 10c에 도시된 반도체 장치의 변형예에 대해 도 11a 내지 도 11c, 도 12a 내지 도 12c, 그리고 도 13을 참조하여 설명한다. 도 11a 내지 도 11c, 도 12a 내지 도 12c, 그리고 도 13에 도시된 반도체 장치의 여러 구성요소는 도 7a 및 도 7b, 도 8a 내지 도 8d, 도 9a 내지 도 9c, 그리고 도 10a 내지 도 10c에 도시된 반도체 장치와 공통이기 때문에, 차이점에 대해서만 설명한다.

[0377] 도 11a에 도시된 트랜지스터(150)는 함몰부(홈부)를 갖는 산화물 반도체층(106a)을 포함한다. 함몰부는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 형성할 때에 에칭에 의해 형성된다. 따라서, 함몰부는 게이트 전극층(114)과 중첩하는 영역에 형성된다. 함몰부는 채널 형성 영역에서의 반도체층의 두께를 감소시킬 수 있고, 이에 따라 단채널 효과의 억제에 기여한다.

[0378] 도 11b에 도시된 트랜지스터(150)는 고순도 결정 영역(110)을 포함하는 산화물 반도체층(106a)을 포함한다. 고순도 결정 영역(110)은 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 형성한 후에 제3 열처리에 의해 형성됨에 유의한다. 따라서, 고순도 결정 영역(110)은, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 어느 것과도 중첩하지 않고 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 형성된다. 여기서, 고순도 결정 영역(110)은, 제2 산화물 반도체층(106a)의 다른 영역보다 높은 결정성을 갖는 영역이다. 고순도 결정 영역(110)을 포함함으로써, 제2 산화물 반도체층(106a)은 보다 높은 전기적인 이방성을 가질 수 있고, 반도체 장치의 전기 특성을 증대시킬 수 있다.

[0379] 도 11c에 도시된 트랜지스터(150)는 함몰부(홈부)를 갖는 산화물 반도체층(106a)을 포함하고, 또한 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 어느 것과도 중첩하지 않고 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 고순도 결정 영역(110)을 포함한다. 즉, 도 11c에 도시된 트랜지스터는 도 11a의 트랜지스터(150)의 특징과 도 11b의 트랜지스터(150)의 특징을 겸비하고 있다. 이 구조로부터 야기되는 효과는 도 11a 및 도 11b의 경우에 야기되는 효과와 유사하다.

[0380] 도 12a에 도시된 트랜지스터(150)는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b) 위에, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 실질적으로 동일한 형상을 갖는 절연층(109a) 및 절연층(109b)을 포함한다. 이 경우에, 소스 및 드레인 전극층과 게이트 전극층 간의 용량(소위 게이트 용량)을 저감할 수 있는 이점이 있다. 이 명세서에 있어서, "실질적으로 동일"이라는 표현은, 엄밀한 의미에서의 "정확하게 동일"을 반드시 의미할 필요는 없으며, 동일하다고 고려되는 의미를 포함함에 유의한다. 예를 들면, 단일 에칭 공정에 의해 이루어진 차이는 허용가능하다. 또한, 두께는 동일할 필요가 없다.

[0381] 도 12b에 도시된 트랜지스터(150)는 함몰부(홈부)를 갖는 산화물 반도체층(106a)을 포함하고, 또한 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b) 위에, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 실질적으로 동일한 형상을 갖는 절연층(109a) 및 절연층(109b)을 포함한다. 즉, 도 12b에 도시된 트랜지스터는 도 11a의 트랜지스터(150)의 특징과 도 12a의 트랜지스터(150)의 특징을 겸비하고 있다. 이 구조로부터 야기되는 효과는 도 11a 및 도 12a의 경우에 야기되는 효과와 유사하다.

[0382] 도 12c에 도시된 트랜지스터(150)는, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)의 어느 것과도 중첩하지 않고 제2 산화물 반도체층(106a)의 노출 표면을 포함하는, 제2 산화물 반도체층(106a)의 영역에 고순도 결정 영역(110)을 포함하고, 도 12c에 도시된 트랜지스터(150)는 또한, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b) 위에, 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)과 실질적으로 동일한 형상을 갖는 절연층(109a) 및 절연층(109b)을 포함한다. 즉, 도 12c에 도시된 트랜지스터는 도 11b의 트랜지스터(150)의 특징과 도 12a의 트랜지스터(150)의 특징을 겸비하고 있다. 이 구조로부터 야기되는 효과는 도 11b 및 도 12a의 경우에 야기되는 효과와 유사하다.

[0383] 도 13에 도시된 트랜지스터(150)는, 소스 또는 드레인 전극층(108a)이 산화물 반도체층(106a)과 접하는 영역에, 산소를 추출하는 능력이 낮은 재료(산소 친화력이 낮은 재료)로 형성된 도전층(107a)을 포함하고, 또한 소스 또는 드레인 전극층(108b)이 산화물 반도체층(106a)과 접하는 영역에, 산소를 추출하는 능력이 낮은 재료로 형성된 도전층(107b)을 포함한다. 전술한 바와 같이 산소를 추출하는 능력이 낮은 도전층에 의하면, 산소의 추출에 의한 산화물 반도체층에서의 n-형으로의 변화를 방지할 수 있고; 따라서, 산화물 반도체층의 n-형으로의 불균일

한 변화 등에 의해 야기되는 트랜지스터 특성에 대한 악영향을 억제할 수 있다.

- [0384] 도 13에서는 2층 구조를 갖는 소스 또는 드레인 전극층(108a) 및 소스 또는 드레인 전극층(108b)을 채용하고 있지만; 본 발명의 실시 형태는 이 구조에 한정되지 않는다는 점에 유의한다. 이러한 전극층들은 산소를 추출하는 능력이 낮은 재료로 형성된 도전층의 단층 구조 또는 3층 이상의 적층 구조를 가질 수도 있다. 단층 구조의 경우에, 예를 들면, 질화 티탄막의 단층 구조를 채용할 수 있다. 적층 구조의 경우에, 예를 들면, 질화 티탄막과 티탄막의 2층 구조를 채용할 수 있다.
- [0385] 전술한 바와 같이, 본 발명의 실시 형태는 다양한 방식으로 변형될 수 있다. 또한, 변형예는 상기 서술된 변형예에 한정되지 않는다. 예를 들면, 도 11a, 도 11b, 도 11c, 도 12a, 도 12b, 도 12c, 및 도 13은 다른 변형예로서 적당히 조합될 수도 있다. 이 명세서 등의 기재 범위 내에서 추가, 생략 등이 가능하다는 것은 말할 필요도 없다.
- [0386] 이 실시 형태에 기재된 구조, 방법 등은, 다른 실시 형태에 기재된 구조, 방법 등 중 임의의 것과 적당히 조합될 수도 있다.
- [0387] (실시 형태 3)
- [0388] 본 실시 형태에 있어서, 상기 서술된 실시 형태에 따른 반도체 장치를 포함하는 전자 장치의 예에 대해 도 30a 내지 도 30f를 참조하여 설명한다. 상기 실시 형태에 따른 반도체 장치는 전례 없는 우수한 특성을 갖는다. 따라서, 이 반도체 장치를 이용함으로써 새로운 구조를 갖는 전자 장치를 제공할 수 있다.
- [0389] 도 30a는 상기 실시 형태들 중 임의의 실시 형태에 따른 반도체 장치를 포함하는 노트북 퍼스널 컴퓨터를 도시하며, 본체(301), 하우징(302), 표시부(303), 키보드(304) 등을 포함한다. 본 발명에 따른 반도체 장치는 집적화되고, 회로 보드 등에 실장되고, 하우징(302) 내에 통합된다. 또한, 본 발명에 따른 반도체 장치는 표시부(303)에 적용될 수 있다. 본 발명에 따른 반도체 장치를 집적 회로 보드 등에 적용함으로써, 고속 회로 동작을 실현할 수 있다. 게다가, 본 발명에 따른 반도체 장치를 표시부(303)에 적용함으로써, 고품질 화상을 표시할 수 있다. 전술한 바와 같이 본 발명에 따른 반도체 장치를 퍼스널 컴퓨터에 적용함으로써, 고성능 퍼스널 컴퓨터를 제공할 수 있다.
- [0390] 도 30b는 상기 실시 형태들 중 임의의 실시 형태에 따른 반도체 장치를 포함하는 휴대 정보 단말(PDA)을 도시한다. 본체(311)는 표시부(313), 외부 인터페이스(315), 조작 버튼(314) 등을 구비한다. 게다가, 조작을 위한 부속품으로서 스타일러스(312)가 제공된다. 본 발명에 따른 반도체 장치는 집적화되고, 회로 보드 등에 실장되고, 본체(311) 내에 통합된다. 또한, 본 발명에 따른 반도체 장치를 표시부(313)에 적용할 수 있다. 본 발명에 따른 반도체 장치를 집적 회로 보드 등에 적용함으로써, 고속 회로 동작을 실현할 수 있다. 게다가, 본 발명에 따른 반도체 장치를 표시부(313)에 적용함으로써, 고품질 화상을 표시할 수 있다. 전술한 바와 같이 본 발명에 따른 반도체 장치를 휴대 정보 단말(PDA)에 적용함으로써, 고성능 휴대 정보 단말(PDA)을 제공할 수 있다.
- [0391] 도 30c는 상기 실시 형태에 따른 반도체 장치를 포함하는 전자 페이지의 일례로서 전자 서적(320)을 도시된다. 전자 서적(320)은 2개의 하우징, 즉 하우징(321) 및 하우징(323)을 포함한다. 하우징(321)은 힌지(337)에 의해 하우징(323)과 결합되어, 전자 서적(320)이 힌지(337)를 축으로서 이용하여 개방 및 폐쇄될 수 있다. 이러한 구조에 의해, 전자 서적(320)은 종이 서적과 동일하게 이용될 수 있다.
- [0392] 하우징(321)은 표시부(325)를 포함하고, 하우징(323)은 표시부(327)를 포함한다. 본 발명에 따른 반도체 장치는 집적화되고, 회로 보드 등에 실장되고, 하우징(323) 또는 하우징(321) 내에 통합된다. 본 발명에 따른 반도체 장치를 표시부(327)에 적용할 수 있다. 표시부(325) 및 표시부(327)는 연속 화상 또는 다른 화상을 표시할 수 있다. 다른 화상을 표시하기 위한 구조는, 우측의 표시부(도 30c에서의 표시부(325))에 텍스트를 표시하고 좌측의 표시부(도 30c에서는 표시부(327))에 화상을 표시하는 것을 가능하게 한다. 본 발명에 따른 반도체 장치를 집적 회로 보드 등에 적용함으로써, 고속 회로 동작을 실현할 수 있다. 본 발명에 따른 반도체 장치를 표시부(327)에 적용함으로써, 고품질 화상을 표시할 수 있다.
- [0393] 도 30c는 하우징(321)이 조작부 등을 구비한 예를 도시한다. 예를 들면, 하우징(321)은 전원 스위치(331), 조작 키(333), 스피커(335) 등을 구비한다. 조작 키(333)는 페이지를 넘길 수 있다. 하우징의 표시부와 동일한 측에 키보드, 포인팅 장치 등이 또한 제공될 수도 있음에 유의한다. 또한, 하우징의 이면 또는 측면에 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 또는 USB 케이블과 같은 각종 케이블에 접속될 수 있는 단자 등),

기록 매체 삽입부 등이 제공될 수도 있다. 전자 서적(320)은 또한 전자 사전으로서 기능할 수 있다.

- [0394] 또한, 전자 서적(320)은 무선으로 정보를 송수신할 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고 다운로드할 수 있다.
- [0395] 전자 페이퍼는 데이터를 표시할 수 있는 한 모든 분야의 장치에 이용될 수 있음에 유의한다. 예를 들면, 데이터를 표시하기 위해, 전자 페이퍼는 전자 서적뿐만 아니라 포스터, 열차와 같은 차량 내 광고, 크레디트 카드와 같은 각종 카드 등에 적용될 수 있다. 전술한 바와 같이 본 발명에 따른 반도체 장치를 전자 페이퍼에 적용함으로써, 고성능 페이퍼를 제공할 수 있다.
- [0396] 도 30d는 상기 실시 형태들 중 임의의 실시 형태에 따른 반도체 장치를 포함하는 셀룰러 전화기를 도시한다. 셀룰러 전화기는 2개의 하우징, 즉 하우징(340) 및 하우징(341)을 포함한다. 하우징(341)은 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 장치(346), 카메라 렌즈(347), 외부 접속 단자(348) 등을 포함한다. 하우징(340)은 셀룰러 전화기를 충전하기 위한 태양 전지(349), 외부 메모리 슬롯(350) 등을 포함한다. 안테나가 하우징(341) 내에 통합되어 있다. 본 발명에 따른 반도체 장치는 집적화되고, 회로 보드 등에 실장되고, 하우징(340) 또는 하우징(341) 내에 통합된다.
- [0397] 표시 패널(342)은 터치 패널 기능을 가지고 있다. 화상으로서 표시된 복수의 조작 키(345)가 도 30d에서 점선으로 나타나 있다. 본 발명에 따른 반도체 장치는 표시 패널(342)에 적용될 수 있다. 본 발명에 따른 반도체 장치를 표시 패널(342)에 적용함으로써, 고품질 화상을 표시할 수 있다. 셀룰러 전화기는, 태양 전지(349)로부터 출력되는 전압을 각 회로에 필요한 전압까지 증가시키기 위한 승압 회로를 포함함에 유의한다. 셀룰러 전화기는 상기 구조에 더하여, 비접촉 IC 칩, 소형 기록 장치 등이 형성된 구조를 갖는 것이 가능하다.
- [0398] 표시 패널(342)은 사용 모드에 따라 적절히 표시의 배향을 변화시킨다. 또한, 표시 패널(342)과 동일측에 카메라 렌즈(347)가 제공되어, 셀룰러 전화기가 비디오 셀룰러 전화기로서 이용될 수 있다. 스피커(343) 및 마이크로폰(344)은 음성 통화뿐만 아니라 화상 통화, 녹음, 및 재생 등에 이용될 수 있다. 또한, 도 30d에 도시된 바와 같이 전개되어 있는 상태의 하우징(340 및 341)은, 서로 겹쳐지도록 슬라이딩될 수 있다. 따라서, 셀룰러 전화기의 크기를 감소시킬 수 있어서, 셀룰러 전화기를 휴대하기에 적합하도록 한다.
- [0399] 외부 접속 단자(348)는 AC 어댑터 또는 USB 케이블과 같은 각종 케이블에 접속될 수 있어, 셀룰러 전화기는 충전될 수 있고 또는 데이터 통신을 수행할 수 있다. 게다가, 셀룰러 전화기는, 외부 메모리 슬롯(350)에 기록 매체를 삽입함으로써 보다 대량의 데이터를 저장 및 전송할 수 있다. 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 제공할 수 있다. 본 발명에 따른 반도체 장치를 셀룰러 전화기에 적용함으로써, 고성능 셀룰러 전화기를 제공할 수 있다.
- [0400] 도 30e는 상기 실시 형태들 중 임의의 실시 형태에 따른 반도체 장치를 포함하는 디지털 카메라를 도시한다. 디지털 카메라는 본체(361), 표시부A(367), 접안부(363), 조작 스위치(364), 표시부B(365), 배터리(366) 등을 포함한다. 본 발명에 따른 반도체 장치는 표시부A(367) 또는 표시부B(365)에 적용될 수 있다. 본 발명에 따른 반도체 장치를 표시부A(367) 또는 표시부B(365)에 적용함으로써, 고품질 화상을 표시할 수 있다. 전술한 바와 같이 본 발명에 따른 반도체 장치 디지털 카메라에 적용함으로써, 고성능 디지털 카메라를 제공할 수 있다.
- [0401] 도 30f는 상기 실시 형태들 중 임의의 실시 형태에 따른 반도체 장치를 포함하는 텔레비전 세트를 도시한다. 텔레비전 세트(370)에서는, 하우징(371)에 표시부(373)가 통합되어 있다. 화상이 표시부(373)에 표시될 수 있다. 여기서, 하우징(371)은 스탠드(375)에 의해 지지되어 있다. 본 발명에 따른 반도체 장치를 표시부(373)에 적용함으로써, 스위칭 소자의 고속 동작을 달성할 수 있고 표시부(373)의 대면적화를 실현할 수 있다.
- [0402] 텔레비전 세트(370)는 하우징(371)에 포함된 조작 스위치를 이용하거나 또는 원격 제어기(380)에 의해 조작될 수 있다. 원격 제어기(380)에 포함된 제어 키(379)에 의해 채널 및 음량을 제어할 수 있고, 따라서 표시부(373)에 표시되는 화상을 제어할 수 있다. 또한, 원격 제어기(380)는 원격 제어기(380)로부터 출력되는 데이터를 표시하기 위한 표시부(377)를 구비할 수 있다.
- [0403] 텔레비전 세트(370)는 수신기, 모뎀 등을 포함하는 것이 바람직하다. 수신기는 텔레비전 세트(370)가 일반적인 텔레비전 방송을 수신할 수 있게 한다. 또한, 텔레비전 세트(370)는, 모뎀을 통한 유선 또는 무선 접속에 의해 통신 네트워크에 접속될 때에 일방향(송신자로부터 수신자로) 또는 양방향(송신자와 수신자 끼리, 수신자들끼리 등)의 데이터 통신을 실시할 수 있다. 전술한 바와 같이 본 발명에 따른 반도체 장치를 텔레비전 세트에 적용함으로써, 고성능 텔레비전 세트를 제공할 수 있다.

- [0404] 이 실시 형태에 기재된 구조, 방법 등은, 다른 실시 형태들 중 임의의 실시 형태에 기재된 구조, 방법 등과 적절히 조합될 수 있다.
- [0405] 이 출원은 2009년 11월 28일자로 출원된 일본 특허 출원 제2009-270857호에 기초한 것이며, 그 전체 개시내용이 본 명세서에 참조로서 인용된다.

부호의 설명

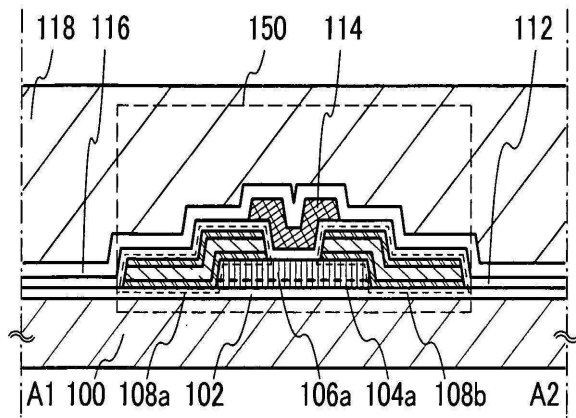
- [0406] 100: 기판
- 101: 도전층
- 101a: 게이트 전극층
- 102: 절연층
- 104: 산화물 반도체층
- 104a: 산화물 반도체층
- 104aa: 비정질 영역
- 104ab: 결정 영역
- 105: 산화물 반도체층
- 106: 산화물 반도체층
- 106a: 산화물 반도체층
- 107a: 도전층
- 107b: 도전층
- 108: 도전층
- 108a: 소스 또는 드레인 전극층
- 108b: 소스 또는 드레인 전극층
- 109a: 절연층
- 109b: 절연층
- 110: 고순도 결정 영역
- 112: 게이트 절연층
- 114: 게이트 전극층
- 116: 층간 절연층
- 118: 층간 절연층
- 150: 트랜지스터
- 200: 기판
- 206: 소자 분리 절연층
- 208a: 게이트 절연층
- 210a: 게이트 전극층
- 214: 불순물 영역
- 216: 채널 형성 영역
- 218: 측벽 절연층들

220: 고농도 불순물 영역들
 224: 금속 화합물 영역들
 226: 층간 절연층
 228: 층간 절연층
 230a: 소스 또는 드레인 전극층
 230b: 소스 또는 드레인 전극층
 230c: 전극
 234: 절연층
 236a: 전극
 236b: 전극
 236c: 전극
 250: 트랜지스터
 254a: 전극
 254b: 전극
 254c: 전극
 254d: 전극
 254e: 전극
 256: 절연층
 258a: 전극
 258b: 전극
 258c: 전극
 258d: 전극
 301: 본체
 302: 하우징
 303: 표시부
 304: 키보드
 311: 본체
 312: 스타일러스
 313: 표시부
 314: 조작 버튼들
 315: 외부 인터페이스
 320: 전자 서적
 321: 하우징
 323: 하우징
 325: 표시부
 327: 표시부

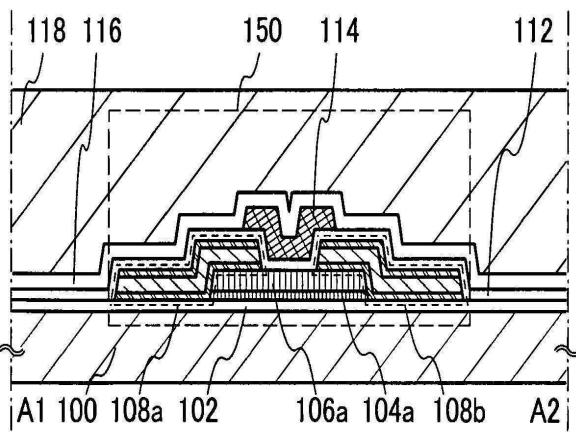
331: 전원 스위치
 333: 조작 키들
 335: 스피커
 337: 힌지
 340: 하우징
 341: 하우징
 342: 표시 패널
 343: 스피커
 344: 마이크로폰
 345: 조작 키들
 346: 포인팅 장치
 347: 카메라 렌즈
 348: 외부 접속 단자
 349: 태양 전지
 350: 외부 메모리 슬롯
 361: 본체
 363: 접안부
 364: 조작 스위치
 365: 표시부B
 366: 배터리
 367: 표시부A
 370: 텔레비전 세트
 371: 하우징
 373: 표시부
 375: 스탠드
 377: 표시부
 379: 제어 키
 380: 원격 제어기
 500: 하지 구성요소
 501: 산화물 결정층
 502: 산화물 반도체층
 503a: 산화물 결정층
 503b: 산화물 결정층

도면

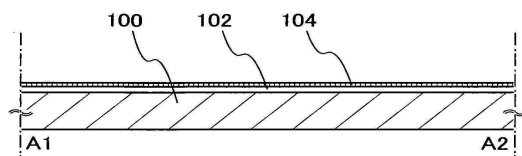
도면1a



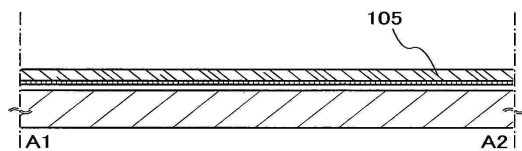
도면1b



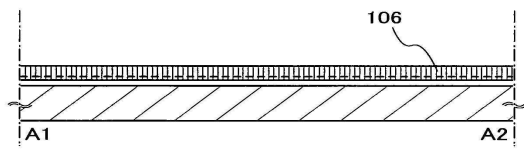
도면2a



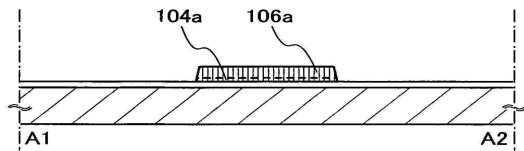
도면2b



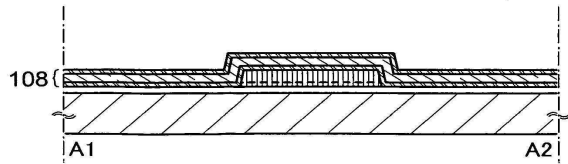
도면2c



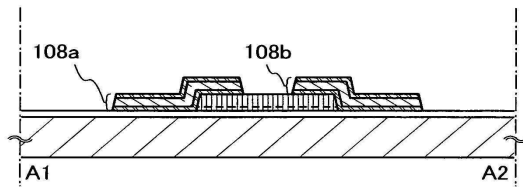
도면2d



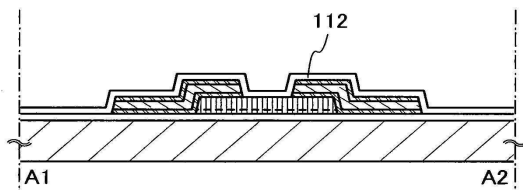
도면2e



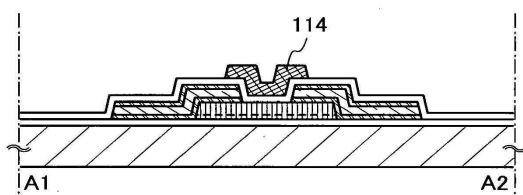
도면3a



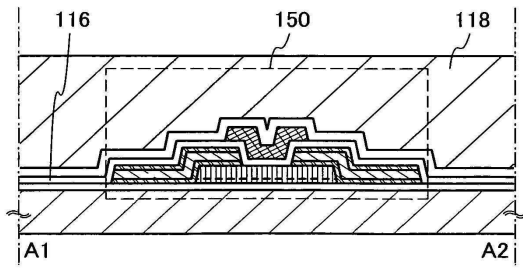
도면3b



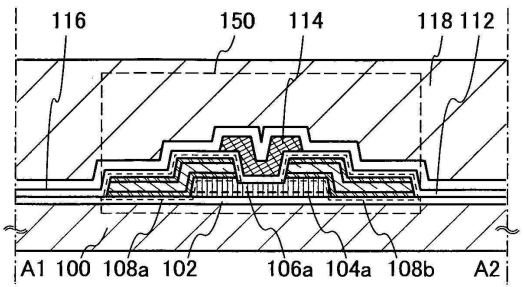
도면3c



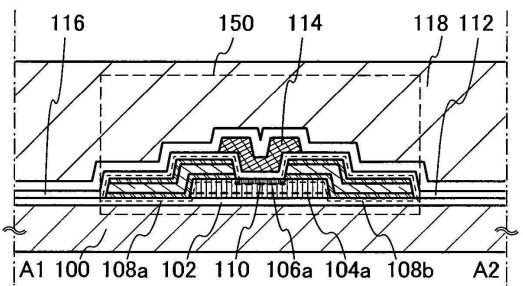
도면3d



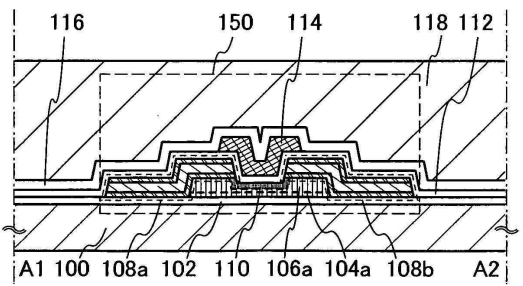
도면4a



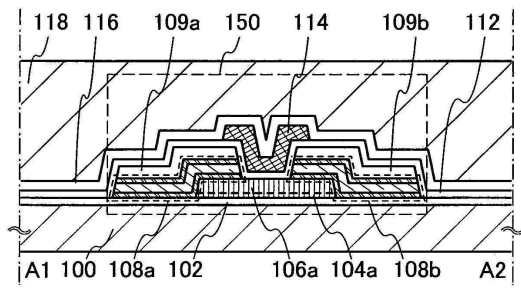
도면4b



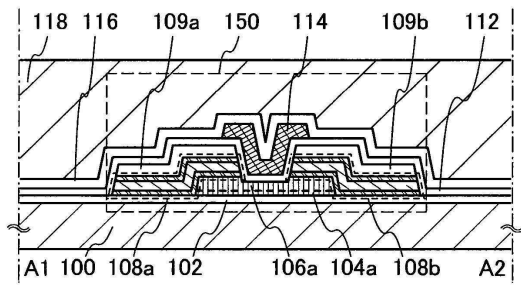
도면4c



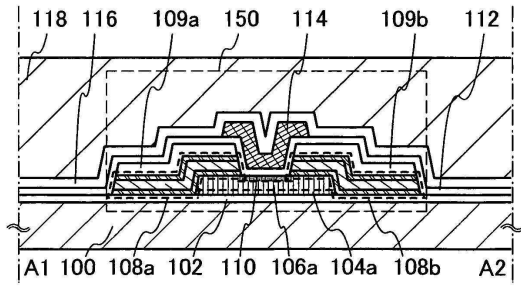
도면5a



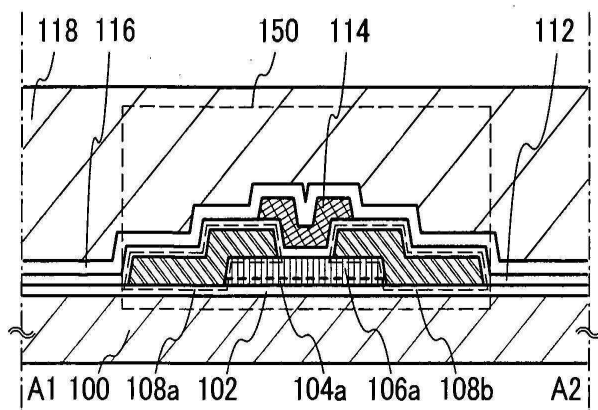
도면5b



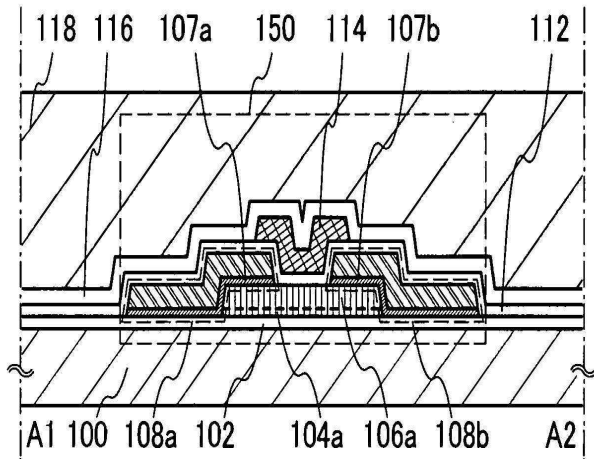
도면5c



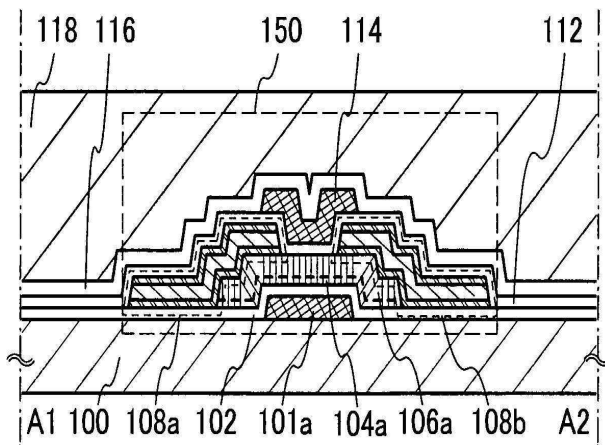
도면6a



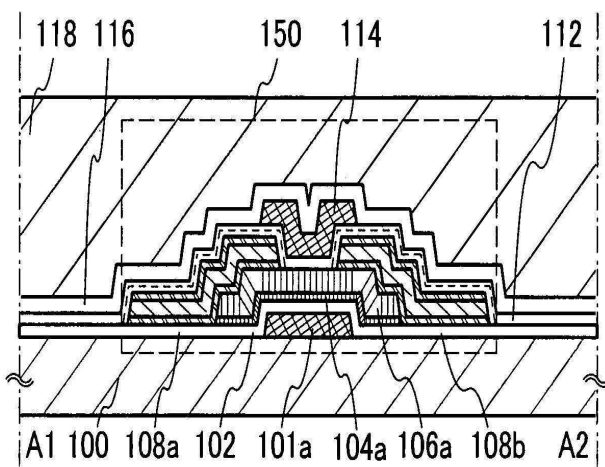
도면6b



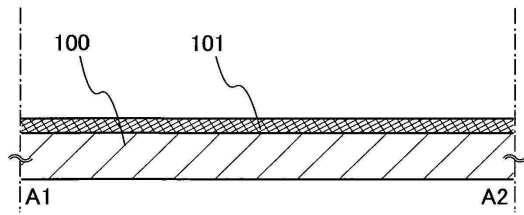
도면7a



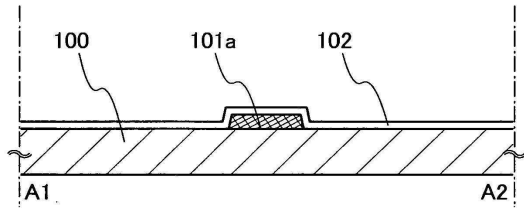
도면7b



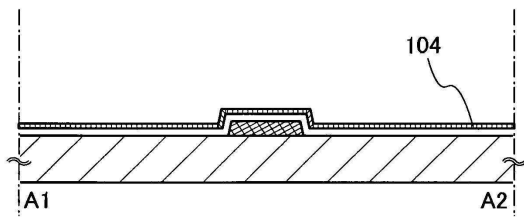
도면8a



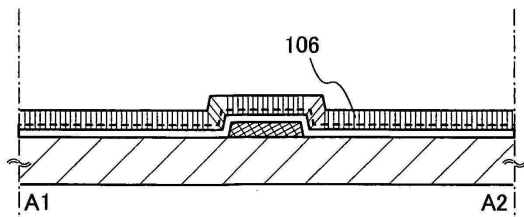
도면8b



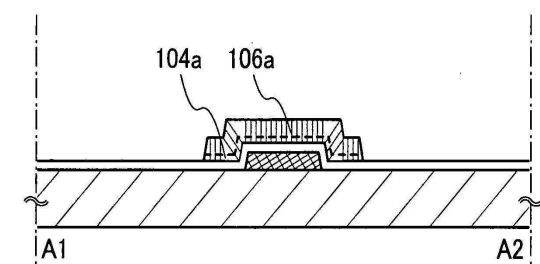
도면8c



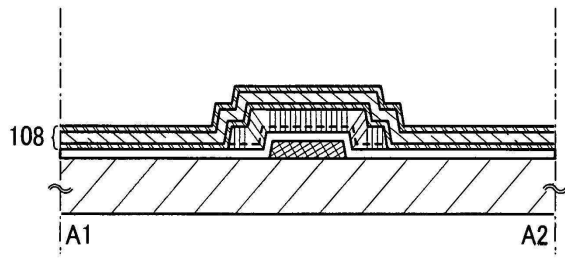
도면8d



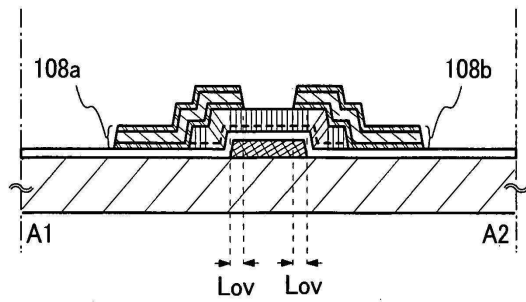
도면9a



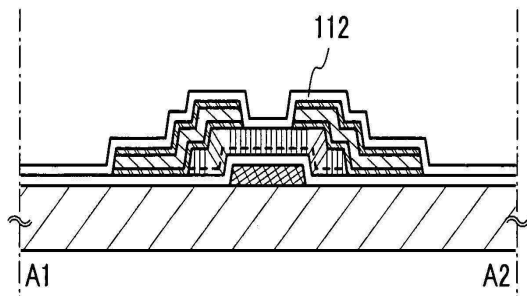
도면9b



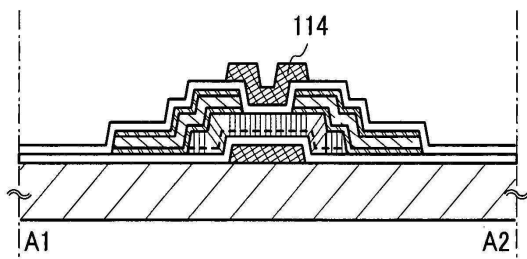
도면9c



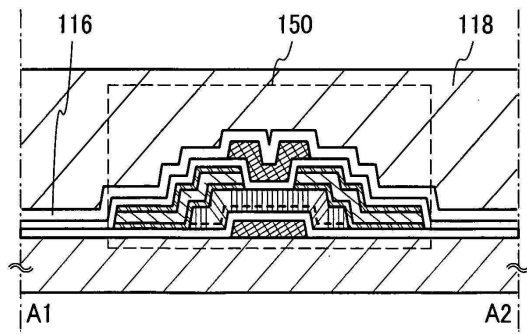
도면10a



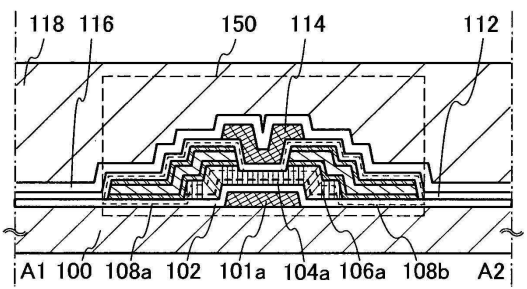
도면10b



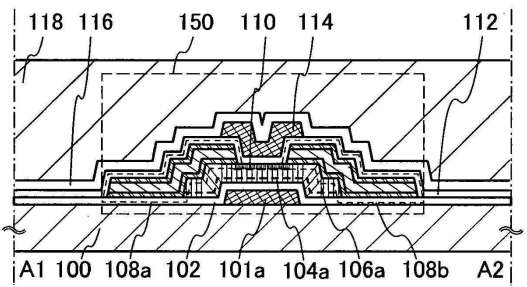
도면10c



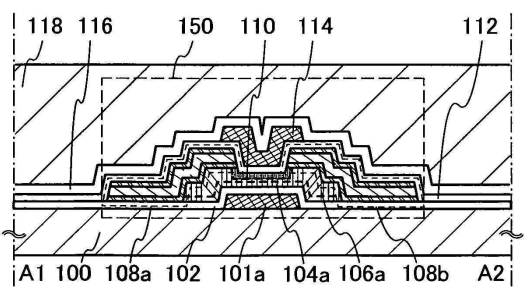
도면11a



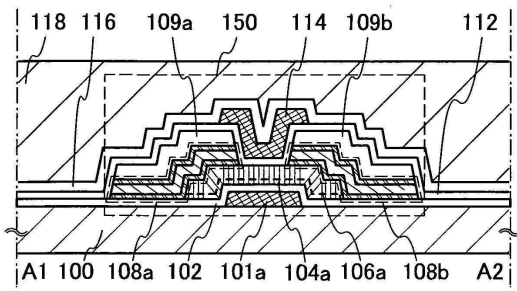
도면11b



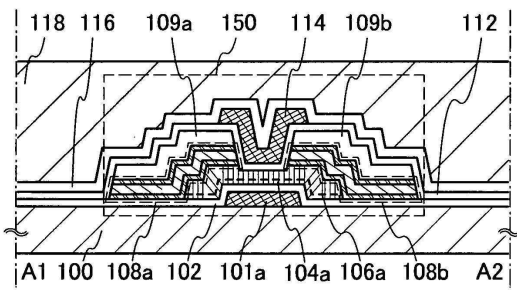
도면11c



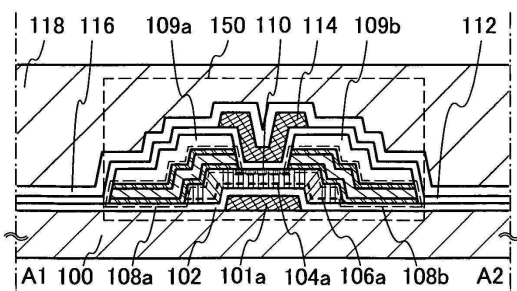
도면12a



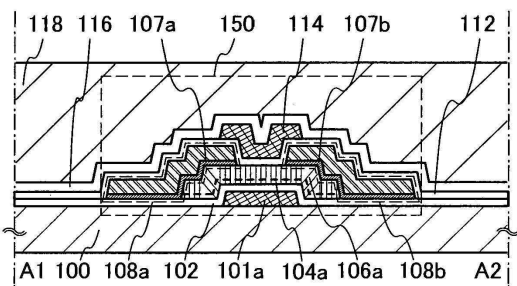
도면12b



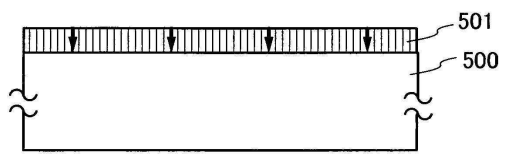
도면12c



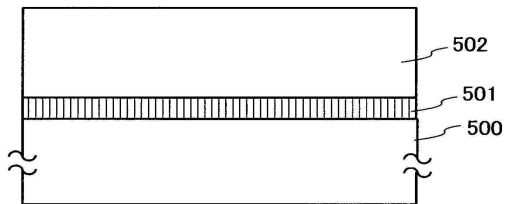
도면13



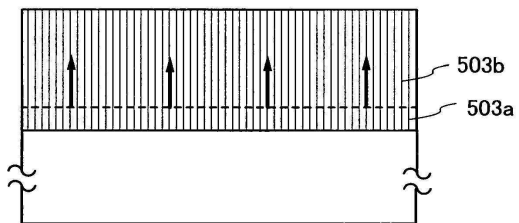
도면14a



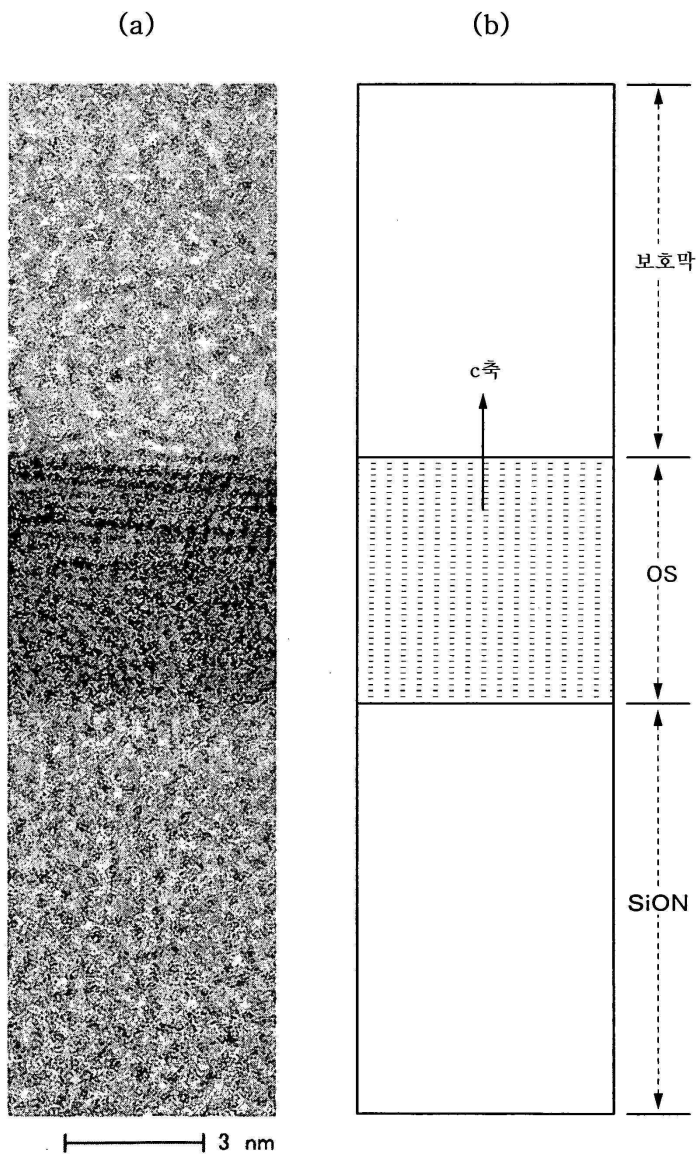
도면14b



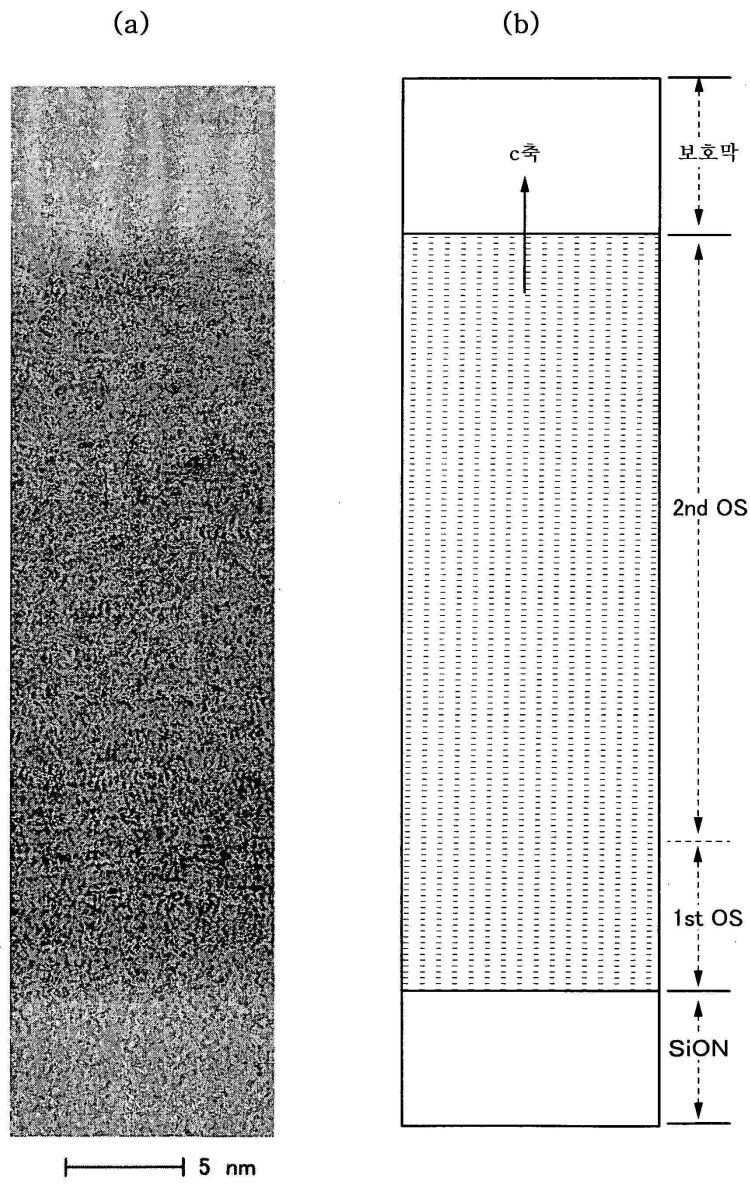
도면14c



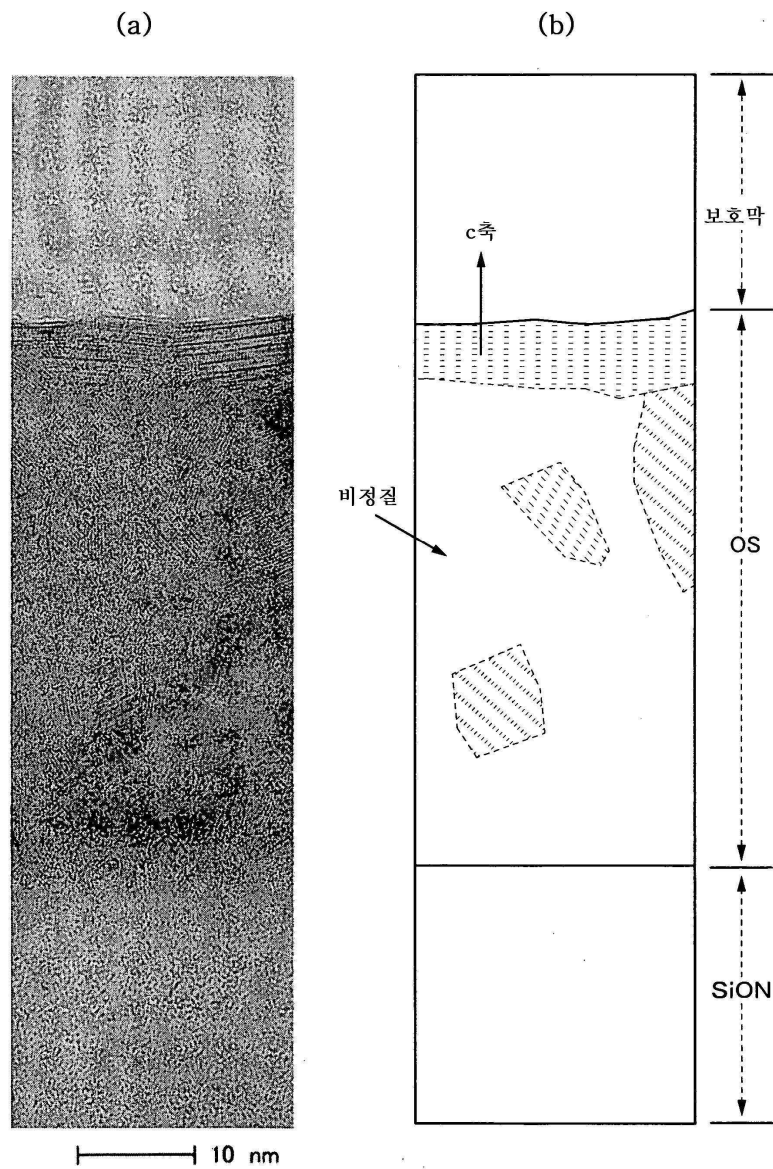
도면15a



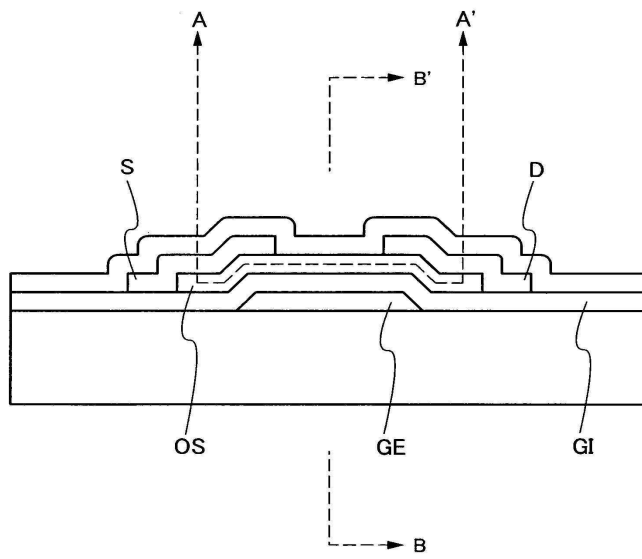
도면16



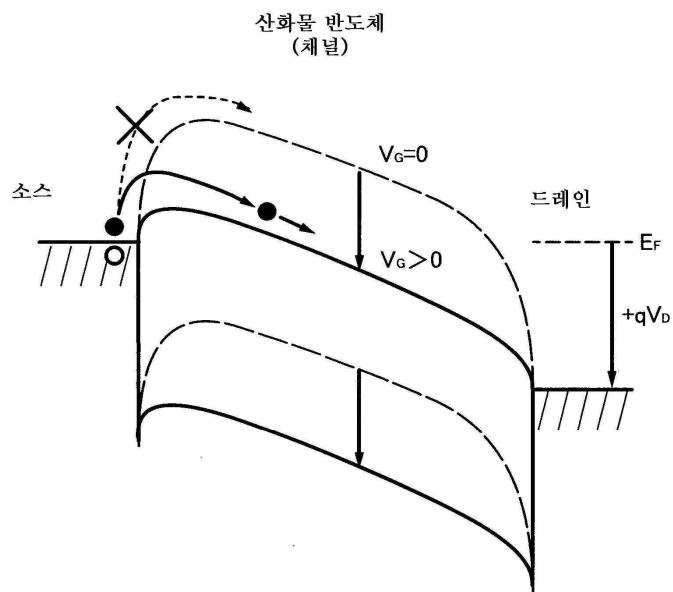
도면17



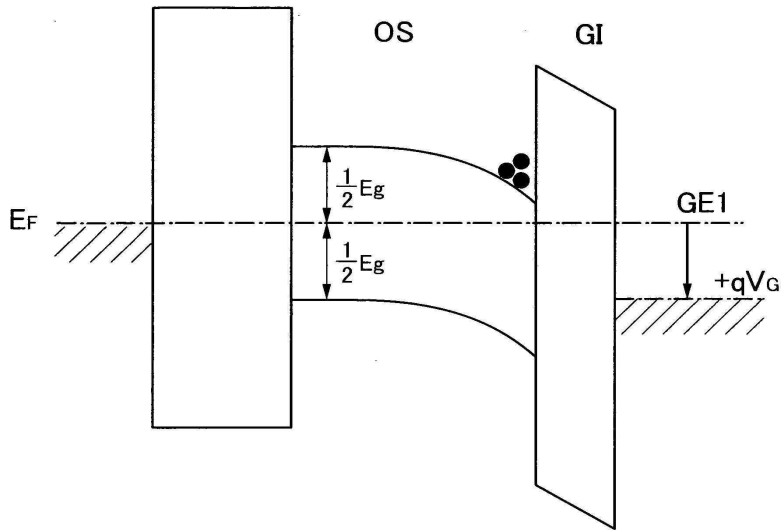
도면18



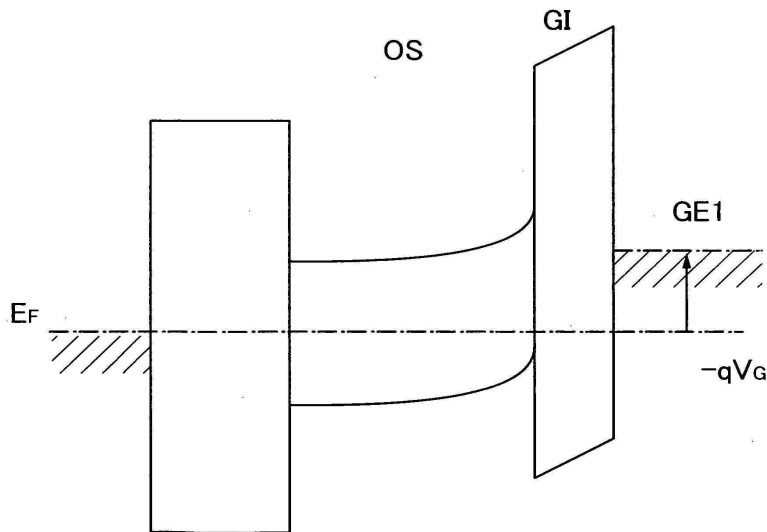
도면19



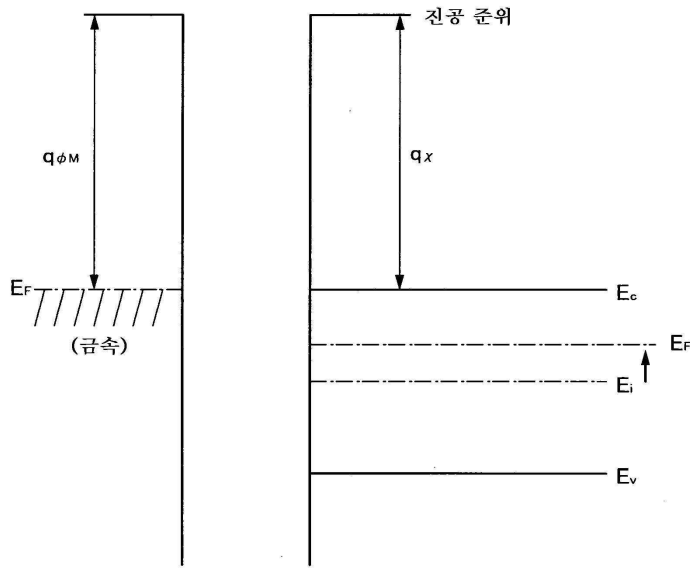
도면20a



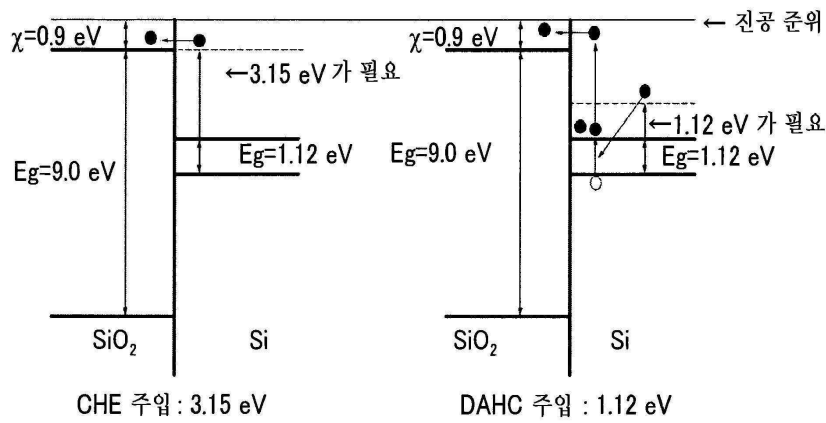
도면20b



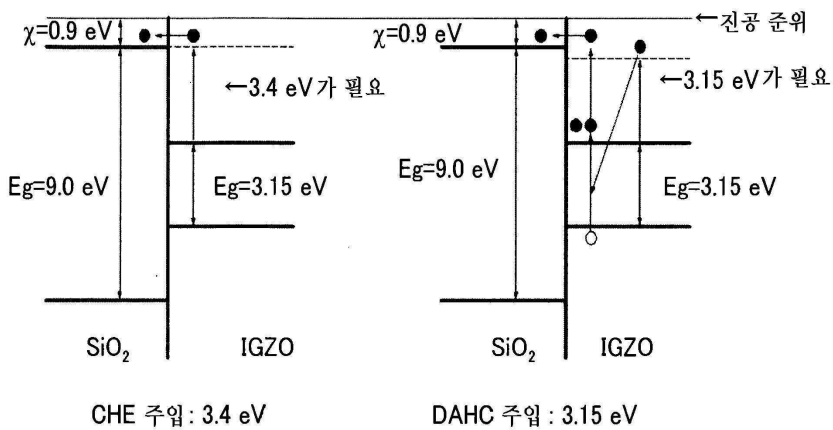
도면21



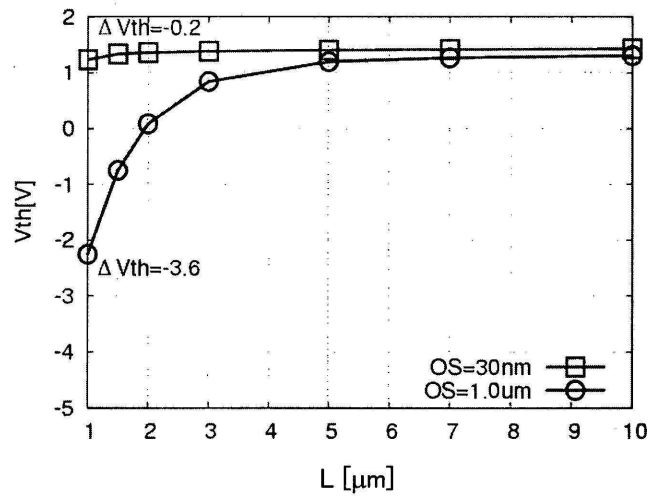
도면22



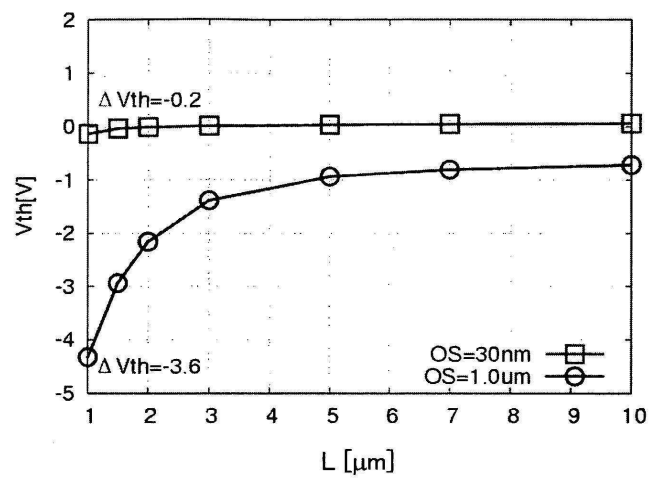
도면23



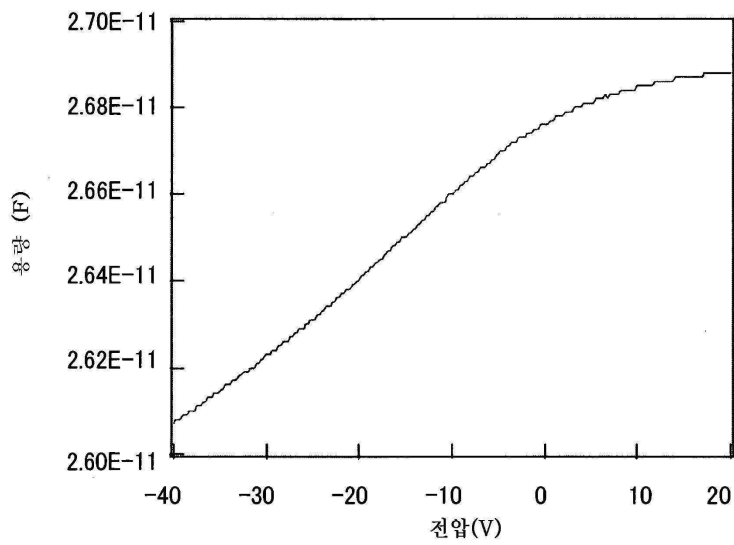
도면24



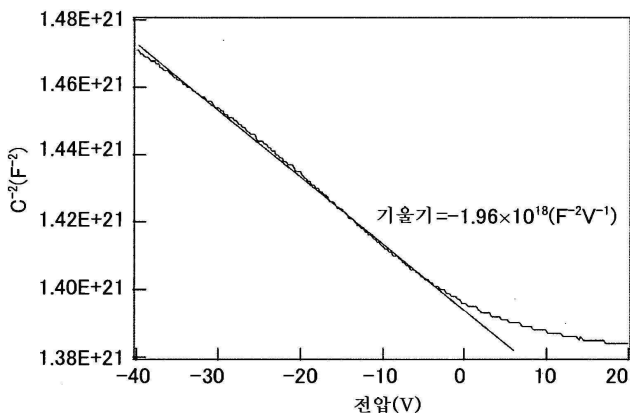
도면25



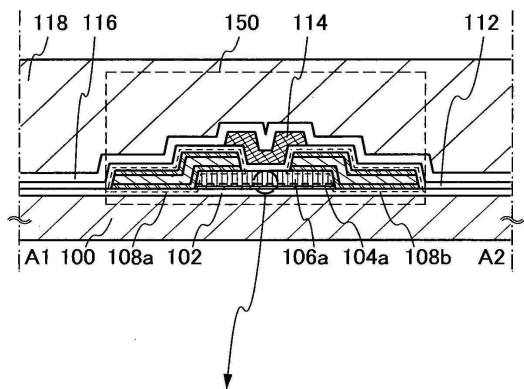
도면26



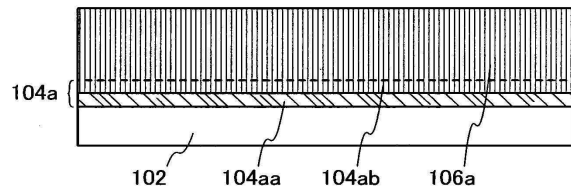
도면27



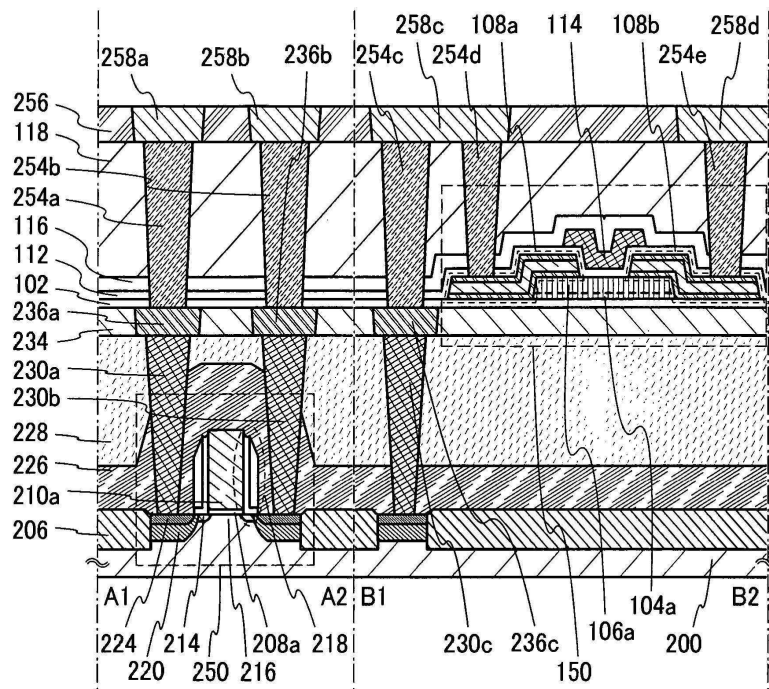
도면28a



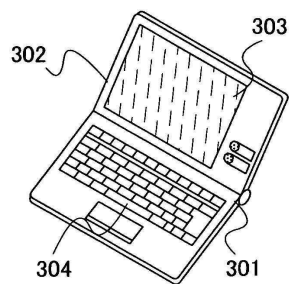
도면28b



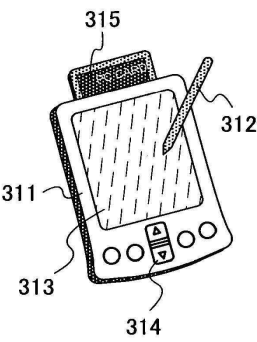
도면29



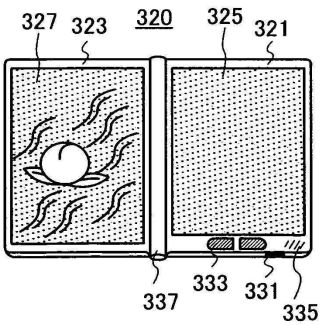
도면30a



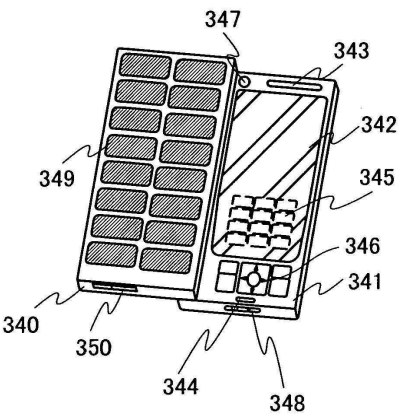
도면30b



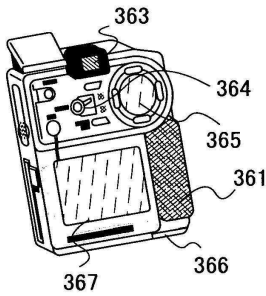
도면30c



도면30d



도면30e



도면30f

