



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I609479 B

(45)公告日：中華民國 106 (2017) 年 12 月 21 日

(21)申請案號：106107045

(22)申請日：中華民國 100 (2011) 年 01 月 20 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L21/8239(2006.01)

G11C16/06 (2006.01)

(30)優先權：2010/02/05 日本

2010-024579

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)；長塚修平 NAGATSUKA, SHUHEI (JP)；井上廣
樹 INOUE, HIROKI (JP)；松崎隆德 MATSUZAKI, TAKANORI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0239189A1

US 2009/0078970A1

US 2009/0167974A1

審查人員：王世賢

申請專利範圍項數：9 項 圖式數：24 共 116 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

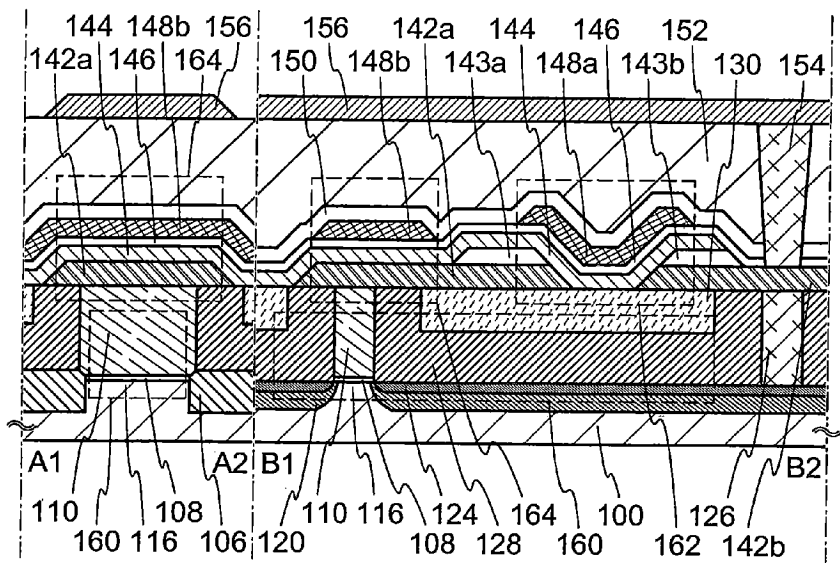
(57)摘要

一種具有新穎結構的半導體裝置，其中，即使當沒有電力被供應時仍然可以固持儲存的資料且對寫入的次數沒有任何限定。在半導體裝置中，均包含第一電晶體、第二電晶體、及電容器的多個記憶胞係以矩陣形式來予以配置，以及，用以連接一個記憶胞至另一個記憶胞的佈線(也稱為位元線)及第一電晶體的源極或汲極電極經由第二電晶體的源極或汲極電極而彼此電連接。因此，佈線的數目小於第一電晶體的源極或汲極電極與第二電晶體的源極或汲極電極連接至不同佈線的情形中之佈線數目。因此，能夠增加半導體裝置的集成度。

A semiconductor device with a novel structure in which stored data can be held even when power is not supplied and there is no limitation on the number of times of writing. In the semiconductor device, a plurality of memory cells each including a first transistor, a second transistor, and a capacitor is provided in matrix and a wiring (also called a bit line) for connecting one memory cell to another memory cell and a source or drain electrode of the first transistor are electrically connected to each other through a source or drain electrode of the second transistor. Accordingly, the number of wirings can be smaller than that in the case where the source or drain electrode of the first transistor and the source or drain electrode of the second transistor are connected to different wirings. Thus, the degree of integration of the semiconductor device can be increased.

指定代表圖：

圖1A



符號簡單說明：

- 100 . . . 基板
- 106 . . . 元件隔離絕緣層
- 108 . . . 閘極絕緣層
- 110 . . . 閘極電極
- 116 . . . 通道形成區
- 120 . . . 雜質區
- 124 . . . 金屬化合物區
- 126 . . . 電極
- 128 . . . 絕緣層
- 130 . . . 絕緣層
- 142a . . . 源極或汲極電極
- 142b . . . 源極或汲極電極
- 143a . . . 絕緣層
- 143b . . . 絕緣層
- 144 . . . 氧化物半導體層
- 146 . . . 閘極絕緣層
- 148a . . . 閘極電極
- 148b . . . 電極
- 150 . . . 絕緣層
- 152 . . . 絕緣層
- 154 . . . 電極
- 156 . . . 佈線
- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容器

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係有關使用半導體元件的半導體裝置以及半導體裝置的製造方法。

【先前技術】

包含半導體元件的記憶裝置廣義地分成二類：未被供電時喪失儲存的資料之非揮發性記憶體、以及即使未被供電時仍然可以固持儲存的資料之非揮發性記憶體。

揮發性記憶裝置的典型實施例是動態隨機存取記憶體(DRAM)。DRAM以包含於記憶元件中的電晶體被選取及電荷累積於電容器中的方式來儲存資料。

基於上述原理，當DRAM中的資料被讀出時電容器中的電荷喪失；因此，每當資料被讀出時需要另一個寫入操作。此外，即使電晶體未被選取，包含於記憶元件中的電晶體在關閉狀態時於源極與汲極之間仍然具有漏電流(關閉狀態電流)以及電荷流入或流出，使得資料固持週期短。基於該理由，在預定的時間間隔，需要另一個寫入操作(更新(refresh)操作)，難以充份地降低耗電。此

外，由於當電源停止時儲存的資料喪失，所以，需要使用磁性材料或光學材料的另一個記憶裝置以長時間地固持資料。

揮發性記憶體的另一實施例是靜態隨機存取記憶體（SRAM）。SRAM 藉由使用例如正反器等電路來固持儲存的資料，因此不需要更新操作，這點優於 DRAM。但是，由於使用例如正反器等電路而使每一個容量的成本增加。此外，如同在 DRAM 中一般，當電源停止時，SRAM 中的儲存資料喪失。

非揮發性記憶體的典型實施例是快閃記憶體。快閃記憶體在電晶體中的閘極電極與通道形成區之間包含浮動閘極以及藉由將電荷固持在浮動閘極中以儲存資料。因此，快閃記憶體具有資料固持時間相當長（半永久）且不需要揮發性記憶體中所需的更新操作（舉例而言，請參見專利文獻 1）。

但是，在快閃記憶體中，由於包含於記憶元件中的閘極絕緣層會因寫入操作時產生的穿隧電流而劣化，所以，具有記憶元件在重複寫入操作之後不作用的問題。爲了避免此問題，舉例而言，使用記憶元件之間寫入操作次數等化之方法，但是，需要複雜的週邊電路以實現此方法。此外，即使當使用此方法，仍然無法解決使用壽命的基本問題。換言之，快閃記憶體不適用於經常寫入資料的應用。

此外，需要高電壓以將電荷注入至浮動閘極或去除電荷。此外，要耗費相當長的時間來注入或去除電荷，且不

易增加寫入及抹拭資料的速度。

[參考文獻]

專利文獻：日本公告專利申請號 S57-105889。

【發明內容】

慮及上述問題，本發明之一個實施例的目的在於提供具有新穎結構的半導體裝置，其中，即使當未被供電時仍然能夠固持儲存的資料且對於寫入次數並無限制。

在本發明中，使用純化的氧化物半導體以製造半導體裝置。使用純化的氧化物半導體具有相當低的漏電流；因此，資料可以長時間地儲存。

根據本發明的一個實施例，舉例而言，用於連接一個記憶胞至另一個記憶胞的佈線（也稱為位元線）與第一電晶體的源極電極或汲極電極經由第二電晶體的源極電極或汲極電極而彼此電連接。相較於第一電晶體中的源極電極或汲極電極與第二電晶體中的源極電極或汲極電極連接至不同佈線的情形，上述結構允許降佈線數目。因此，可以增加半導體裝置的集成度。

根據本發明的一個實施例，舉例而言，用於連接一個記憶胞至另一個記憶胞的佈線（也稱為源極線）的其中之一電連接至包含於多個記憶胞（至少包含連接至不同位元線的記憶胞）中的所有第一電晶體的源極電極或汲極電極，因而使源極線的數目小於位元線的數目。因此，源極

線的數目充份降低。因此，可以增加半導體裝置的集成度。

具體而言，可以使用例如下述的結構。

根據本發明的一個實施例之半導體裝置包含多個記憶胞，每一個記憶胞均包含第一電晶體和第二電晶體。第一電晶體包含第一通道形成區；設於第一通道形成區之上的第一閘極絕緣層；第一閘極電極層，係設於第一閘極絕緣層之上以便與第一通道形成區重疊；以及，第一源極電極和第一汲極電極，係電連接至第一通道形成區。第二電晶體包含第二通道形成區；第二源極電極和第二汲極電極，係電連接至第二通道形成區；第二閘極電極，係設置成與第二通道形成區重疊；以及，第二閘極絕緣層，係設於第二通道形成區與第二閘極電極之間。第一通道形成區與第二通道形成區包含不同的半導體材料。第一電晶體及第二電晶體被設置成至少部份第一電晶體與部份第二電晶體彼此重疊。用以連接記憶胞的其中之一與另一個記憶胞的佈線經由第二源極電極和第二汲極電極的其中之一而被電連接至第一源極電極和第一汲極電極的其中之一。

較佳的是，在上述半導體裝置中，第一源極電極和第一汲極電極的其中之一與第二源極電極和第二汲極電極的其中之一彼此接觸於其中的區域與第二源極電極和第二汲極電極的其中之一和用以連接記憶胞的其中之一與另一個記憶胞的佈線相接觸於其中的區域相重疊。

此外，較佳的是，在上述半導體裝置中，第二源極電

極和第二汲極電極的其中之一與第一源極電極和第一汲極電極的其中之一是相同的。在該情形中，更佳的是，第二源極電極和第二汲極電極的其中之一以及第一源極電極和第一汲極電極的其中之一相接觸於其中的區域與第二源極電極和第二汲極電極的其中之一與用以連接記憶胞的其中之一和另一個記憶胞的佈線相接觸於其中的區域相重疊。

根據本發明的另一實施例之半導體裝置包含 m 條（ m 是 2 或更大的整數）訊號線； m 條字線； n 條（ n 是 2 或更大的整數）位元線； k 條（ k 是小於 n 的自然數）源極線；以矩陣形式配置的（ $m \times n$ ）記憶胞；第一驅動電路，係電連接至位元線；第二驅動電路，係電連接至源極線；第三驅動電路，係電連接至訊號線；及，第四驅動電路，係電連接至字線。記憶胞的其中之一包含：第一電晶體，包括第一閘極電極、第一源極電極、第一汲極電極、以及第一通道形成區；第二電晶體，包括第二閘極電極、第二源極電極、第二汲極電極、以及第二通道形成區；以及，電容器。第一通道形成區和第二通道形成區包含不同的半導體材料。第二源極電極和第二汲極電極的其中之一、電容器的電極的其中之一、以及第一閘極電極彼此電連接。源極線的其中之一和第一源極電極彼此電連接。位元線的其中之一、第二源極電極和第二汲極電極中的另一個電極、以及第一汲極電極彼此電連接。字線的其中之一及電容器的另一個電極彼此電連接。訊號線的其中之一和第二閘極電極彼此電連接。源極線的其中之一電連接至包含於

j 個記憶胞中的所有第一源極電極（ j 是大於或等於 $(m+1)$ 且小於或等於 $(m \times n)$ 的整數）， j 個記憶胞包含記憶胞的其中之一。

根據本發明的另一實施例之半導體裝置包含 m 條（ m 是 2 或更大的整數）訊號線； m 條字線； n 條（ n 是 2 或更大的整數）位元線； k 條（ k 是小於 n 的自然數）源極線；以矩陣形式配置的 $(m \times n)$ 記憶胞；第一驅動電路，係電連接至位元線；第二驅動電路，係電連接至源極線；第三驅動電路，係電連接至訊號線；及，第四驅動電路，係電連接至字線。記憶胞的其中之一包含：第一電晶體，包括第一閘極電極、第一源極電極、第一汲極電極、以及第一通道形成區；第二電晶體，包括第二閘極電極、第二源極電極、第二汲極電極、以及第二通道形成區；以及，電容器。第一通道形成區和第二通道形成區包含不同的半導體材料。第二源極電極和第二汲極電極的其中之一、電容器的電極的其中之一、以及第一閘極電極彼此電連接。源極線的其中之一和第一源極電極彼此電連接。位元線的其中之一、第二源極電極和第二汲極電極中的另一個電極、以及第一汲極電極彼此電連接。字線的其中之一及電容器的另一個電極彼此電連接。訊號線的其中之一和第二閘極電極彼此電連接。源極線的其中之一電連接至包含於 $(m \times n/k)$ 個記憶胞中的所有第一源極電極， $(m \times n/k)$ 個記憶胞包含記憶胞的其中之一。

此外，較佳的是，在上述半導體裝置中，第一電晶體

包含雜質區，被設置成將第一通道形成區夾於其間。

此外，較佳的是，在上述半導體裝置中，在第二電晶體中的第二通道形成區包含氧化物半導體。

注意，雖然在上述半導體裝置中使用氧化物半導體材料以形成電晶體，但是本發明不限於此。可以使用例如碳化矽等寬能隙材料（更具體而言，具有大於 3 eV 的能隙 E_g 之半導體材料），藉以取得等於同氧化物半導體材料的關閉狀態電流特徵。

注意，在本說明書中，「在...之上」或「在...之下」並不一定意指元件設置為「直接在另一元件之上」或「直接在另一元件之下」。舉例而言，「在閘極絕緣層上的閘極電極」之說明意指增加的元件係設於閘極絕緣層與閘極電極之間的情形。此外，僅為方便說明而使用例如「在...之上」及「在...之下」等用語，除非另外指明，否則它們包含元件關係相反的情形。

此外，在本說明書等中，例如「電極」或「佈線」等名詞並非限定元件的功能。舉例而言，「電極」有時可以作為「佈線」的一部份，反之亦然。此外，舉例而言，「電極」或「佈線」等詞包含也意指複數個「電極」和「佈線」的組合。

舉例而言，當使用具有相反極性的電晶體時或在電路操作時改變電流方向時，「源極」和「汲極」的功能有時可以互相取代。因此，在本說明書中，「源極」和「汲極」可以彼此取互換。

注意，在本說明書中，「電連接」一詞包含經由具有任何電功能的物體而連接複數個元件之情形。只要可以在經由物體而連接的複數個元件之間發送及接收電訊號，則對於「具有任何電功能的物體」並無特別限定。

「具有任何電功能的物體」的實施例是例如電晶體等切換元件、電阻器、電感器、電容器、及具有各種不同功能的元件與電極和佈線。

由於包含氧化物半導體之電晶體的關閉狀態電流極度低，所以，藉由使用電晶體，可以很長時間固持儲存的資料。換言之，更新操作變成不必要的，或是更新操作頻率可以極度低，導致耗電充份降低。此外，即使當未被供予電力時，仍然可以長時間固持儲存的資料。

此外，根據本發明的一個實施例之半導體裝置不需要高電壓以寫入資料以及不具有元件劣化的問題。舉例而言，由於不需要執行習知非揮發性記憶體中所需的電子注入至浮動閘極以及從浮動閘極取出電子，所以，閘極絕緣層的劣化不會發生。換言之，根據本發明的半導體裝置之一個實施例對於改寫次數並無限制且其可靠度大幅增進，改寫次數在習知的非揮發性記憶體中是問題。此外，藉由開啓及關閉電晶體以寫入資料，因而容易取得高速操作。此外，具有不需要抹拭資料的操作之優點。

包含不是氧化物半導體的材料之電晶體能夠比包含氧化物半導體的電晶體更高速地操作；因此，當其與包含氧化物半導體的電晶體結合時，半導體裝置可以以足夠高的

速度執行操作（例如，資料讀取操作）。此外，藉由包含不是氧化物半導體的材料之電晶體，可以有利地取得要求高速操作的各種電路（例如，邏輯電路、驅動電路、等等）。

因此，藉由設置包含不是氧化物半導體的半導體材料之電晶體（一般而言，能夠充份高速操作的電晶體）以及包含氧化物半導體的電晶體（一般而言，關閉狀態電流充份低的電晶體），取得具有新穎特點的半導體裝置。

此外，在本發明的一個實施例中，共用佈線以降低佈線數目；因此，可以提供具有增加的集成度的半導體裝置。

【圖式簡單說明】

圖 1A 及 1B 分別為半導體裝置的剖面視圖及平面視圖。

圖 2A 至 2D 是剖面視圖，顯示半導體裝置的製造步驟。

圖 3A 至 3D 是剖面視圖，顯示半導體裝置的製造步驟。

圖 4A 至 4D 是剖面視圖，顯示半導體裝置的製造步驟。

圖 5A 至 5C 是剖面視圖，顯示半導體裝置的製造步驟。

圖 6A 及 6B 分別為半導體裝置的剖面視圖及平面視

圖。

圖 7A 至 7H 是剖面視圖，顯示用以製造半導體裝置的半導體基板的製造步驟。

圖 8A 至 8E 是剖面視圖，顯示半導體裝置的製造步驟。

圖 9A 及 9B 分別為半導體裝置的剖面視圖及平面視圖。

圖 10A 至 10C 是剖面視圖，顯示半導體裝置的製造步驟。

圖 11A 至 11C 是半導體裝置的電路圖。

圖 12 是半導體裝置的電路圖。

圖 13 是半導體裝置的平面視圖。

圖 14 是時序圖。

圖 15 是半導體裝置的電路圖。

圖 16 是時序圖。

圖 17A 至 17F 均顯示包含半導體裝置的電子裝置。

圖 18 顯示包含氧化物半導體的電晶體之特徵。

圖 19 是用於評估包含氧化物半導體的電晶體的特徵之電路圖。

圖 20 是用於評估包含氧化物半導體的電晶體的特徵之時序圖。

圖 21 顯示包含氧化物半導體的電晶體的特徵之圖形。

圖 22 顯示包含氧化物半導體的電晶體的特徵之圖

形。

圖 23 顯示包含氧化物半導體的電晶體的特徵之圖形。

圖 24 是顯示記憶窗寬度的檢查結果之圖形。

【實施方式】

於下，將參考附圖，詳述本發明的實施例及實例。注意，本發明不限於下述說明，習於此技藝者清楚知道，在不悖離本發明的精神及範圍下，可以以不同方式修改模式及細節。因此，本發明不應被解釋成侷限於下述實施例模式的說明。

注意，在某些情形中，爲了易於瞭解，圖式等中所示的每一個結構的位置、尺寸、範圍、等等未準確地表示。因此，本發明不限於圖式中所示的位置、尺寸、範圍、等等。

在本說明書中，使用例如「第一」、「第二」及「第三」等序號以避免在元件之間造成混淆，這些名詞並非以數字方式限定元件。

（實施例 1）

在本實施例中，將參考圖 1A 和 1B、圖 2A 至圖 2D、圖 3A 至 3D、圖 4A 至 4D、及圖 5A 至 5C，說明根據本發明之一個實施例的半導體裝置之結構及製造方法。

< 半導體裝置的剖面結構及平面結構 >

圖 1A 及 1B 顯示半導體裝置的結構實例。圖 1A 是半導體裝置的剖面視圖，圖 1B 是其平面視圖。此處，圖 1A 對應於圖 1B 中的 A1-A2 和 B1-B2 剖面。圖 1A 及 1B 中所示的半導體裝置包含電晶體 160 及電晶體 162，電晶體 160 在其下部包括第一半導體材料，電晶體 162 在其上部包括第二半導體材料。此處，較佳的是第一半導體材料及第二半導體材料彼此不同。舉例而言，第一半導體材料是非氧化物半導體的半導體材料，第二半導體材料是氧化物半導體。舉例而言，非氧化物半導體的半導體材料可為矽、鍺、矽鍺、碳化矽、或砷化鎵，以及，較佳使用單晶半導體。此外，可以使用有機半導體材料等等。包含此非氧化物半導體的半導體材料之電晶體容易以高速操作。相對地，包含氧化物半導體的電晶體因其特徵而能長時間地固持電荷。

雖然這二個電晶體都是 n 通道電晶體，但是，無需多言，可以使用 p 通道電晶體。本發明的技術特點在於在電晶體 162 中使用例如氧化物半導體等使關閉狀態電流充份降低的半導體材料，以固持資料。因此，無需將例如半導體裝置的材料、結構、等特定條件限定於此處所示的條件。

圖 1A 及 1B 中的電晶體 160 包含設於包含半導體材料（例如，矽）的基板 100 中的通道形成區 116；雜質區 120，係設置成將通道形成區 116 夾於其間；金屬化合物

區 124，接觸雜質區 120；閘極絕緣層 108，係設置於通道形成區 116 之上；以及閘極電極 110，係設置於閘極絕緣層 108 之上。注意，爲了便於說明，源極電極和汲極電極未被顯示於圖式中的電晶體可以稱爲電晶體。此外，在此情形中，在電晶體的連接說明中，源極區和源極電極統稱「源極電極」，汲極區和汲極電極統稱「汲極電極」。換言之，在本說明書中，「源極電極」一詞包含源極區，「汲極電極」一詞包含汲極區。

電極 126 連接至電晶體 160 的部份金屬化合物區 124。此處，電極 126 作爲電晶體 160 的源極電極或汲極電極。基板 100 係設有圍繞電晶體 160 的元件隔離絕緣層 106。絕緣層 128 及絕緣層 130 係設於電晶體 160 之上。注意，較佳的是，如圖 1A 和 1B 所示，電晶體 160 未包含側壁絕緣層以增加集成度。另一方面，在電晶體 160 的特徵優先的情形中，可以在閘極電極 110 的側表面上設置側壁絕緣層，以及，雜質區 120 可以均在與側壁絕緣層重疊的區域中包含具有不同雜質濃度的區域。

圖 1A 及 1B 中所示的電晶體 162 包含：源極或汲極電極 142a 和源極或汲極電極 142b，係設於絕緣層 130 之上；氧化物半導體層 144，係電連接至源極或汲極電極 142a 和源極或汲極電極 142b；閘極絕緣層 146 覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 144；閘極電極 148a，係設於閘極絕緣層 146 之上而與氧化物半導體層 144 重疊；絕緣層 143a，係設於源極

或汲極電極 142a 與氧化物半導體層 144 之間且與閘極電極 148a 重疊的區域中；絕緣層 143b，係設於源極或汲極電極 142b 與氧化物半導體層 144 之間且與閘極電極 148a 重疊的區域中。注意，雖然較佳的是設置絕緣層 143a 和絕緣層 143b 以降低源極或汲極電極與閘極電極之間的電容，但是，並不一定要設置絕緣層 143a 和絕緣層 143b。

此處，較佳的是，藉由充份地去除例如氫等雜質或充份供應氧，以純化氧化物半導體層 144。具體而言，舉例而言，氧化物半導體層 144 中的氫濃度為低於或等於 5×10^{19} 原子 / cm^3 ，較佳為低於或等於 5×10^{18} 原子 / cm^3 ，更佳為低於或等於 5×10^{17} 原子 / cm^3 。注意，氧化物半導體層 144 中的氫濃度以二次離子質譜儀（SIMS）測量。因此，在氫濃度充份地降低以致於純化氧化物半導體層 144 及藉由充份供應氧而降低導因於氧缺陷的能隙中的缺陷狀態之氧化物半導體層 144 中，載子濃度低於 1×10^{12} / cm^3 ，較佳為低於 1×10^{11} / cm^3 ，更佳為低於 1.45×10^{10} / cm^3 。舉例而言，在室溫（ 25°C ）下的關閉狀態電流（此處，每微米（ μm ）的通道寬度之電流）低於或等於 100 zA（1 zA（介安培（zeptoampere））是 $1 \times 10^{-21}\text{A}$ ），較佳為低於或等於 10 zA。藉由使用此 i 型（本質的）或實上 i 型的氧化物半導體，取得具有高度優良關閉狀態電流特徵的電晶體 162。

注意，雖然圖 1A 和 1B 中的電晶體 162 包含被處理成島狀以抑制因微小化而造成的元件之間的漏電流之氧化

物半導體層 144，但是，可以採用被處理成島狀的氧化物半導體層 144。在氧化物半導體層未被處理成島狀的情形中，可以防止製程步驟中因蝕刻而造成的氧化物半導體層 144 的污染。

圖 1A 及 1B 中的電容器 164 包含源極或汲極電極 142a、氧化物半導體層 144、閘極絕緣層 146、以及電極 148b。換言之，源極或汲極電極 142a 作為電容器 164 的電極，電極 148b 作為電容器 164 的另一個電極。

注意，在圖 1A 及 1B 中所示的電容器 164 中，氧化物半導體層 144 及閘極絕緣層 146 相堆疊，因而充份地確保源極或汲極電極 142a 與電極 148b 之間的絕緣。無需多言，電容器 164 中的氧化物半導體層 144 可以省略以確保充份的電容。或者，以同於絕緣層 143a 的方式形成的絕緣層可以包含於電容器 164 中。又或者，在不需要電容器的情形中，電容器 164 可以省略。

注意，在電晶體 162 及電容器 164 中，源極或汲極電極 142a 以及源極或汲極電極 142b 的邊緣部份較佳為錐狀的。當源極或汲極電極 142a 以及源極或汲極電極 142b 的邊緣部份為錐狀時，藉由氧化物半導體層 144 的覆蓋率可以增進以及可以防止其斷裂。此處，舉例而言，錐角大於或等於 30° 且小於或等於 60° 。注意，「錐角」是當在垂直於剖面平面（垂直於基板表面的平面）的方向上從具有錐狀的層（例如，源極或汲極電極 142a）觀視時，其側表面與底表面之間的傾斜角。

在本實施例中，電晶體 162 及電容器 164 被設置成與電晶體 160 重疊。此平面配置允許集成度增加。舉例而言，當使用 F 以表示最小的特徵尺寸時，記憶胞的面積可以表示為 $15 F^2$ 至 $25 F^2$ 。

絕緣層 150 係設於電晶體 162 和電容器 164 之上，絕緣層 152 係設於絕緣層 150 上。電極 154 係設於形成在閘極絕緣層 146、絕緣層 150、及絕緣層 152 中的開口中。連接至電極 154 的佈線 156 係形成於絕緣層 152 之上。注意，雖然在圖 1A 及 1B 中，金屬化合物區 124、源極或汲極電極 142b、及佈線 156 經由電極 126 和電極 154 而彼此連接，但是，本發明不限於此。舉例而言，源極或汲極電極 142b 可以與金屬化合物區 124 直接接觸。或者，佈線 156 可以與源極或汲極電極 142b 直接地接觸。

注意，在圖 1A 及 1B 中，用以連接金屬化合物區 124 至源極或汲極電極 142b 的電極 126 以及用以連接源極或汲極電極 142b 至佈線 156 的電極 154 彼此重疊。換言之，作為電晶體 160 的源極電極或汲極電極之電極 126 與電晶體 162 的源極或汲極電極 142b 相接觸於其中之區域與電晶體 162 的源極或汲極電極 142b 接觸連接一個記憶胞至另一個記憶胞的佈線 156 於其中之區域相重疊。此配置允許集成度增加。

< 半導體裝置的製造方法 >

接著，將說明半導體裝置的製造方法實施例。首先，

將參考圖 2A 至 2D 及圖 3A 至 3D，說明下部中電晶體 160 的製造方法，然後，將參考圖 4A 至 4D 及圖 5A 至 5C，說明上部中電晶體 162 和電容器 164 的製造方法。

< 下部中的電晶體製造方法 >

首先，製備包含半導體材料的基板 100（請參見圖 2A）。關於包含半導體材料的基板 100，舉例而言，使用矽、碳化矽、等等製成的單晶半導體基板或多晶半導體基板；矽鍺等製成的化合物半導體基板；SOI 基板；等等。此處，說明使用單晶矽基板作為包含半導體材料的基板 100 的實施例。注意，一般而言，「SOI 基板」也意指包含矽以外的材料之半導體層設於絕緣表面上的基板。換言之，包含於「SOI」基板中的半導體層不限於矽層。此外，SOI 基板可以是具有半導體層設於例如玻璃基板等絕緣基板上而以絕緣層介於其間的結構。

矽或類似者之單晶半導體基板特別較佳作為包含半導體材料的基板 100，在此情形中，增加半導體裝置的讀取操作速度。

在基板 100 上形成保護層 102，作為用於形成元件隔離絕緣層的掩罩（請參見圖 2A）。關於保護層 102，舉例而言，使用氧化矽、氮化矽、氧氮化矽、等等形成的絕緣層。注意，在此步驟之前或之後，施予 n 型導電率的雜質元素或施予 p 型導電率的雜質元素可以添加至基板 100 以控制電晶體的臨界電壓。在包含矽作為基板 100 中的半導

體材料的情形中，使用磷、砷、等等作為施予 n 型導電率的雜質元素。相反地，使用硼、鋁、鎵、等等作為施予 p 型導電率的雜質。

接著，使用保護層 102 作為掩罩，藉由蝕刻，去除未由保護層 102 覆蓋的區域中（亦即，在曝露的區域中）的部份基板 100。因此，形成與其它半導體區隔離的半導體區 104（請參見圖 2B）。關於蝕刻，較佳執行乾式蝕刻，但是，可以執行濕式蝕刻。視要被蝕刻的材料而適當地選取蝕刻氣體或蝕刻劑。

然後，形成絕緣層以覆蓋半導體區 104，以及，選擇性地去除與半導體區 104 重疊的區域中的絕緣層，因而形成元件隔離絕緣層 106（請參見圖 2C）。絕緣層由氧化矽、氮化矽、氧氮化矽、等等製成。為了去除絕緣層，使用蝕刻處理及例如化學機械拋光（CMP）等拋光處理、等等中的任何處理。注意，在形成半導體區 104 之後或是在形成元件隔離絕緣層 106 之後，去除保護層 102。

注意，關於元件隔離絕緣層 106 的形成方法，也可以使用導入氧等以形成絕緣區的方法以及絕緣層被選擇性地去除的方法。

接著，在半導體區 104 的表面上形成絕緣層，以及，在絕緣層上形成含有導電材料的層。

絕緣層稍後作為閘極絕緣層，以及，舉例而言，對半導體區 104 的表面執行熱處理（例如，熱氧化處理、熱氮化處理、等等）。可以使用高密度電漿處理以取代熱處

理。舉例而言，使用例如 He、Ar、Kr、或 Xe 等稀有氣體與氧、氧化氮、氮、氮、和氫中任何氣體的混合氣體，執行高密度電漿處理。無需多言，可以使用 CVD 法、濺射法、等等，以形成絕緣層。絕緣層較佳具有單層結構或疊層結構，單層結構或疊層結構包括含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ ， $y>0$ ））、等等的膜。舉例而言，絕緣層的厚度大於或等於 1 nm 且小於或等於 100 nm（含），較佳為大於或等於 10 nm 且小於或等於 50 nm。

使用例如鋁、銅、鈦、鉭、或鎢等金屬材料，以形成含有導電材料的層。使用例如多晶矽等半導體材料，以形成含有導電材料的層。對於形成含有導電材料的層之方法並無特別限定，以及，可以使用例如蒸鍍法、CVD 法、濺射法、或旋轉塗敷法等各種膜形成方法。注意，在本實施例中，說明使用金屬材料以形成含有導電材料的層之情形的實施例。

之後，選擇性地蝕刻絕緣層及含有導電材料的層，因而形成閘極絕緣層 108a 和閘極電極 110a（請參見圖 2C）。

接著，將磷（P）、砷（As）、等等添加至半導體區 104，因而形成通道形成區 116 和雜質區 120（請參見圖 2D）。注意，雖然此處添加磷或砷以製造 n 通道電晶體，

但是，在製造 p 通道電晶體的情形中，可以添加例如硼（B）或鋁（Al）等雜質元素。此處，適當地設定添加的雜質濃度，在半導體元件高度微小化的情形中，較佳的是增加添加的雜質之濃度。

注意，在閘極電極 110 的週圍中形成側壁絕緣層以形成添加不同濃度的雜質元素之雜質區。

接著，形成金屬層 122 以覆蓋閘極電極 110、雜質區 120、等等（請參見圖 3A）。以例如真空蒸鍍法、濺射法、或旋轉塗敷法等各種膜形成方法，以形成金屬層 122。較佳的是，使用與含於半導體區 104 中的半導體材料反應成為低電阻金屬化合物的金屬材料，以形成金屬層 122。此金屬材料的實施例包含鈦、鉭、鎢、鎳、鈷、及鉑。

接著，執行熱處理，因而金屬層 122 與含於半導體區 104 中的半導體材料反應。因此，形成與雜質區 120 接觸之金屬化合物區 124（請參見圖 3A）。注意，在使用多晶矽等形成閘極電極 110 的情形中，在與金屬層 122 接觸的閘極電極 110 的區域中也形成金屬化合物區。

關於熱處理，舉例而言，使用閃光燈照射。雖然，無需多言，可以使用另一種熱處理方法，但是，為了在形成金屬化合物時增進化學反應的控制力，較佳使用可以在極短時間內達成熱處理的方法。注意，藉由金屬材料與半導體材料的反應，以形成金屬化合物區，所述金屬化合物區具有充份高的導電率。金屬化合物區的形成充份地降低電

阻及增進元件特徵。注意，在形成金屬化合物區 124 之後，去除金屬層 122。

接著，在與部份金屬化合物區 124 重疊的區域中形成電極 126（請參見圖 3B）。舉例而言，以形成含有導電材料的層、然後選擇性地蝕刻含有材料的層之方式，以形成電極 126。使用例如鋁、銅、鈦、鉭、或鎢等金屬材料，以形成含有導電材料的層。使用例如多晶矽等半導體材料，以形成含有導電材料的層。對於含有導電材料的層之形成方法並無特別限定，可以使用例如蒸鍍法、CVD 法、濺射法、或旋轉塗敷法等各種膜形成方法。

注意，在形成絕緣層 128 和 130 之後，替代地形成電極 126 以填充形成於絕緣層 128 和絕緣層 130 中的開口而抵達化合物區 124。

在該情形中，舉例而言，能夠使用一種方法，其中，以 PVD 法，在包含開口的區域中形成薄的鈦膜，並且，以 CVD 法形成薄的氮化鈦膜，然後，形成鎢膜以填充開口。此處，由 PVD 法形成的鈦膜具有減少形成於有鈦膜形成於上之表面上的氧化物膜（例如，自然氧化物膜）之功能，因而降低與下電極等（此處為金屬化合物區 124）的接觸電阻。在鈦膜形成後形成的氮化鈦膜具有防止導電材料擴散的障壁功能。在形成鈦、氮化鈦、或類似者的障壁膜之後，以電鍍法形成銅膜。

接著，形成層間絕緣層 128 和絕緣層 130 以覆蓋上述步驟中形成的元件（請參見圖 3C）。由包含例如氧化

矽、氧氮化矽、氮化矽、或氧化鋁等無機絕緣材料之材料，以形成絕緣層 128 和絕緣層 130。使用低介電常數（低 k）材料，特別較佳形成絕緣層 128 和絕緣層 130，在此情形中，可以充份地降低導因於重疊電極或佈線的電容。注意，使用此材料形成的多孔絕緣層可以作為絕緣層 128 和絕緣層 130。多孔絕緣層比具有高密度的絕緣層具有更低的介電常數；因此，可以進一步降低導因於電極或佈線的電容。此外，使用例如聚醯亞胺或丙烯酸等有機絕緣材料形成絕緣層 128 和絕緣層 130。注意，雖然此處使用層間絕緣層 128 和絕緣層 130 的疊層結構，但是，本發明的一個實施例不限於此。也可以使用單層結構、或二或更多層的疊層結構。

經由上述步驟，藉由使用包含半導體材料的基板 100（請參見圖 3C），製造電晶體 160。以此方式製造的電晶體 160 能夠高速操作。因此，當電晶體作讀取電晶體時，可以高速地讀取資料。

之後，對絕緣層 128 和絕緣層 130 執行 CMP 處理，作為電晶體 162 和電容器 164 形成前的處理，因而曝露閘極電極 110 和電極 126 的上表面。關於使閘極電極 110 和電極 126 的上表面曝露之處理，可以使用蝕刻處理等以替代（或結合）CMP 處理。注意，較佳的是儘可能地平坦化絕緣層 128 和絕緣層 130 的表面，以增進電晶體 162 的特徵。

注意，在上述步驟之前及之後，可以進一步地形成電

極、佈線、半導體層、絕緣層。舉例而言，使用絕緣層與導電層堆疊的多層佈線結構作為佈線結構，因而可以取得高度集成的半導體裝置。

<上部中的電晶體製造方法>

接著，在閘極電極 110、電極 126、絕緣層 128、絕緣層 130、等等之上形成導電層，然後選擇性地蝕刻導電層，因而形成源極或汲極電極 142。

以例如濺射法等 PVD 法、或例如電漿 CVD 法等 CVD 法，形成導電層。關於用於導電層的材料，可以使用選自鋁、鉻、銅、鈇、鈦、鉬、和鎢之元素；含有任何這些元素作為成分的合金；或類似者。

導電層可以具有單層結構或包含二或更多層的疊層結構。舉例而言，導電層可為鈦膜或氮化鈦膜的單層結構、具有含矽的鋁膜之單層結構、鈦膜堆疊於鋁膜上之雙層結構、鈦膜堆疊於氮化鈦膜上之雙層結構、或鈦膜、鋁膜、及鈦膜依序堆疊的三層結構、等等。注意，在導電層具有鈦膜或氮化鈦膜的單層結構之情形中，具有導電層容易處理成具有錐狀的源極或汲極電極 142a 和源極或汲極電極 142b。

或者，使用導電金屬氧化物，以形成導電層。關於導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦－氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，在某些情形中縮寫為 ITO）、氧化銦－氧

化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或是包含矽或氧化矽的任何這些金屬氧化物材料。

將導電層較佳地蝕刻成源極或汲極電極 142a 和源極或汲極電極 142b 的邊緣部份成為錐狀的。此處，較佳的是，舉例而言，錐角大於或等於 30° 且小於或等於 60° 。源極或汲極電極 142a 和源極或汲極電極 142b 被蝕刻成具有錐邊緣部份；因此，增進由稍後形成的閘極絕緣層 146 達成的覆蓋率及防止其斷裂。

上部中電晶體的通道長度 (L) 由源極或汲極電極 142a 的下邊緣部份與源極或汲極電極 142b 的下邊緣部份之間的距離來決定。注意，在用於形成通道長度 (L) 短於 25 nm 的電晶體之掩罩的曝光中，較佳的是波長短至數奈米至數十奈米的極端紫外光。在藉由極端紫外光的曝光中，解析度高且聚焦深度大。因此，稍後完成的電晶體的通道長度 (L) 大於或等於 10 nm 且小於或等於 1000 nm ($1\ \mu\text{m}$)，因此，電路的操作速度可以增加。此外，微小化能夠降低半導體裝置的耗電。

注意，可以在絕緣層 128 與絕緣層 130 之上設置作為基底的絕緣層。以 PVD 法、CVD 法、或類似方法，形成絕緣層。

接著，分別在源極或汲極電極 142a 和源極或汲極電極 142b 之上形成絕緣層 143a 和絕緣層 143b (請參見圖 4B)。形成覆蓋源極或汲極電極 142a 和源極或汲極電極 142b 之絕緣層、然後選擇性地蝕刻絕緣層，以形成絕緣

層 143a 和絕緣層 143b。絕緣層 143a 和絕緣層 143b 形成爲重疊稍後要被形成的部份閘極電極。當設置此絕緣層時，在閘極電極與源極或汲極電極之間的電容可以降低。

使用包含例如氧化矽、氧氮化矽、氮化矽、或氧化鋁等無機絕緣材料之材料，以形成絕緣層 143a 和絕緣層 143b。使用低介電常數（低 k ）材料，特別較佳地形成絕緣層 143a 和絕緣層 143b，在此情形中，可以充份地降低閘極電極與源極或汲極電極之間的電容。注意，使用此材料形成的多孔絕緣層可以作爲絕緣層 143a 和絕緣層 143b。多孔絕緣層比具有高密度的絕緣層具有更低的介電常數；因此，可以進一步降低閘極電極與源極或汲極電極之間的電容。

以降低閘極電極與源極或汲極電極之間的電容之觀點而言，形成絕緣層 143a 和絕緣層 143b 是較佳的。但是，可以使用未設置絕緣層的結構。

接著，形成氧化物半導體層以覆蓋源極或汲極電極 142a 和源極或汲極電極 142b，然後，選擇性地蝕刻氧化物半導體層，因而形成氧化物半導體層 144（請參見圖 4C）。

使用四元素金屬氧化物之以 In-Sn-Ga-Zn-O 爲基礎的材料；三元素金屬氧化物之以 In-Ga-Zn-O 爲基礎的材料、以 In-Sn-Zn-O 爲基礎的材料、以 In-Al-Zn-O 爲基礎的材料、以 Sn-Ga-Zn-O 爲基礎的材料、以 Al-Ga-Zn-O 爲基礎的材料、或以 Sn-Al-Zn-O 爲基礎的材料；二元素金

屬氧化物之以 In-Zn-O 為基礎的材料、以 Sn-Zn-O 為基礎的材料、以 Al-Zn-O 為基礎的材料、以 Zn-Mg-O 為基礎的材料、以 Sn-Mg-O 為基礎的材料、或以 In-Mg-O 為基礎的材料；或單一元素金屬氧化物之以 In-O 為基礎的材料、以 Sn-O 為基礎的材料、以 Zn-O 為基礎的材料、等等。

特別是，以 In-Ga-Zn-O 為基礎的氧化物半導體材料當無電場時具有足夠高的電阻；因此，可以充份降低關閉狀態電流。此外，也具有高場效遷移率，所以，以 In-Ga-Zn-O 為基礎的氧化物半導體材料適用於半導體裝置。

以 In-Ga-Zn-O 為基礎的氧化物半導體材料的典型實施例以 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 表示。此外，當使用 M 取代 Ga 時，有以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的氧化物半導體材料。此處，M 代表選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co)、等等的其中之一或更多金屬元素。舉例而言，M 可為 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co、或類似者。注意，上述成份為從結晶結構導出且僅為實施例。

關於用於以濺射法形成氧化物半導體層 144 的靶材，較佳使用 In 對 Ga 和 Zn 的成份比為 1:x:y (x 是大於或等於 0 且 y 是大於或等於 0.5 且小於或等於 5) 之靶材。舉例而言，使用 In_2O_3 對 Ga_2O_3 和 ZnO 的成份比為 1:1:2[莫耳比] ($x=1, y=1$) 的靶材。或者，使用 In_2O_3 對 Ga_2O_3 和 ZnO 的成份比為 1:1:1[莫耳比] ($x=1, y=0.5$) 的靶材、

In_2O_3 對 Ga_2O_3 和 ZnO 的成份比為 1:1:4[莫耳比] ($x=1, y=2$) 的靶材、或 In_2O_3 對 Ga_2O_3 和 ZnO 的成份比為 1:0:2[莫耳比] ($x=0, y=1$) 的靶材。

在本實施例中，以用於膜形成的以 In-Ga-Zn-O 為基礎的氧化物半導體靶材，以濺射法形成氧化物半導體層。

較佳的是，含於用於膜形成的氧化物半導體靶材中的金屬氧化物半導體具有 80%或更大的相對密度，較佳為 95%或更多，更佳為 99.9%或更大。藉由使用具有高相對密度的用於形成氧化物半導體之靶材，能夠形成具有緻密結構的氧化物半導體層。

形成氧化物半導體層的氛圍較佳的是稀有氣體（典型上為氬）氛圍、氧氛圍、或稀有氣體（典型上為氬）與氧的混合氛圍。具體而言，較佳的是使用例如高純度氣體，其中，例如氫、水、羥基或氫化物等雜質被去除至其濃度降為 1 ppm 或更低（較佳地，濃度為 10 ppb 或更低）。

在形成氧化物半導體層時，舉例而言，要被處理的物體被固持於維持降壓的處理室中且物體被加熱至其溫度為高於或等於 100°C 且低於 550°C ，較佳為高於或等於 200°C 且低於或等於 400°C 。或者，形成氧化物半導體層時物體的溫度可為室溫（ $25^\circ\text{C} \pm 10^\circ\text{C}$ ）。然後，去除處理室中的濕氣，將氫、水、等等被去除的濺射氣體導入，以及使用上述靶材，以便形成氧化物半導體層 144。藉由加熱基板時形成氧化物半導體層，能夠降低氧化物半導體層中的雜質。此外，能夠降低氧化物半導體層導因於濺射的損

傷。爲了去除處理室中的濕氣，較佳使用吸附型真空泵。舉例而言，使用低溫泵、離子泵、鈦昇華泵、等等。可以使用設有冷阱的渦輪泵。藉由使用低溫泵或類似者，從處理室中去除氫、水、等等；因此，可以降低氧化物半導體層中的雜質濃度。

舉例而言，在下述條件下，形成氧化物半導體層：物體與靶材之間的距離爲 170 mm，壓力爲 0.4 Pa，直流（DC）電力爲 0.5 kW，以及氛圍爲氧（氧：100%）氛圍、氬（氬：100%）、或氧及氬的混合氛圍。由於脈衝式直流（DC）電源可以降低粉末物質（也稱爲粒子或灰塵）以及降低膜厚分佈，所以較佳的是使用脈衝式直流（DC）電源。氧化物半導體層的厚度爲大於或等於 1 nm 且小於或等於 50 nm，較佳爲大於或等於 1 nm 且小於或等於 30 nm，更佳爲大於或等於 1 nm 且小於或等於 10 nm。藉由具有此厚度的氧化物半導體層，可以抑制隨著微小化發生的短通道效應。注意，氧化物半導體層的適當厚度視所使用的氧化物半導體材料、半導體裝置用途等等而定，因此，可以根據材料、用途、等等而適當地選擇厚度。

注意，在以濺射法形成氧化物半導體層之前，較佳的是執行反向濺射以便去除附著於形成的氧化物半導體層的表面（例如，絕緣層 130 的表面）的灰塵，在反向濺射中，藉由導入的氬氣以產生電漿。此處，反向濺射係一方法，與離子撞擊濺射靶材的一般濺射相對地，其係使離子

撞擊要被處理的基板的表面，以修改表面。使離子撞擊要被處理的表面之方法的實施例是在氬氛圍中將高電頻電壓施加至表面以便在接近基板處產生電漿。注意，可以使用氮氛圍、氦氛圍、氧氛圍或類似者以取代氬氛圍。

之後，對氧化物半導體層較佳執行熱處理（第一熱處理）。藉由第一熱處理，去除氧化物半導體層中的過量氫（包含水及羥基），增進氧化物半導體層的結構、以及降低能隙中的缺陷狀態。舉例而言，第一熱處理的溫度等於或高於 300℃ 且低於 550℃ 的溫度，或高於或等於 400℃ 且低於或等於 550℃。

舉例而言，以下述方式執行熱處理：將要熱處理的物體導入使用電阻式加熱元件等的電熱爐中，然後，在 450℃ 下，在氮氛圍中，加熱一小時。在第一熱處理期間，氧化物半導體層未曝露於空氣，以防止水和氫進入。

熱處理設備不限於電熱爐，可以是以來自例如受熱氣體等媒介的熱傳導或熱輻射來加熱要被處理的物品之設備。舉例而言，使用例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備等快速熱退火（RTA）設備。LRTA 設備是藉由例如鹵素燈、金屬鹵化物燈、氬電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將要被處理的物體加熱。GRTA 設備是使用高溫氣體以執行熱處理之設備。關於氣體，使用不會與熱處理要被處理的物體反應之惰性氣體，例如氮或例如氬等稀有氣體。

舉例而言，關於第一熱處理，執行 GRTA 處理，其中，將物體置於受加熱的惰性氣體氛圍中加熱數分鐘、然後自惰性氣體氛圍取出。GRTA 製程能夠在短時間內取得高溫熱處理。此外，即使當溫度超過物體的溫度上限時，仍然能夠使用 GRTA 製程。注意，在製程期間，惰性氣體可以換成含氧的氣體。這是因為藉由在含氧的氛圍中執行第一熱處理，可以降低導因於氧空乏之能量隙中的缺陷。

注意，關於惰性氣體氛圍，較佳的是使用含氮或稀有氣體（例如，氮、氖、氬、或類似者）作為主成份及未含有水、氫、等等的氛圍。舉例而言，被導入至熱處理設備之氮或例如氮、氖、或氬等稀有氣體之純度為大於或等於 6N（99.9999%），較佳為大於或等於 7N（99.99999%）（亦即，雜質濃度為小於或等於 1 ppm，較佳為低於或等於 0.1 ppm）。

在任何情形中，藉由第一熱處理降低雜質以便取得 i 型（本質的）或實質上 i 型的氧化物半導體層。因此，能夠取得具有優良特徵的電晶體。

由於具有去除氫、水、等等的效果，上述熱處理（第一熱處理）也稱為脫水處理、脫氫處理、等等。舉例而言，在形成氧化物半導體層後、在形成閘極絕緣層之後、或在形成閘極電極之後，執行脫水處理或脫氫處理。可以執行一次或多次此脫水處理或脫氫處理。

在上述熱處理之前或之後，執行氧化物半導體層的蝕刻。雖然以元件微小化的觀點而言，乾式蝕刻是較佳的，

但是，也可以使用濕式蝕刻。可以視要被蝕刻的材料而適當地選取蝕刻氣體及蝕刻劑。注意，在元件中的漏電不是問題的情形中，氧化物半導體層不必被處理成島狀氧化物半導體層。

接著，形成要與氧化物半導體層 144 接觸的閘極絕緣層 146。之後，在閘極絕緣層 146 之上，在與氧化物半導體層 144 重疊的區域中形成閘極電極 148a，並且，在與源極或汲極電極 142a 重疊的區域中形成電極 148b（請參見圖 4D）。

以 CVD 法、濺射法、等等，形成絕緣層 146。閘極絕緣層較佳形成至包含氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的鋁酸鈣（ HfAl_xO_y （ $x>0$ ， $y>0$ ））、等等。閘極絕緣層 146 可以具有單層結構或疊層結構。對於閘極絕緣層 146 的厚度並無特別限定；但是，在半導體裝置微小化的情形中，較佳使閘極絕緣層 146 減薄至確保電晶體的操作。舉例而言，在使用氧化矽的情形中，閘極絕緣層 146 的厚度大於或等於 1 nm 且小於或等於 100 nm，較佳為大於或等於 10 nm 且小於或等於 50 nm。

當閘極絕緣層如上述中一般薄時，造成導因於穿隧效應等的閘極漏電的問題。為了解決閘極漏電問題，較佳的是，使用例如氮化鈣、氧氮化矽、氧化鋇、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的矽酸鈣（ HfSi_xO_y

($x > 0$, $y > 0$))、或添加氮的鋁酸鈣 (HfAl_xO_y ($x > 0$, $y > 0$))。以高 k 材料用於閘極絕緣層 146，增加閘極絕緣層 146 的厚度以防止閘極漏電以及同時維持電特徵。注意，閘極絕緣層 146 可以具有含高 k 材料的膜與氧化矽、氮化矽、氧氮化矽、氧氮化矽、氮氧化矽、氧化鋁、等等的膜之疊層結構。

在形成閘極絕緣層 146 之後，在惰性氣體氛圍或氧氛圍中，較佳執行第二熱處理。第二熱處理的溫度高於或等於 200°C 且低於或等於 450°C ，較佳為高於或等於 250°C 且低於或等於 350°C 。舉例而言，在氮氛圍中，以 250°C 執行第二熱處理一小時。第二熱處理可以降低電晶體的電特徵變異。此外，在閘極絕緣層 146 含氧的情形中，氧供應至氧化物半導體層 144 以填充氧化物半導體層 144 中的氧空乏，因而形成 i 型（本質的）或實質上 i 型的氧化物半導體層。

注意，雖然在本實施例中是在形成閘極絕緣層 146 之後執行第二熱處理，但是，第二熱處理的時機不限於此。舉例而言，可以在形成閘極電極之後執行第二熱處理。或者，接續在第一熱處理之後，執行第二熱處理，第一熱處理可以是第二熱處理的二倍，或者第二熱處理可以是第一熱處理的二倍。

如上所述般使用第一熱處理及第二熱處理的至少其中之一，因而純化氧化物半導體層 144，以便儘可能地防止不是氧化物半導體的主成份之雜質被包含於其中。

以導電層形成在閘極絕緣層 146 上、然後被蝕刻之方式，形成閘極電極 148a 和電極 148b。以濺射法為代表的 PVD 法、或是例如電漿 CVD 法等 CVD 法，形成要成為閘極電極 148a 和電極 148b 的導電層。細節類似於源極或汲極電極 142a 等等；因此，可參考其詳細說明。

接著，在閘極絕緣層 146、閘極電極 148a、和閘極電極 148b 之上形成絕緣層 150 和絕緣層 152（請參見圖 5A）。以 PVD 法、CVD 法、等等，形成絕緣層 150 和 152。絕緣層 150 和絕緣層 152 由包含例如氧化矽、氧氮化矽、氮化矽、氧化鉛、或氧化鋁等材料所形成。

注意，絕緣層 150 和絕緣層 152 較佳由低介電常數材料所形成或是具有低介電常數結構（例如多孔結構）。絕緣層 150 和絕緣層 152 的介電常數降低，因而在佈線或電極之間產生的電容可以降低，造成更高速操作。

注意，雖然在本實施例中使用絕緣層 150 及絕緣層 152 的疊層結構，但是，本發明的一個實施例不限於此。也可以使用單層結構或二或更多層的疊層結構。或者，可以省略絕緣層。

注意，絕緣層 152 較佳形成為具有平坦表面。藉由形成具有平坦化表面的層間絕緣層 152，即使在半導體裝置微小化的情形中，電極、佈線、等等仍然有利地形成於層間絕緣層 152 中。以例如化學機械拋光（CMP）等方法，平坦化層間絕緣層 152。

接著，在閘極絕緣層 146、絕緣層 150、及絕緣層

152 中形成抵達源極或汲極電極 142b 的開口（請參見圖 5B）。使用掩罩等，藉由選擇性蝕刻，以形成開口。

此處，在與電極 126 重疊的區域中，較佳形成開口。在此區域中形成開口，因而能夠抑制導因於電極的接觸區之元件面積的增加。換言之，增加半導體裝置的集成度。

之後，在開口中形成電極 154，在絕緣層 152 之上形成要與電極 154 接觸的佈線 156（請參見圖 5C）。

舉例而言，在包含開口的區域中，以 PVD 法、CVD 法、等等，形成導電層，然後，藉由蝕刻處理、CMP、等等，去除部份導電層，以形成電極 154。

具體而言，能夠採用一種方法，其中，舉例而言，在包含開口的區域中，以 PVD 法形成薄鈦膜、以 CVD 法形成薄的氮化鈦膜、然後形成鎢膜以填充開口。此處，以 PVD 法形成的鈦膜具有減少形成於有鈦膜形成於其上的表面上的氧化物膜（例如，自然氧化物膜）的功能，以降低與下電極等的接觸電阻（此處，源極或汲極電極 142b）。在形成鈦膜之後形成的氮化鈦膜具有防止導電材料擴散的障壁功能。在形成鈦、氮化鈦、或類似者的障壁膜之後，以電鍍法形成銅膜。

注意，在藉由去除部份導電層以形成電極 154 的情形中，較佳執行處理，使得表面平坦化。舉例而言，在包含開口的區域中形成薄的鈦膜或薄的氮化鈦膜，然後形成鎢膜以填充開口，去除鎢膜、鈦膜、氮化鈦膜等的不需要部份，同時以後續的 CMP 處理來增加表面的平坦性。以此

方式平坦化包含電極 154 的表面，因而在稍後的步驟中有利地形成電極、佈線、絕緣層、半導體層、等等。

以例如濺射法等 PVD 法、或是例如電漿 CVD 法等 CVD 法來形成導電層、然後將導電層圖案化之方式，形成佈線 156。關於用於導電層的材料，使用選自鋁、鉻、銅、鈇、鈦、鉬、及鎢之元素；含有任何這些元素作為成份的合金；等等。可以使用錳、鎂、鋅、鈹、釷、或釷中的任意者、或是含有這些元素中的二或更多元素的組合之材料。細節與源極或汲極電極 142a 等的細節類似。

經由上述步驟，完成包含純化的氧化物半導體層 144 之電容器 164 和電晶體 162（請參見圖 5C）。

由於本實施例中所示的電晶體 162 中氧化物半導體層 144 純化，所以，其氫濃度低於 5×10^{19} 原子 / cm^3 ，較佳為低於 5×10^{18} 原子 / cm^3 ，更佳為低於 5×10^{17} 原子 / cm^3 。此外，氧化物半導體層 144 的載子濃度（例如，低於 1×10^{12} / cm^3 ，更佳低於 1.45×10^{11} / cm^3 ）遠低於典型的矽晶圓（添加例如小量磷或硼等雜質元素的矽晶圓）的載子濃度（約 1×10^{14} / cm^3 ）。因此，電晶體 162 的關閉狀態電流充份低。舉例而言，在室溫（ 25°C ）下的關閉狀態電流（此處，每微米（ μm ）的通道寬度之電流）低於或等於 100 zA（1 zA（介安培））是 $1 \times 10^{-21}\text{A}$ ），較佳為低於或等於 10 zA。

藉由使用純化的本質的氧化物半導體層 144，充份地降低電晶體的關閉狀態電流。此外，藉由使用此電晶體，

以取得能夠很長時間固持儲存的資料之半導體裝置。

電極 126 及電極 154 形成爲彼此重疊，因而抑制導因於電極的接觸區之元件面積的增加；因此，進一步增加集成度。此外，在本實施例中所述的半導體裝置中，共用佈線；因此，取得具有充份增加的集成度之半導體裝置。

本實施例中所述的結構、方法、等等能夠與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例 2）

在本實施例中，將參考圖 6A 和 6B、圖 7A 至 7H、及圖 8A 至 8E，說明根據本發明之另一實施例的半導體裝置之結構及製造方法。

< 半導體裝置的剖面結構及平面結構 >

圖 6A 及 6B 顯示根據本實施例之半導體裝置的結構實例。圖 6A 是半導體裝置的剖面視圖。圖 6B 是半導體裝置的平面視圖。此處，圖 6A 對應於圖 6B 中的 C1-C2 和 D1-D2 剖面。圖 6A 及 6B 中所示的半導體裝置包含電晶體 560 及電晶體 562，電晶體 560 在其下部包括第一半導體材料，電晶體 562 在其上部包括第二半導體材料。此處，較佳的是第一半導體材料及第二半導體材料彼此不同。舉例而言，第一半導體材料是非氧化物半導體的材料（例如，矽），第二半導體材料是氧化物半導體。包含非氧化物半導體的半導體材料之電晶體容易以高速操作。相

對地，包含氧化物半導體的電晶體因其特徵而能長時間地固持電荷。

雖然這二個電晶體都是 n 通道電晶體，但是，無需多言，可以使用 p 通道電晶體。本發明的技術特點在於在電晶體 162 中使用例如氧化物半導體等使關閉狀態電流充份降低的材料，以固持資料。因此，無需將例如半導體裝置的材料、結構、等特定條件限定於此處所述。

圖 6A 及 6B 中所示的電晶體 560 包含設於基底基板 500 之上的半導體層中的通道形成區 526；雜質區 528，係設置成將通道形成區 526 夾於其間；閘極絕緣層 522a，係設置於通道形成區 526 上；以及，閘極電極 524a，係設置於閘極絕緣層 522a 之上。換言之，圖 6A 及 6B 中所示的電晶體 560 與圖 1A 及 1B 中所示的電晶體 160 之間的差異的其中之一在於通道形成區是否形成於基底基板 500 之上的半導體層中。也可以說，差異在於使用半導體基板或 SOI 基板。注意，為便於說明，源極電極和汲極電極未顯示於圖式中的電晶體可以稱為電晶體。

電極 530 係連接至電晶體中的部份雜質區 528。此處，電極 530 用作為電晶體 560 的源極電極或汲極電極。絕緣層 532 及絕緣層 534 設置成覆蓋電晶體 560。注意，較佳的是，如圖 6A 和 6B 所示，電晶體 560 未包含側壁絕緣層以增加集成度。另一方面，在電晶體 560 的特徵優先的情形中，可以在閘極電極 524a 的側表面上設置側壁絕緣層，並且，雜質區 528 可以均在與側壁絕緣層重疊的

區域中包含具有不同雜質濃度的區域。

圖 6A 和 6B 中的電晶體與圖 1A 及 1B 中的電晶體 162 相同。換言之，圖 6A 和 6B 中的電晶體 562 包含：源極或汲極電極 542a 和源極或汲極電極 542b，係設於絕緣層 534 之上；氧化物半導體層 544，係電連接至源極或汲極電極 542a 和源極或汲極電極 542b；閘極絕緣層 546 覆蓋源極或汲極電極 542a、源極或汲極電極 542b、及氧化物半導體層 544；閘極電極 548a，係設於閘極絕緣層 546 之上而與氧化物半導體層 544 重疊；絕緣層 543a，係設於源極或汲極電極 542a 與氧化物半導體層 144 之間且與閘極電極 548a 重疊的區域中；絕緣層 543b，係設於源極或汲極電極 542b 與氧化物半導體層 544 之間且與閘極電極 548a 重疊的區域中。注意，雖然較佳的是設置絕緣層 543a 和絕緣層 543b 以降低源極或汲極電極與閘極電極之間的電容，但是，並不一定要設置絕緣層 543a 和絕緣層 543b。

此外，圖 6A 及 6B 中的電容器 564 與圖 1A 及 1B 中的電容器 164 相同。換言之，圖 6A 及 6B 中的電容器 564 包含源極或汲極電極 542a、氧化物半導體層 544、閘極絕緣層 546、以及電極 548b。也就是說，源極或汲極電極 542a 作為電容器 564 的電極的其中之一，電極 548b 作為電容器 564 的另一個電極。其它細節可以參考上述實施例。

在此方面，圖 6A 與圖 1A 相同：絕緣層 550 係設於

電晶體 562 及電容器 564 之上；絕緣層 552 係設於絕緣層 550 之上；電極 554 係設於形成在閘極絕緣層 546、絕緣層 550、及絕緣層 552 中的開口中；以及，佈線 556 係設在絕緣層 552 之上以便連接至電極 554。

< SOI 基板的製造方法 >

接著，參考圖 7A 至 7H，說明用於製造上述半導體裝置的 SOI 基板之製造方法的實施例。

首先，製備基底基板 500（請參考圖 7A）。關於基底基板，使用絕緣體形成的基板。關於其具體實施例，可為下述：電子產業中使用的各種玻璃基板，例如矽酸鋁玻璃、硼矽酸鋁玻璃、及硼矽酸鋇玻璃製成的玻璃；石英玻璃；陶瓷玻璃；及藍寶石玻璃。或者，使用含有氮化矽及氮化鋁作為主成份且其熱膨脹係數接近矽的熱膨脹係數之陶瓷基板。

或者，可以使用例如單晶矽基板或單晶鍺基板等半導體基板作為基底基板 500。在使用此半導體基板作為基底基板 500 的情形中，相較於使用玻璃基板等的情形中，熱處理溫度上限提高，允許容易取得高品質的 SOI 基板。此處，關於半導體基板，可以使用太陽能等級的矽（SOG-Si）基板等等。或者，可以使用多晶半導體基板。當使用太陽能等級矽基板、多晶矽半導體基板、等等時，相較於使用單晶矽基板等的情形，使製造成本降低。

在本實施例中，說明使用玻璃基板作為基底基板 500

的情形。當使用尺寸增加且不昂貴的玻璃基板作為基底基板 500 時，可以降低成本。

較佳的是預先清洗基底基板 500 的表面。具體而言，基底基板 500 受到氫氯酸／過氧化氫混合物（HPM）、硫酸／過氧化氫混合物（SPM）、氫氧化銨混合物（APM）、稀釋的氫氟酸（DHF）、FPM（氫氟酸、過氧化氫水、及純水的混合溶液）、或類似者之超音波清洗。經由此清洗處理，增進基底基板 500 的表面平坦度且去除餘留於基底基板 500 的表面上的研磨粒子。

接著，在基底基板 500 的表面上形成含氮層 502（舉例而言，包含例如氮化矽（SiN）膜或氮氧化矽（ SiN_xO_y （ $x>y$ ）膜）等含氮的絕緣膜的層）（請參見圖 7B）。以 CVD 法、濺射法、等等，形成含氮層 502。

在本實施例中形成的含氮層 502 作為用以接合單晶半導體層的層（亦即，接合層）。含氮層 502 也作為障壁層，用以防止例如鈉（Na）等含於基底基板中的雜質擴散至單晶半導體層中。

如上所述，由於在本實施例中使用含氮層 502 用作為接合層，所以，較佳的是，含氮層 502 形成為具有某種程度的表面平坦性。具體而言，形成含氮層 502，以致於其具有 0.5 nm 或更小的平均表面粗糙度（ R_a ，也稱為算術平均偏差）及 0.60 nm 或更低的均方根表面粗糙度（ R_{ms} ），較佳的是，0.35 nm 或更低的平均表面粗糙度及 0.45 nm 或更低的均方根表面粗糙度。注意，舉例而言，

以對 $10\ \mu\text{m} \times 10\ \mu\text{m}$ 的區域執行測量而取得的值用於上述平均表面粗糙度及均方根表面粗糙度。厚度在 10 nm 至 200 nm 的範圍，較佳為在 50 nm 至 100 nm 的範圍。藉由此高度的表面平坦性，可以防止單晶半導體層的缺陷接合。

接著，製備接合基板。此處，使用單晶半導體基板 510 作為接合基板（請參見圖 7C）。注意，雖然此處使用單晶基板作為接合基板，但是，接合基板無須侷限於單晶基板。

關於單晶半導體基板 510，舉例而言，可以使用例如單晶矽基板、單晶鍺基板、或單晶矽鍺基板等由 14 族元素所形成的單晶半導體基板。或者，使用砷化鎵、磷化銦、或類似者形成的化合物半導體基板。商用矽基板典型上為直徑 5 吋（約 125 mm）、6 吋（約 150 mm）、8 吋（約 200 mm）、12 吋（約 300 mm）、及 16 吋（約 400 mm）的圓形狀。注意，單晶半導體基板 510 的形狀不限於圓形，單晶半導體基板 510 可為被處理成例如長方形等形狀的基板。此外，以柴可斯基（CZ）法或浮動區（FZ）法，形成單晶半導體基板 510。

在單晶半導體基板 510 的表面上形成氧化物膜 512（請參見圖 7D）。慮及污染物的去除，較佳的是，在氧化物膜 512 形成之前，以氫氯酸／過氧化氫混合物（HPM）、硫酸／過氧化氫混合物（SPM）、氫氧化銨混合物（APM）、稀釋的氫氟酸（DHF）、氫氟酸、過氧化

氫水、及純水的混合溶液（FPM）、或類似者，清洗單晶半導體基板 510 的表面。或者，交替地排放稀釋的氫氟酸及臭氧水以用於清洗。

舉例而言，使用氧化矽膜、氧氮化矽膜、等等，以形成氧化物膜 512 至具有單層結構或疊層結構。關於用於形成氧化物膜 512 的方法，可以使用熱氧化法、CVD 法、濺射法、等等。在以 CVD 法形成氧化物膜 512 的情形中，使用例如四甲氧矽（縮寫：TEOS）（化學式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等有機矽烷，較佳形成氧化矽膜，以便取得有利結合。

在本實施例中，對單晶半導體基板 510 執行熱氧化處理，以形成氧化物膜 512（此處， SiO_x 膜）。在添加鹵素的氧化氛圍中，較佳執行熱氧化處理。

舉例而言，在添加氯（Cl）的氧化氛圍中，執行單晶半導體基板 510 的熱氧化處理，因而經由氯氧化而形成氧化物膜 512。在該情形中，氧化物膜 512 是含有氯原子的膜。藉由此氯氧化，捕捉非本質的雜質之重金屬（例如，Fe、Cr、Ni、Mo、等等），以及形成金屬的氯化物，然後將其移至外部；因此，降低單晶半導體基板 510 的污染。此外，在基底基板 500 與單晶半導體基板 510 彼此接合之後，例如 Na 等來自基底基板的雜質被固定，以致於防止單晶半導體基板 510 的污染。

注意，含於氧化物膜 512 中的鹵素原子不限於氯原子。氟原子可以含於氧化物膜 512 中。關於單晶半導體基

板 510 的表面的氟氧化方法，使用將單晶半導體基板 510 浸泡於 HF 溶液中及使其在氧化氛圍中受到熱氧化處理之方法、在添加 NF_3 的氧化氛圍中執行熱氧化處理之方法、等等。

接著，以電場將離子加速以及以離子照射單晶半導體基板 510 及將離子添加至單晶半導體基板 510，因而在單晶半導體基板 510 中預定深度處形成晶體結構受損的易脆區 514（請參見圖 7E）。

藉由離子的動能、電荷、入射角、等等，控制形成易脆區 514 的深度。易脆區 514 係形成於與離子的平均穿透深度幾乎相同的深度處。因此，要與單晶半導體基板 510 分離的單晶半導體層之厚度可以由添加離子的深度來控制。舉例而言，可以調整平均穿透深度，以致於單晶半導體層的厚度幾乎大於或等於 10 nm 且小於或等於 500 nm，較佳的是，大於或等於 50 nm 且小於或等於 200 nm。

以離子摻雜設備或離子佈植設備，執行上述離子照射處理。關於離子摻雜設備的典型實施例，有非質量分離型設備，其中，執行製程氣體的电漿激發以及以產生的所有種類的離子來照射要被處理的物體。在此設備中，未作質量分離，以電漿的各種離子來照射要被處理的物體。相反地，離子佈植設備是質量分離設備。在離子佈植設備中，執行電漿的各種離子種類的質量分離及以具有預定質量的離子種類來照射要被處理的物體。

在本實施例中，將說明以離子摻雜設備用於添加氫至單晶半導體基板 510 的實施例。使用含氫的氣體作為源氣體。關於用於照射的離子，將 H_3^+ 的比例設定為高的。具體而言，較佳的是 H_3^+ 的比例設定為相對於 H^+ 、 H_2^+ 、及 H_3^+ 的總量的比例為 50% 或更高（更佳地，80% 或更高）。藉由高比例的 H_3^+ ，可以增進離子照射的效率。

注意，要被添加的離子不限於氫離子。可以添加氮離子等等。此外，要被添加的離子不限於一種離子，可以添加多種離子。舉例而言，在以離子摻雜設備，同時以氫及氮執行照射的情形中，相較於在不同步驟中執行氫及氮的照射之情形，可以降低步驟數目，並且，抑制稍後要執行的單晶半導體層的表面粗糙度增加。

注意，當以離子摻雜設備形成易脆區 514 時，也可以添加重金屬；但是，經過含有鹵素原子的氧化物膜 512 而執行離子照射，因此，可以防止導因於重金屬的單晶半導體基板 510 的污染。

然後，基底基板 500 及單晶半導體基板 510 被配置成彼此面對，並且，含氮層 502 的表面與氧化物膜 512 係彼此牢固地附著。因此，基底基板 500 及單晶半導體基板 510 係彼此接合（請參見圖 7F）。

當執行接合時，較佳的是大於或等於 0.001 N/cm^2 且小於或等於 100 N/cm^2 的壓力，例如大於或等於 1 N/cm^2 且小於或等於 20 N/cm^2 的壓力被施加至基底基板 500 的一部份或是單晶半導體基板 510 的一部份。當藉由施加壓

力而將接合表面製成彼此接近且彼此牢固地貼合時，在含氮層 502 與氧化物膜 512 彼此牢固地貼合之部份處產生它們之間的接合，且接合自然地擴散至幾乎整個區域。在凡得瓦力的作用下執行此接合，或者在室溫下執行氫接合。

注意，在單晶半導體基板 510 與基底基板 500 彼此接合之前，要被接合的表面較佳受到表面處理。表面處理能夠增進單晶半導體基板 510 與基底基板 500 之間的介面處的接合強度。

關於表面處理，可以使用濕式處理、乾式處理、或濕式處理與乾式處理的結合。或者，使用濕式處理結合不同的濕式處理，或是使用乾式處理結合不同的乾式處理。

注意，在接合之後，可以執行用於增加接合強度的熱處理。以易脆區 514 處不會發生分離的溫度，執行此熱處理（舉例而言，高於或等於室溫且低於 400°C 的溫度）。或者，執行含氮層 502 及氧化物膜 512 的接合並在此範圍的溫度將它們加熱。使用擴散爐、例如電阻式加熱爐等加熱爐、快速熱退火（RTA）設備、微波加熱設備、等等。上述溫度條件僅為實施例，本發明的一個實施例不應被解釋為侷限於此實施例。

接著，執行熱處理以在易脆區分離單晶半導體基板 510，因而在基底基板 500 之上形成單晶半導體層 516，而以含氮層 502 及氧化物膜 512 介於其間（請參見圖 7G）。

注意，較佳的是在分離時的熱處理溫度儘可能低。這

是因爲分離時熱處理的溫度愈低，則愈能防止單晶半導體層 516 的表面粗糙度。具體而言，在分離時的熱處理溫度可以高於或等於 300℃ 且低於或等於 600℃，並且，當溫度高於或等於 400℃ 且低於或等於 500℃ 時，熱處理更有效。

注意，在單晶半導體基板 510 分離之後，單晶半導體層 516 可以受到 500℃ 或更高溫度的熱處理，以使餘留在單晶半導體層 516 中的氫濃度降低。

接著，以雷射光照射單晶半導體層 516 的表面，因此，形成表面平坦度增進且缺陷降低的單晶半導體層 518（請參見圖 7H）。注意，可以執行熱處理來取代雷射光照射處理。

雖然在本實施例中，在單晶半導體層 516 分離的熱處理之後，立即執行雷射光照射處理，但是，本發明的一個實施例不應解釋爲侷限於此。在依序執行分離單晶半導體層 516 及用以去除單晶半導體層 516 的表面之包含很多缺陷的區域之蝕刻處理之後，執行雷射光照射處理。或者，在增進單晶半導體層 516 的表面平坦性之後，執行雷射光照射處理。注意，蝕刻處理可以是濕式蝕刻或乾式蝕刻。此外，在如上所述執行雷射光照射之後，可以執行單晶半導體層 516 的厚度縮減步驟。爲了減少單晶半導體層 516 的厚度，可以使用乾式蝕刻及濕式蝕刻中的任一者或二者。

經由上述步驟，取得具有有利特徵的包含單晶半導體

層 518 之 SOI 基板（請參見圖 7H）。

< 半導體裝置的製造方法 >

接著，將參考圖 8A 至 8E，說明使用 SOI 基板之半導體裝置，特別是電晶體 560 的製造方法。注意，圖 8A 至 8E 顯示使用以參考圖 7A 至 7H 說明的方法所形成的部份 SOI 基板之半導體裝置的製造方法。

首先，將單晶半導體層 518 處理成島狀，以便形成半導體層 520（請參見圖 8A）。注意，在此步驟之前或之後，賦予 n 型導電率的雜質元素或是賦予 p 型導電率的雜質元素可以被添加至半導體層，以控制電晶體的臨界電壓。在使用矽作為半導體的情形中，磷、砷、等等可以用作為賦予 n 型導電率的雜質元素。另一方面，硼、鋁、鎵、等等可以用作為賦予 p 型導電率的雜質元素。

接著，形成絕緣層 522 以覆蓋半導體層 520，並且，在與至少半導體層 520 重疊的區域中，於絕緣層 522 之上形成導電層 524（請參見圖 8B）。

絕緣層 522 稍後要成為閘極絕緣層。舉例而言，藉由對半導體層 520 的表面上形執行熱處理（例如，熱氧化處理、熱氮化處理、等等），形成絕緣層 522。可以執行高密度電漿處理以取代熱處理。舉例而言，使用例如 He、Ar、Kr、或 Xe 等稀有氣體與氧、氧化氮、氨、氮、和氫中任何氣體的混合氣體，執行高密度電漿處理。無需多言，以 CVD 法、濺射法、等等，以形成絕緣層。絕緣層

較佳具有單層結構或疊層結構，單層結構或疊層結構使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ ， $y>0$ ））、等等的膜。舉例而言，絕緣層的厚度為大於或等於 1 nm 且小於或等於 100 nm，較佳為大於或等於 10 nm 且小於或等於 50 nm。

導電層 524 是要成為閘極電極層。使用例如鋁、銅、鈦、鋇、或鎢等金屬材料，以形成導電層 524。使用例如多晶矽等半導體材料，以形成含有導電材料的層。對於形成含有導電材料的層之方法並無特別限定，並且，可以使用例如蒸鍍法、CVD 法、濺射法、或旋轉塗敷法等各種膜形成方法。注意，在本實施例中，說明使用金屬材料以形成含有導電材料的層之情形的實施例。

接著，選擇性地蝕刻絕緣層 522 及導電層 524，以便在半導體層 520 之上形成閘極絕緣層 522a 和閘極電極 524a（請參見圖 8C）。視要被蝕刻的材料而適當地選取蝕刻氣體及蝕刻劑。

接著，以閘極電極 524a 作為掩罩，將賦予一個導電率型的雜質元素添加至半導體層 520，以致便成通道形成區 526 和雜質區 528（請參見圖 8D）。注意，雖然此處添加磷或砷以形成 n 通道電晶體，但是，在形成 p 通道電晶體的情形中，可以添加例如硼（B）或鋁（Al）等雜質元素。此處，適當地設定添加的雜質濃度。此外，在添加雜

質元素之後，執行活化熱處理。

注意，當使用含矽材料以形成半導體層 520 時，藉由在部份半導體層 520 中形成矽化物，以形成矽化物區，以便進一步降低源極區和汲極區的電阻。以下述方式形成矽化物區：使金屬接觸半導體層，並且，藉由熱處理（例如，GRTA 法、LRTA 法、雷射光照射、等等）以使半導體層中的矽與金屬反應。關於矽化物區，舉例而言，可以使用矽化鈷、矽化鎳、等等。在半導體層 520 薄的情形中，矽化物反應可以進行至半導體層 520 的底部。關於用以形成矽化物的金屬材料之實例，除了鈷及鎳之外，尚有鈦、鎢、鉬、鎳、鉛、鋁、釩、鈦、鉻、鉑、鈮、等等。

接著，在與部份雜質區 528 重疊的區域中形成電極 530。之後，形成絕緣層 532 及絕緣層 534 以便覆蓋上述步驟中形成的元件（請參見圖 8E）。

舉例而言，以形成含有導電材料的層、然後選擇性地蝕刻含有材料的層之方式，形成電極 530。使用例如鋁、銅、鈦、鉬、或鎢等金屬材料，以形成含有導電材料的層。使用例如多晶矽等半導體材料，形成含有導電材料的層。對於含有導電材料的層之形成方法並無特別限定，可以使用例如蒸鍍法、CVD 法、濺射法、或旋轉塗敷法等各種膜形成方法。

注意，在形成絕緣層 532 和 534 之後，替代地形成電極 530 以填充形成於絕緣層 532 和絕緣層 534 中的開口而抵達雜質區 528。

使用例如氧化矽、氧氮化矽、氮化矽、或氧化鋁等無機絕緣材料之材料，以形成絕緣層 532 和絕緣層 534。使用低介電常數（低 k）材料，特別較佳地形成絕緣層 532 和絕緣層 534，在此情形中，可以充份地降低導因於重疊電極或佈線的電容。注意，使用此材料形成的多孔絕緣層可以作為絕緣層 532 和絕緣層 534。多孔絕緣層比具有高密度的絕緣層具有更低的介電常數；因此，可以進一步降低導因於電極或佈線的電容。此外，使用例如聚醯亞胺或丙烯酸等有機絕緣材料來形成絕緣層 532 和絕緣層 534。注意，雖然此處使用絕緣層 532 和絕緣層 534 的疊層結構，但是，本發明的一個實施例不限於此。也可以使用單層結構、或二或更多層的疊層結構。

經由上述步驟，製造包含 SOI 基板的電晶體 560（請參見圖 8E）。包含非氧化物半導體的材料之電晶體 560 能夠高速操作。因此，當電晶體 560 作為讀取電晶體時，可以增加讀取速度。此外，使用電晶體 560，以形成邏輯電路（也稱為算術電路）。

然後，對絕緣層 532 和絕緣層 534 執行 CMP 處理，以便曝露出閘極電極 524a 和電極 530 的上表面（未顯示出）。關於使閘極電極 524a 和電極 530 的上表面曝露之處理，可以使用蝕刻處理等來替代（或結合）CMP 處理。注意，較佳的是儘可能地平坦化絕緣層 532 和絕緣層 534 的表面，以增進稍後製造之電晶體 562 的特徵。

注意，在上述步驟之前及之後，可以進一步地形成電

極、佈線、半導體層、絕緣層。舉例而言，使用絕緣層與導電層堆疊的多層佈線結構作為佈線結構，因而可以取得高度集成的半導體裝置。

之後，製造電連接至電晶體 560 的電晶體 562 和電容器 564（請參見圖 6A）。由於電晶體 562 和電容器 564 的製造方法與電晶體 162 和電容器 164 的製造方法相同，所以，此處省略製造方法的說明。關於製造方法的細節，可以參考上述實施例。

本實施例中所述的結構、方法、等等能夠與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例 3）

在本實施例中，將參考圖 9A 和 9B、及圖 10A 至 10C，說明根據本發明之另一個實施例的半導體裝置之結構及製造方法。

< 半導體裝置的剖面結構及平面結構 >

圖 9A 及 9B 顯示根據本實施例之半導體裝置的結構實例。圖 9A 是半導體裝置的剖面視圖。圖 9B 是半導體裝置的平面視圖。此處，圖 9A 對應於圖 9B 中的 E1-E2 和 E1-E2 剖面。類似於圖 6A 及 6B 中所示的半導體裝置，圖 9A 及 9B 中所示的半導體裝置包含電晶體 560 及電晶體 562，電晶體 560 在其下部包括第一半導體材料，電晶體 562 在其上部包括第二半導體材料。此處，較佳的

是第一半導體材料及第二半導體材料彼此不同。舉例而言，第一半導體材料是非氧化物半導體的材料（例如，矽），第二半導體材料是氧化物半導體。包含非氧化物半導體的半導體材料之電晶體容易以高速操作。相對地，包含氧化物半導體的電晶體因其特徵而能長時間地固持電荷。

圖 9A 及 9B 中的半導體裝置與圖 6A 及 6B 中的半導體裝置之間的差異的其中之一在於連接電晶體 560 至電晶體 562 的方法。在圖 6A 及 6B 中的半導體裝置中，電極 530 係形成於與部份雜質區 528 重疊的區域中，下電晶體 560 中的雜質區 528 及上電晶體 562 中的源極或汲極電極 542b 經由電極 530 而彼此電連接。相反地，在圖 9A 及 9B 中的半導體裝置中，在上電晶體 562 中的源極或汲極電極 542b 直接接觸下電晶體 560 中的雜質區 528。

圖 9A 及 9B 中的半導體裝置與圖 6A 及 6B 中的半導體裝置之間的另一差異在於連接電晶體 562 至上佈線 556 的方法。在圖 6A 及 6B 中的半導體裝置中，形成接觸源極或汲極電極 542b 的電極 544，並且，電晶體 562 的源極或汲極電極 542b 經由電極 554 而被電連接至佈線 556。相反地，在圖 9A 及 9B 中的半導體裝置中，佈線 556 直接接觸電晶體 562 的源極或汲極電極 542b。也可以說，電晶體 562 的源極或汲極電極 542b 與用作為電晶體 560 的源極或汲極電極之電極 530 被設置作為圖 9A 及 9B 中的一個元件。

注意，在圖 9A 及 9B 中，在源極或汲極電極 542b 與電晶體 560 之源極區和汲極區的其中之一相接觸於其中的區域與源極或汲極電極 542b 接觸用以連接一個記憶胞至另一個記憶胞的佈線 556 於其中的區域相重疊。此配置允許集成度增加。

圖 9A 及 9B 中的電晶體 560 與圖 6A 及 6B 中的電晶體 560 相同。圖 9A 及 9B 中的電晶體 562 與圖 6A 及 6B 中的電晶體 562 相同。此外，圖 9A 及 9B 中的電容器 564 與圖 6A 及 6B 中的電晶體 564 相同。關於細節，可以參考上述實施例。

< 半導體裝置的製造方法 >

接著，將參考圖 10A 至 10C，說明圖 9A 及 9B 中所示的半導體裝置的製造方法，特別是電晶體 562 的源極或汲極電極的製造方法。注意，圖 10A 至 10C 顯示使用以參考圖 7A 至 7H 說明的方法所形成的部份 SOI 基板之半導體裝置的製造方法。

首先，以類似於圖 8A 至 8D 的步驟，在 SOI 基板之上形成包含通道形成區 526 和雜質區 528 的半導體層、閘極絕緣層 522a、及閘極電極 524a。之後，形成絕緣層 532 和絕緣層 534 以便覆蓋上述步驟中形成的元件。因此，製成電晶體 560。

接著，對絕緣層 532 和絕緣層 534 執行 CMP 處理，以便曝露出閘極電極 524a 的上表面（未顯示出）。關於

使閘極電極 524a 的上表面曝露之處理，可以使用蝕刻處理等以替代（或結合）CMP 處理。注意，較佳的是儘可能地平坦化絕緣層 532 和絕緣層 534 的表面，以增進稍後製造之電晶體 562 的特徵。

接著，在絕緣層 532 和絕緣層 534 中形成抵達電晶體 560 的雜質區 528 之開口。使用掩罩等，以選擇性蝕刻而形成開口。

然後，在包含開口的區域中，以 PVD 法、CVD 法、等等，形成導電層。然後，藉由蝕刻或 CMP、等等，選擇性地去除部份導電層，以便形成源極或汲極電極 542a 和源極或汲極電極層 542b（請參見圖 10A）。形成導電層以致填充開口，因而雜質區 528 與源極或汲極電極 542b 彼此直接接觸。

接著，以類似於實施例 1 中圖 4B 至 4D 及圖 5A 中所示的步驟，分別在源極或汲極電極 542a 和源極或汲極電極 542b 之上，形成絕緣層 543a 和絕緣層 543b。之後，氧化物半導體層 544 係設置於源極或汲極電極 542a 及源極或汲極電極 542b 之上，閘極絕緣層 546 被設置成接觸氧化物半導體層 544，閘極電極 548a 和電極 548b 係設於閘極絕緣層 546 之上，並且，絕緣層 550 係設於閘極電極 548a 和電極 548b 之上（請參見圖 10B）。

之後，絕緣層 552 係設於絕緣層 550 之上。使用類似於實施例 1 中用於絕緣層 152 之材料及方法，以形成絕緣層 552。在形成絕緣層 552 之後，在絕緣層 552、絕緣層

550、及閘極絕緣層 546 中，形成抵達源極或汲極電極 542b 的開口。使使掩罩等，以選擇性蝕刻，形成開口。

然後，在包含開口的區域中，以 PVD 法、CVD 法、等等，形成導電層。然後，藉由 CMP，經過蝕刻處理，選擇性地去除部份導電層，以便形成佈線 556。

經由上述步驟，製造本實施例中所述的半導體裝置。在本實施例中所述的半導體裝置中，經過電晶體 562 的源極或汲極電極 542b 而形成下電晶體 560 與上電晶體 562 之間的直接連接以及在上電晶體 562 與佈線 556 之間的直接連接，而未形成電極；因此，省略形成電極的步驟。因此，以低成本製造本實施例中所述的半導體裝置。

本實施例中所述的結構、方法、等等能夠與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例 4）

在本實施例中，將參考圖 11A 至 11C，說明根據本發明的一個實施例之半導體裝置的電路配置及操作。注意，在電路圖中，「OS」標註在電晶體旁以表示電晶體包含氧化物半導體。

在圖 11A 中所示的半導體裝置中，第一佈線（第一線）係電連接至電晶體 160（或電晶體 560）的源極電極，第二佈線（第二線）係電連接至電晶體 160（或電晶體 560）的汲極電極。第三佈線（第三線）係電連接至電晶體 162（或電晶體 562）的源極電極及汲極電極中的另

一者，第四佈線（第四線）係電連接至電晶體 162（或電晶體 562）的閘極電極。此外，電晶體 160（或電晶體 560）的閘極電極及電晶體 162（或電晶體 562）的源極和汲極電極的其中之一係電連接至電容器 164（或電容器 564）的電極的其中之一。第五佈線（第五線）係電連接至電容器 164（或電容器 564）的另一個電極。

此處，舉例而言，使用上述包含氧化物半導體的電晶體作為電晶體 162（或電晶體 562）。包含氧化物半導體的電晶體具有相當低的關閉狀態電流。基於該理由，藉由關閉電晶體 162（或電晶體 562），電晶體 160（或電晶體 560）的閘極電極的電位可以固持很長的時間。當設置電容器 164（或電容器 564）時，便於施加至電晶體 160（或電晶體 560）的閘極電極之電荷的固持以及儲存的資料之讀取。

注意，對於電晶體 160（或電晶體 560）並無特別限定。以增加讀取資料的速度之觀點而言，舉例而言，較佳的是使用例如包含單晶矽的電晶體等具有高切換速率的電晶體。

或者，可以使用如圖 11B 中所示之未設置電容器 164（或電容器 564）的結構。

圖 11A 中所示的半導體裝置使用電晶體 160（或電晶體 560）的閘極電極的電位被固持之優點，藉以如下所述地寫入、儲存、及讀取資料。

首先，將說明資料的寫入及固持。首先，第四線的電

位被設定於開啓電晶體 162（或電晶體 562）的電位，因而開啓電晶體 162（或電晶體 562）。因此，第三線的電位被供應至電晶體 160（或電晶體 560）的閘極電極以及電容器 164（或電容器 564）。換言之，預定的電荷被供應至電晶體 160（或電晶體 560）的閘極電極（亦即，資料的寫入）。此處，用以供應二個不同電位的電荷（於下，供應低電位的電荷稱為電荷 Q_L ，供應高電位的電荷稱為電荷 Q_H ）的其中之一被供應至電晶體 160（或電晶體 560）的閘極電極。注意，可以供應用以供應三或更多個不同電位的電荷以增加儲存容量。之後，第四線的電位被設定在電晶體 162（或電晶體 562）關閉的電位，因而關閉電晶體 162（或電晶體 562）。因此，供應至電晶體 160（或電晶體 560）的閘極電極之電荷被固持（亦即，資料固持）。

由於電晶體 162（或電晶體 562）的關閉狀態電流相當低，所以，可以長時間固持電晶體 160（或電晶體 560）的閘極電極的電荷。

接著，將說明資料的讀取。藉由供應適當的電位（讀取電位）至具有供應至第一線的預定電位（固定電位）之第五線，第二線的電位視固持於電晶體 160（或電晶體 560）的閘極電極中的電荷量而變。一般而言，這是因為當電晶體 160（或電晶體 560）是 n 通道電晶體時，在電荷 Q_H 供應至電晶體 160（或電晶體 560）的閘極電極之情形中的視在臨界電壓 V_{th_H} 低於在電荷 Q_L 供應至電晶體

160（或電晶體 560）的閘極電極之情形中的視在臨界電壓 V_{th_L} 。此處，視在臨界電壓意指第五線的電位，為開啓電晶體 160（或電晶體 560）所需的電位。因此，第五線的電位設定於介於 V_{th_H} 與 V_{th_L} 之間的電位 V_0 ，因而決定供應至電晶體 160（或電晶體 560）的閘極電極之電荷。舉例而言，在寫入時供應電荷 Q_H 的情形中，當第五線的電位被設定於 $V_0 (>V_{th_H})$ 時，電晶體 160（或電晶體 560）開啓。在寫入時供應電荷 Q_L 的情形中，即使當第五線的電位被設定於 $V_0 (<V_{th_L})$ 時，電晶體 160（或電晶體 560）關閉。因此，藉由第二線的電位以讀取儲存的資料。

注意，在記憶胞排成陣列形式以供使用的情形中，僅有所需的記憶胞的資料需要被讀取。因此，為了讀取預定的記憶胞之資料以及不讀取其它記憶胞的資料，在電晶體 160（或電晶體 560）在記憶胞之間並聯連接的情形中，不論閘極電極的狀態為何都允許電晶體 160（或電晶體 560）開啓的電位，亦即低於 V_{th_H} 的電位，供應至資料不被讀取的記憶胞之第五線。在電晶體 160（或電晶體 560）在記憶胞之間串聯連接的情形中，不論閘極電極的狀態為何都允許電晶體 160（或電晶體 560）開啓的電位，亦即低於 V_{th_L} 的電位，供應至第五線。

接著，將說明資料的改寫。以類似於上述資料寫入及固持的方式，執行資料的改寫。換言之，第四線的電位被設定在電晶體 162（或電晶體 562）開啓的電位，因而開

啓電晶體 162（或電晶體 562）。因此，第三線的電位（用於新資料的電位）被供應至電晶體 160（或電晶體 560）的閘極電極及電容器 164（或電容器 564）。之後，第四線的電位被設定在電晶體 162（或電晶體 562）關閉的電位，因而關閉電晶體 162（或電晶體 562）。因此，用於新資料的電荷被供應至電晶體 160（或電晶體 560）的閘極電極。

在根據本發明的半導體裝置中，如上所述般，資料可以由另一資料改寫而被直接改寫。因此，快閃記憶體等中所需之藉由使用高電壓以從浮動閘極取出電荷並不需要。因此，可以抑制導因於抹拭操作之操作速度降低。換言之，可以取得半導體裝置的高速操作。

注意，電晶體 162（或電晶體 562）的源極電極或汲極電極係電連接至電晶體 160（或電晶體 560）的閘極電極，因而具有類似於作為非揮發性記憶元件的浮動式閘極電晶體的浮動閘極之功效。因此，在某些情形中，圖式中電晶體 162（或電晶體 562）的源極電極或汲極電極係電連接至電晶體 160（或電晶體 560）的閘極電極之部份稱為浮動閘極部份 FG。當電晶體 162 被關閉時，浮動閘極部份 FG 可以被視為嵌入於絕緣體中；因此，電荷被固持於浮動閘極部份 FG 中。包含氧化物半導體的電晶體 162（或電晶體 562）的關閉狀態電流的量小於或等於包含矽等的電晶體的關閉狀態電流的十萬分之一；因此，導因於電晶體 162（或電晶體 562）中的漏電流之累積於浮動閘

極部份 FG 中的電荷的損失是可忽略的。換言之，藉由包含氧化物半導體的電晶體 162（或電晶體 562），可以取得即使未被供予電力時仍然能夠儲存資料的非揮發性記憶體裝置。

舉例而言，在室溫（25℃）下，電晶體 162（或電晶體 562）的關閉狀態電流為低於或等於 10 zA（1 zA（介安培是 1×10^{-21} A），並且，電容器 164（或電容器 564）的電容為約 10 fF，資料可以被儲存 10^4 秒或更長。無需多言，儲存時間視電晶體特徵及電容而定。

此外，在該情形中，傳統浮動閘極電晶體中發生的閘極絕緣膜劣化問題（穿隧絕緣膜）不存在。換言之，能夠避免傳統上被視為導因於電子注入浮動閘極之閘極絕緣膜的劣化。這意指原理上寫入次數並無限制。此外，傳統的浮動閘極電晶體中資料的寫入或抹拭所需的高電壓並不必要。

例如圖 11A 中所示的半導體裝置中包含的電晶體等元件被視為如圖 11C 所示般包含電阻器及電容器。換言之，在圖 11C 中，電晶體 160（或電晶體 560）及電容器 164（或電容器 564）均被視為包含電阻器和電容器。R1 及 C1 分別代表電容器 164（或電容器 564）的電阻和電容。電阻 R1 相當於取決於包含在電容器 164（或電容器 564）中的絕緣層之電阻。R2 及 C2 分別代表電晶體 160（或電晶體 560）的電阻和電容。電阻 R2 相當於取決於電晶體 160（或電晶體 560）開啓時閘極絕緣層的電阻。電容 C2

對應於所謂的閘極電容之電容（形成於閘極電極與源極或汲極電極之間的電容以及形成於閘極電極與通道形成區之間的電容）。

在電晶體 162（或電晶體 562）的閘極漏電足夠小且 $R1$ 及 $R2$ 滿足 $R1 \geq ROS$ 且 $R2 \geq ROS$ 關係的條件下，其中，在電晶體 162（或電晶體 562）關閉的情形中源極電極與汲極電極之間的電阻值（也稱為有效電阻值）為 ROS ，電荷固持時間（也稱為資料固持時間）主要由電晶體 162（或電晶體 562）的關閉狀態電流來予以決定。

另一方面，在條件未被滿足的情形中，即使電晶體 162（或電晶體 562）的關閉狀態電流足夠小，仍然難以充份地確保固持時間。這是因為電晶體 162（或電晶體 562）的關閉狀態電流以外的漏電流（例如，產生於源極電極與閘極電極之間的漏電流）大。因此，可以說本實施例中揭示的半導體裝置中較佳滿足上述關係。

較佳的是， $C1$ 及 $C2$ 滿足 $C1 \geq C2$ 之關係。這是因為假使 $C1$ 大時，當浮動閘極部份 FG 的電位係由第五線來予以控制時，第五線的電位可以有效率地供應至浮動閘極部份 FG ，以使供應至第五線的電位之間（例如，讀取時的電位與非讀取時的電位）的差可以保持小的。

當滿足上述關係時，可以取得更佳的半導體裝置。注意， $R1$ 及 $R2$ 係由電晶體 160（或電晶體 560）的閘極絕緣層及電容器 164（或電容器 564）的絕緣層來予以控制。同理可應用至 $C1$ 和 $C2$ 。因此，較佳的是，適當地設

定閘極絕緣層的材料、厚度、等等以滿足上述關係。

在本實施例中所述的半導體裝置中，浮動閘極部份 FG 具有類似於快閃記憶體等的浮動閘極電晶體的浮動閘極的效果，但是，本實施例的浮動閘極部份 FG 具有基本上不同於快閃記憶體等的浮動閘極的特點。在快閃記憶體的情形中，由於施加至控制閘極的電壓高，所以，需要在胞與胞之間保持適當的距離以防止電位影響相鄰的胞的浮動閘極。這是抑制半導體裝置的集成度增加的因素之一。此因素歸因於藉由施加高電場以產生穿隧電流之快閃記憶體的基本原理。

相對地，根據本實施例的半導體裝置藉由包含氧化物半導體的電晶體的切換而操作，且未使用上述藉由穿隧電流之電荷注入的原理。換言之，不需要用於電荷注入的高電場，這與快閃記憶體不同。因此，不需要考慮來自相鄰胞上控制閘極之高電場的影響，有利於集成度增加。

此外，根據本實施例的半導體裝置也比快閃記憶體更有利之處在於不需要高電場且不需要大的週邊電路（例如，自舉電路）。舉例而言，在資料的二位準（一個位元）被寫入的情形中，在每一個胞中，根據本實施例施加至記憶胞的最高電壓（同時施加至記憶胞的端子之最高電位與最低電位之間的差值）可為 5 V 或更低，較佳為 3 V 或更低。

在包含於電容器 164（或電容器 564）中的絕緣層的介電常數 ϵ_{r1} 不同於包含於電晶體 160（或電晶體 560）

中的絕緣層的介電常數 ϵ_{r2} 的情形中，可以容易地使 $C1$ 大於或等於 $C2$ ，而包含於電容器 164（或電容器 564）中的絕緣層的面積 $S1$ 與形成電晶體 160（或電晶體 560）的閘極電容之絕緣層的面積 $S2$ 滿足 $2 \times S2$ 大於或等於 $S1$ （較佳地， $S2$ 大於或等於 $S1$ 時）的關係。換言之，可以容易地使 $C1$ 大於或等於 $C2$ ，而包含於電容器 164（或電容器 564）中的絕緣層的面積降低。具體而言，舉例而言，當由例如氧化鉛等高 k 材料形成的膜或由例如氧化鉛等高 k 材料形成的膜與氧化物半導體形成的膜之堆疊用於包含於電容器 164（或電容器 564）中的絕緣層時， ϵ_{r1} 可以設被定為 10 或更多，較佳為 15 或更多，並且，當氧化矽被使用於形成閘極電容的絕緣層時， ϵ_{r2} 可以被設定為 3 至 4。

根據本發明，這些結構的結合能夠增加半導體裝置的集成度。

注意，除了集成度的增加之外，可以使用多層級技術以增加半導體裝置的儲存容量。舉例而言，三或更多層級的資料被寫至一個記憶胞，因而相較於寫入二層級的資料之情形，可以增加儲存容量。舉例而言，除了電荷 Q_L 及電荷 Q_H 之外，藉由將不同於供應低電位的電荷 Q_L 及供應高電位的電荷 Q_H 之電荷 Q 給予第一電晶體的閘極電極，取得多層級技術。在此情形中，即使當使用 F^2 未足夠小的電路配置時，仍然可以確保足夠的儲存容量。

注意，雖然在上述說明中使用電子是主載子的 n 通道

電晶體，但是，無需多言，可以使用電洞是主載子的 p 通道電晶體以取代 n 通道電晶體。

如上所述，根據本實施例的半導體裝置適合增加集成度。注意，根據本發明的一個實施例，共用佈線且降低接觸面積；因此，提供集成度進一步降低的半導體裝置。

本實施例中所述的結構、方法、等等能夠與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例 5）

在本實施例中，將說明上述實施例中所述的半導體裝置的應用實例。具體而言，將說明以矩陣形式配置的上述實施例中所述的半導體裝置之半導體裝置的實例。

圖 12 是具有（ $m \times n$ ）位元的儲存容量之半導體裝置的電路圖之實例。

根據本發明的一個實施例之半導體裝置包含記憶胞陣列，記憶胞陣列包含 m （ m 是 2 或更大的整數）條訊號線 S 、 m 條字線 WL 、 n （ n 是 2 或更大的整數）條位元線 BL 、 k （ k 是小於 n 的自然數）條源極線 SL 、以及依 m （列）（在垂直方向上） $\times n$ （行）（在水平方向上）的矩陣形式配置之記憶胞 1100；以及，例如第一驅動電路 1111、第二驅動電路 1112、第三驅動電路 1113、及第四驅動電路 1114 等週邊電路。此處，上述實施例中所述的配置（圖 11A 中所示的配置）被應用至記憶胞 1100。

每一個記憶胞 1100 均包含第一電晶體、第二電晶

體、及電容器。在每一個記憶胞 1100 中，第一電晶體的閘極電極、第二電晶體的源極電極和汲極電極的其中之一、以及電容器的電極的其中之一彼此電連接，並且，第一電晶體的源極線 SL 及源極電極（源極區）彼此電連接。此外，位元線 BL、第二電晶體的源極和汲極電極中的另一者、以及第一電晶體的汲極電極彼此電連接。字線 WL 與電容器的電極中的另一個電極彼此電連接。訊號線 S 及第二電晶體的閘極電極彼此電連接。換言之，源極線 SL 對應於圖 11A 中所示的配置中的第一線，位元線 BL 對應於第二線及第三線，訊號線 S 對應於第四線，字線 WL 對應於第五線。

在圖 12 中所示的記憶胞陣列中，位元線 BL、源極線 SL、字線 WL、及訊號線 S 形成矩陣配置。配置在相同行中的 m 個記憶胞 1100 係連接至位元線 BL 的其中之一。此外，配置於相同列中的 n 個記憶胞 1100 係連接至字線 WL 的其中之一及訊號線 S 的其中之一。此外，源極線 SL 的數目小於位元線 BL 的數目；因此，至少包含連接至不同位元線 BL 的記憶胞之多個記憶胞需要連接至源極線的其中之一。換言之， j 個（ j 是大於或等於 $(m+1)$ 且小於或等於 $(m \times n)$ ）記憶胞 1100 連接至源極線 SL 的其中之一。注意，包含於連接至源極線 SL 的其中之一之多個記憶胞 1100 中的第一電晶體的源極區係形成於相同層中。注意，較佳的是，以一對於多個位元線 BL 的比例（亦即， (n/k) 是整數），配置源極線 SL。在該情形中，假

使相等數目的記憶胞 1100 連接至每一個源極線 SL 時，
($m \times n / k$) 記憶胞 1100 連接至源極線 SL 的其中之一。具體而言，舉例而言，使用圖 13 中所示的平面配置。注意，在圖 13 中，源極線 SL 係設於對應於區域 180 的區域中且電連接至接觸區 182 中的金屬化合物區 124。

如圖 12 及圖 13 中所示的記憶胞陣列中一般，連接記憶胞 1100 的其中之一至另一個記憶胞的源極線 SL 的其中之一連接至至少包含連接至不同位元線 BL 的記憶胞多個記憶胞 1100，以使源極線 SL 的數目小於位元線 BL 的數目，因而使源極線的數目足夠小；因此，增加半導體裝置的集成度。

位元線 BL 電連接至第一驅動電路 1111。源極線 SL 電連接至第二驅動電路 1112。訊號線 S 電連接至第三驅動電路 1113。字線 WL 電連接至第四驅動電路 1114。注意，此處第一驅動電路 1111、第二驅動電路 1112、第三驅動電路 1113、及第四驅動電路 1114 分開地設置；但是，本發明不限於此。可以替代地使用具有這些功能中的任一功能或一些功能的驅動電路。

接著，將說明寫入操作及讀取操作。圖 14 是圖 12 中所示的半導體裝置的寫入操作及讀取操作的時序圖。

雖然此處爲了簡明起見，說明具有二列及二行的記憶胞陣列的半導體裝置的操作，但是，本發明不限於此。

將說明資料寫至第一列中的記憶胞 1100 (1,1) 和記憶胞 1100 (1,2) 以及從第一列中的記憶胞 1100 (1,1) 及

記憶胞 1100 (1,2) 讀取資料。注意，在下述說明中，假定要寫至記憶胞 (1,1) 的資料是「1」，以及要寫至記憶胞 (1,2) 的資料是「0」。

首先，將說明寫入操作。電位 V_1 被供應至第一列的訊號線 $S(1)$ 以開啓第一列的第二電晶體。此外，0 V 的電位被供應至第二列的訊號 $S(2)$ 以關閉第二列的第二電晶體。

此外，電位 V_2 被供應至第一行的位元線 $BL(1)$ 以及 0 V 的電位被供應至第二行的位元線 $BL(2)$ 。

結果，電位 V_2 和 0 V 的電位分別被供應至記憶胞 (1,1) 的浮動閘極部份 FG 以及記憶胞 (1,2) 的浮動閘極部份 FG。此處，電位 V_2 高於第一電晶體的臨界電壓。然後，第一列的訊號線 $S(1)$ 的電位被設定在 0V 以關閉第一列的第二電晶體。因此，完成寫入。較佳的是，電位 V_2 實質上等於電位 V_1 或低於或等於電位 V_1 。

注意，第一列的字線 $WL(1)$ 及第二列的字線 $WL(2)$ 在寫入操作期間係處於 0 V 電位。在寫入結束時，在改變第一行的位元線 $BL(1)$ 的電位改變之前，第一列的訊號線 $S(1)$ 的電位被設於 0 V。在寫入之後，在已寫入資料「0」的情形中記憶胞的臨界電壓為 V_{w0} ，並且，在已寫入資料「1」的情形中記憶胞的臨界電壓為 V_{w1} 。記憶胞的臨界電壓意指連接至字線 WL 的端子的電壓，其改變第一電晶體的源極電極與汲極電極之間的電阻。注意，此處滿足 $V_{w0} > 0 > V_{w1}$ 的關係。

接著，將說明讀取操作。此處，圖 15 中所示的讀取電路電連接至位元線 BL。

首先，0 V 的電位施加至第一列的字線 WL (1)，並且，電位 VL 被施加至第二列的字線 WL (2)。電位 VL 低於臨界電壓 V_{w1} 。當字線 WL (1) 係處於 0 V 的電位時，在第一列中，儲存資料「0」的記憶胞的第一電晶體被關閉，並且，儲存資料「1」的記憶胞的第一電晶體被開啓。當字線 WL (2) 係處於 VL 的電位時，在第二列中，儲存資料「0」或資料「1」的記憶胞的第一電晶體被關閉。

結果，在位元線 BL (1) 與源極線 SL 之間的記憶胞 (1,1) 的第一電晶體被開啓，因而具有低電阻，在位元線 BL (2) 與源極線 SL (1) 之間的記憶胞 (1,2) 的第一電晶體被關閉，因而具有高電阻。連接至位元線 BL (1) 及位元線 BL (2) 的讀取電路根據位元線之間的電阻差而讀取資料。

注意，在讀取操作期間，0 V 的電位被供應至訊號線 S (1) 以及電位 VL 被供應至訊號線 S (2) 以關閉所有的第二電晶體。第一列的浮動閘極部份 FG 的電位為 0 V 或 V_2 ；因此，藉由將訊號線 S (1) 的電位被設定在 0 V，以關閉所有第二電晶體。另一方面，當電位 VL 被施加至字線 WL (2) 時，第二列的浮動閘極部份 FG 低於正好資料寫入後的電位。因此，爲了防止第二電晶體被開啓，使訊號線 S (2) 具有與字線 WL (2) 一般低的電位（亦即，

訊號線 $S(2)$ 的電位被設定在電位 V_L)。換言之，在資料未被讀取的列中訊號線 S 及字線 WL 的電位被設定於相同的低電位 (電位 V_L)。因此，所有第二電晶體被關閉。

接著，將說明使用圖 15 中所示的電路作為讀取電路的情形中的輸出電位。在圖 15 中所示的讀取電路中，位元線 BL 連接至時脈式反相器及電晶體，所述電晶體是以二極體方式而被連接至佈線，電位 V_1 經由讀取賦能訊號 (RE) 控制的切換元件而供應至所述佈線。此外，固定電位 (例如， 0 V) 被供應至源極線 SL 。由於位元線 $BL(1)$ 與源極線 SL 之間的電阻低，所以，低電位被供應至時脈式反相器以及輸出 $D(1)$ 是訊號高位準。由於位元線 $BL(2)$ 與源極線 SL 之間的電阻高，所以，高電位供應至時脈式反相器且輸出 $D(2)$ 是訊號低位準。

操作電位的實例為 $V_1=2\text{ V}$ 、 $V_2=1.5\text{ V}$ 、 $V_H=2\text{ V}$ 、及 $V_L=-2\text{ V}$ 。

接著，將說明不同於上述寫入操作的寫入操作。要寫入的資料與上述寫入操作中的資料相同。圖 16 是寫入操作及讀取操作的時序圖的實例。

在根據圖 14 的時序圖的寫入操作 (亦即，對第一列的寫入) 中，在寫入時的字線 $WL(2)$ 的電位被設定在 0 V 的電位；因此，舉例而言，在資料已寫至記憶胞 (2,1) 或記憶胞 (2,2) 是資料「1」的情形中，穩態電流在位元線 $BL(1)$ 與位元線 $BL(2)$ 之間流動。亦即，這

是因為在寫至第一列時，第二列的記憶胞中的第一電晶體被開啓，因而位元線 BL (1) 及位元線 BL (2) 經由源極線而被連接在低電阻。在圖 16 中所示的寫入操作中，此穩態電流較不易產生。

電位 V1 被供應至第一列的訊號線 S (1) 以開啓第一列的第二電晶體。此外，0 V 的電位被供應至第二列的訊號線 S (2) 以關閉第二列的第二電晶體。

此外，電位 V2 被供應至第一行的位元線 BL (1)，並且，電位 0 V 被供應至第二行的位元線 BL (2)。

結果，電位 V2 和 0 V 的電位分別被供應至記憶胞 (1,1) 的浮動閘極部份 FG 及記憶胞 (1,2) 的浮動閘極部份 FG。此處，電位 V2 高於第一電晶體的臨界電壓。然後，第一列的訊號線 S (1) 的電位被設定於 0 V 以關閉第一列的第二電晶體。因此，完成寫入。

注意，在寫入操作期間，第一列的字線 WL (1) 係處於 0 V 的電位，並且，第二列的字線 WL (2) 係處於電位 VL。當第二列的字線 WL (2) 係處於電位 VL 時，在第二列中，儲存資料「0」或資料「1」的記憶胞的第一電晶體被關閉。此外，在寫入操作期間，電位 V2 被供應至源極線 SL。在所有寫入的資料為資料「0」的情形中，0 V 的電位可以被供應至源極線。

在寫入結束時，在第一行的位元線 BL (1) 的電位被改變之前，第一列的訊號線 S (1) 的電位被設定於 0 V。在寫入之後，在已寫入資料「0」的情形中記憶胞的臨界

電壓為 V_{w0} ，在已寫入資料「1」的情形中記憶胞的臨界電壓為 V_{w1} 。此處，滿足 $V_{w0} > 0 > V_{w1}$ 。

在寫入操作中，資料未被寫入的列的記憶胞中的第一電晶體（在此情形中為第二列）關閉。基於此點，僅有資料被寫入的列在位元線與源極線之間具有穩態電流的問題。在資料「0」寫至被寫入資料的列的記憶胞之情形中，記憶胞中的第一電晶體被關閉；因此，未發生穩態電流的問題。相對地，在資料「1」寫至被寫入資料的列的記憶胞之情形中，記憶胞中的第一電晶體被開啓；因此，假使源極線 SL 與位元線 BL（在此情形中，位元線 BL（1））之間有電位差，則發生穩態電流的問題。使源極線 SL 的電位等於位元線 BL（1）的電位 V_2 ，因而防止位元線與源極線之間的穩態電流。

如上所述，藉由寫入操作，防止寫入時產生穩態電流。換言之，在寫入操作中，可以充份地降低寫入操作時消耗的電力。

注意，以類似於上述讀取操作的方式，執行讀取操作。

使用關閉狀態電流極度低的包含氧化物半導體之半導體裝置作為圖 12 中所示的半導體裝置，因此儲存的資料可以長時間固持。換言之，由於更新操作變成不需要或是更新操作的頻率極度低，所以，可以充份降低耗電。此外，即使未被供予電力時，儲存的資料仍然能夠長時間固持。

此外，在圖 12 中所示的半導體裝置中，不需高電壓以寫入資料，且無元件劣化的問題。因此，圖 12 中所示的半導體裝置對於寫入的次數並無限制，而寫入次數對於習知的非揮發性記憶體是問題；因此，其可靠度顯著地增進。此外，藉由電晶體的開及關以寫入資料，因而能夠容易地取得高速操作。此外，不需要抹拭資料的操作。

包含非氧化物半導體的材料之電晶體能夠比包含氧化物半導體的電晶體更高速地操作；因此，當其與包含氧化物半導體的電晶體結合時，半導體裝置能夠以足夠高的速度執行操作（例如，資料讀取操作）。此外，藉由包含非氧化物半導體的材料之電晶體，可以有利地取得要求高速操作的電路（例如，邏輯電路、驅動電路、等等）。

半導體裝置包括包含非氧化物半導體的材料之電晶體及包含氧化物半導體的電晶體，因而半導體裝置具有新穎特點。

此外，在圖 12 中所示的半導體裝置中，每一個記憶胞的佈線數目可以降低。因此，記憶胞的面積可以縮減且半導體裝置的每一個單位面積的儲存容量可以增加。

本實施例中所述的結構、方法、等等能夠與其它實施例中所述的任何結構、方法、等等適當地結合。

（實施例 6）

在本實施例中，將參考圖 17A 至 17F，說明上述任一實施例中所述的半導體裝置應用至電子裝置的情形。在本

實施例中，說明上述半導體裝置應用至例如電腦、行動電話（也稱為行動電話機或行動電話裝置）、可攜式資訊終端（包含可攜式遊戲台、音頻播放器、等等）、數位相機、數位攝影機、電子紙、及電視機（也稱為電視或電視接數器）。

圖 17A 顯示筆記型個人電腦，其包含機殼 701、機殼 702、顯示部 703、鍵盤 704、等等。任何上述實施例中說明之半導體裝置係設於機殼 701 和機殼 702 的至少其中之一中。結果，筆記型個人電腦能夠高速地執行資料的寫入及讀取，並且，以充份降低的耗電，長時間儲存資料。

圖 17B 是可攜式資訊終端（個人數位助理（PDA））。主體 711 係設有顯示部 713、外部介面 715、操作鍵 714、等等。此外，也提供探針 712 以用於操作可攜式資訊終端等等。上述任何實施例中所述的半導體裝置係設於主體 711 中。結果，可攜式資訊終端能夠高速地執行資料的寫入及讀取，並且，以充份降低的耗電，長時間儲存資料。

圖 17C 是電子書讀取器 720。電子書讀取器 720 具有二機殼：機殼 721 和機殼 723。機殼 721 和機殼 723 係分別設有顯示部 725 和顯示部 727。機殼 721 和機殼 723 藉由鉸鏈 737 而連接以便可以沿著鉸鏈 737 而開啓和關閉。此外，機殼 721 係設有電源開關 731、操作鍵 733、揚聲器 735、等等。機殼 721 和機殼 723 的至少其中之一係設有任何上述實施例中所述的半導體裝置。結果，電子書讀

取器能夠高速地執行資料的寫入及讀取，並且，以充份降低的耗電，長時間儲存資料。

圖 17D 是行動電話，其包含二機殼：機殼 740 和機殼 741。此外，處於如圖 17D 中所示的展開狀態之機殼 740 和機殼 741 可以藉由滑動而偏移，以致於一者疊於另一者上；因此，行動電話的尺寸可以縮小，使行動電話適合攜帶。機殼 741 係設有顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、相機鏡頭 747、外部連接端子 748、等等。機殼 740 係設有使行動電話充電之太陽能電池 749、外部記憶體槽 750、等等。此外，天線係併入於機殼 741 中。機殼 740 和機殼 741 的至少其中之一設係有任何上述實施例中所述的半導體裝置。結果，行動電話能夠高速地執行資料的寫入及讀取，並且，以充份降低的耗電，長時間儲存資料。

圖 17E 是數位相機，其包含主體 761、顯示部 767、目鏡 763、操作開關 764、顯示部 765、電池 766、等等。任何上述實施例中所述的半導體裝置係設於主體 761 中。結果，數位相機能夠高速地執行資料的寫入及讀取，並且，以充份降低的耗電，長時間儲存資料。

圖 17F 是電視裝置 770，其包含機殼 771、顯示部 773、支架 775、等等。以機殼 771 的操作開關或分開的遙控器 780，操作電視裝置 770。任何上述實施例中所述的半導體裝置安裝於機殼 771 及遙控器 780 中。結果，電視機能夠高速地執行資料的寫入及讀取，並且，以充份降

低的耗電，長時間儲存資料。

因此，根據任何上述實施例之半導體裝置安裝於本實施例中所述的電子裝置中。因此，能夠取得具有低耗電的電子裝置。

[實例 1]

在本實例中，將說明藉由測量包含純化的氧化物半導體之電晶體的關閉狀態電流而取得的結果。

首先，考慮包含純化的氧化物半導體之電晶體的關閉狀態電流很低的事實，製備具有足夠大的 $1\ \mu\text{m}$ 通道寬度 W 之電晶體，並且，測量電晶體的關閉狀態電流。圖 18 顯示測量具有 $1\ \mu\text{m}$ 的通道寬度之電晶體的關閉狀態電流而取得的結果。在圖 18 中，水平軸代表閘極電壓 V_G ，垂直軸代表汲極電流 I_D 。在汲極電壓 V_D 是 $+1\ \text{V}$ 或 $+10\ \text{V}$ 及閘極電壓 V_G 是在 $-5\ \text{V}$ 至 $-20\ \text{V}$ 的範圍之情形中，發現電晶體的關閉狀態電流低於或等於偵測極限之 $1 \times 10^{-12}\ \text{A}$ 。此外，發現電晶體的關閉狀態電流（此處，每微米（ μm ）的通道寬度之電流）低於或等於 $1\ \text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\ \text{A}/\mu\text{m}$ ）。

接著，將說明更準確地測量包含純化的氧化物半導體之電晶體的關閉狀態電流而取得的結果。如上所述，發現包含純化的氧化物半導體之電晶體的關閉狀態電流低於或等於測量設備的偵測極限之 $1 \times 10^{-12}\ \text{A}$ 。此處，將說明使用用於特徵評估的元件，測量更準確的關閉狀態電流值（小於或等於上述測量中測量設備的偵測極限之值）而取得的

結果。

首先，參考圖 19，說明測量電流的方法中所使用的用於特徵評估的元件。

在圖 19 中用於特徵評估的元件中，三個測量系統 800 被並聯連接。測量系統 800 包含電容器 802、電晶體 804、電晶體 805、電晶體 806、及電晶體 808。使用包含純化的氧化物半導體之電晶體作為電晶體 804、電晶體 805、及電晶體 806 中的每一個電晶體。

在測量系統 800 中，電晶體 804 的源極端和汲極端的其中之一、電容器 802 的端子的其中之一、及電晶體 805 的源極端和汲極端的其中之一連接至電源（用以供應電位 V_2 ）。電晶體 804 的源極端和汲極端的其中之一、電晶體 808 的源極端和汲極端的其中之一、電容器 802 的端子中之另一端子、及電晶體 805 的閘極端彼此連接。電晶體 808 的源極端和汲極端中之另一端子、電晶體 806 的源極端和汲極端的其中之一、及電晶體 806 的閘極端連接至電源（用以供應電位 V_1 ）。電晶體 805 的源極端和汲極端中之另一端子、電晶體 806 的源極端和汲極端中之另一端彼此連接，並且，節點用作為 V_{out} 的輸出端。

用以控制開啓或關閉電晶體 804 之電位 V_{ext_b2} 被供應至電晶體 804 的閘極端。用以控制開啓或關閉電晶體 808 之電位 V_{ext_b1} 被供應至電晶體 808 的閘極端。電位 V_{out} 係從輸出端輸出。

接著，將說明使用用於特徵評估的元件之測量電流的

方法。

首先，將簡述施加電位差以測量關閉狀態電流的初始化週期。在初始化週期中，用以開啓電晶體 808 的電位 V_{ext_b1} 被輸入至電晶體 808 的閘極端，並且，電位 $V1$ 被施加至連接至電晶體 804 的源極端和汲極端中的另一端子之節點 A（亦即，連接至電晶體 808 的源極端和汲極端的其中之一、電容器 802 的另一端、及電晶體 805 的閘極端之節點）。此處，舉例而言，電位 $V1$ 是高電位。電晶體 804 保持關閉。

之後，用以關閉電晶體 808 的電位 V_{ext_b1} 被輸入至電晶體 808 的閘極端，因而電晶體 808 被關閉。在電晶體 808 被關閉之後，電位 $V1$ 被設定於低電位。電晶體 804 仍然被關閉。電位 $V2$ 被設定於與電位 $V1$ 相同的電位。因此，完成初始化週期。當完成初始化週期時，在節點 A 與電晶體 804 的源極電極和汲極電極的其中之一之間產生電位差。此外，在節點 A 與電晶體 808 的源極電極和汲極電極中之另一電極之間產生電位差。因此，小量電荷流經電晶體 804 和電晶體 808。換言之，關閉狀態電流流動。

接著，將簡單說明關閉狀態電流的測量週期。在測量週期中，電晶體 804 的源極端和汲極端的其中之一的電位（亦即，電位 $V2$ ）與電晶體 808 的源極端和汲極端中之另一端子的電位（亦即，電位 $V1$ ）係固定於低電位。另一方面，在測量週期中，節點 A 的電位未被固定（節點 A 處於浮動狀態）。因此，電荷流經電晶體 804，以及固持

於節點 A 中的電荷量隨著時間而變。此外，隨著節點 A 中固持的電荷量改變，節點 A 的電位改變。此外，輸出端的輸出電位 V_{out} 也改變。

圖 20 顯示產生電位差之初始週期中的電位與接續的測量週期之中的電位之間的關係的細節（時序圖）。

在初始週期中，首先，電位 V_{ext_b2} 被設定於使電晶體 804 開啓的電位（高電位）。因此，節點 A 的電位變成 V_2 ，亦即，低電位（ V_{SS} ）。之後，電位 V_{ext_b2} 被設定於使電晶體 804 關閉的電位（低電位），因而電晶體 804 被關閉。然後，電位 V_{ext_b1} 被設定於使電晶體 808 開啓的電位（高電位）。因此，節點 A 的電位變成 V_1 ，亦即，高電位（ V_{DD} ）。之後，電位 V_{ext_b1} 被設定於使電晶體 808 關閉的電位。因此，使節點 A 處於浮動狀態以及初始週期完成。

在下述測量週期中，電位 V_1 及電位 V_2 被設定於使電荷流進或流出節點 A 的電位。此處，電位 V_1 及電位 V_2 係處於低電位（ V_{SS} ）。注意，在測量輸出電位 V_{out} 時，需要操作輸出電路；因此，在某些情形中， V_1 暫時被設定於高電位（ V_{DD} ）。 V_1 係處於高電位（ V_{DD} ）的週期被設定為短的，以使測量不受影響。

當如上所述地產生電位差及啓始測量週期時，固持於節點 A 中的電荷量隨著時間而變且節點 A 的電位因而改變。這意指電晶體 805 的閘極端的電位改變及輸出端的輸出電位 V_{out} 也隨著時間而改變。

於下將說明根據取得的輸出電位 V_{out} 以計算關閉狀態電流的方法。

在計算關閉狀態電流之前，取得節點 A 的電位 V_A 與輸出電位 V_{out} 之間的關係，因而根據輸出電位 V_{out} 而取得節點 A 的電位 V_A 。從上述關係可知節點 A 的電位 V_A 以下述關係表示為輸出電位 V_{out} 的函數。

[公式 1]

$$V_A = F(V_{out})$$

節點 A 的電荷 Q_A 以節點 A 的電位 V_A 、連接至節點 A 的電容 C_A 、及常數之下述等式表示。此處，連接至節點 A 的電容 C_A 是電容器 802 的電容及其它電容的總合。

[公式 2]

$$Q_A = C_A V_A + \text{const}$$

由於節點 A 的電流 I_A 時流至節點 A（或是從節點 A 流出）的電荷的時間導數，所以，節點 A 的電流 I_A 以下述等式表示。

[公式 3]

$$I_A \equiv \Delta Q_A / \Delta t = C_A \cdot \Delta F(V_{out}) / \Delta t$$

依此方式，從連接至節點 A 的電容 C_A 及輸出端的輸出電位 V_{out} ，取得節點 A 的電流 I_A 。

藉由上述方法，計算處於關閉狀態的電晶體之源極與汲極之間流動的漏電流（關閉狀態電流）。

在本實例中，通道長度 L 為 $10 \mu\text{m}$ 及通道寬度 W 為 $50 \mu\text{m}$ 的電晶體 804、電晶體 805、電晶體 806、及電晶

體 808 由純化的氧化物半導體所製成。在並聯連接配置的測量系統 800 中，電容器 802 的電容為 100 fF、1 pF、及 3 pF。

注意，在根據本實例的測量中，VDD 為 5 V 及 VSS 為 0 V。在測量週期中，當電位 V1 基本上係設定於 VSS 且每 300 秒僅有 100 毫秒變成 VDD 時，測量 Vout。此外，在流經元件的電流 I 的計算中使用的 Δt 約為 30000 秒。

圖 21 顯示電流測量時輸出電位 Vout 與消逝的時間 Time 之間的關係。如圖 21 中所見般，電位隨著時間而改變。

圖 22 顯示上述電流測量中計算的室溫下（25℃）的關閉狀態電流。注意，圖 22 顯示源極－汲極電壓 V 與關閉狀態電流 I 之間的關係。根據圖 22，當源極－汲極電壓為 4 V 時，關閉狀態電流約為 40 zA/ μm 。此外，當源極－汲極電壓為 3.1 V 時，關閉狀態電流低於或等於 10 zA/ μm 。注意，1 zA 等於 10^{-21}A 。

此外，圖 23 顯示在上述電流測量中計算之溫度為 85℃ 時的關閉狀態電流。圖 23 顯示溫度為 85℃ 時，源極－汲極電壓 V 與關閉狀態電流 I 之間的關係。根據圖 23，當源極－汲極電壓為 3.1 V 時，關閉狀態電流小於或等於 100 zA/ μm 。

如上所述，根據本實例，確認包含純化的氧化物半導體之電晶體中關閉狀態電流足夠低。

[實例 2]

檢查根據本發明的一個實施例之半導體裝置可以改寫資料的次數。在本實例中，將參考圖 24，說明檢查結果。

用以檢查的半導體裝置是具有圖 11A 中所示的電路配置之半導體裝置。此處，在對應於電晶體 162 的電晶體中使用氧化物半導體，並且，使用電容值為 0.33 pF 的電容器作為對應於電容器 164 的電容器。

藉由比較初始的記憶窗寬度與重複儲存及寫入資料預定次數之後的記憶窗寬度，以執行檢查。藉由施加 0 V 或 5 V 至對應於圖 11A 中的第三線之佈線以及施加 0 V 或 5 V 至對應於第四線的佈線，儲存及寫入資料。當對應於第四線的電位為 0 V 時，對應於電晶體 162 的電晶體（寫入電晶體）關閉；因此，施加至浮動閘極部份 FG 的電位固持。當對應於第四線的佈線之電位為 5 V 時，對應於電晶體 162 的電晶體開啓；因此，對應於第三線的佈線的電位供應至浮動閘極部份 FG。

記憶窗寬度是記憶體裝置特徵的標示的其中之一。此處，記憶窗意指不同記憶狀態之間曲線（Vcg-Id 曲線）的偏移量 ΔV_{cg} ，Vcg-Id 曲線係顯示對應於第五線的佈線之電位 Vcg 與對應於電晶體 160 的電晶體（讀取電晶體）的汲極電流 Id 之間的關係。不同的記憶狀態意指 0 V 被施加至浮動閘極部份 FG 之狀態（於下稱為低狀態）及 5 V

被施加至浮動閘極部份 FG（於下稱為高狀態）之狀態。換言之，藉由掃描低狀態與高狀態中電位 V_{cg} 的範圍，取得記憶窗寬度。此處，電位 V_{cg} 在低狀態中於 -2 V 至 5 V 的範圍中掃描，電位 V_{cg} 在高狀態中於 -7 V 至 0 V 的範圍中掃描。在此二情形中，在源極電極和汲極電極之間的電位差 V_{ds} 為 1 V。

圖 24 顯示初始的記憶寬度與執行 1×10^9 次寫入之後的記憶窗寬度之檢查結果。注意，在圖 24 中，水平軸代表 V_{cg} (V) 及垂直軸代表 I_d (A)。實線代表第一寫入的特徵曲線，虛線代表執行 1×10^9 次寫入之後的特徵曲線。在實線與虛線中，左曲線是高狀態的特徵曲線，右曲線是低狀態的特徵曲線。根據圖 24，記憶窗寬度在寫入 1×10^9 次資料之後未改變，這意指在該週期期間最後時半導體裝置的特徵未改變。

如上所述，在重複儲存及寫入 1×10^9 次資料之後，根據本發明的一個實施例之半導體裝置的特徵未改變，並且，半導體裝置對於重複寫入具有高度耐受性。換言之，可以說根據本發明的實施例能夠取得具有相當高的可靠度之半導體裝置。

本申請案係根據 2010 年 2 月 5 日向日本專利局申請之日本專利申請序號 2010-024579 的申請案，其內容於此一併列入參考。

【符號說明】

- 100：基板
- 102：保護層
- 104：半導體區
- 106：元件隔離絕緣層
- 108：閘極絕緣層
- 110：閘極電極
- 116：通道形成區
- 120：雜質區
- 122：金屬層
- 124：金屬化合物區
- 126：電極
- 128：絕緣層
- 130：絕緣層
- 142a：源極或汲極電極
- 142b：源極或汲極電極
- 143a：絕緣層
- 143b：絕緣層
- 144：氧化物半導體層
- 146：閘極絕緣層
- 148a：閘極電極
- 148b：電極
- 150：絕緣層
- 152：絕緣層
- 154：電極

- 156：佈線
- 160：電晶體
- 162：電晶體
- 164：電容器
- 180：區域
- 182：接觸區
- 500：基底基板
- 502：含氮層
- 510：單晶半導體基板
- 512：氧化物膜
- 514：易脆區
- 516：單晶半導體層
- 518：單晶半導體層
- 520：半導體層
- 522：絕緣層
- 522a：閘極絕緣層
- 524：導電層
- 524a：閘極電極
- 526：通道形成區
- 528：雜質區
- 530：電極
- 532：絕緣層
- 534：絕緣層
- 542a：源極或汲極電極

542b：源極或汲極電極
543a：絕緣層
543b：絕緣層
544：氧化物半導體層
546：閘極絕緣層
548a：閘極電極
548b：電極
550：絕緣層
552：絕緣層
554：電極
556：佈線
560：電晶體
562：電晶體
564：電容器
701：機殼
702：機殼
703：顯示部
704：鍵盤
711：主體
712：探針
713：顯示部
714：操作鍵
715：外部介面
720：電子書讀取器

721：機殼
723：機殼
725：顯示部
727：顯示部
731：電源開關
733：操作鍵
735：揚聲器
737：軸部
740：機殼
741：機殼
742：顯示面板
743：揚聲器
744：麥克風
745：操作鍵
746：指向裝置
747：相機鏡頭
748：外部連接端子
749：太陽能電池
750：外部記憶體槽
761：主體
763：目鏡
764：操作鍵
765：顯示部
766：電池

- 767：顯示部
- 770：電視裝置
- 771：機殼
- 773：顯示部
- 775：支架
- 780：遙控器
- 800：測量系統
- 802：電容器
- 804：電晶體
- 804：電晶體
- 805：電晶體
- 806：電晶體
- 808：電晶體
- 1100：記憶胞
- 1111：第一驅動電路
- 1112：第二驅動電路
- 1113：第三驅動電路
- 1114：第四驅動電路

發明摘要

※申請案號：106107045（由105110080分割）

※申請日：100年01月20日

※IPC分類：*H01L 27/105* (2006.01)
H01L 21/8239 (2006.01)
G11C 16/06 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

一種具有新穎結構的半導體裝置，其中，即使當沒有電力被供應時仍然可以固持儲存的資料且對寫入的次數沒有任何限定。在半導體裝置中，均包含第一電晶體、第二電晶體、及電容器的多個記憶胞係以矩陣形式來予以配置，以及，用以連接一個記憶胞至另一個記憶胞的佈線（也稱為位元線）及第一電晶體的源極或汲極電極經由第二電晶體的源極或汲極電極而彼此電連接。因此，佈線的數目小於第一電晶體的源極或汲極電極與第二電晶體的源極或汲極電極連接至不同佈線的情形中之佈線數目。因此，能夠增加半導體裝置的集成度。

【 英文 】

A semiconductor device with a novel structure in which stored data can be held even when power is not supplied and there is no limitation on the number of times of writing. In the semiconductor device, a plurality of memory cells each including a first transistor, a second transistor, and a capacitor is provided in matrix and a wiring (also called a bit line) for connecting one memory cell to another memory cell and a source or drain electrode of the first transistor are electrically connected to each other through a source or drain electrode of the second transistor. Accordingly, the number of wirings can be smaller than that in the case where the source or drain electrode of the first transistor and the source or drain electrode of the second transistor are connected to different wirings. Thus, the degree of integration of the semiconductor device can be increased.

申請專利範圍

1. 一種半導體裝置，包括：

第一電晶體；

在該第一電晶體之上包含氧化物半導體層的第二電晶體；以及

電容器，

其中：

該氧化物半導體層包含通道區，

該第一電晶體的閘極係電連接至該氧化物半導體層，並且

該電容器包括該氧化物半導體層的第一區域、該第一區域之上的絕緣層、和該絕緣層之上的上部電極。

2. 一種半導體裝置，包括：

包括含矽半導體層的第一電晶體；

在該第一電晶體之上包含氧化物半導體層的第二電晶體；以及

電容器，

其中：

該半導體層包含該第一電晶體的通道區，

該氧化物半導體層包含該第二電晶體的通道區，

該第一電晶體的閘極係電連接至該氧化物半導體層，並且

該電容器包括該氧化物半導體層的第一區域、該第一區域之上的絕緣層、和該絕緣層之上的上部電極。

3. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，該第一電晶體的該閘極係經由該第二電晶體的源極和汲極的其中一者而被電連接至該氧化物半導體層。

4. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，該電容器另包括該第二電晶體的源極和汲極的其中一者做為下部電極。

5. 如申請專利範圍第 4 項之半導體裝置，其中，該電容器的該上部電極和該下部電極各自與該第一電晶體的該閘極重疊。

6. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，該絕緣層用做為該第二電晶體的閘極絕緣層。

7. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，該絕緣層包含含鋁氧化物。

8. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，該上部電極含有和該第二電晶體之閘極相同的導電材料。

9. 如申請專利範圍第 1 或 2 項之半導體裝置，其中，該氧化物半導體層包括本質的或實質上本質的氧化物半導體。

圖式

圖1A

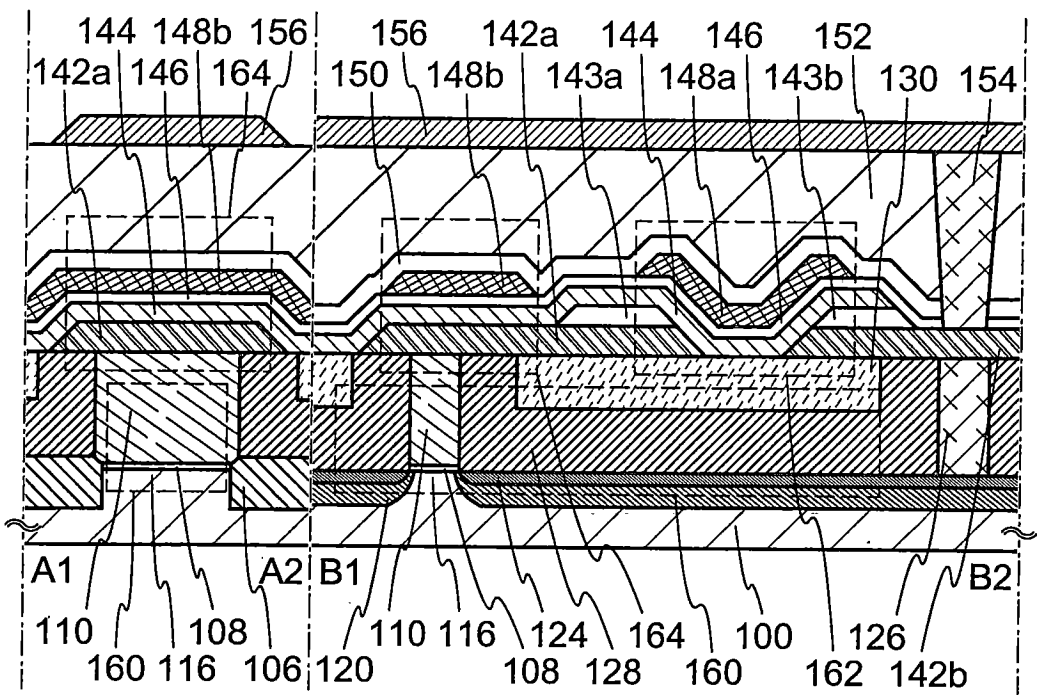


圖1B

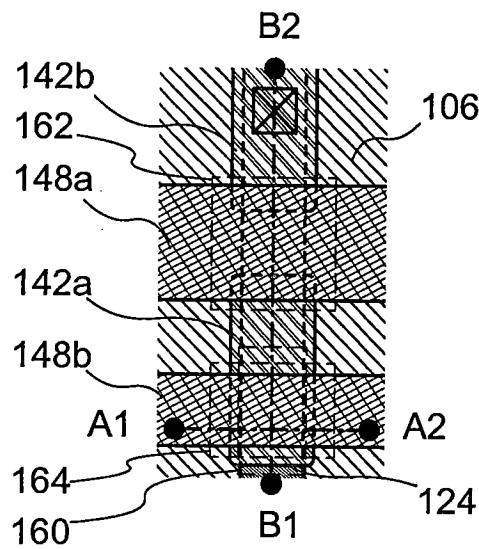


圖 2A

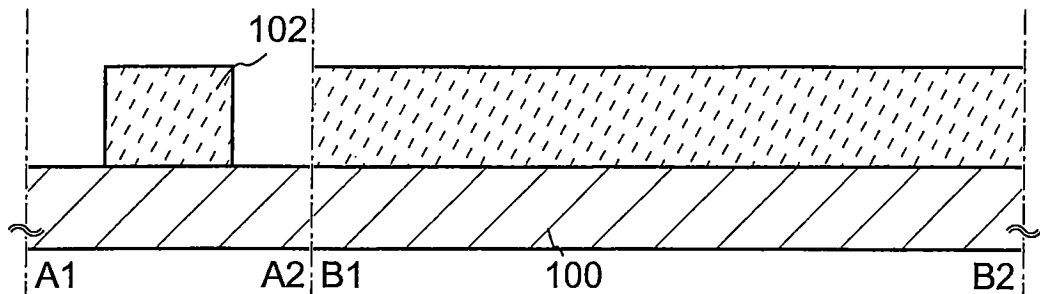


圖 2B

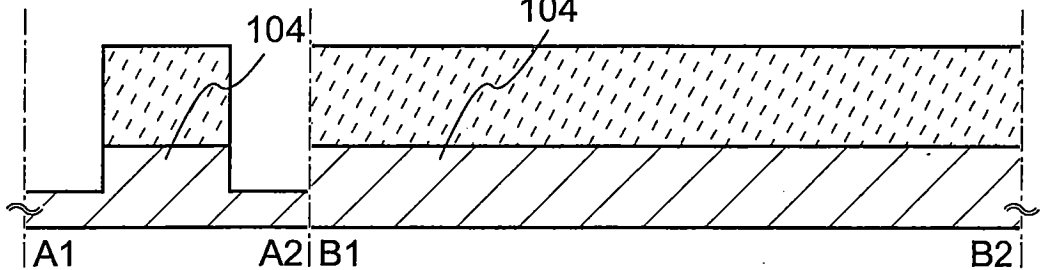


圖 2C

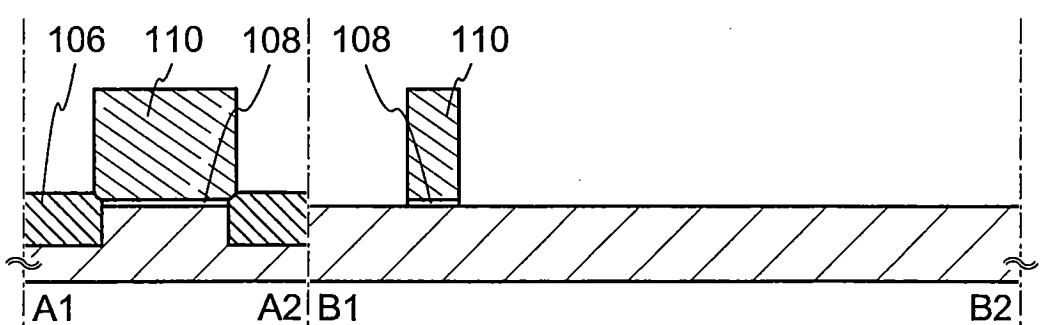


圖 2D

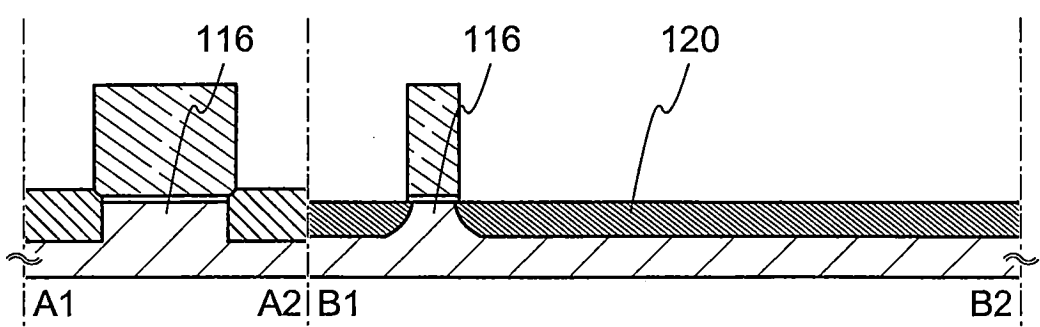


圖 4A

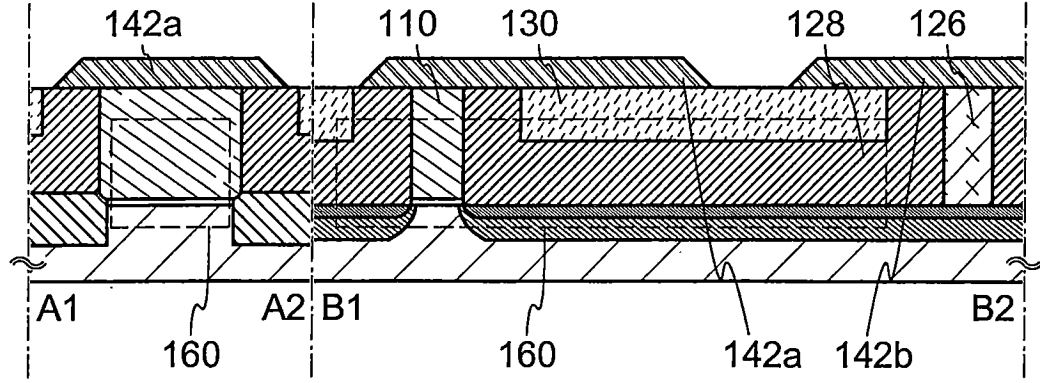


圖 4B

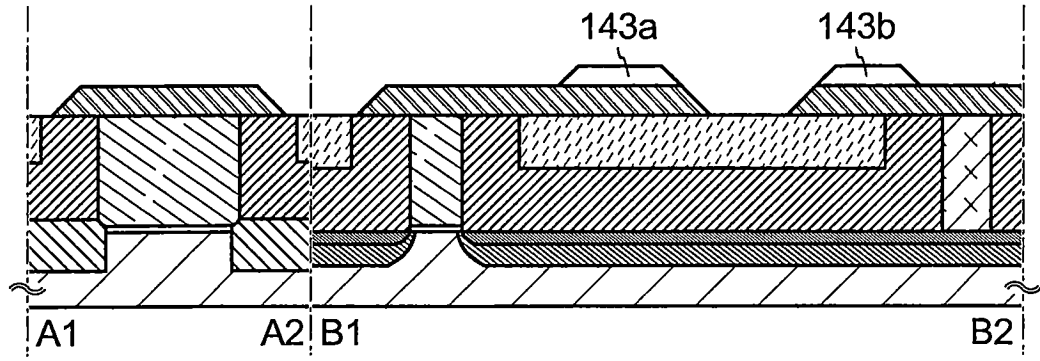


圖 4C

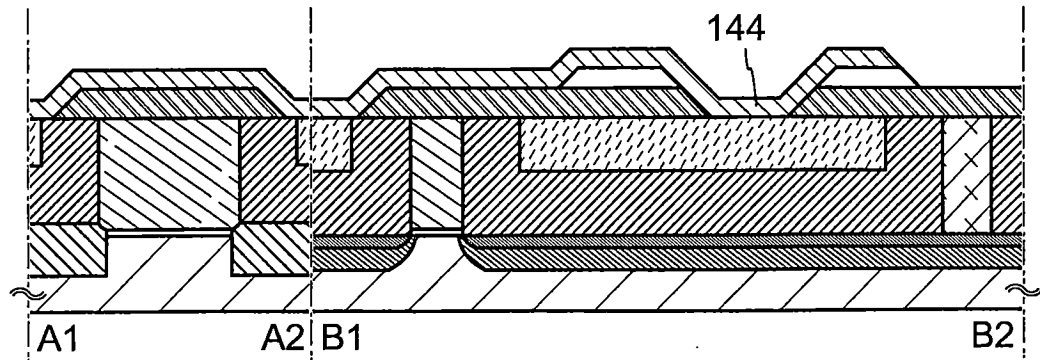


圖 4D

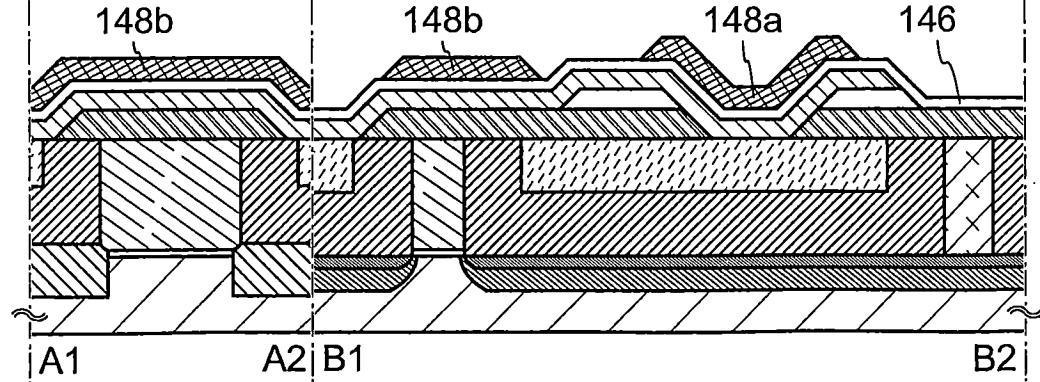


圖5A

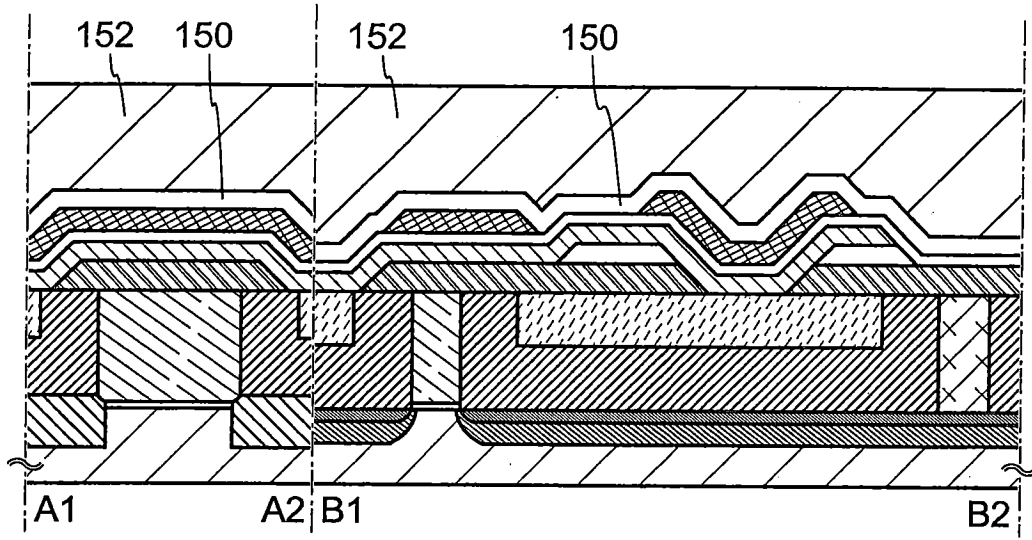


圖5B

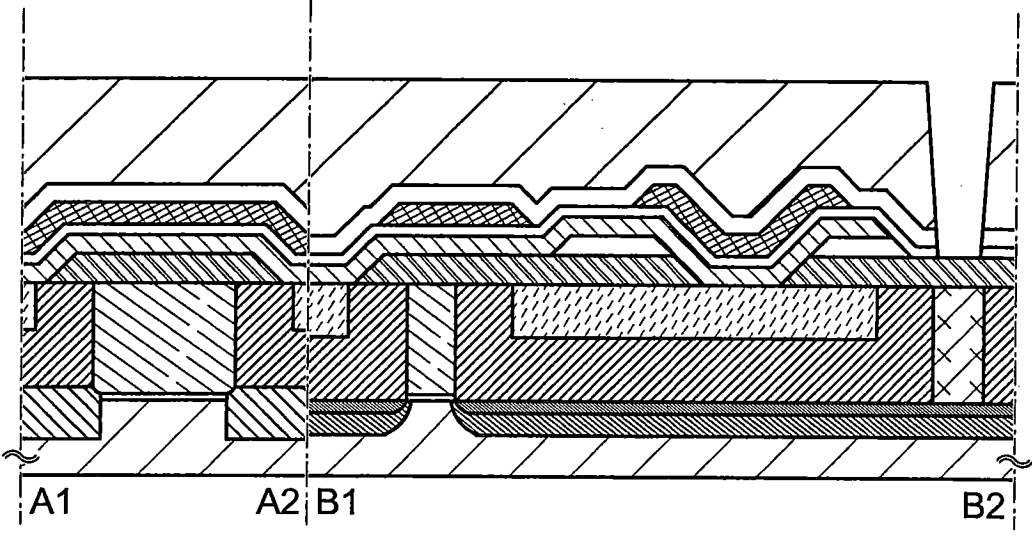


圖5C

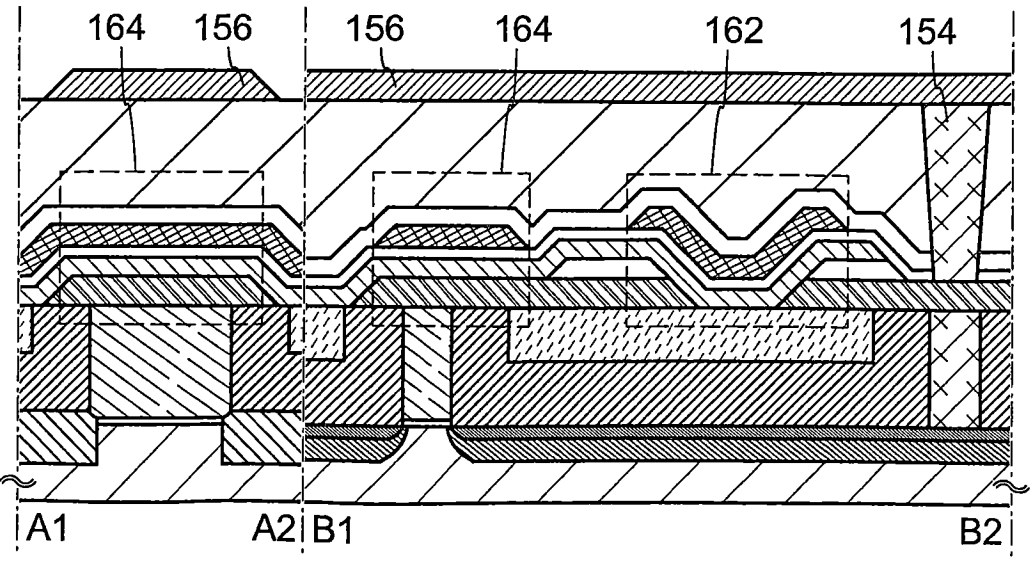


圖 6A

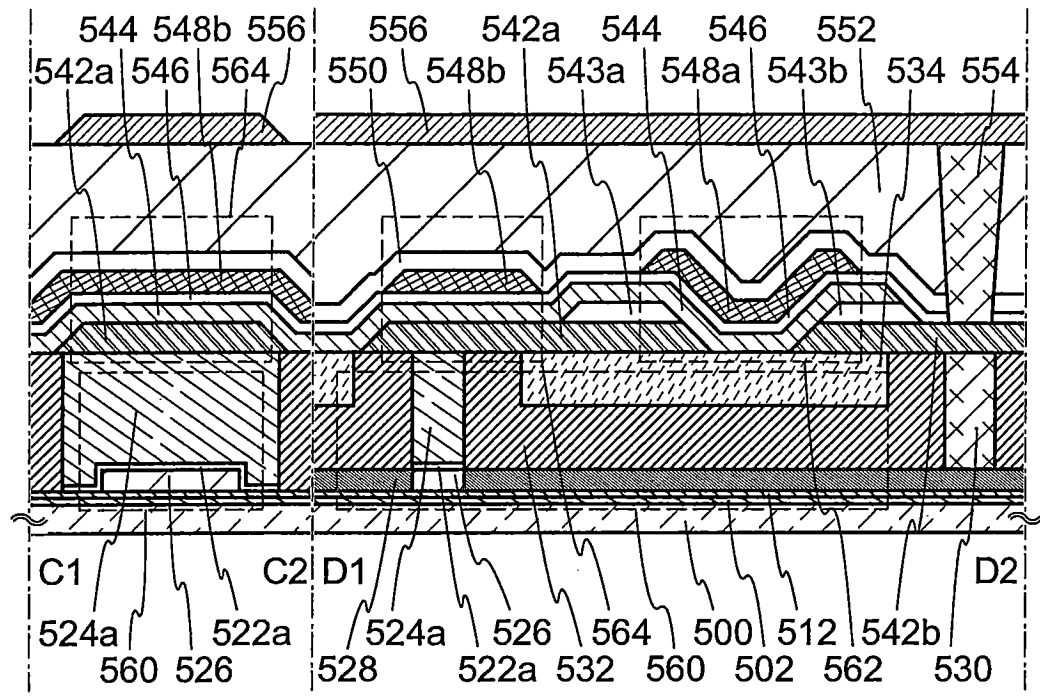


圖 6B

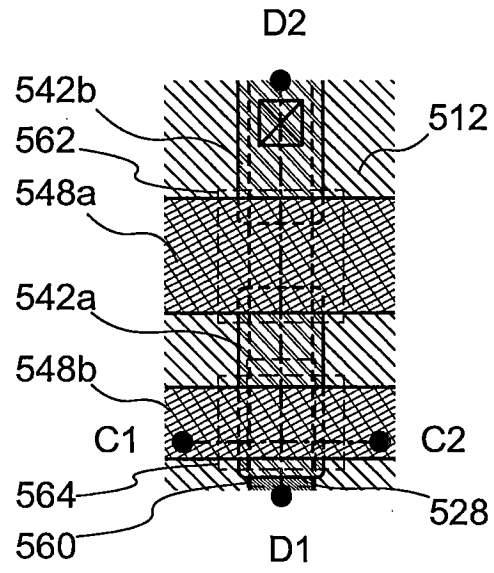


圖 7A

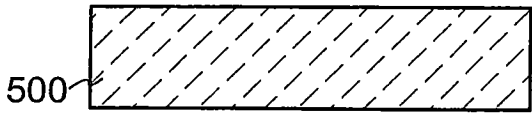


圖 7C

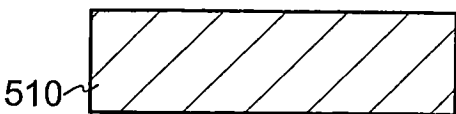


圖 7B

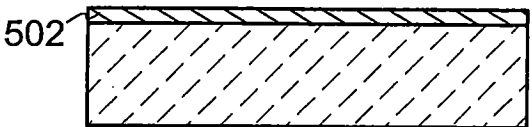


圖 7D

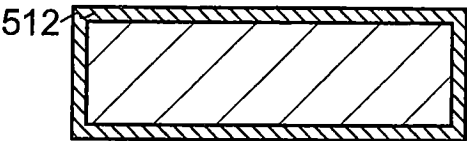


圖 7E

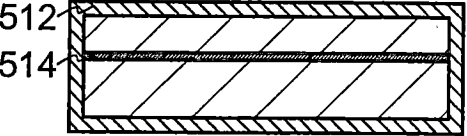


圖 7F

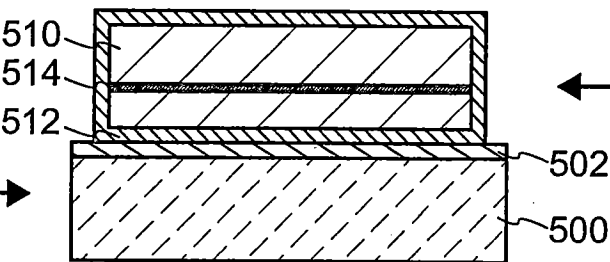


圖 7G

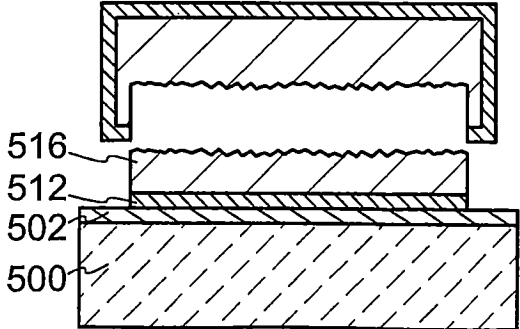


圖 7H

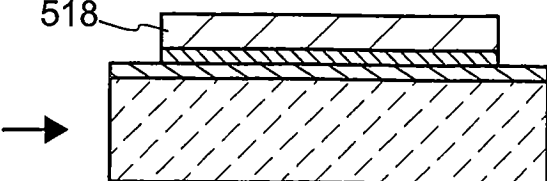


圖 8A

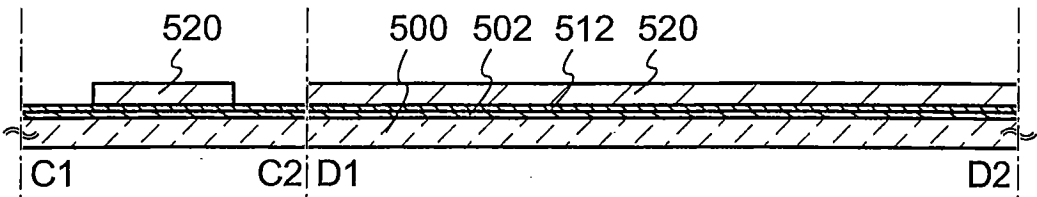


圖 8B

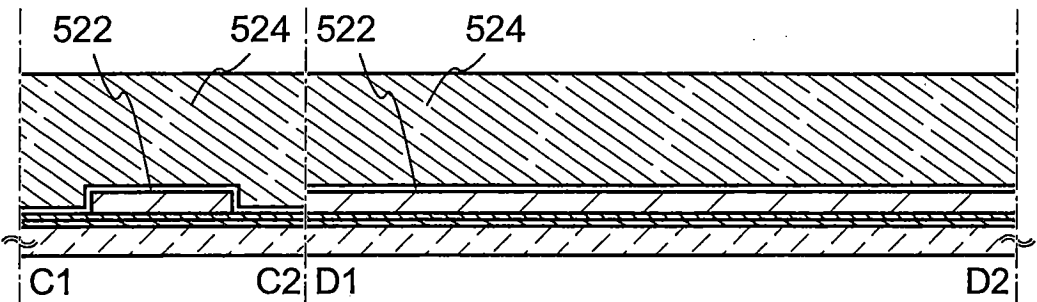


圖 8C

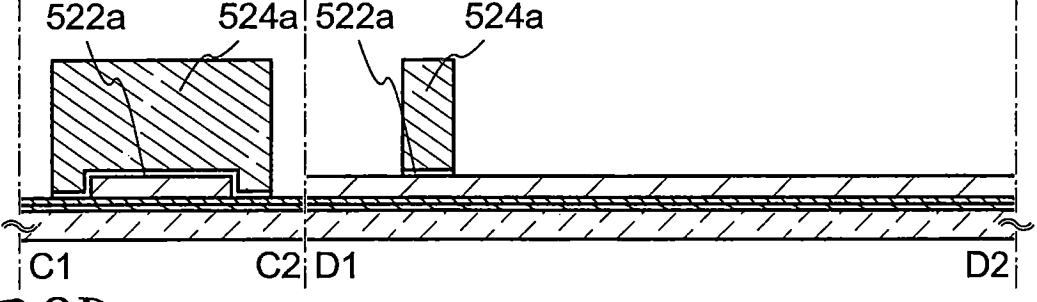


圖 8D

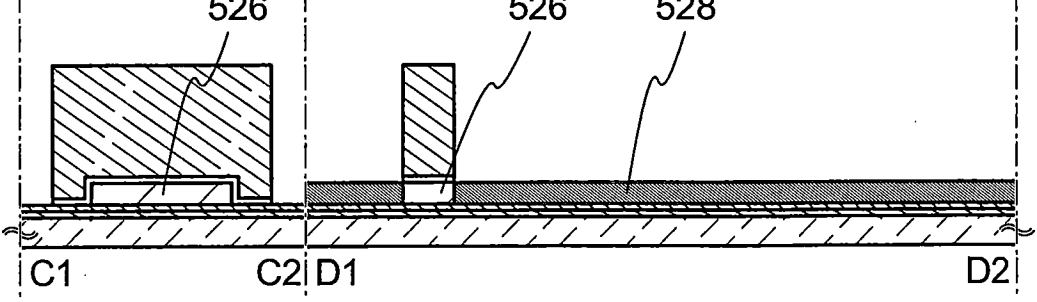


圖 8E

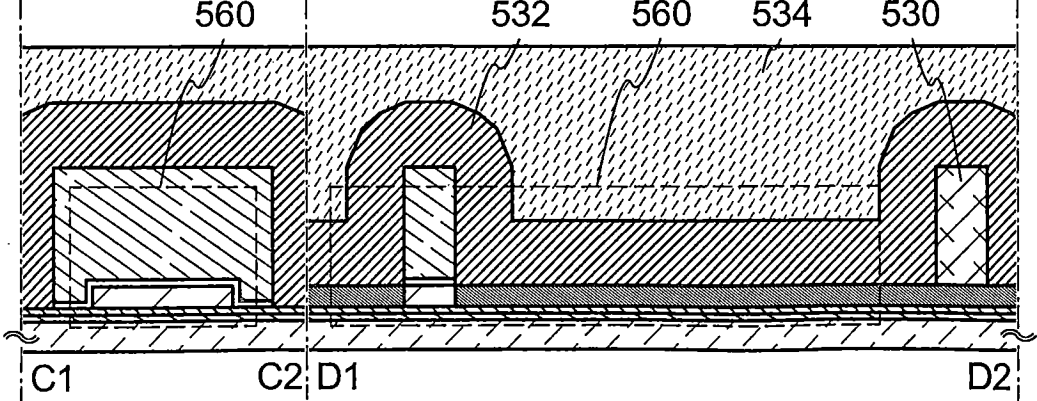


圖 9A

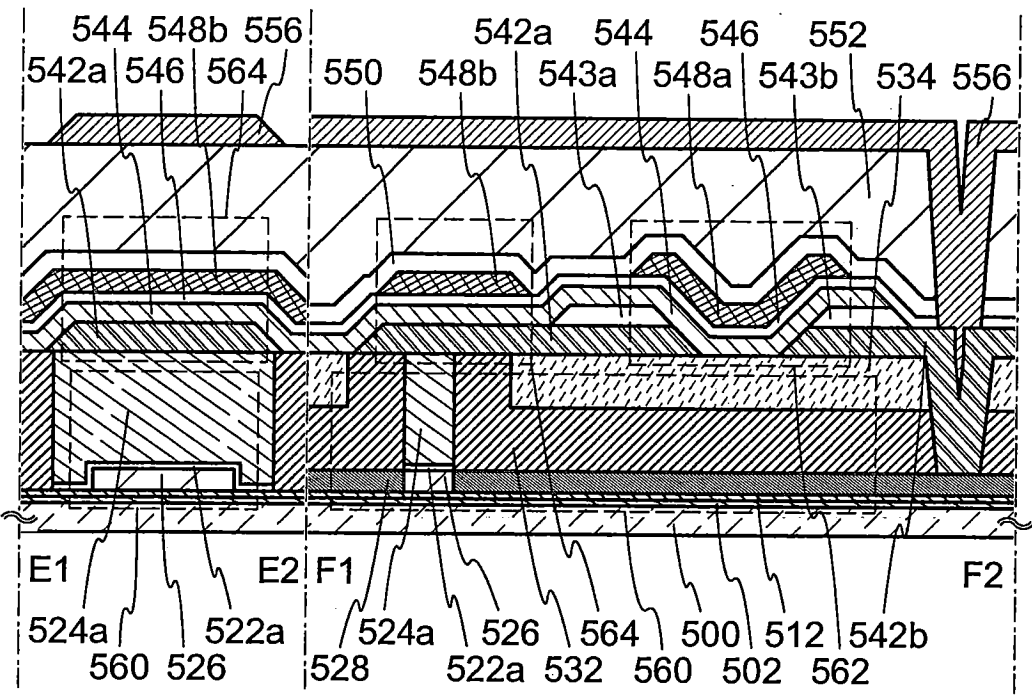


圖 9B

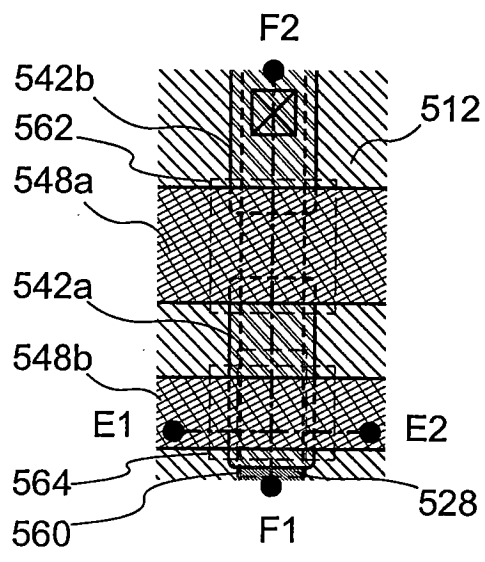


圖 10A

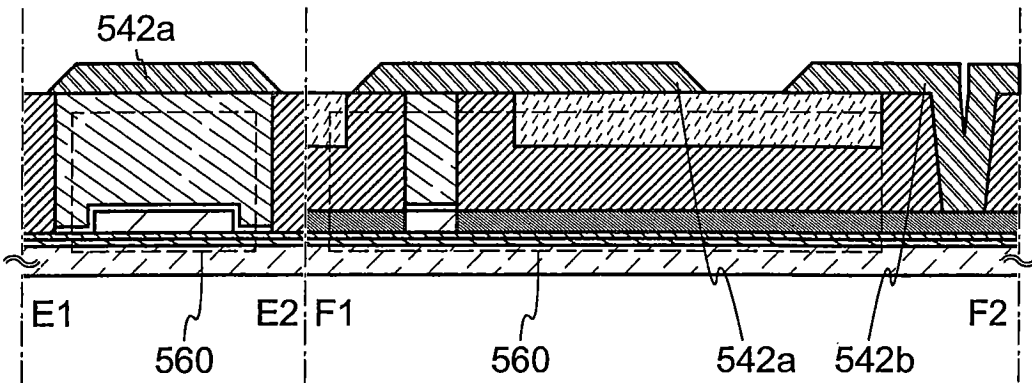


圖 10B

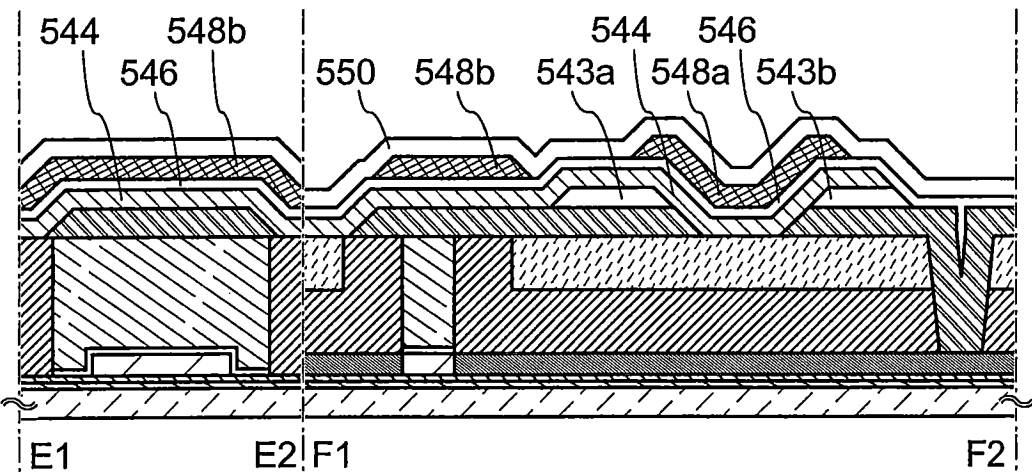


圖 10C

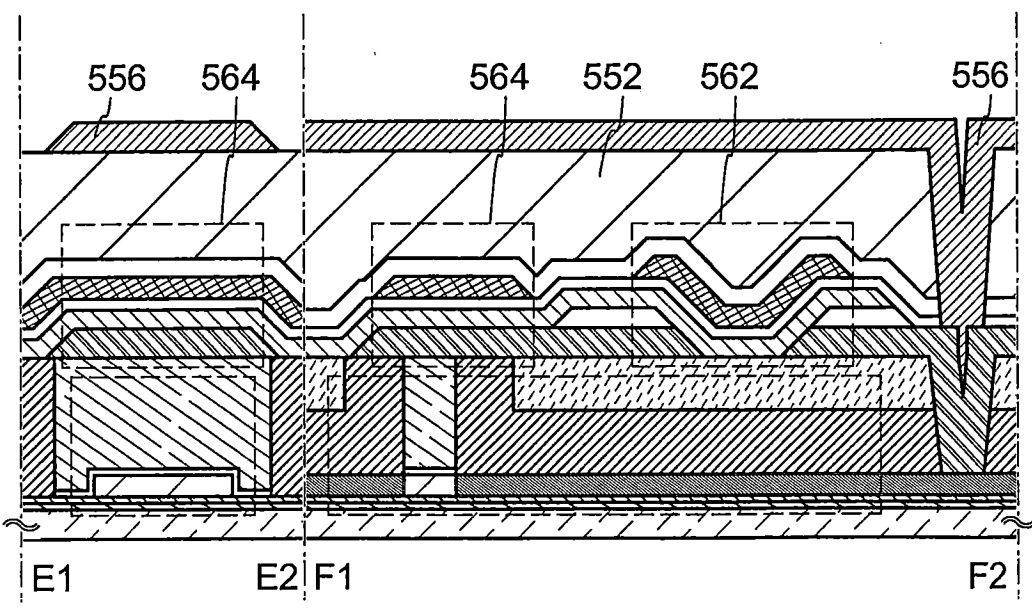


圖 11A

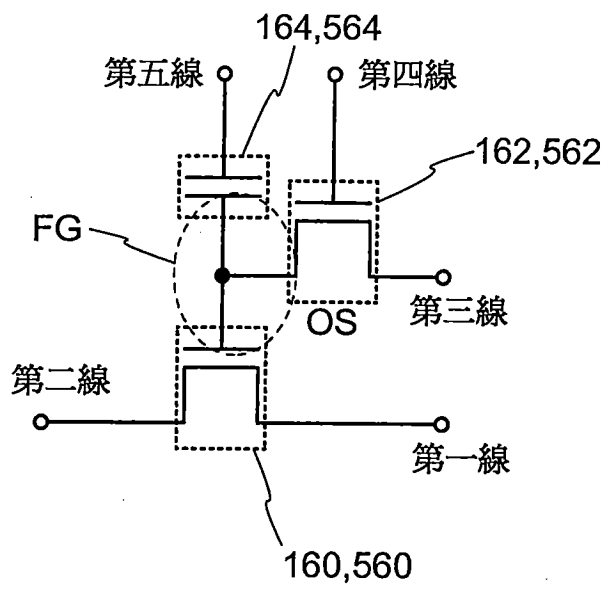


圖 11B

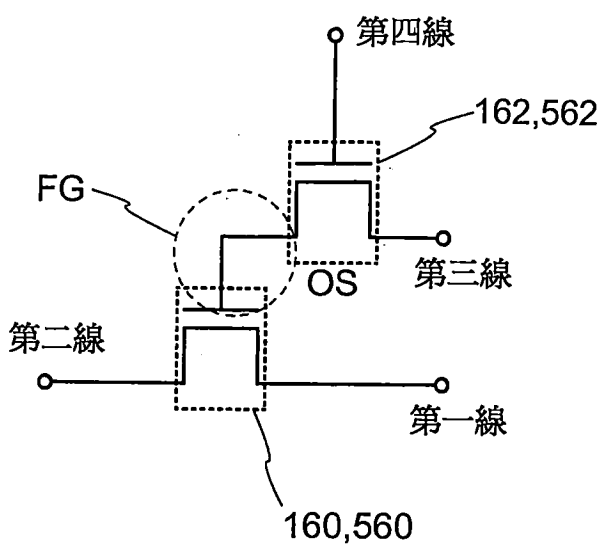


圖 11C

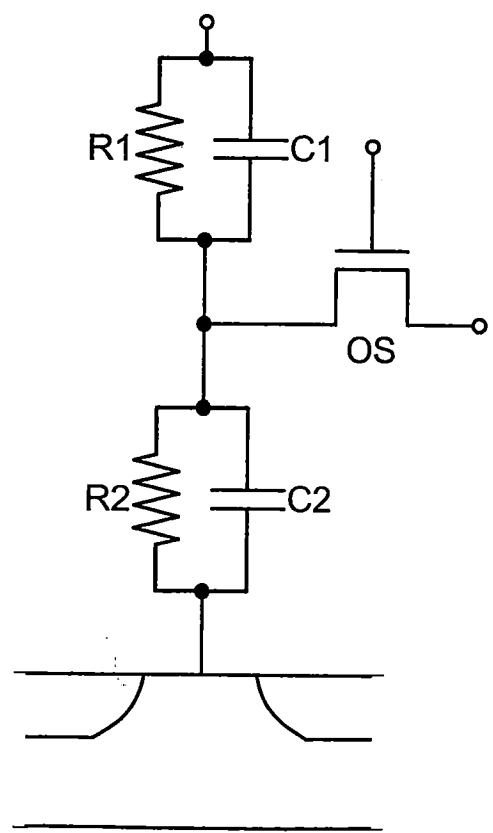


圖12

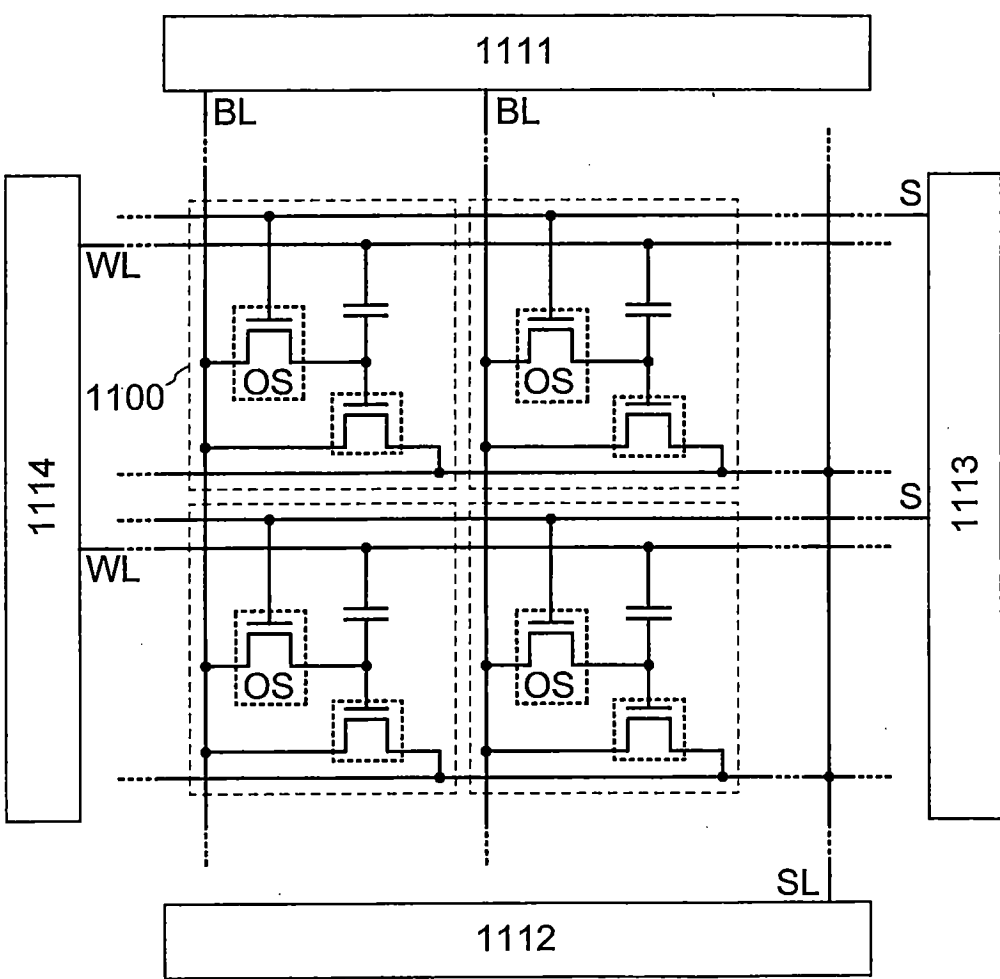


圖14

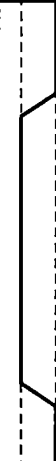
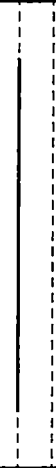
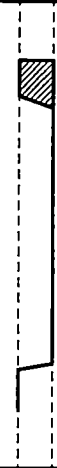
		寫入第一列 第一列,第一行 = "1" 第一列,第二行 = "0"	讀取第一列 第一列,第一行 = "1" 第一列,第二行 = "0"
SL	V1 V2 OV		
BL(1)	V1 V2 OV		
BL(2)	V1 V2 OV		
S(1)	V1 OV VL		
S(2)	V1 OV VL		
WL(1)	VH OV VL		
WL(2)	VH OV VL		
D(1)	V1 OV	高阻抗	
D(2)	V1 OV	高阻抗	

圖 15

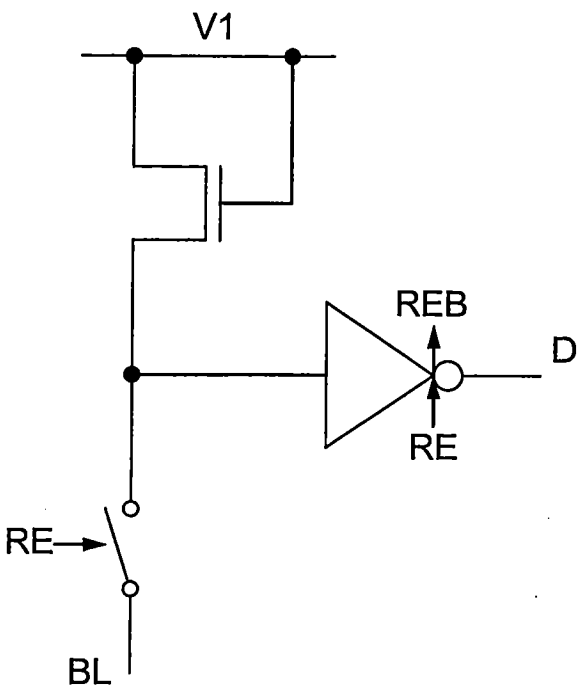


圖16

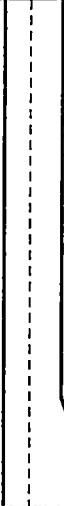
		寫入第一列 第一列,第一行 = "1" 第一列,第二行 = "0"	讀取第一列 第一列,第一行 = "1" 第一列,第二行 = "0"
SL	V1 V2 OV		
BL(1)	V1 V2 OV		
BL(2)	V1 V2 OV		
S(1)	V1 OV VL		
S(2)	V1 OV VL		
WL(1)	VH OV VL		
WL(2)	VH OV VL		
D(1)	V1 OV	高阻抗	
D(2)	V1 OV	高阻抗	

圖 17A

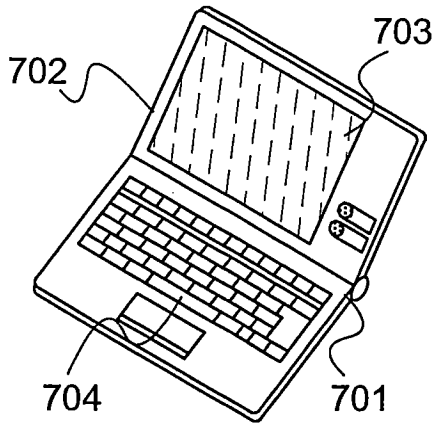


圖 17D

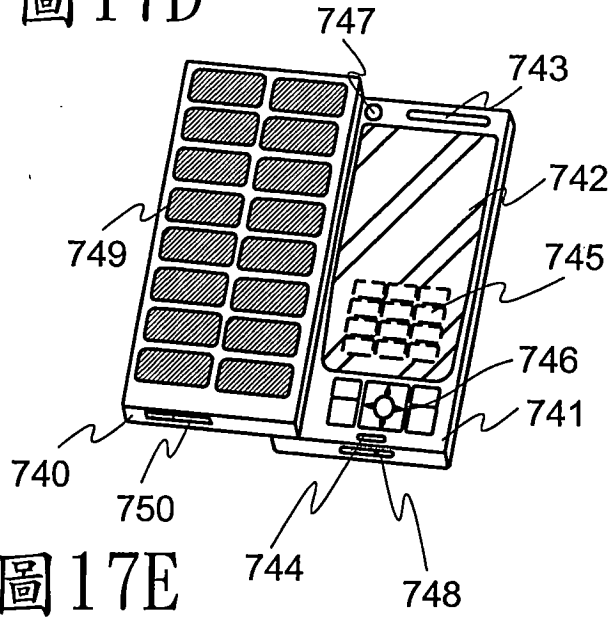


圖 17B

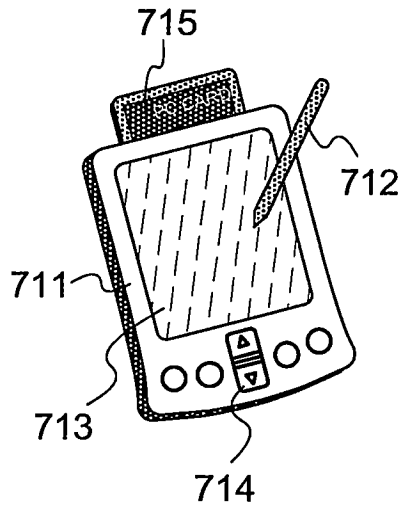


圖 17E

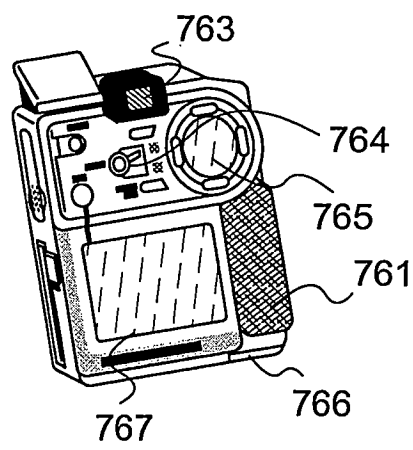


圖 17C

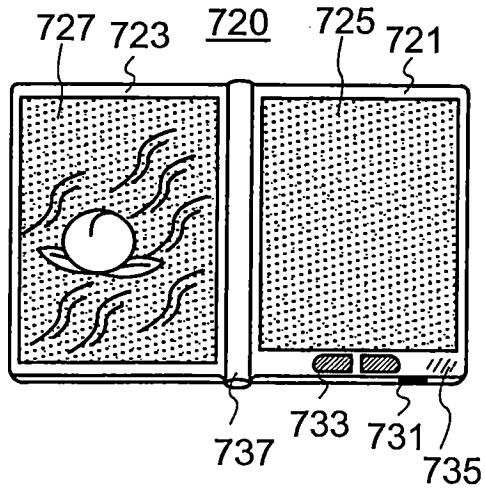


圖 17F

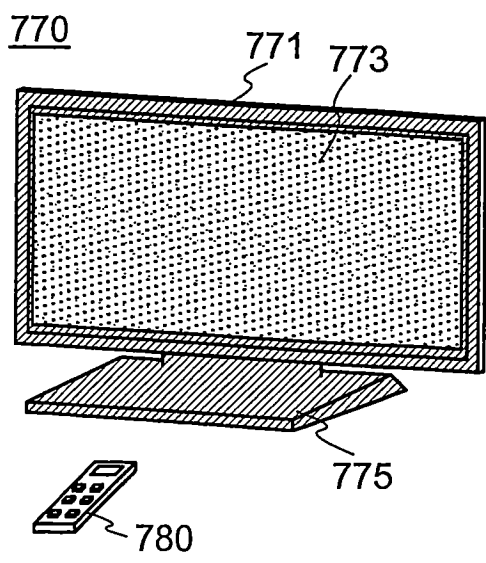


圖18

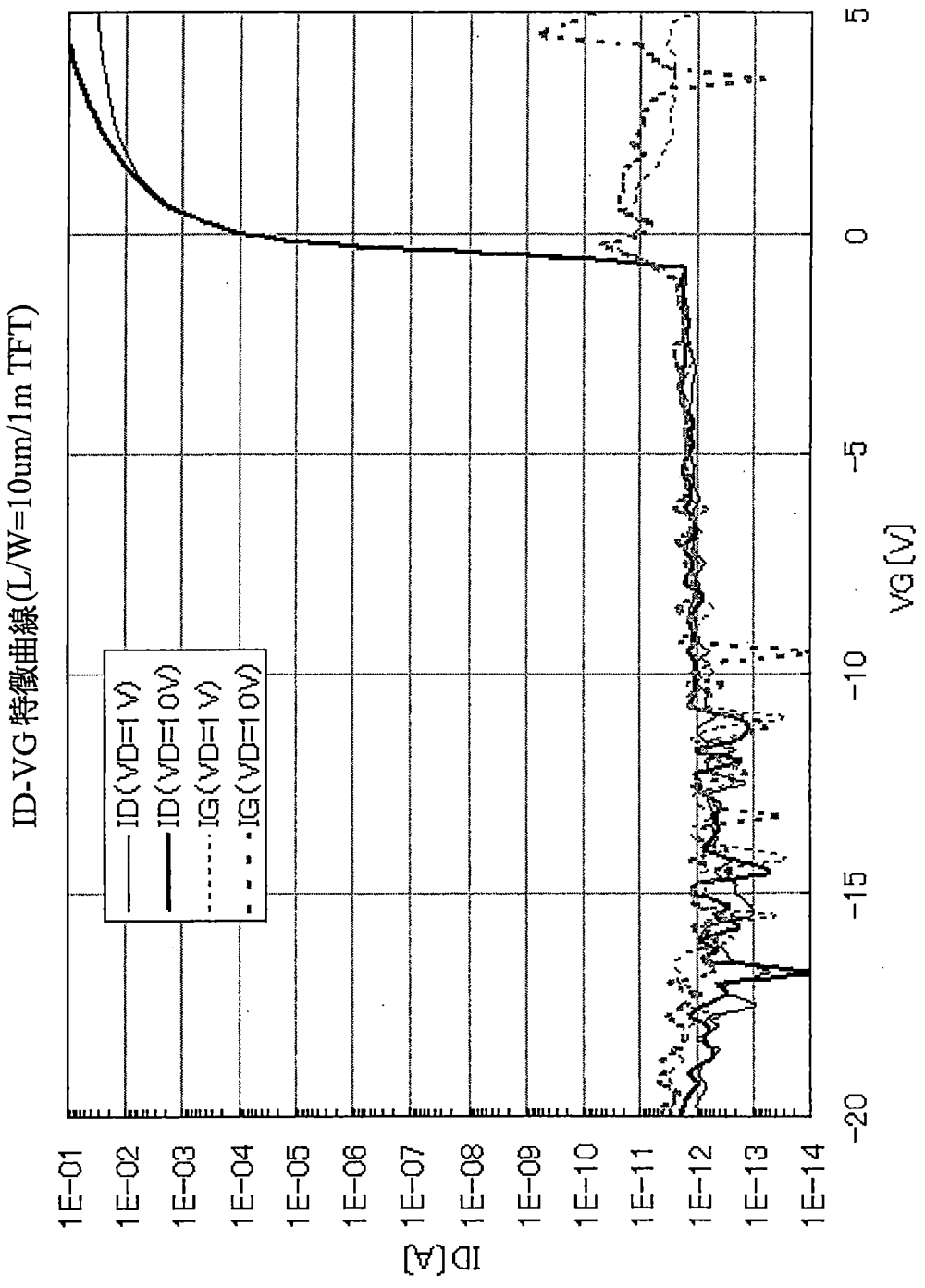


圖 19

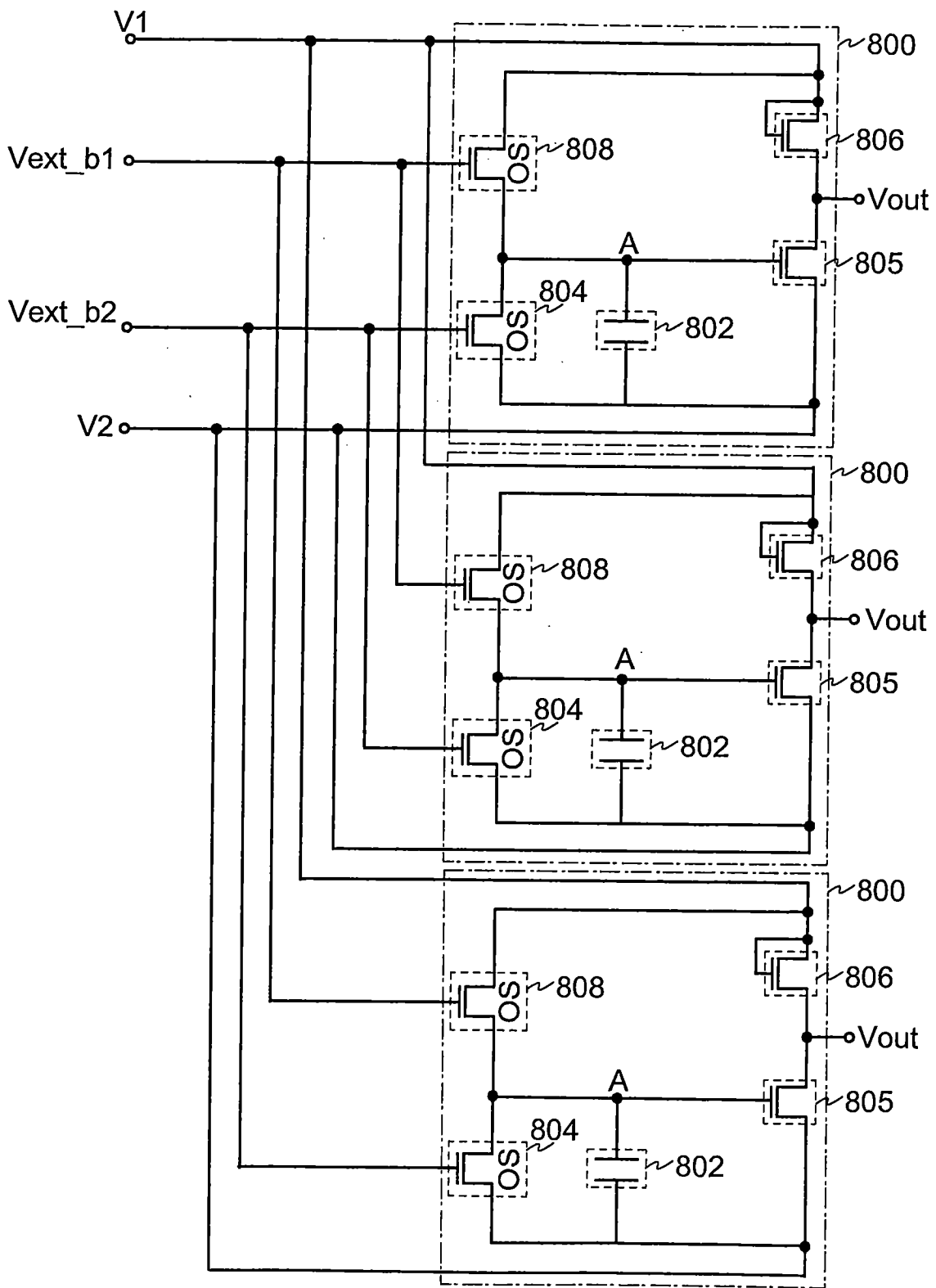


圖 20

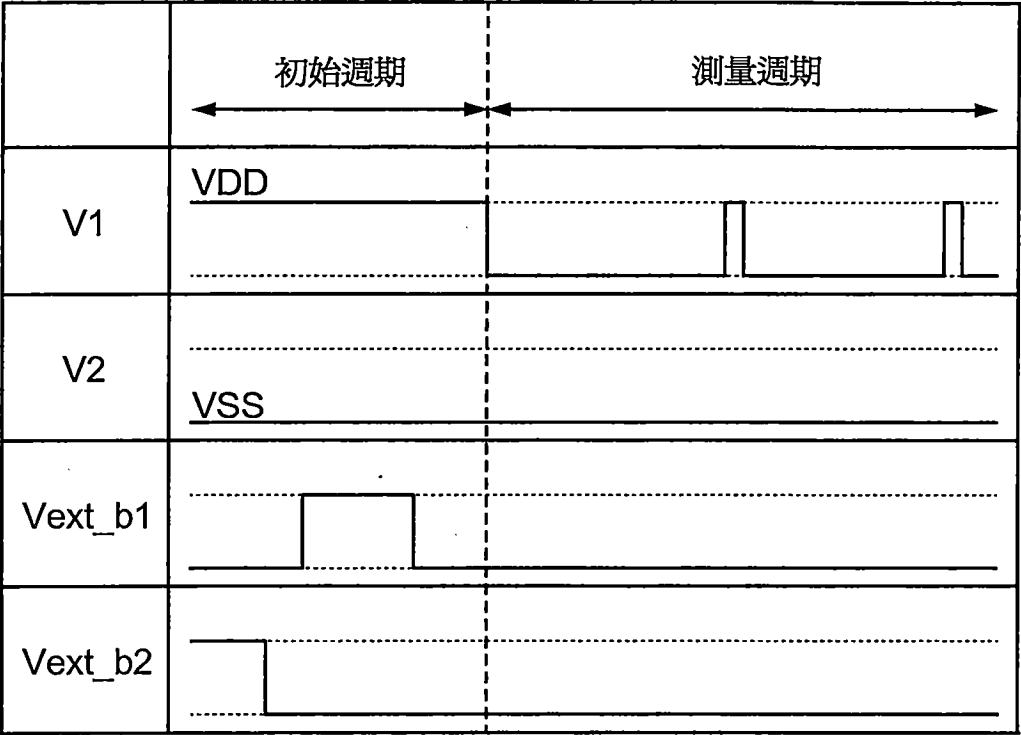


圖21

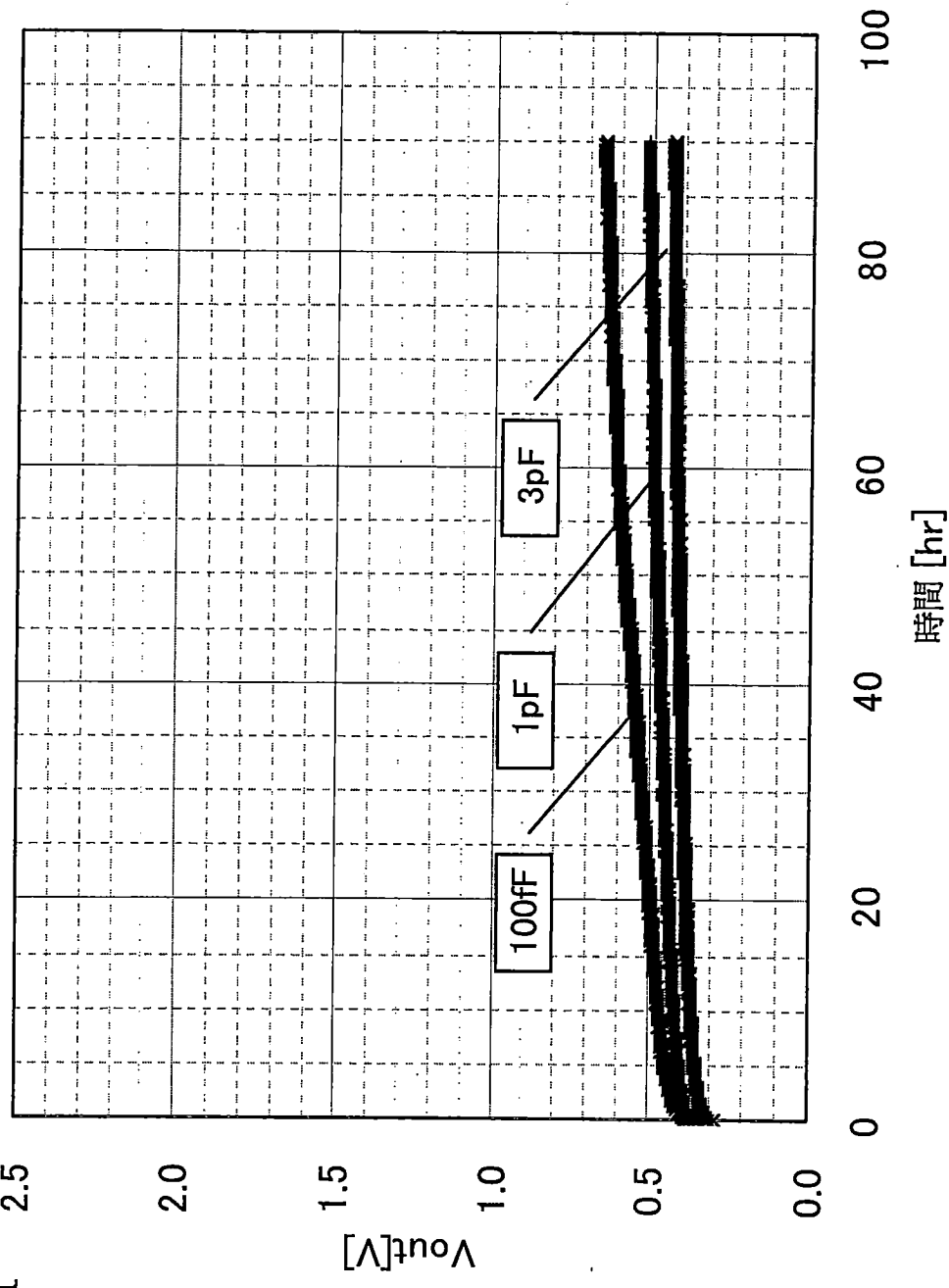


圖22

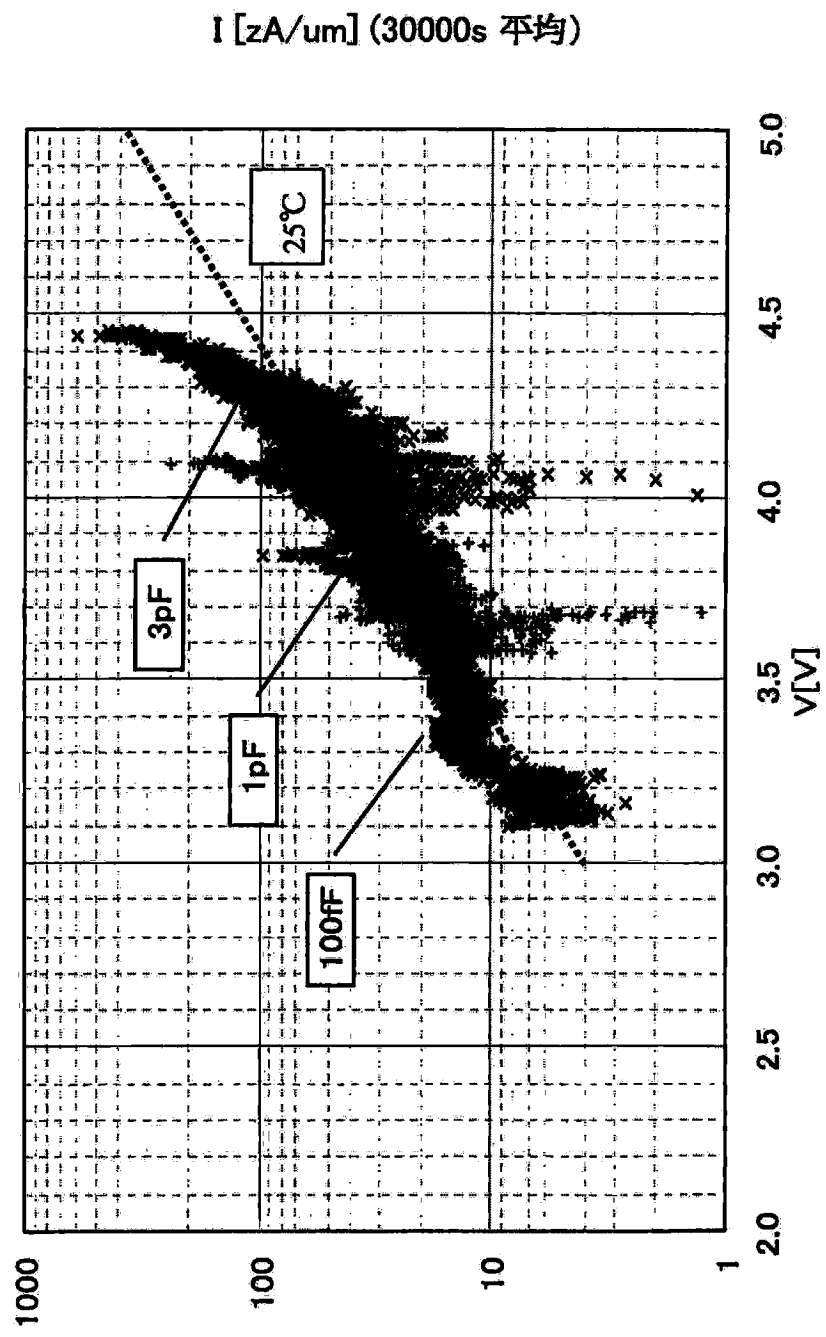


圖23

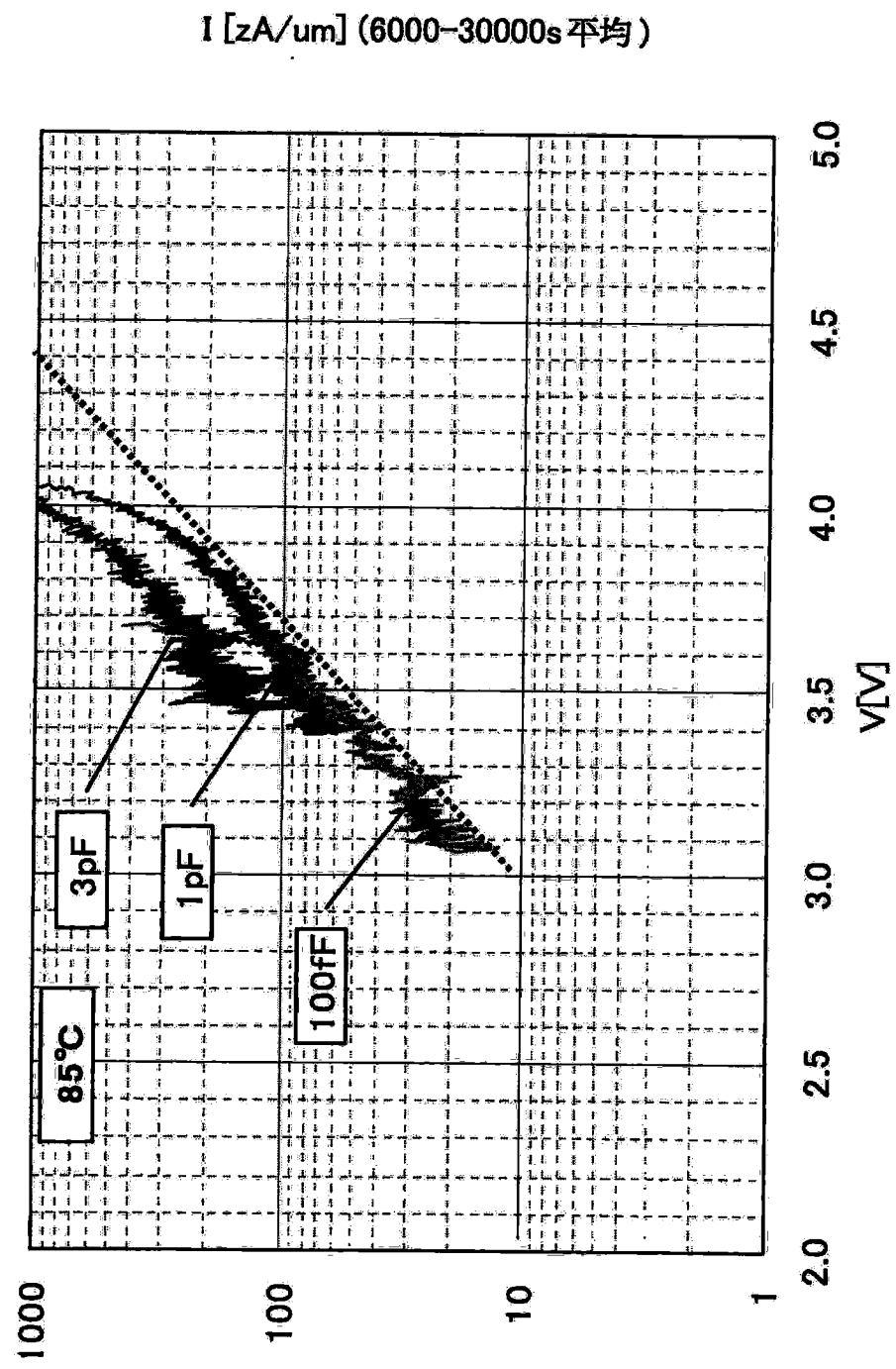
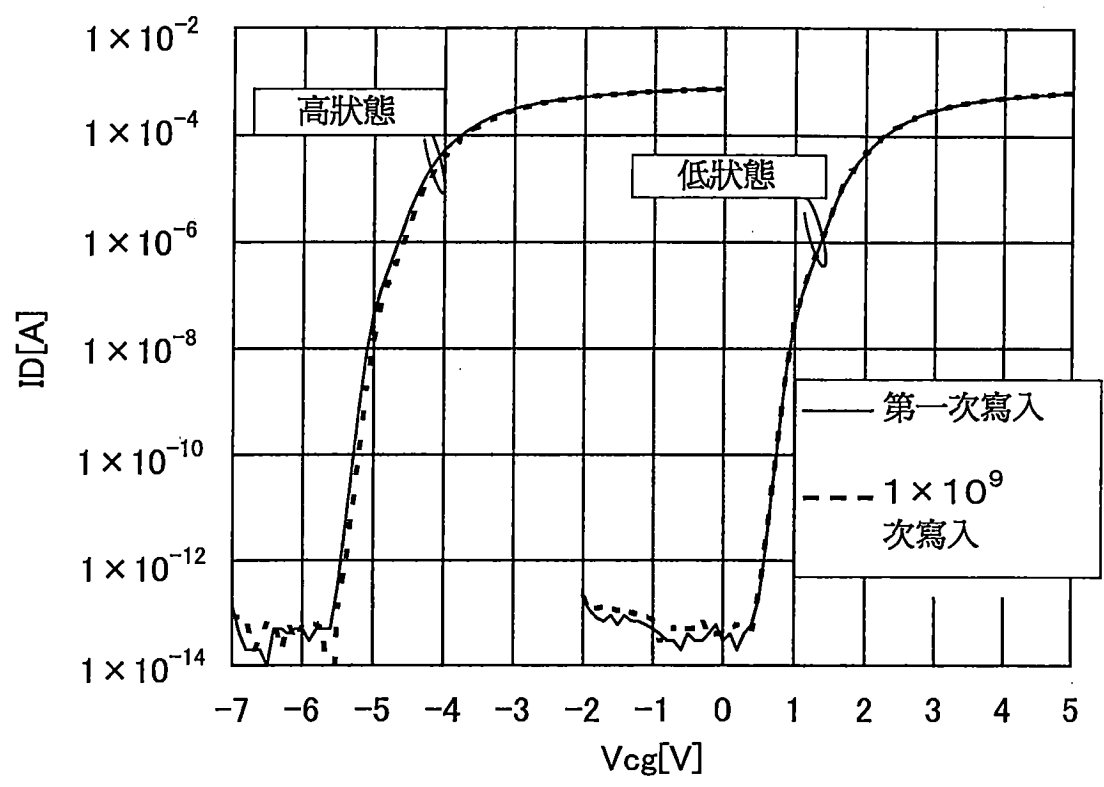


圖 24



【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：基板	106：元件隔離絕緣層
108：閘極絕緣層	110：閘極電極
116：通道形成區	120：雜質區
124：金屬化合物區	126：電極
128：絕緣層	130：絕緣層
142a：源極或汲極電極	142b：源極或汲極電極
143a：絕緣層	143b：絕緣層
144：氧化物半導體層	146：閘極絕緣層
148a：閘極電極	148b：電極
150：絕緣層	152：絕緣層
154：電極	156：佈線
160：電晶體	162：電晶體
164：電容器	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無