

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04B 1/707 (2006.01)



[12] 发明专利说明书

专利号 ZL 00805886.5

[45] 授权公告日 2006 年 10 月 18 日

[11] 授权公告号 CN 1280996C

[22] 申请日 2000.3.30 [21] 申请号 00805886.5

[30] 优先权

[32] 1999. 3. 31 [33] US [31] 09/283,010

[86] 国际申请 PCT/US2000/040075 2000.3.30

[87] 国际公布 WO2000/059123 英 2000.10.5

[85] 进入国家阶段日期 2001.9.29

[71] 专利权人 高通股份有限公司

地址 美国加利福尼亚州

[72] 发明人 A·阿格拉瓦尔 周群真

审查员 张 璞

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 钱慰民

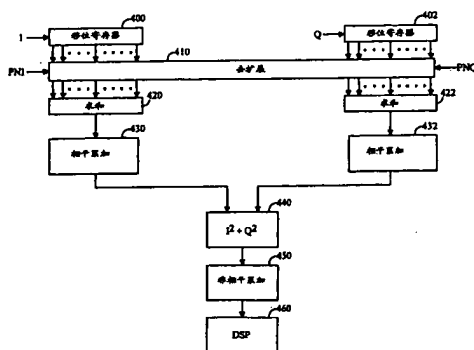
权利要求书 2 页 说明书 12 页 附图 6 页

[54] 发明名称

可编程匹配滤波器搜索器

[57] 摘要

本发明描述了一种用于搜索的新颖和改良的方法和装置。使用匹配滤波器结构对信道数据去扩展。在可编程期间，去扩展(410)的同相和正交振幅被传送到相干累加器(430, 432)中相加。将幅度累加值平方并求和(440)以产生能量测量值。在第二可编程时段，将能量测量值累加以执行非相干累加器(450)。该结果值用于确定在某偏移处导频信号的似然性。每个匹配滤波器结构包含一个用于接收数据的N值移位寄存器，用于执行去扩展和任选Walsh去覆盖的一排可编程抽头，以及一个将所得的滤波器抽头计算相加的加法器结构。



1. 一种可编程匹配滤波器搜索器，其特征在于，它包括：

用于接收各组输入同相 I 数据的移位寄存器；

用于接收各组输入正交 Q 数据的移位寄存器；

用于产生伪随机噪声 PN 序列的 PN 产生器；

可装入匹配滤波器，它具有：

去扩展器，它用于接收所述各组 I 数据、所述各组 Q 数据和所述 PN 序列，并产生各组去扩展 I 值和产生各组去扩展 Q 值；

用于将所述各组去扩展 I 值相加以产生 I 和的求和器；

用于将所述各组去扩展 Q 值相加以产生 Q 和的求和器；

所述可编程匹配滤波器搜索器还包括：

I 累加器，用于接收所述 I 和，并成组地累加所述 I 和，以产生一组累加 I 和；

Q 累加器，用于接收所述 Q 和，并成组地累加所述 Q 和，以产生一组累加 Q 和；和

能量计算器，用于接收各组累加 I 和与各组累加 Q 和，分别将各组累加 I 和中的一组平方，分别将各组累加 Q 和中的一组平方，并对各组 I 与 Q 和中的一组所作的平方结果求和，以产生各组能量值。

2. 如权利要求 1 所述的可编程匹配滤波器搜索器，其特征在于，还包括一个累加器，用于接收所述各组能量值，并产生所述各组能量值的各组累加值。

3. 如权利要求 2 所述的可编程匹配滤波器搜索器，其特征在于：

所述 PN 产生器产生 I 和 Q PN 序列；和

所述去扩展器执行四相移相键控 QPSK 去扩展。

4. 如权利要求 2 所述的可编程匹配滤波器搜索器，其特征在于，

所述去扩展器执行二进制移相键控 BPSK 去扩展。

5. 如权利要求 2 所述的可编程匹配滤波器搜索器，其特征在于，还包括一个多路复用器，用于接收多个 PN 序列，并按所述可装入匹配滤波器分时传送多个 PN 序列，以产生附加的基于所述多个 PN 序列的各组和。

6. 如权利要求 2 所述的可编程匹配滤波器搜索器，其特征在于，还包括：

多路复用器，用于接收一个或多个相位值；和

I 和 Q 旋转器, 用于接收所述可装入匹配滤波器的 I 和 Q 输出, 并根据所述多路复用器的相位输出旋转所述的输出, 将结果传送到所述的 I 和 Q 累加器。

7. 用于执行可编程匹配滤波器搜索的方法, 其特征在于, 它包含以下步骤:

- a) 存储各组 I 和 Q 数据;
- b) 产生 PN 序列;
- c) 用所述 PN 序列对所述各组 I 和 Q 数据去扩展, 以产生 I 和 Q 去扩展值;
- d) 将所述去扩展 I 值的结果相加;
- e) 将所述去扩展 Q 值的结果相加;
- f) 将相加所得的去扩展 I 值累加;
- g) 将相加所得的去扩展 Q 值累加;
- h) 将累加的去扩展 I 值平方;
- i) 将累加的去扩展 Q 值平方;
- j) 将所述两个平方值相加。

8. 如权利要求 7 所述的方法, 其特征在于, 还包含累加所述平方和的步骤。

可编程匹配滤波器搜索器

发明背景

I. 发明领域

本发明涉及通信。具体而言，本发明涉及新颖和改良的用可编程匹配滤波器搜索器检测导频信号的方法和装置。

II. 相关技术的描述

伪随机噪声(PN)序列通常用于直接序列扩展频谱通信系统，例如电信工业协会(TIA)发布的，主要用于蜂窝通信系统的 IS-95 中描述的空中接口标准，以及它的派生物如 IS-95-A 和 ANSI J-STD-008(此后都称为 IS-95 标准)。IS-95 标准结合了码分多址(CDMA)信号调制技术，用于在同一 RF 带宽上同时传导多个通信。当结合了综合功率控制，在同一带宽上同时传导多个通信，与其它无线通信技术相比通过提高频率的再使用，能增加呼叫和其它通信的总数，所述其它通信能在无线通信系统中进行。美国专利号 No. 4,901,307 题为《SPREAD SPECTRUM COMMUNICATION SYSTEM USING SATELLITE OR TERRESTRIAL REPEATERS》和美国专利号 No. 5,103,459 题为《SYSTEM AND METHOD FOR GENERATING SIGNAL WAVEFORMS IN A CDMA CELLULAR TELEPHONE SYSTEM》中都揭示了多址通信系统中 CDMA 技术的使用，上述两个专利都转让给了本发明的受让人，通过参考结合于此。

图 1 提供了根据使用 IS-95 标准构造的蜂窝电话系统的高度简化图。在操作中，一组用户单元 10a-d 通过用一个或多个使用 CDMA 调制 RF 信号的基站 12a-d 建立一个或多个 RF 接口以进行无线通信。每个基站 12 和用户单元 10 之间的 RF 接口包含基站 12 发射的前向链路信号，和用户单元发射的反向链路信号。使用这些 RF 接口，一般通过移动电话交换局(MTSO)14 和公共交换电话网(PSTN)16 进行与其它用户的通信。通常通过有线连接形成基站 12、MTSO 14 和 PSTN 16 之间的链路，虽然也熟知另外的 RF 或微波链路的使用。

每个用户单元 10 通过使用一个瑞克接收机与一个或多个基站 12 通信。在美国专利号 No. 5,109,390 题为《DIVERSITY RECEIVER IN A CDMA CELLULAR TELEPHONE SYSTEM》中描述了瑞克(Rake)接收机，该专利转让给了本发明的受让人，通过参

考结合于此。典型地,瑞克接收机包括一个或多个搜索器,用于定位来自相邻基站的直接或多路径导频,和两个或多个峰指接收器,用于接收和组合来自这些基站的信息信号。在1994年9月30日提交的美国专利号08/316,177题为《MULTIPATH SEARCH PROCESSOR FOR SPREAD SPECTRUM MULTIPLE ACCESS COMMUNICATION SYSTEMS》的共同待批申请中描述了搜索器,该专利转让给了本发明的受让人,通过参考结合于此。

在直接序列扩展频谱通信系统的设计中,要求接收机必须使它的PN序列对准基站的PN序列。在IS-95中,每个基站和用户单元使用精确相同的PN序列。基站通过在其PN序列的产生中插入一个唯一的偏移,将它本身和其它基站区分开来。在IS-95系统中,所有的基站都偏移64码片的整数倍数。用户单元通过向基站指定至少一个峰指接收器实现与该基站的通信。为了与基站通信,指定的峰指接收器必须在它的PN序列中插入合适的偏移。也可以通过使每个基站用唯一的PN序列代替同样PN序列的偏移,从而区别基站。在这种情况下,峰指接收器可以调节它们的PN产生器,从而为它指定的基站产生合适的PN序列。

用户单元通过使用搜索器确定基站的位置。图2描述了在用户单元中用于搜索的普通类型的串行相关器。在1997年7月1日公布的美国专利号No.5,644,591题为《METHOD AND APPARATUS FOR PERFORMING SEARCH ACQUISITION IN A CDMA COMMUNICATIONS SYSTEM》中描述了该搜索器,该专利转让给了本发明的受让人,通过参考结合于此。

在图2中,天线20接收一个或多个基站发射的包含导频信号的信号。在接收机21中将该信号下变频和放大,从而产生接收信号的同相分量(I)和正交分量(Q),并将它们传送到去扩展器22。I和Q PN序列产生器23由搜索器控制器27控制为候选偏移产生合适的I和Q PN序列。去扩展器22接收I和Q PN序列,并将I和Q接收信号去扩展,从而将结果传到相干累加器24和25。这些累加器在搜索器控制器27指定的时间段内,对去扩展I和Q信号的振幅求积分。相干累加器24和25在输入信号相位大约为常数的一段时间内,将I和Q的振幅相加。将结果传到能量计算模块26,其中将I和Q的相干累加值平方并相加。该结果在非相干累加器28中累加。非相干累加器中相加的是能量,所以不适用相干累加器中相位为常数的要求。在搜索器控制器27所指定的一段时间内将能量累加。在门限比较29中比较该结果。一旦完成了在I和Q PN序列产生器23中候选偏移的编程过程,搜索器控制器27指定一个新的被分析的候选偏移。

上述搜索器具有较强适应性的优点。关于一个候选偏移可以执行任何数量的相干积分 C (受相干时间的限制), 还可以执行任何数量的非相干累加 M 。可以搜索任何数量的搜索假设 L 。然后, L 假设窗口的所有搜索时间由 $L \cdot C \cdot M$ 给出。该结构的缺点是用串行的方式计算每个候选值。为了减少对给出 M 和 N 的搜索时间, 需要加入加倍的硬件。

图 3 显示了另一个搜索器结构, 它通常称为匹配滤波器搜索器。对于该方法的讨论, 见 Simon, Omura, Scholtz&Levitt, SPREAD SPECTRUM COMMUNICATIONS HANDBOOK, pp.815-822, McGraw-Hill, Inc., New York。

天线 30 接收输入信号, 并将它传到接收机 31 中下变频和放大。然后将 I 和 Q 信道分别传送到延迟链路 36 和 38。每个延迟链路包含 N 个延迟单元, 标为 $DI1-DIN$ 和 $DQ1-DQN$ 。用装入抽头值链路 35 和 37 的 PN 值乘以每个延迟单元的输出。用 I 和 Q PN 产生器产生抽头值, 并将它装入或硬编码入标为 $PN11-PNIN$ 和 $PNQ1-PNQN$ 的乘法单元。要注意到在简单的情况下, 抽头值只包括 1 和 -1, 所以反相器 (或取负器) 代替了真正的乘法器。图 3 显示了延迟单元输出和抽头值的联合。抽头值由 PN 序列的一部分组成, PN 序列用于和输入数据相关。所有乘法的结果都被传送到加法器 34 和 32, 在那里将它们相加。然后, 在模块 33 中将结果平方并相加, 以产生一个能量计算值, 在门限比较 39 中比较该结果。在能量结果较高的时候, 可能存在基站导频, 而且它的 PN 产生器对准抽头单元中的 PN 序列部分。在单个一轮需要循环通过全部的 PN 序列的时间中, 每个可能的偏移都具有为它计算的能量值。

该结构的优点包括并行计算 N 个假设, 使得在每个延迟单元被更新的周期内只产生一次结果。在搜索的假设数 L 等于整个 PN 空间, 所需的相干累加数 C 等于抽头数 N , 非相干累加数 M 设置为 1 的情况下, 该结构是最佳的。在这个过程中, 总的搜索时间是 $L+N$ (假设用有效数据填满延迟单元需要 N 个周期)。延迟单元可以已经包含有效数据, 在任何情况下, 通常 N 远小于 PN 空间, 所以搜索时间基本上直接和 L 有关。比较这个和上述串行相关器搜索器的时间: $L \cdot C \cdot M = L \cdot C$ 。

N 的最大值由相干时间给出。搜索器的匹配滤波器部分基本上执行去扩展输入信号的相干累加。这和先前结构中的最大值 C 受同样的约束。为了增加非相干累加数, 需要增加用于容纳每个搜索假设中间计算的存储器, 或 L 附加存储单元。然后, 对于 $M>1$ 搜索时间由 $M \cdot PN$ 给出, 其中 PN 是整个 PN 空间。

该结构的缺点包括缺乏适应性。只有在上述有限情况的硬件和时间中, 它是

最佳的。在期望的 C 小于抽头数 N ，或被搜索的窗口 L 小于整个 PN 空间， M 大于 1 的情况下，硬件就不能充分地使用。首先，在硬件中存在的延迟单元和 PN 抽头，不管它们是否被使用。其次，在第二个非相干能量值计算出之前，整个 PN 序列必须循环通过。再次，需要一个额外的存储器，用于为每个偏移存储所有的部分累加。

举一些数字实例，假设 PN 空间 PN 为 30000。我们将比较所述具有 $N=100$ 个延迟单元的匹配滤波器搜索器。首先假设期望的搜索窗口也是 30000，期望的 C 是 100，期望的 M 是 1。这些条件对于匹配滤波器搜索器是最佳的，所以它的硬件能够充分的使用。所需搜索时间是 $L*M=30000$ 。上述串行相关器搜索器也有效使用它的硬件，但是它的搜索时间是 $L*M*C=3000000$ ，或者大于 100 倍。所以为了用串行相关器达到相等的速度，我们需要并行 100 个。在使用面积上它不会和匹配滤波器同样有效。

现在假设用同样的硬件，我们搜索一个小于全部 PN 序列的窗口： $L=1000$ 。再假设相干积分 C 仅设定为 25。 M 仍然为 1。这种情况证明匹配滤波器不能充分利用它的所有硬件，因为它的 $3/4$ 未被用到。全部的搜索时间 1000 仍然低于串行相关器的 $1000*25=25000$ ，但是只快 25 倍。这是假设抽头可以用这种方法被编程，使得可以利用减小的窗口尺寸并具有固定抽头（情况并非如些），搜索时间为 30000，它实际上还要慢一点。

最后，只改变假设 $M=5$ 。这样匹配滤波器搜索器将继续以 25% 的硬件效率操作，它将使用 $M*PN$ 或 150000 个循环进行搜索（需要额外的存储器存储 L 个部分累加）。串行相关器将继续以 100% 的硬件效率操作，并在 $L*C*M$ 或 125000 的时间内完成任务。明显的是，当 M 超过 5，串行相关器的性能增益只会增加。

在降低从最初捕获到基站切换到多路径解调所用的搜索时间上具有明显的优点。在本技术领域需要一种搜索器，它能集快速搜索和适应性和硬件效率为一体。

发明内容

本发明描述了一种用于搜索的新颖改良的方法和装置。根据本发明的一个实施例，搜索器将灵活性加入到匹配滤波器的并行计算特征中，它允许用资源有效的方式为较宽范围的搜索假设高速执行可变数量的相干累加和可变数量的非相干累加。本发明的该典型实施例允许以时间分片方式，并行使用匹配滤波器结构，以搜索多个窗口。此外，搜索器允许为每个搜索窗口任选独立的 Walsh 去覆盖。

分时逼近允许任何偏移的任选频率搜索。

在典型实施例中，使用匹配滤波器结构对 I 和 Q 信道数据去扩展。在可编程时段中，去扩展的同相和正交振幅被传送到相干累加器中相加。将振幅累加值平方并相加，产生一个能量测量值。在第二个可编程时段，将能量测量值累加以执行非相干累加。结果值用于确定该偏移处的导频信号的似然性。

每个匹配滤波器结构包含一个用于接收数据的 N 值移位寄存器，一条用于执行去扩展和任选 Walsh 去覆盖的可编程抽头组，和一个用于将结果滤波器抽头计算相加的加法器结构。匹配滤波器结构能随意用分时方式搜索多路复用器指示的多个窗口，多路复用器提供各种抽头值流以用于去扩展(用抽头值中包括的任选 Walsh 去覆盖)。此外，可以加入任选相位旋转器以应用多路复用相位值，从而进行频率搜索。每个循环中，匹配滤波器结构都产生一个特定偏移的中间计算值(用任选 Walsh 去覆盖和任选相位旋转)，其中包括 N 个基于移位寄存器中数据的计算值。屏蔽特征可用于允许执行使用小于 N 个值的计算。某些任选特征的标识不包含需要其它特征。在不同的实施例中，可以组合或省略本发明的不同方面。

附图概述

本发明的特点、目的和优点将在以下结合附图的详细描述中进一步显现出来，附图中相同的标号到处都作相应地标识，其中：

图 1 是蜂窝电话系统的框图；

图 2 是先前技术串行相关器搜索器的框图；

图 3 是先前技术匹配滤波器搜索器的框图；

图 4 是根据本发明典型实施例构造的框图；

图 5 描述了一个 QPSK 去扩展器；

图 6 描述了一个 BPSK 去扩展器；和

图 7 是根据本发明构造的更详细的框图；

较佳实施例的详细描述

图 4 中显示了根据本发明的一个实施例构造的框图。I 和 Q 数据(下文中文为 D_I 和 D_Q)分别进入移位寄存器 400 和 402。本发明中匹配滤波器部件的大小由 N(移位寄存器中的存储单元数)给出。数据以一个固定的速率装入和在移位寄存器中移位。在典型的实施例中，数据以两倍码片的速率装入。这样允许

搜索每个码片和半码片边界。

然后，在移位寄存器 400 和 402 中的数据与装入去扩展器 410 中 I 和 Q PN 序列的 N 比特部分(下文中为 PN_I 和 PN_Q)相关。为了将 QPSK 扩展导频信号去扩展，执行复数去扩展： $(D_I + jD_Q) \cdot (PN_I + jPN_Q) = (D_I PN_I + D_Q PN_Q) + j(D_Q PN_I - D_I PN_Q)$ 。图 5 描述了 N 级 QPSK 去扩展器中的一级。N 个值中的一个 D_I 在乘法器 600 与相应的抽头值 PN_I 相乘，在乘法器 604 中与相应的抽头值 PN_Q 相乘。类似地， D_Q 在乘法器 604 和 606 中分别与抽头值 PN_I 和 PN_Q 相乘。乘法器 600 和 606 的输出在加法器 608 中相加。在加法器 610 中，从乘法器 602 的输出中减去乘法器 604 的输出。加法器 608 的输出是去扩展 I 的值。加法器 610 的输出是去扩展 Q 的值。由于有 N 级，所以会有 N 个这样的复数结果。

对 BPSK 去扩展本发明也是有用的。在这种情况下，只有一个进行相关的 PN 序列，在去扩展器 410 中提供 I 和 Q 抽头值。可以使用如图 5 所示的电路将一个 PN 序列传送到 PN_I 和 PN_Q 。图 6 显示了简化的去扩展器，它可用于只有 BPSK 去扩展的情况。 D_I 和 D_Q 在乘法器 612 和 614 中分别和 PN 序列相乘。结果在加法器 616 中相加以产生去扩展 I 的值。在加法器 618 中，用乘法器 614 的输出减去乘法器 612 的输出，以产生去扩展 Q 的值。又有 N 级，所以又有 N 个复数结果。

虽然图 5 和图 6 显示了使用中的乘法器，简化形式在本领域内是熟知的。当抽头值是二元的，如它们在典型实施例中只是 1 和 -1，以及为 D_I 和 D_Q 选择了合适的数据格式，那么只使用 XOR 门和多路复用器(细节未图示)就可以完成去扩展步骤。

再参考图 4，在去扩展器 410 中产生的 N 个去扩展 I 值和去扩展 Q 值在求和器 420 中分别相加。每次在移位寄存器 400 和 402 中的数据一改变，在求和器 420 和 422 中就计算出新的和。每个和都是特定偏移的 N 码片相干累加。无需改变去扩展器 410 中的抽头值，按可编程数量的循环重复该过程。例如，在典型实施例中，匹配滤波器的大小 N 为 64。假设期望搜索窗口的大小 L 为 64，相干累加 C 为 256。在这种情况下，适于窗口开头的抽头值被装入去扩展器 410 中，数据被循环通过移位寄存器，每个循环都从求和器 420 和 422 中产生结果。

将每个结果分别装入相干累加器 430 和 432。这些累加器每次提供多个累加值。在典型实施例中，它们基于 RAM。在每个循环期间，检索适当的局部累

加值，将它加入求和器 420 或 422 的输出中，再将合成局部累加值存入 RAM 中。在我们的实例中，当过去了 64 个循环，第一批 64 个 I 和 Q 的和被装入累加器 430 和 432。这些和中的每一个对应于 C 为 64，因为那是匹配滤波器的宽度。

在这期间，为去扩展器计算了一组新的抽头值。进行该计算以便在第一轮中检测的同样的 64 个偏移假设能被再次检测。如果抽头值不改变，将用每个循环检测新的偏移直到搜索完整个 PN 空间（类似于上述标准的匹配滤波器搜索器）。再次重复匹配滤波器的程序下一轮 64 个循环。这时候，利用相应的偏移局部累加值加出每个结果，并存储在累加器 430 和 432 中。在 64 个循环过去之后，每个局部累加值由两个 64 码片局部累加值构成，对应于 C 为 128。该过程再重复两次，每次都改变抽头值，直到累加器累加了 4 轮 64 码片的值，对应于期望的 C 为 256。在该结构中，搜索器能执行任何 N 整数倍数 C 的相干累加。能被进发搜索的窗口大小由存储在累加器 430 和 432 中局部累加的数目确定。（C 的上限由使用精度的比特数和使用的度量技术确定。本领域熟练的技术人员能很容易地设计提供期望 C 值的电路）。

装入 PN 抽头值的过程执行如下：根据是否检测同一组假设，还是开始新的一组而不同地产生 PN 序列。在典型的实施例中，通过基于线形反馈移位寄存器 (LFSR) 的 PN 产生器产生 PN 序列。抽头产生的定时时间最好用一个实例解释。在典型的实施例中，匹配滤波器是 N 个值的宽度，所以必须产生一个 N 比特抽头序列。简而言之，我们假设数据改变为一个码片速率，那 PN 产生器必须更新为同样的速率。在典型的实施例中恰恰相反，其中数据更新为两倍的码片速率，所以两个数据样本与一个 PN 状态相关。假设我们希望为大小为 128 的窗口累加 C=192 个值。假设我们的 PN 产生器产生第一轮合适的 64 个 I 和 Q 的抽头值，并将它们装入去扩展器 410 中。64 组数据将循环通过移位寄存器 400 和 402。对于每一组，计算 64 个相干 I 的和并存入非相干累加器 430，计算 64 个相干 Q 的和并存入累加器 432。每个相干的和对应于第一轮被搜索的 64 个相继偏移假设中的一个。由于期望 C 为 192，以上 64 个循环必须重复 3 次以达到 192。但是必须采用适当的步骤，使去扩展器 410 中的 PN 抽头完全对准输入数据。我们希望再次检测同样的偏移，以产生第二组相干值。将用于产生输入数据的 PN 产生器向前移 64 码片。我们还需要装入一组新的 PN 值，它在重新检测同样偏移前的 64 码片处。在第一轮 64 个和产生的时候，

这些值由 PN 产生器产生。该过程重复三组，以产生 192 码片的相干累加。

现在执行了搜索窗口的前一半。用于产生输入数据的 PN 产生器再向前移 64 码片。如果我们将类似的超前 PN 序列装入去扩展器 410 中，我们将在第一轮 64 个偏移上选择更多的数据，在该实例中它是非必要的。事实上，我们希望采用一组 64 个偏移去检测接着的 64 个偏移。通过简单地不更新 PN 值，我们就能这样做（因为输入数据中的 PN 序列比去扩展器 410 中当前的值超前）。当为后一半窗口进行第一轮 64 个计算时，如上所述，一组新的 PN 值必须装入去扩展器 410 中，以收集同样偏移上的更多数据。重复该过程，直到 192 码片的数据被累加完。

如上所述，当完成了 I 和 Q 数据的相干累加，如能量计算器 440 中所示，将结果值平方并相加 (I^2+Q^2)。将每个偏移的结果装入非相干累加器 450 中。该累加器是类似于累加器 430 和 432 的多累加功能累加器。对于非相干累加的可编程数目 M，为搜索窗口中的每个偏移累计独立相干累加的值。每次将能量存储在非相干累加器 450 中，为下一个 C 的计算，将相干累加器 430 和 432 中的局部累加值复位。

在本领域熟练的技术人员可以使用无数的解决方法处理存储在非相干累加器 450 中的结果。在典型的实施例中，非相干累加器 450 的结果被传送到 DSP 460，其中检验该值以确定哪个偏移在搜索窗口中，如有则可能对应于导频信号的位置。DSP 460 可以是任何能够执行所需操作的 DSP 或微处理器，它能控制所有匹配滤波器的搜索程序。它可专用于搜索器，或者搜索功能可能只是 DSP 400 在用户单元操作中各种任务的一部分。如果必要，可以重复上述整个过程用于多个搜索窗口。

图 5 描述了本发明的典型实施例。天线 501 收集接收信号。在标号为 RX_IQ_DATA 的接收器 500 中处理接收信号。接收器执行所有必要的处理，以产生以八倍码片速率采样的数字形式的 I 和 Q 数据流。如本领域所熟知的，也可以使用其它各种采样速率。然后将这些样本通过多路复用器 (mux) 504 传送到二次采样器 506，其中 8 倍码片速率的 I 和 Q 样本流被降低为 2 倍码片速率的样本流，它是选自典型实施例其它可能性的速率。然后将 2 倍码片的 I 和 Q 数据流传送给多路复用器 508。

样本 RAM 502 和多路复用器 504 和 506 组成数据源的可选项。I 和 Q 样本可以以 8 倍或 2 倍码片速率存入样本 RAM 502 中。如上所述，随后能将 8 倍

码片速率流通过多路复用器 504 传送到二次采样器 506。另外，2 倍码片流能旁路二次采样器 506 而通过多路复用器 508。明显的是，存储 2 倍码片数据所需 RAM 存储器小于存储 8 倍码片数据所需的。对于实施本发明该数据源选项不是强制的。它加入的额外优点是能够在其余的接收机或移动站点处于低功率或空闲模式时处理数据。偏移假设的多个搜索窗口能在同一组采样数据中被检测。只要在外部条件改变使得结果失效之前产生结果，该程序可以产生功率节约。可任选地将值装入样本 RAM 502 中，这些值不同于来自接收器 500 的值。也可以使用样本 ROM 502 中的存储数据用于其它解调作业(8 倍码片速率的采样可能是合适的)。可以想像得到，在稍后的附加处理中装入样本 RAM 502，同时在存储的样本上执行搜索。

增益 510 是用于提供可能必要的任何放大的任选模块。旋转器 512 是在存在频率偏移而希望将它移去的情况下加入的另一任选项。该结果被传送到 N 比特移位寄存器 514。在上一段中很清楚的是要实施本发明可以使用上述任选项的任何组合或一项也不用。I 和 Q 数据流可以直接传送到 N 比特移位寄存器 514。此外，为了执行 QPSK 去扩展和相干搜索，明显的是需要如图 4 所示地使用 I 和 Q 通路的电路(或等效的分时)。为了简单和清楚起见，将 I 和 Q 通路显示为一条通路。例如 N 比特移位寄存器 514 包含两个 N 比特存储单元，一个存 I 值，另一个存 Q 值。

然后将 I 和 Q 样本传送到 QPSK 去扩展器 518。用多路复用器 516 传送的 PN 序列将样本去扩展。本发明通过分时有利于并行使用。如图所示，四个带有任选 Walsh 覆盖的不同 PN 流作为多路复用器 516 的输入。在典型实施例中，电路以 8 倍码片速率(码片 $\times 8$)的内部时钟速率操作。如上所述，以 2 倍码片速率传送 I 和 Q 样本。这允许在每个码片之间和码片的边界上进行搜索偏移。如此，对于每组数据可使用匹配滤波器硬件四次。因此，四个不同的 PN 序列可用于同时搜索四个不同的窗口(或带有四个不同 Walsh 代码的单个 PN 序列，或以上任何组合)。通过根据数据速率提高系统时钟，可以同时搜索更多或更少的窗口。

如图所示，去扩展值输入掩码模块 519。这是一个任选模块，它可用于允许执行少于 N 个相关计算值。例如，在典型实施例中，设 N 为 64。如果只希望 C=32，可以设置掩码使 64 个结果中的 32 个为 0。当用传统算法配置本发明时，它也是方便的。例如，假设设置一个算法以期望 C 为 152。对于 64 个

计算值的二次迭代，可以禁用掩码。剩余 $152-128=24$ 个码片的数据可以通过相应地设置掩码而被加入。对于本领域熟练的技术人员显而易见的是另外的掩码单元也可以执行相同的功能，包括对 N 比特移位寄存器 514 中的数据清零（还可以以分辨率为代价任选地将掩码用于以下的加法器树）。

所得的 N 个 I 值和 N 个 Q 值将被传送到加法器树 520，在这里计算 I 的总和与 Q 的总和。典型的加法器树如图 5 所示，但是可以使用任何加法器结构来执行求和（例如，运行快于匹配滤波器的串行加法器）。

多路复用器 522 和相位旋转器 524 组成另一能增强本发明的任选项。通过多路复用器 522 和旋转器 524 可以包括直到四个不同的相位值 θ_0 、 θ_1 、 θ_2 和 θ_3 。这允许在相位偏移假设上进行四个频率的频率搜索。当然，如果系统时钟选择提供比输入 I 和 Q 数据速率更少或更多的备用循环，那么可以搜索更少或更多的频率。使用多路复用器 516 的频率搜索和 PN 搜索的总数不能比单个匹配滤波器结构的备用循环数大。例如，在典型实施例中，以 2 倍码片的速率更新数据。系统时钟以 8 倍码片的速率运行，所以可以利用 4 个循环。对于每组数据可以执行 4 个搜索器的任何组合。例如单个 PN 序列可用于去扩展器 518 中的所有去扩展。然后可以搜索四个不同的频率。另外，可以搜索单个频率，以及搜索四个不同 PN/Walsh 的组合，或搜索具有两个不同频率的两个不同 PN/Walsh 的组合，或每个具有不同频率的四个不同 PN/Walsh 的组合，等等。

如图 4 所述，匹配滤波器的结果必须被相干累加。典型实施例中的相干累加器由图 7 中的部件 526-540 组成。在本领域熟练的技术人员会理解有多种方法可以制造累加器，该累加器可以被方便地替换以实施本发明。多路复用器 526 和门 528 和 540 显示了一种实施定时的方法。对于每个循环输入的数据都可以执行四个搜索。其中每个的累加器不必在时间上对齐，所以通过多路复用器 526 的输入：start_co_accum0 -start_co_accum3，预备启动四个累加中的每一个。当加上了这些信号中的任何一个，旋转器 524 中的值在加法器 530 中被相加到 0，它实际上对累加复位。否则，局部累加将在加法器 530 中被加到旋转器 524 中的值，它来自多路复用器 538（简单描述）。

部件 532-538 组成了累加器的典型存储单元。存储单元需要在每个循环中能被写入和读取。可以使用双端口 RAM，能够以两倍于单端口 RAM 的循环速率存取它。交替读写的两个单端口 RAM 也可以完成该任务。或者，如图所示

可以配置单端口相干 RAM 534。由于在特定局部累加存储的时间和它需要被存取的时间之间总是有一个延迟，所以可以使用缓冲，以允许在每个循环中 RAM 被交替读写。RAM 的宽度是局部累加宽度的两倍。当相干 RAM 534 被读的时候，一个局部累加被存储在缓冲 532 中。读取的数据将包含两个局部累加，第一个存储在缓冲 536 中，第二个如上所述经过多路复用器 538 传到门 528。在另一个循环中，加法器 530 的局部累加和存储在缓冲 532 中的部分一起被写入相干 RAM 534。由于没有可被读的数据，多路复用器 538 将从缓冲 536 中选择局部累加，提供给门 528。该过程被称为双填充。

来自多路复用器 526 的同样启动信号控制最终相干累加的输出。当累加没有启动，门 540 不工作，所以其输出为 0。当对应于先前所完成的新的累加开始时，多路复用器 538 的值通过门 540 提供给能量计算器 542 (要注意到门 528 同时阻止该值进入求和器 530)。记得存在到该点的 I 和 Q 通路，所以能量累加器 542 从两个相干累加器接收 I 和 Q 值，即使图 5 中为了清楚起见只显示了一个。I 值和 Q 值分别平方后相加，结果显示在求和器 548 中。要记住对于每个相干累加周期，除一个循环外，所有的循环中能量累加器 542 的输出都是 0。

部件 544-558 组成单个的非相干累加器(这时 I 和 Q 已合并了)，它与上述的累加器一样。求和器 548 提供能量值的局部累加值给双压缩 RAM，该双填充 RAM 包含缓冲 550、非相干 RAM 552、缓冲 554 和多路复用器 556。通过多路复用器 544 和信号 `start_nc_accum0- start_nc_accum3` 以及门 546 和 558 类似地实施定时控制。

从门 558 通过的非相干累加器的结果是与每个偏移假设相关的能量值。如上所述，可以通过如图中模块 564 所示的微处理器或 DSP 控制整个结构。该值可用于确定导频的位置，例如通过比较每个值和预定的门限。

在典型的实施例中，峰值检测器 560 接收假设的能量值。峰值检测器用于抑制离开能量峰值半码片的上门限能量值。峰值检测的算法如下所示。E(n) 定义为在第 n 个偏移处的能量，如果以下为真，就检测为峰值：

$$E(n-1) < E(n) \text{ AND } E(n) \geq E(n+1) \quad (1)$$

可以保留窗口边界的能量值，此外可以过滤它以除去边界上潜在的错误峰值。该过程可以在可能位于 DSP 564 中的附加后端滤波器中完成。在峰值滤波后剩余的峰值被传送到排序队列 562 中。排序队列 562 用于为每个搜索

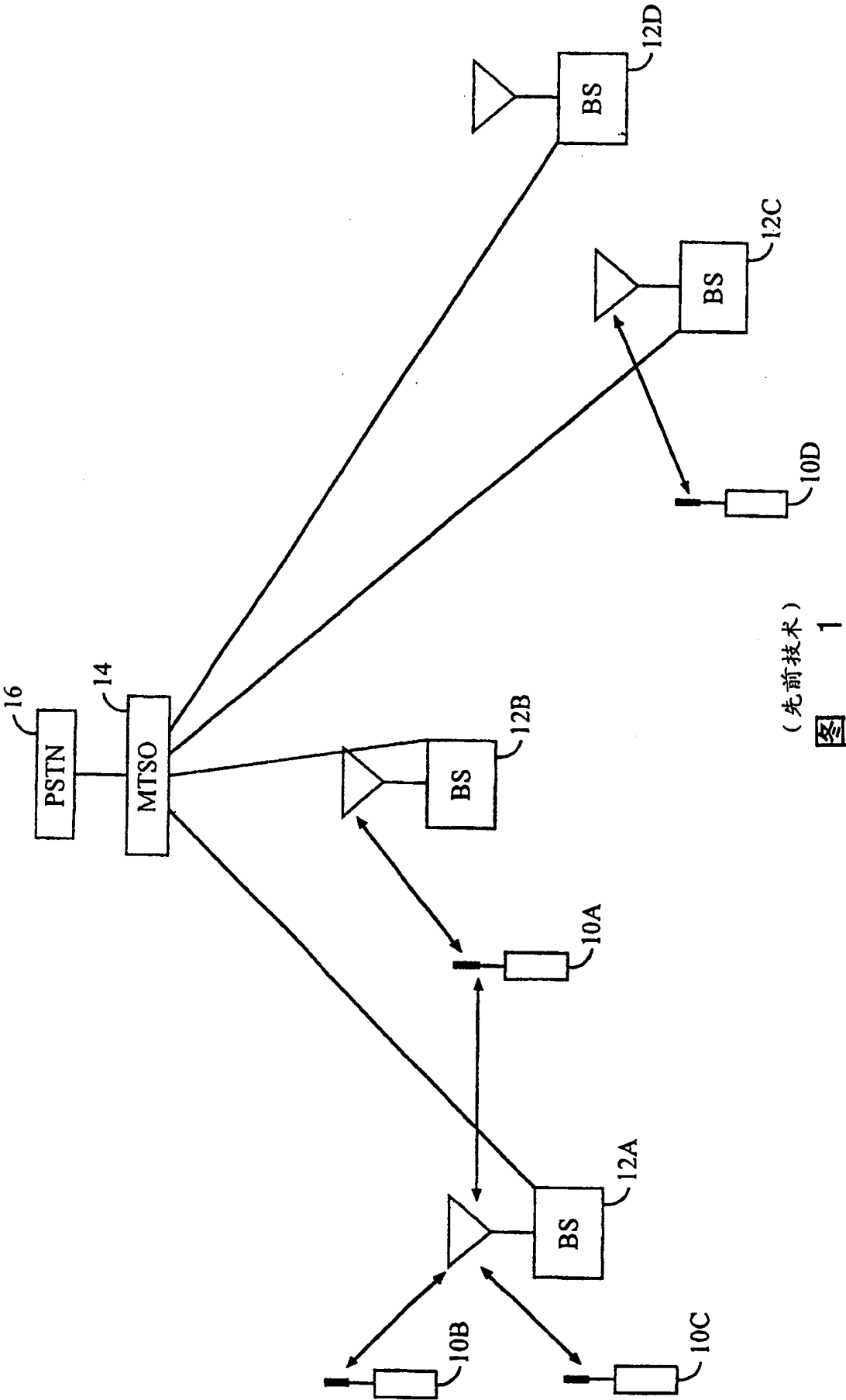
窗口产生四到八个最大值。每个能量值和它相应的 PN 位置(或偏移)被存储在该队列中。当窗口搜索完成并允许访问存储在排序队列中的值时,通过中断通知 DSP 564。

本发明提供了大量的灵活性,其中大部分都已做了描述。从先前的讨论中回忆变量 L , C , M 和 N (分别为假设、相干累加、非相干累加和抽头的数目)。包括附加的变量 f , 表示搜索频率。为了提高搜索器的吞吐量,可以提高在典型实施例中给出的时钟速率。吞吐量直接与时钟速率成比例。定义 T 为由于时钟速率比例变化时对于并行使用结构可供使用的分时循环的数目。本发明允许由乘积 $LCMf$ 给出搜索的任何组合,该乘积等于串行相关器完成该搜索必须执行的循环总数。本发明能以更快的速率执行搜索: $LCMf/NT$ 。

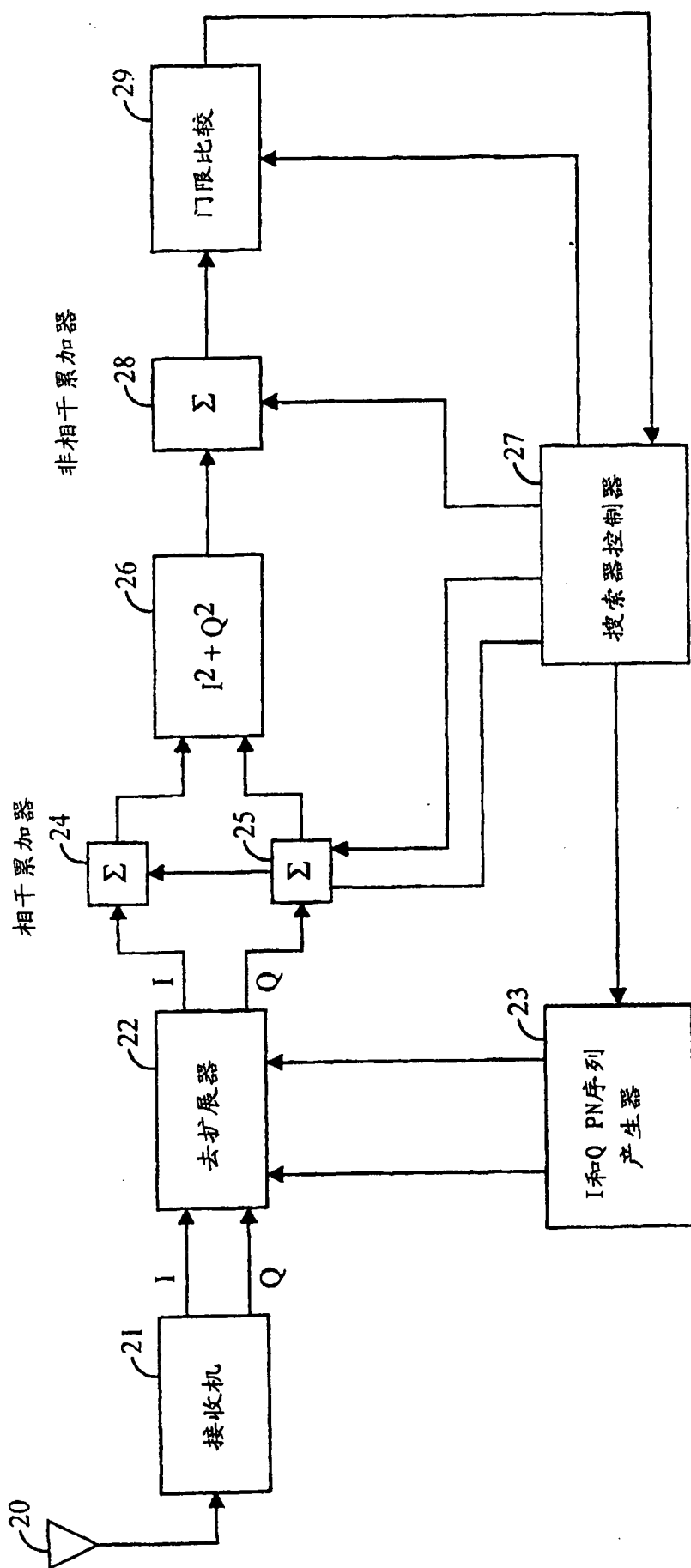
在本发明部分实现的结构层上也有规模可伸缩性。对于大约同样数量的硬件,根据需要哪类的搜索特征可以配置很多结构。

以下是三个实例结构,每个都包括大约同样的复杂性(在这种情况下假设每个都有同样的时钟速率:数据变化为 2 倍码片,系统时钟为 8 倍码片)。一个任选项使用一个大小 $N=32$ 的寄存器和四个大小 $N=32$ 的匹配滤波器(四个匹配滤波器中的每一个如图 5 所示通过时分多路复用包含四个并行搜索器)。该任选项提供最小值 $C=32$, 最小值 $L=64$, 和并行搜索器数 $S=16$ 。第二任选项使用一个大小 $N=64$ 的寄存器和两个并行 $N=64$ 的匹配滤波器。这里最小值 $C=64$, 最小值 $L=128$, $S=8$ 。第三可比大小任选项如图 5 所示使用一个 $N=128$ 的搜索器。这里最小值 $C=128$, 最小值 $L=256$, $S=4$ 。这三个实例不是全部,只是要说明本发明的一些潜在的实施例。

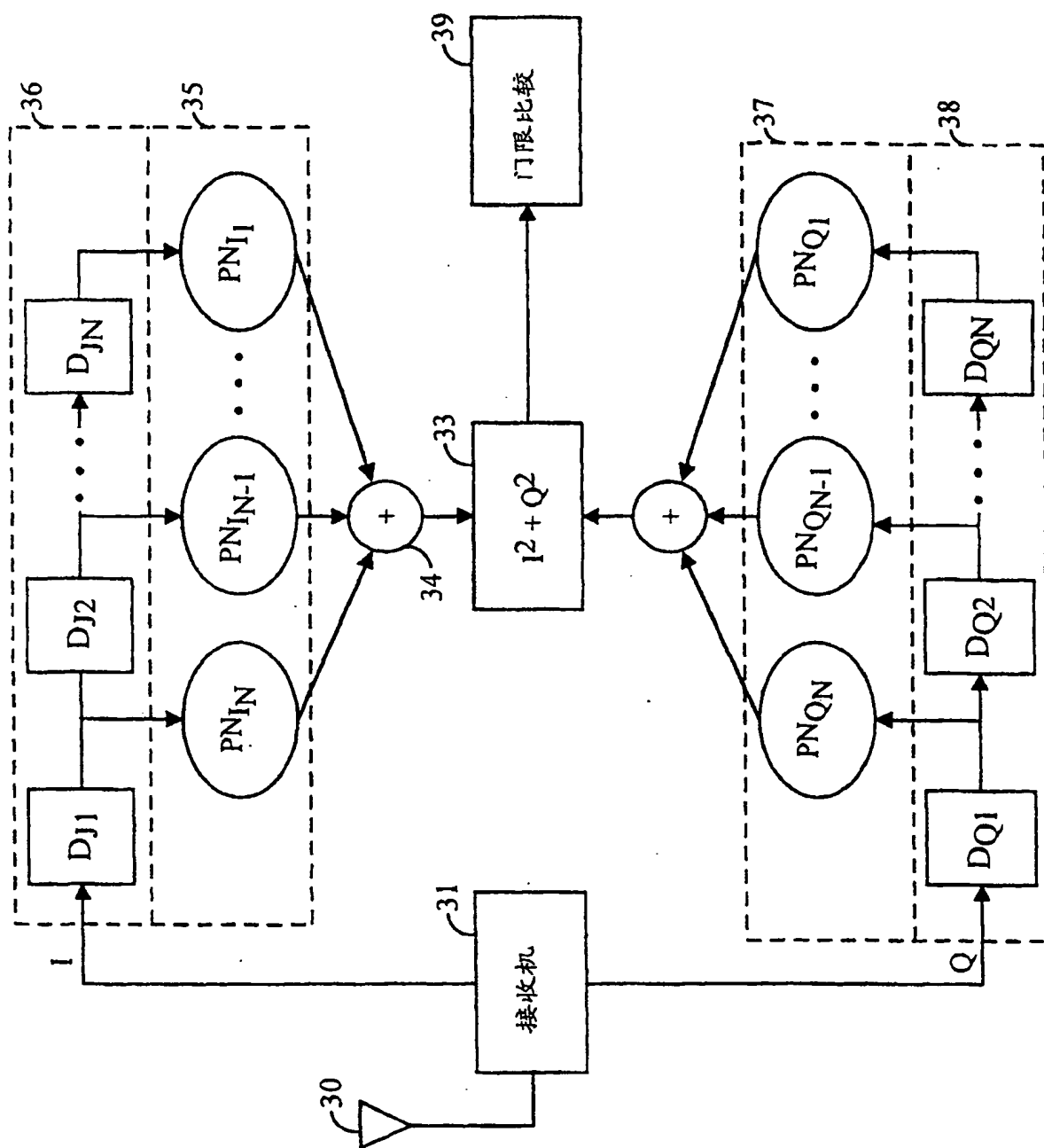
至此,描述了用于可编程匹配滤波器搜索器的方法和装置。提供的描述可以使任何本领域熟练的技术人员构造或使用本发明。对于本领域熟练的技术人员,这些实施例的各种变化是显而易见的,这里定义的一般原理不需要创造力就可以应用于其它实施例。因此,本发明不局限于这里示出的实施例,而是符合这里提出的原理和新颖特征的最广的范围。



(先现有技术)
图 1



(先前的技术)
图 2



(先前技术) 图 3

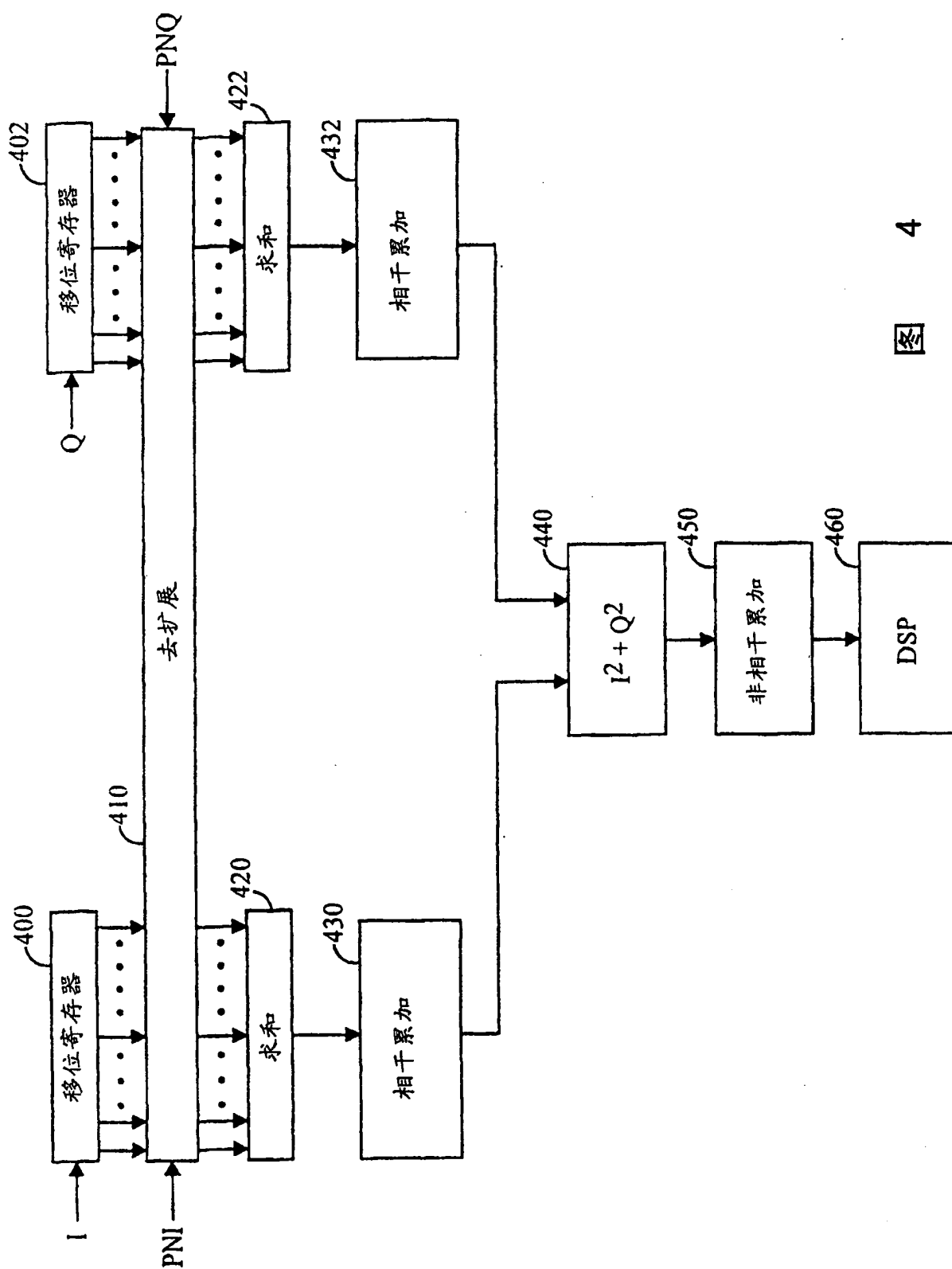


图 4

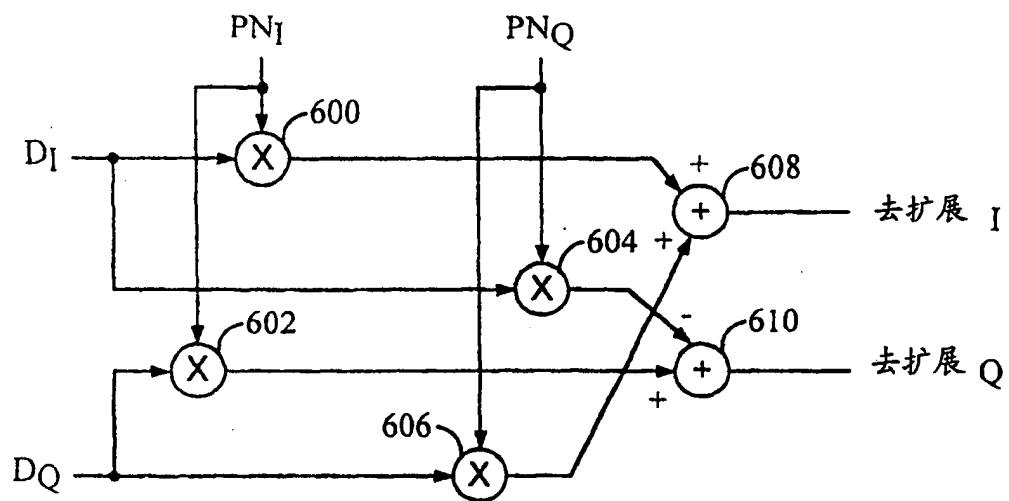


图 5

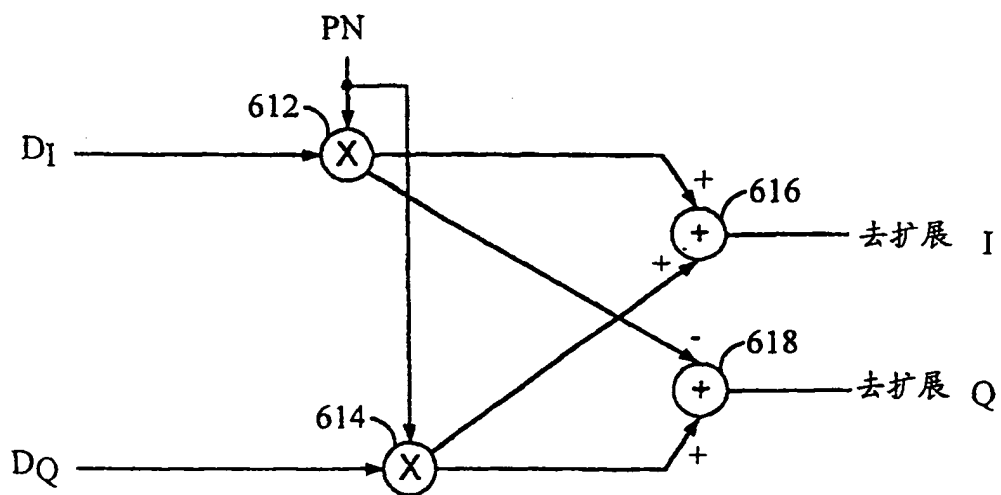


图 6

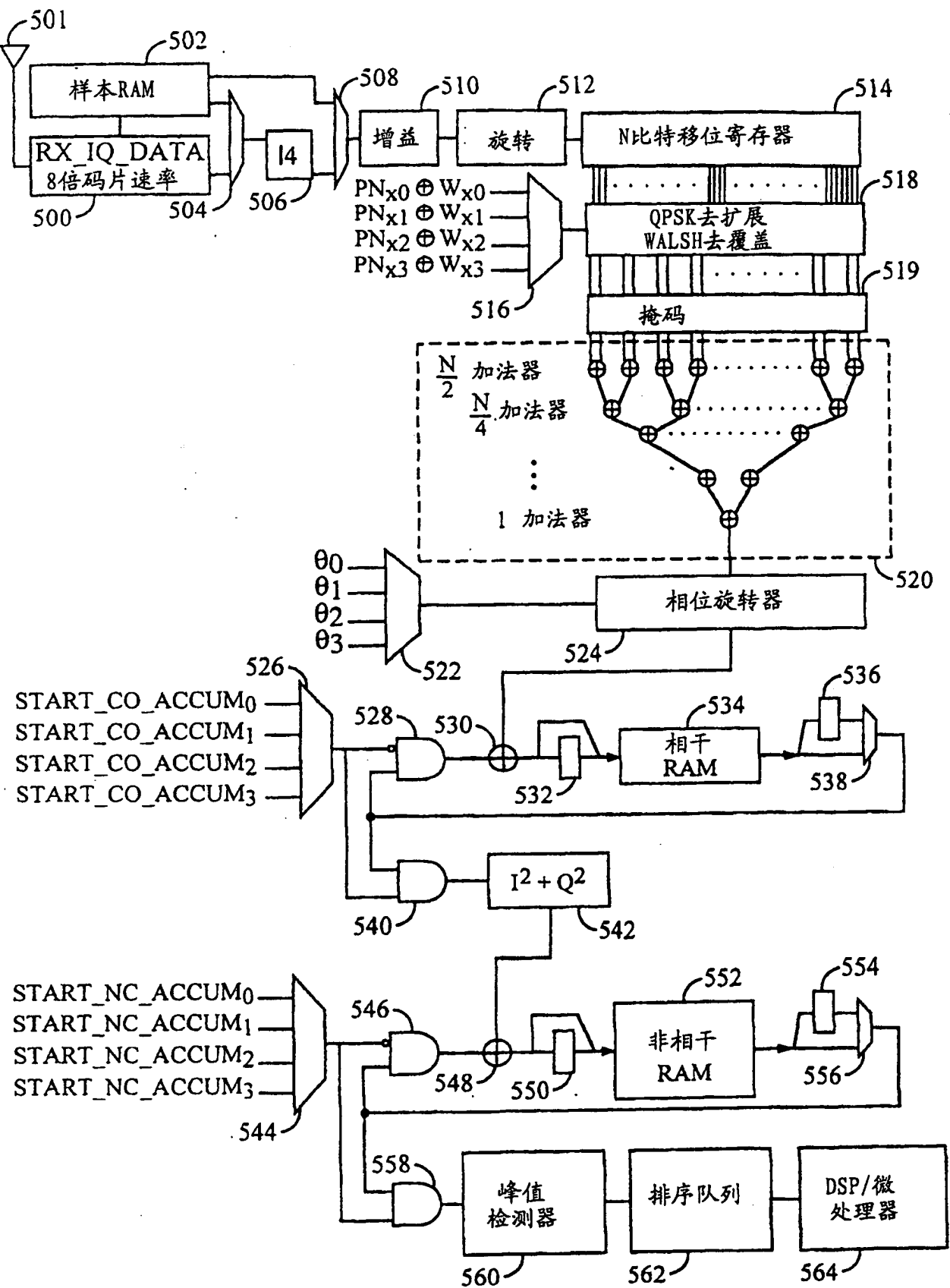


图 7