(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2021 年 4 月 1 日 (01.04.2021)

WIPO | PCT

(10) 国际公布号
WO 2021/056857 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2019/125620

(22) 国际申请日: 2019 年 12 月 16 日 (16.12.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910904964.1 2019年9月24日 (24.09.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(**SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.**) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 王彩霞 (**WANG, Caixia**); 中国广东省光明新区公明街道塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) **Title:** DRIVER CIRCUIT, DRIVING METHOD THEREOF AND DISPLAY PANEL APPLYING SAME

(54) 发明名称: 驱动电路及其驱动方法与应用的显示面板

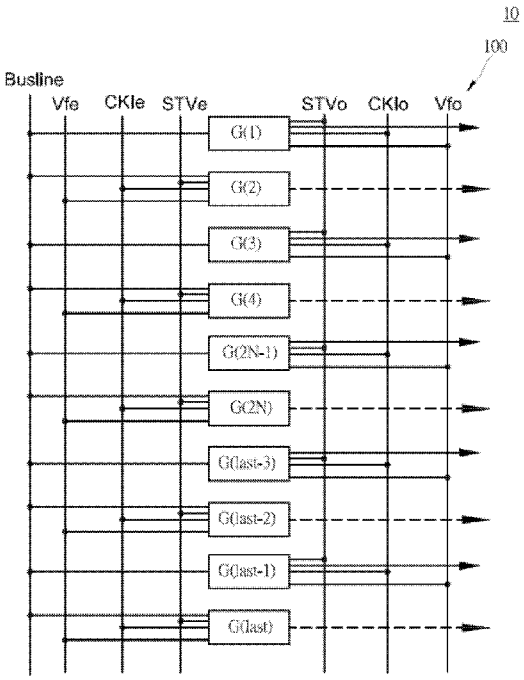


图 1

(57) **Abstract:** A driver circuit (100), a driving method thereof and a display panel applying same. The driver circuit (100) comprises: a plurality of gate array driving unit (G1, G2-G(last)) circuits, wherein odd-stage gate array driving unit circuits are cascaded, and even-stage gate array driving unit circuits are cascaded; signal lines arranged corresponding to the odd-stage gate array driving unit circuits and respectively used for providing odd-stage scanning control signals (Vfo), odd-stage scanning start signals (STVo), and odd-stage high frequency clock signals (CKIo); signal lines are arranged corresponding to the even-stage gate array driving unit circuits and respectively used for providing even-stage scanning control signals (Vfe), even-stage scanning start signals (STVe), and even-stage high frequency clock signals (CKIe); and common signal lines (Busline) arranged corresponding to all the gate array driving unit (G1, G2-G(last)) circuits and used for providing a first low frequency clock signal and a second low frequency clock signal.

WO 2021/056857 A1

[见续页]

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种驱动电路(100)及其驱动方法与应用的显示面板，驱动电路(100)包括：多个栅极阵列驱动单元(G1、G2～G(last))电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联；对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号(Vfo)、奇数级扫描启动信号(STVo)、奇数级高频时钟信号(CKIo)的信号线；对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号(Vfe)、偶数级扫描启动信号(STVe)、偶数级高频时钟信号(CKIe)的信号线；以及对应于所有栅极阵列驱动单元(G1、G2～G(last))电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线(Busline)。

驱动电路及其驱动方法与应用的显示面板

技术领域

[0001] 本申请涉及显示领域，特别涉及一种驱动电路及其驱动方法与应用的显示面板。

背景技术

[0002] 液晶显示器（Liquid Crystal Display, LCD)是利用液晶材料的特性来显示图像的一种平板显示装置，其相较于其他显示装置而言具有轻薄、低驱动电压及低功耗等优点。

[0003] 且液晶显示设备中通常具有栅极驱动电路、源极驱动电路和像素阵列。像素阵列中具有多个像素电路，每一个像素电路依据栅极驱动电路提供的扫描讯号开启和关闭，并依据源极驱动电路提供的数据讯号，显示数据画面。以栅极驱动电路来说，栅极驱动电路通常具有多级移位寄存器，并藉由一级移位寄存器传递至下一级移位寄存器的方式，来输出扫描讯号到像素阵列中，以依序地开启像素电路，使像素电路接收数据讯号。

[0004] 因此在驱动电路的制程中，便直接将栅极驱动电路制作在阵列基板上，来取代由外连接IC制作的驱动芯片，此种被称为栅极阵列驱动(Gate On Array，GOA)技术的应用可直接做在面板周围，减少制作程序、降低产品成本且使面板更薄型化。

发明概述

技术问题

[0005] 近年来，随着技术的不断成熟和飞速发展，大尺寸，高解析度，曲面等成为了液晶面板市场的标签和卖点，同时消费者也对液晶面板提出了更高的要求，其中色偏成为了近年来困扰设计者的一个问题。为了解决色偏问题，像素区域已提出了多种电路设计方法，理论上可以解决色偏问题。但随着窄边框和低成本的考虑，GOA（Gate Driver on Array）技术已深入渗透到目前的面板领域，而如何使GOA技术有效搭配目前像素区域低色偏的电路设计，成为电路设计层面解

决色偏问题的关键。

[0006] 因此本申请提出了一种可调变Gate N输出的GOA电路，通过采用此GOA电路，能根据客户需求有效解决色偏问题，有利于实现高品质液晶显示器面板。

问题的解决方案

技术解决方案

[0007] 为了解决上述技术问题，本申请的目的在于，提供一种驱动电路，包括:多个栅极阵列驱动单元电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联；对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号、奇数级扫描启动信号、奇数级高频时钟信号的信号线；对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号、偶数级扫描启动信号、偶数级高频时钟信号的信号线；以及对应于所有栅极阵列驱动单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线。

[0008] 本申请的目的及解决其技术问题是采用以下技术方案来实现的。

[0009] 在本申请的一实施例中，每一级栅极阵列驱动单元电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块。

[0010] 在本申请的一实施例中，更包括一画素电路，包括一第一开关，所述第一开关的一控制端用以接收一栅极阵列驱动单元输出的栅极讯号，所述第一开关的一第一端电性连接主画素电极，所述第一开关的一第二端用以接收一数据线讯号。

[0011] 在本申请的一实施例中，更包括一第二开关，所述第二开关的一控制端用以接收所述栅极阵列驱动单元输出的栅极讯号，所述第二开关的一第一端电性连接子画素电极，所述第二开关的一第二端用以接收所述数据线讯号。

[0012] 在本申请的一实施例中，更包括一第三开关，所述第三开关的一控制端用以接收下一级的一栅极阵列驱动单元输出的栅极讯号，所述第三开关的一第一端电性连接一储存电容，所述第三开关的一第二端电性连接子画素电极。

[0013] 本申请的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0014] 本申请的另一目的为提供一种驱动电路的驱动方法，包括：提供如所述的驱动

电路；透过每一级栅极阵列驱动单元电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块；通过控制栅极阵列驱动单元电路中扫描启动信号的起始时间，可以实现不同的延迟时间；通过将多高频时钟信号电路的奇数高频时钟信号和偶数高频时钟信号分开，分别设置不同的宽度，即可实现不同的波形宽度；以及通过分别给奇数高频时钟信号和偶数高频时钟信号不同的波形高度讯号，可以实现不同的波形高度。

[0015] 在本申请的一实施例中，所述方法，更包括一画素电路，包括一第一开关，所述第一开关的一控制端用以接收一栅极阵列驱动单元输出的栅极讯号，所述第一开关的一第一端电性连接主画素电极，所述第一开关的一第二端用以接收一数据线讯号。

[0016] 在本申请的一实施例中，所述方法，更包括一第二开关，所述第二开关的一控制端用以接收所述栅极阵列驱动单元输出的栅极讯号，所述第二开关的一第一端电性连接子画素电极，所述第二开关的一第二端用以接收所述数据线讯号。

[0017] 在本申请的一实施例中，所述方法，更包括一第三开关，所述第三开关的一控制端用以接收下一级的一栅极阵列驱动单元输出的栅极讯号，所述第三开关的一第一端电性连接一储存电容，所述第三开关的一第二端电性连接子画素电极。

[0018] 本申请的又一目的为提供一种显示面板，包括：第一基板；以及第二基板，与该第一基板相对设置；还包括一种驱动电路，包括:多个栅极阵列驱动单元电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联；对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号、奇数级扫描启动信号、奇数级高频时钟信号的信号线；对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号、偶数级扫描启动信号、偶数级高频时钟信号的信号线；以及对应于所有栅极阵列驱动单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线。

[0019] 本申请提供的驱动电路，即可根据需求得到不同亮度的主画素和子画素亮度，不需要改变面内电路结构。尤其是当面板产出后，仍然可以根据色偏的情况，

通过外部改变电路信号有针对性地解决色偏问题，可调幅度大。

发明的有益效果

对附图的简要说明

附图说明

[0020] 为了更清楚地说明本申请实施例或现有技术中的技术方案，下面对实施例中所需要使用的附图作简单的介绍。下面描述中的附图仅为本申请的部分实施例，对于本领域普通技术人员而言，在不付出创造性劳动的前提下，还可以根据这些附图获取其他的附图。

[0021] 图1为本申请一实施例的驱动电路的多级架构图；

[0022] 图2为本申请一实施例的画素电路图；

[0023] 图3为本申请一实施例的驱动电路可调变波形输出示意图；

[0024] 图4为本申请一实施例的驱动电路可调变波形输出及画素电位示意图；

[0025] 图5为本申请一实施例的驱动电路的驱动方法流程图。

发明实施例

本发明的实施方式

[0026] 请参照附图中的图式，其中相同的组件符号代表相同的组件。以下的说明是基于所例示的本申请具体实施例，其不应被视为限制本申请未在此详述的其它具体实施例。

[0027] 以下各实施例的说明是参考附加的图式，用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本申请，而非用以限制本申请。

[0028] 在附图中，为了清晰起见，夸大了层、膜、面板、区域等的厚度。在附图中，为了理解和便于描述，夸大了一些层和区域的厚度。将理解的是，当例如层、膜、区域或基底的组件被称作“在”另一组件“上”时，所述组件可以直接在所述另一组件上，或者也可以存在中间组件。

[0029] 附图和说明被认为在本质上是示出性的，而不是限制性的。在图中，结构相似

的单元是以相同标号表示。另外，为了理解和便于描述，附图中示出的每个组件的尺寸和厚度是任意示出的，但是本申请不限于此。

[0030] 另外，在说明书中，除非明确地描述为相反的，否则词语“包括”将被理解为意指包括所述组件，但是不排除任何其它组件。此外，在说明书中，“在.....上”意指位于目标组件上方或者下方，而不意指必须位于基于重力方向的顶部上。

[0031] 为更进一步阐述本申请为达成预定发明目的所采取的技术手段及功效，以下结合附图及具体的实施例，对依据本申请提出的一种驱动电路及其驱动方法与应用的显示面板，其具体实施方式、结构、特征及其功效，详细说明如后。

[0032] 图1为本申请一实施例的驱动电路的多级架构图, 请参照图1,在本申请的一实施例中，一种驱动电路100，包括: 多个栅极阵列驱动单元G1、G2~G(last)电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联；对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号Vfo、奇数级扫描启动信号STVo、奇数级高频时钟信号CKIo的信号线；对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号Vfe、偶数级扫描启动信号STVe、偶数级高频时钟信号CKIe的信号线；以及对应于所有栅极阵列驱动单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线Busline。

[0033] 在本申请的一实施例中，每一级栅极阵列驱动单元G1、G2~G(last)电路均包括: 正反向扫描控制模块(图未示)、级传稳压模块(图未示)、输出模块(图未示)、第一下拉模块(图未示)及下拉维持模块(图未示)。

[0034] 图2为本申请一实施例的画素电路图，请参照图2,在本申请的一实施例中，更包括一画素电路200，包括一第一开关T1，所述第一开关T1的一控制端T1a用以接收一栅极阵列驱动单元输出的栅极讯号Gate N，所述第一开关T1的一第一端T1b电性连接主画素105电极Va，所述第一开关T1的一第二端T1c用以接收一数据线讯号Data，实现对主画素105的充电。

[0035] 请参照图2,在本申请的一实施例中，更包括一第二开关T2，所述第二开关T2的一控制端T2a用以接收所述栅极阵列驱动单元输出的栅极讯号Gate N，所述第二开关T2的一第一端T2b电性连接子画素106电极Vb，所述第二开关T2的一第二端

T2c用以接收所述数据线讯号Data，实现对子画素106的充电。

[0036] 请参照图2,在本申请的一实施例中，更包括一第三开关T3，所述第三开关T3的一控制端T3a用以接收下一级的一栅极阵列驱动单元输出的栅极讯号Gate N+1，所述第三开关T3的一第一端T3b电性连接一储存电容110，所述第三开关T3的一第二端T3c电性连接子画素106电极Vb。

[0037] 图3为本申请一实施例的驱动电路可调变波形输出示意图、图4为本申请一实施例的驱动电路可调变波形输出及画素电位示意图及图5为本申请一实施例的驱动电路的驱动方法流程图，请参照图1、图3、图4及图5,在本申请的一实施例中，一种驱动电路100的驱动方法，包括：提供如所述的驱动电路100；透过每一级栅极阵列驱动单元G1、G2~G(last)电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块；通过控制栅极阵列驱动单元G1、G2~G(last)电路中扫描启动信号STV的起始时间ΔX，可以实现不同的延迟时间X；通过将多高频时钟信号CK电路的奇数高频时钟信号CKIo_odd和偶数高频时钟信号CKIe_even分开，分别设置不同的宽度ΔY，即可实现不同的波形宽度Y；以及通过分别给奇数高频时钟信号CKIo_odd和偶数高频时钟信号CKIe_even不同的波形高度VGH1、VGH2讯号，可以实现不同的波形高度Z。

[0038] 请参照图2,在本申请的一实施例中，所述方法，更包括一画素电路200，包括一第一开关T1，所述第一开关T1的一控制端T1a用以接收一栅极阵列驱动单元输出的栅极讯号Gate N，所述第一开关T1的一第一端T1b电性连接主画素105电极Va，所述第一开关T1的一第二端T1c用以接收一数据线讯号Data，实现对主画素105的充电。

[0039] 请参照图2,在本申请的一实施例中，所述方法，更包括一第二开关T2，所述第二开关T2的一控制端T2a用以接收所述栅极阵列驱动单元输出的栅极讯号Gate N，所述第二开关T2的一第一端T2b电性连接子画素106电极Vb，所述第二开关T2的一第二端T2c用以接收所述数据线讯号Data，实现对子画素106的充电。

[0040] 请参照图2,在本申请的一实施例中，所述方法，更包括一第三开关T3，所述第三开关T3的一控制端T3a用以接收下一级的一栅极阵列驱动单元输出的栅极讯号Gate N+1，所述第三开关T3的一第一端T3b电性连接一储存电容110，所述第三

开关T3的一第二端T3c电性连接子画素106电极Vb。

[0041] 请参照图1,在本申请的一实施例中，一种显示面板10，包括：第一基板(图未示)；以及第二基板(图未示)，与该第一基板(图未示)相对设置：还包括一种驱动电路100，包括: 多个栅极阵列驱动单元G1、G2~G(last)电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联；对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号Vfo、奇数级扫描启动信号STVo、奇数级高频时钟信号CKIo的信号线；对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号Vfe、偶数级扫描启动信号STVe、偶数级高频时钟信号CKIe的信号线；以及对应于所有栅极阵列驱动单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线Busline。

[0042] 请参考图5，在流程S510中，提供如所述的驱动电路。

[0043] 请参考图5，在流程S520中，透过每一级栅极阵列驱动单元电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块。

[0044] 请参考图5，在流程S530中，通过控制栅极阵列驱动单元电路中扫描启动信号的起始时间，可以实现不同的延迟时间。

[0045] 请参考图5，在流程S540中，通过将多高频时钟信号电路的奇数高频时钟信号和偶数高频时钟信号分开，分别设置不同的宽度，即可实现不同的波形宽度。

[0046] 请参考图5，在流程S550中，通过分别给奇数高频时钟信号和偶数高频时钟信号不同的波形高度讯号，可以实现不同的波形高度。

[0047] 本申请提供的驱动电路，即可根据需求得到不同亮度的主画素和子画素亮度，不需要改变面内电路结构。尤其是当面板产出后，仍然可以根据色偏的情况，通过外部改变电路信号有针对性地解决色偏问题，可调幅度大。

[0048] 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

工业实用性

[0049] 本申请的主题可以在工业中制造和使用，具备工业实用性。

权利要求书

[权利要求 1] 一种驱动电路，其包括:

多个栅极阵列驱动单元电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联;

对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号、奇数级扫描启动信号、奇数级高频时钟信号的信号线;

对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号、偶数级扫描启动信号、偶数级高频时钟信号的信号线；以及

对应于所有栅极阵列驱动单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线。

[权利要求 2] 如权利要求1所述驱动电路，其中，每一级栅极阵列驱动单元电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块。

[权利要求 3] 如权利要求1所述驱动电路，其中，更包括一画素电路，包括一第一开关，所述第一开关的一控制端用以接收一栅极阵列驱动单元输出的栅极讯号，所述第一开关的一第一端电性连接主画素电极，所述第一开关的一第二端用以接收一数据线讯号。

[权利要求 4] 如权利要求3所述驱动电路，其中，更包括一第二开关，所述第二开关的一控制端用以接收所述栅极阵列驱动单元输出的栅极讯号，所述第二开关的一第一端电性连接子画素电极，所述第二开关的一第二端用以接收所述数据线讯号。

[权利要求 5] 如权利要求3所述驱动电路，其中，更包括一第三开关，所述第三开关的一控制端用以接收下一级的一栅极阵列驱动单元输出的栅极讯号，所述第三开关的一第一端电性连接一储存电容，所述第三开关的一第二端电性连接子画素电极。

[权利要求 6] 一种驱动电路的驱动方法，其包括:

提供如权利要求1所提供的驱动电路;

透过每一级栅极阵列驱动单元电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块;

通过控制栅极阵列驱动单元电路中扫描启动信号的起始时间，可以实现不同的延迟时间;

通过将多高频时钟信号电路的奇数高频时钟信号和偶数高频时钟信号分开，分别设置不同的宽度，即可实现不同的波形宽度；以及

通过分别给奇数高频时钟信号和偶数高频时钟信号不同的波形高度讯号，可以实现不同的波形高度。

[权利要求 7] 如权利要求6所述驱动电路的驱动方法，其中，更包括一画素电路，包括一第一开关，所述第一开关的一控制端用以接收一栅极阵列驱动单元输出的栅极讯号，所述第一开关的一第一端电性连接主画素电极，所述第一开关的一第二端用以接收一数据线讯号。

[权利要求 8] 如权利要求7所述驱动电路的驱动方法，其中，更包括一第二开关，所述第二开关的一控制端用以接收所述栅极阵列驱动单元输出的栅极讯号，所述第二开关的一第一端电性连接子画素电极，所述第二开关的一第二端用以接收所述数据线讯号。

[权利要求 9] 如权利要求7所述驱动电路的驱动方法，其中，更包括一第三开关，所述第三开关的一控制端用以接收下一级的一栅极阵列驱动单元输出的栅极讯号，所述第三开关的一第一端电性连接一储存电容，所述第三开关的一第二端电性连接子画素电极。

[权利要求 10] 一种显示面板，包括:

第一基板；以及

第二基板，与该第一基板相对设置;

其中：还包括一种驱动电路，包括:

多个栅极阵列驱动单元电路，其中的各个奇数级栅极阵列驱动单元电路进行级联，各个偶数级栅极阵列驱动单元电路进行级联;

对应于奇数级栅极阵列驱动单元电路设置的分别用于提供奇数级扫描控制信号、奇数级扫描启动信号、奇数级高频时钟信号的信号线;

对应于偶数级栅极阵列驱动单元电路设置的分别用于提供偶数级扫描控制信号、偶数级扫描启动信号、偶数级高频时钟信号的信号线；以及

对应于所有栅极阵列驱动单元电路设置的用于提供第一低频时钟信号与第二低频时钟信号的共用信号线。

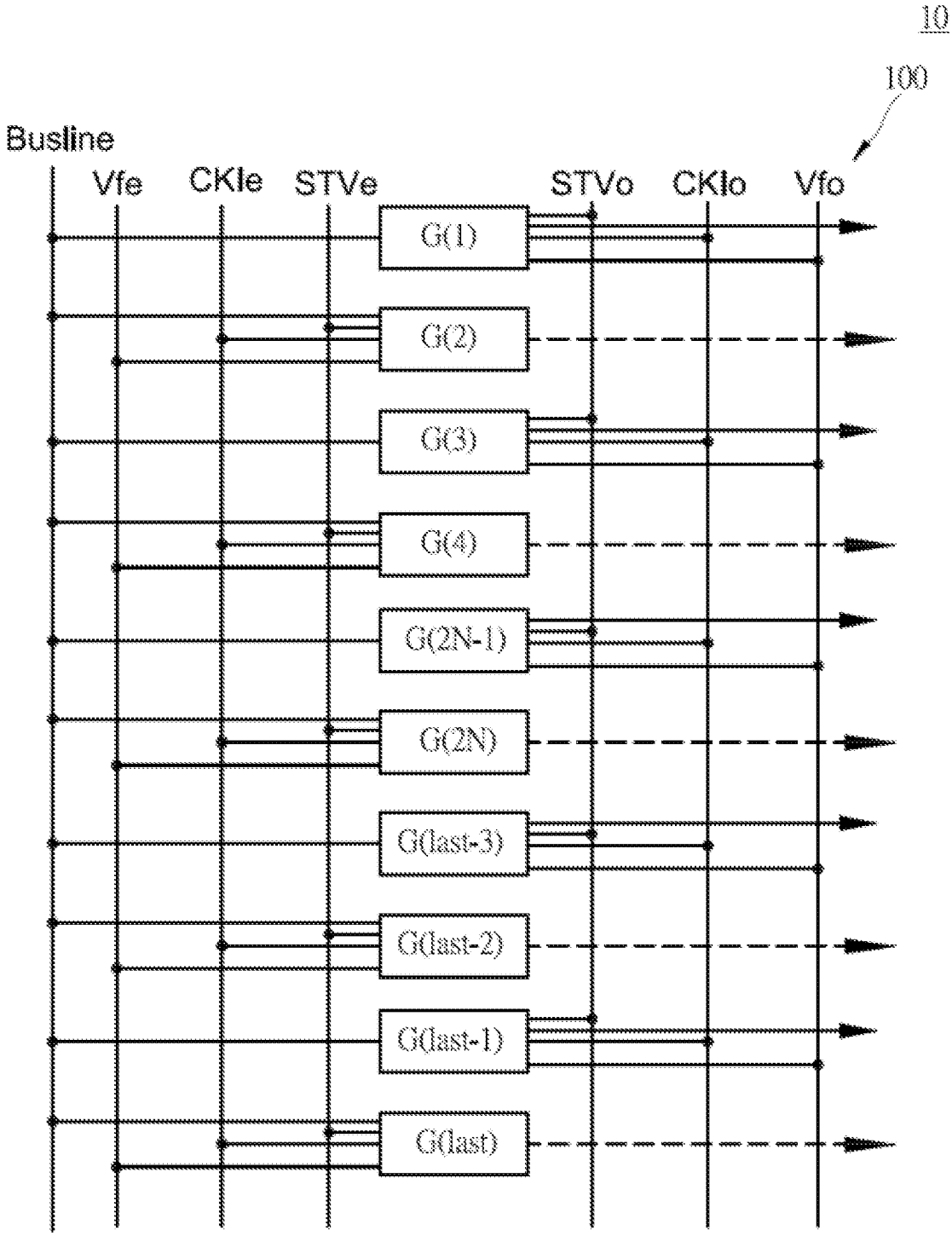

10
100
Busline
Vfe
CKIe
STVe
STVo
CKIo
Vfo
G(1)
G(2)
G(3)
G(4)
G(2N-1)
G(2N)
G(last-3)
G(last-2)
G(last-1)
G(last)

图 1

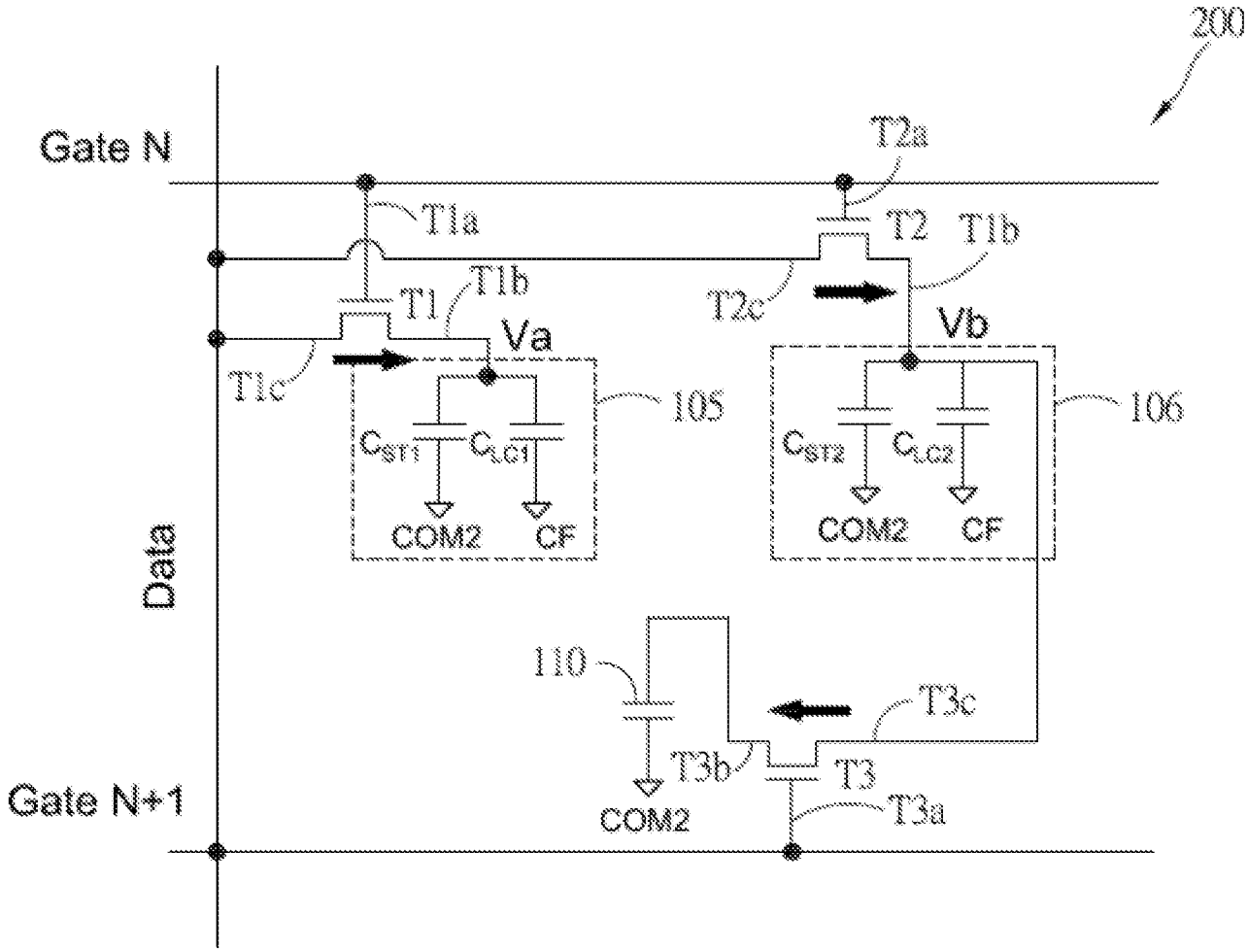

200
Gate N
T2a
T1a
T2
T1b
T1
T1b
T2c
Va
Vb
T1c
105
106
C_{ST1}
C_{LC1}
C_{ST2}
C_{LC2}
COM2
CF
COM2
CF
Data
110
T3c
T3b
T3
COM2
T3a
Gate N+1

图 2

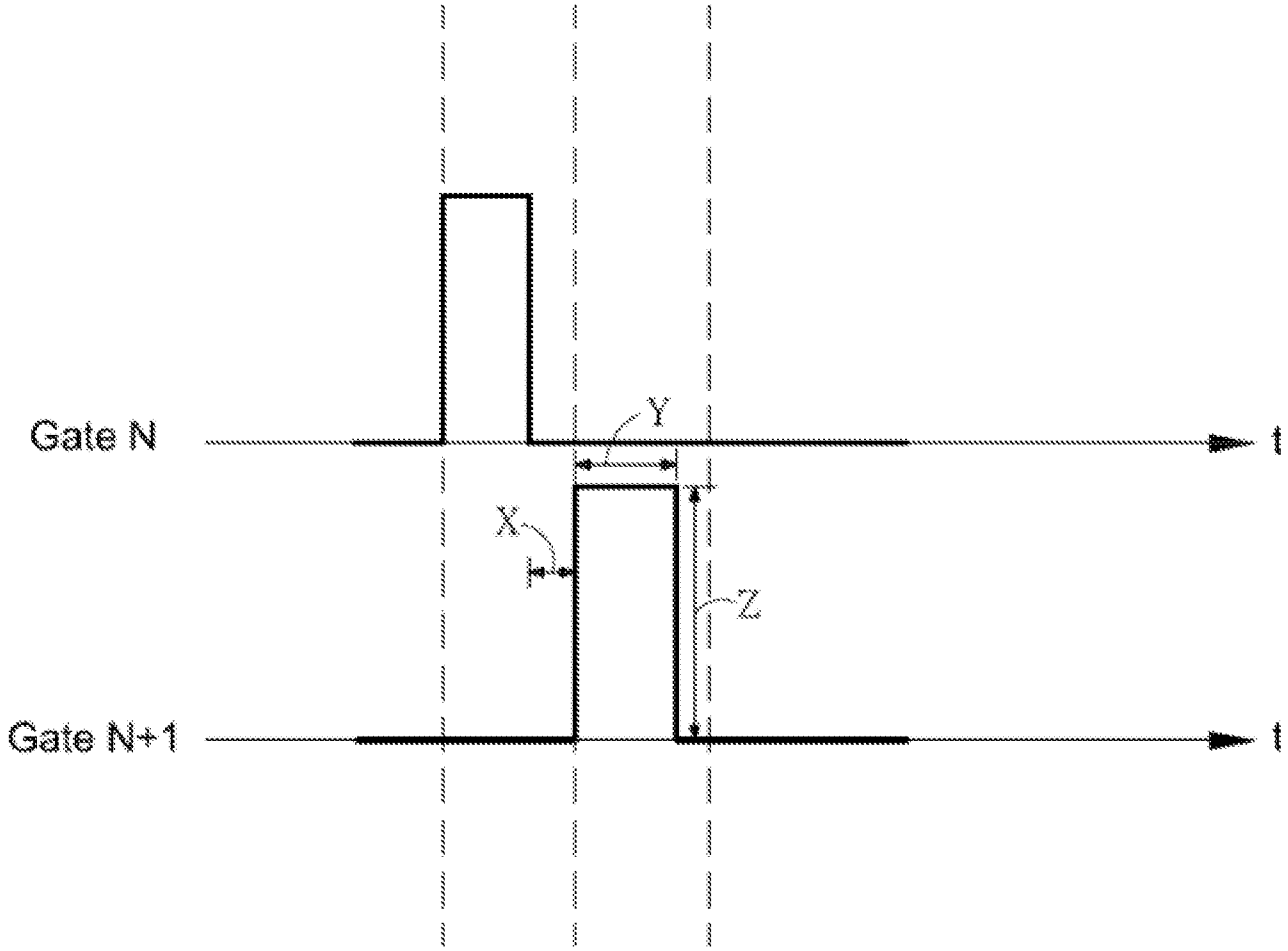


图 3

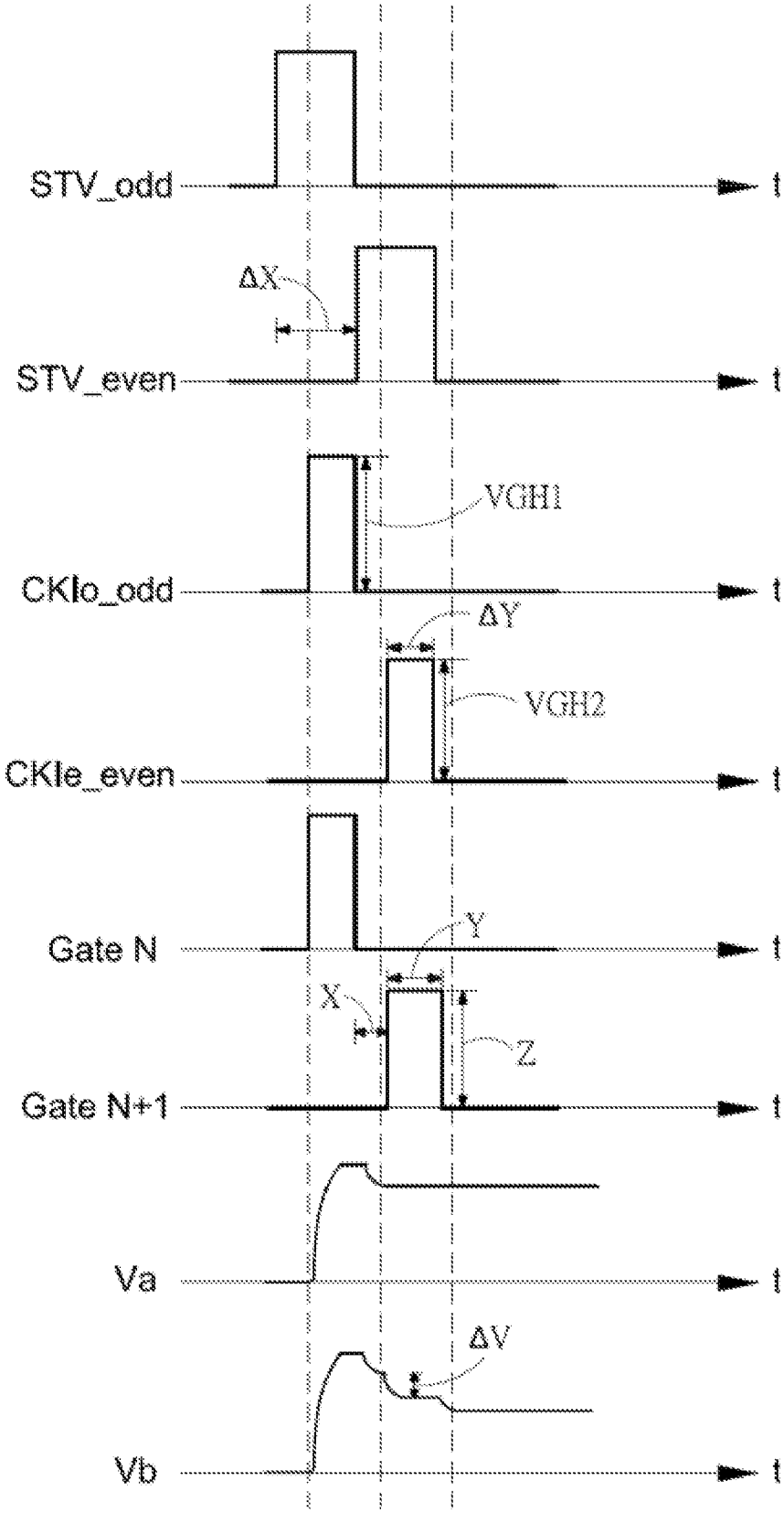

STV_odd
t
ΔX
STV_even
t
VGH1
CKlo_odd
t
ΔY
VGH2
CKle_even
t
Gate N
Y
t
X
Z
Gate N+1
t
Va
t
ΔV
Vb
t

图 4

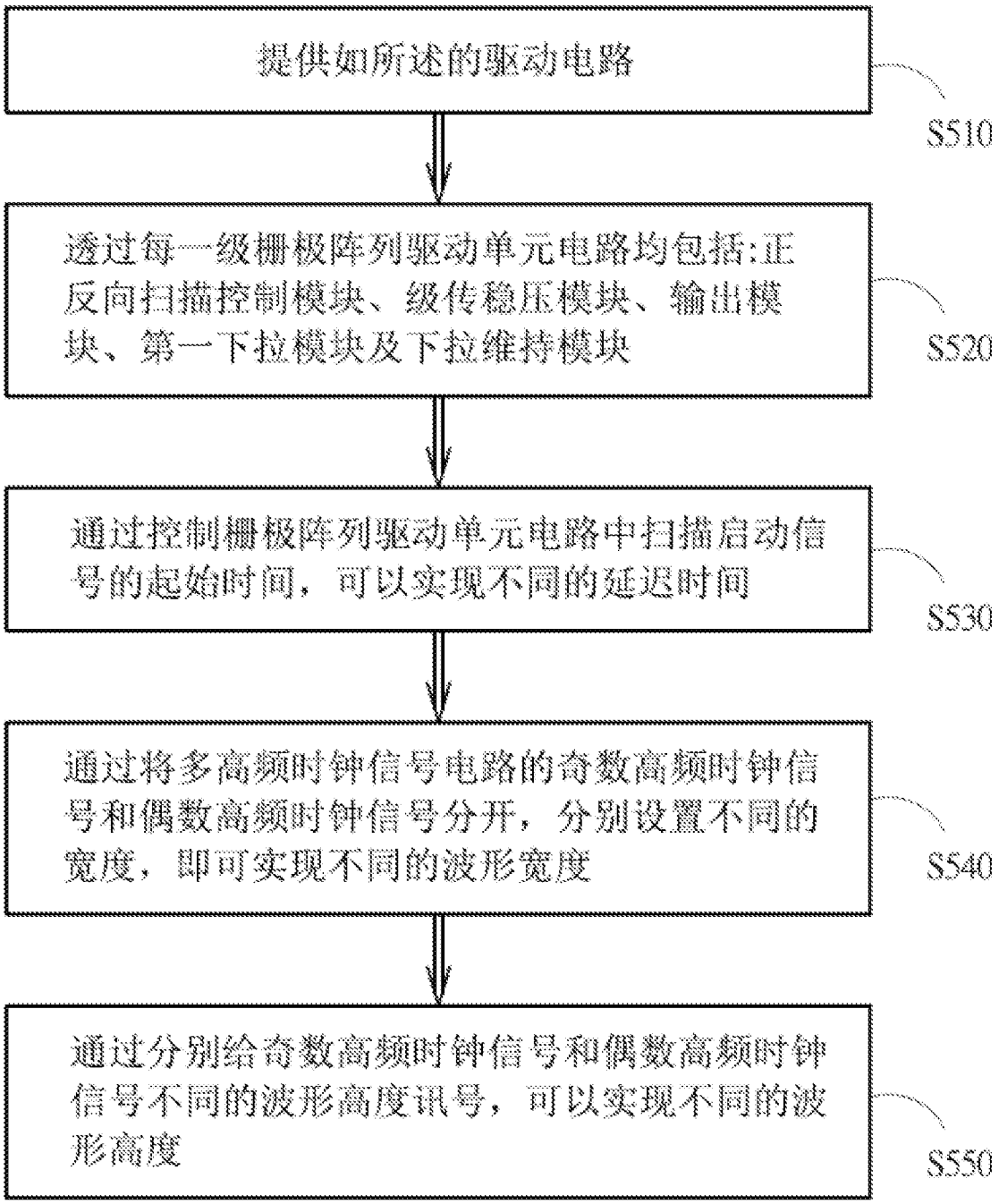

提供如所述的驱动电路
S510
透过每一级栅极阵列驱动单元电路均包括:正反向扫描控制模块、级传稳压模块、输出模块、第一下拉模块及下拉维持模块
S520
通过控制栅极阵列驱动单元电路中扫描启动信号的起始时间，可以实现不同的延迟时间
S530
通过将多高频时钟信号电路的奇数高频时钟信号和偶数高频时钟信号分开，分别设置不同的宽度，即可实现不同的波形宽度
S540
通过分别给奇数高频时钟信号和偶数高频时钟信号不同的波形高度讯号，可以实现不同的波形高度
S550

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/125620

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G,G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 栅极, 门极, 扫描, 驱动, 电路, 移位, 寄存, 暂存, 缓存, 锁存, 栓锁, 闩锁, 奇数, 偶数, 主, 子, 启动, 起始, 信号, 时钟, 宽度, 高度, 波形, GOA, scan, gate, drive, circuit, shift, register, latch, STV, clk, odd, even, signal, duty, ratio

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 104882107 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 02 September 2015 (2015-09-02) description paragraphs [0064]-[0069], figures 1-3, 8	1-10
Y	CN 107300815 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 October 2017 (2017-10-27) description paragraphs [0049]-[0058], figures 2-4	1-10
A	CN 101872593 A (QUNKANG DIGITAL TECHNOLOGY (SHENZHEN) LTD. et al.) 27 October 2010 (2010-10-27) entire document	1-10
A	CN 104537987 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 April 2015 (2015-04-22) entire document	1-10
A	CN 102629444 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 August 2012 (2012-08-08) entire document	1-10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 May 2020	**26 May 2020**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/125620

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6300928 B1 (LG ELECTRONICS INC.) 09 October 2001 (2001-10-09) entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/125620

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104882107	A	02 September 2015	CN	104882107	B	31 May 2017
				US	9966025	B1	08 May 2018
				US	2018122318	A1	03 May 2018
				WO	2016192142	A1	08 December 2016
CN	107300815	A	27 October 2017		None		
CN	101872593	A	27 October 2010		None		
CN	104537987	A	22 April 2015	WO	2016082340	A1	02 June 2016
				US	2017243556	A1	24 August 2017
				US	2017243555	A1	24 August 2017
				US	9773467	B2	26 September 2017
				US	9818363	B2	14 November 2017
				CN	104537987	B	22 February 2017
				US	9818362	B2	14 November 2017
				US	2016148589	A1	26 May 2016
CN	102629444	A	08 August 2012	JP	6227530	B2	08 November 2017
				KR	20130043637	A	30 April 2013
				CN	102629444	B	25 June 2014
				JP	2014524598	A	22 September 2014
				KR	101443126	B1	22 September 2014
				EP	2750122	A1	02 July 2014
				WO	2013026387	A1	28 February 2013
				US	2013088265	A1	11 April 2013
US	6300928	B1	09 October 2001	KR	100242244	B1	01 February 2000
				KR	19990015789	A	05 March 1999

国际检索报告

国际申请号
PCT/CN2019/125620

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G,G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNPAT,CNKI,WPI,EPODOC:华星光电，栅极，门极，扫描，驱动，电路，移位，寄存，暂存，缓存，锁存，栓锁，闩锁，奇数，偶数，主，子，启动，起始，信号，时钟，宽度，高度，波形，GOA，scan，gate，drive，circuit，shift，register，latch，STV，clk，odd，even，signal，duty，ratio

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 104882107 A (深圳市华星光电技术有限公司) 2015年 9月 2日 (2015-09-02) 说明书第[0064]-[0069]段，附图1-3、8	1-10
Y	CN 107300815 A (深圳市华星光电技术有限公司) 2017年 10月 27日 (2017-10-27) 说明书第[0049]-[0058]段，附图2-4	1-10
A	CN 101872593 A (群康科技深圳有限公司 等) 2010年 10月 27日 (2010-10-27) 全文	1-10
A	CN 104537987 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015-04-22) 全文	1-10
A	CN 102629444 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012-08-08) 全文	1-10
A	US 6300928 B1 (LG ELECTRONICS INC.) 2001年 10月 9日 (2001-10-09) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2020年 5月 15日	2020年 5月 26日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王妍 电话号码 86-(10)-53962514

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/125620

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104882107	A	2015年 9月 2日	CN	104882107	B	2017年 5月 31日
				US	9966025	B1	2018年 5月 8日
				US	2018122318	A1	2018年 5月 3日
				WO	2016192142	A1	2016年 12月 8日
CN	107300815	A	2017年 10月 27日		无		
CN	101872593	A	2010年 10月 27日		无		
CN	104537987	A	2015年 4月 22日	WO	2016082340	A1	2016年 6月 2日
				US	2017243556	A1	2017年 8月 24日
				US	2017243555	A1	2017年 8月 24日
				US	9773467	B2	2017年 9月 26日
				US	9818363	B2	2017年 11月 14日
				CN	104537987	B	2017年 2月 22日
				US	9818362	B2	2017年 11月 14日
				US	2016148589	A1	2016年 5月 26日
CN	102629444	A	2012年 8月 8日	JP	6227530	B2	2017年 11月 8日
				KR	20130043637	A	2013年 4月 30日
				CN	102629444	B	2014年 6月 25日
				JP	2014524598	A	2014年 9月 22日
				KR	101443126	B1	2014年 9月 22日
				EP	2750122	A1	2014年 7月 2日
				WO	2013026387	A1	2013年 2月 28日
				US	2013088265	A1	2013年 4月 11日
US	6300928	B1	2001年 10月 9日	KR	100242244	B1	2000年 2月 1日
				KR	19990015789	A	1999年 3月 5日