

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)



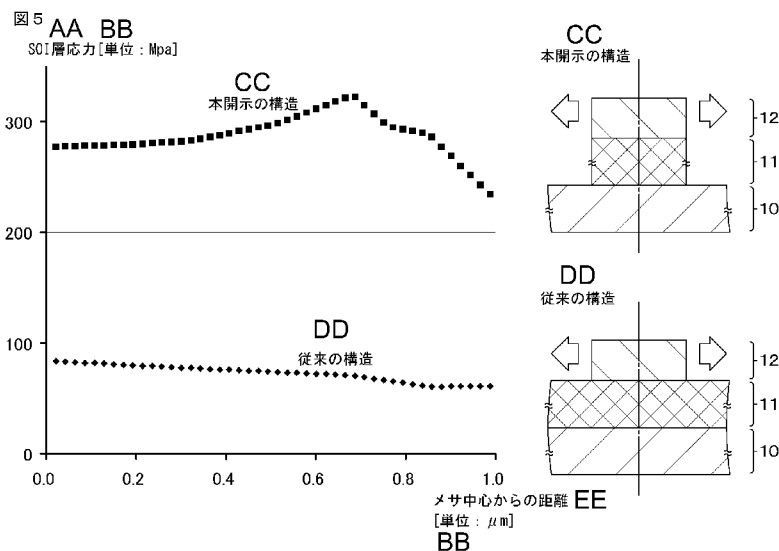
(10) 国際公開番号

WO 2018/116716 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 21/762 (2006.01)
H01L 21/76 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2017/041518
- (22) 国際出願日: 2017年11月17日(17.11.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-248272 2016年12月21日(21.12.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 柳澤 佑輝 (YANAGISAWA Yuki); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置、半導体装置の製造方法、及び、電子機器



AA...SOI layer stress
BB...Unit
CC...Structure of disclosure
DD...Structure of prior art
EE...Distance from mesa center

(57) Abstract: A semiconductor device formed from an SOI substrate comprising a substrate, a BOX layer formed on the substrate, and an SOI layer formed on the BOX layer. In at least a part of the BOX layer disposed in a non-active region adjacent to an active region, a part or all of the BOX layer is removed. The BOX layer in a part in which the SOI layer forming the active region is disposed is configured such that a deformation for applying stress to the SOI layer remains therein.

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成された半導体装置であって、アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部において、BOX層の一部あるいは全てが除去されており、アクティブ領域を形成するSOI層が配置される部分のBOX層は、SOI層に応力を加えるための変形が残留するように構成されている。

明 細 書

発明の名称：

半導体装置、半導体装置の製造方法、及び、電子機器

技術分野

[0001] 本開示は、半導体装置、半導体装置の製造方法、及び、電子機器に関する。

背景技術

[0002] 半導体装置における電気的特性の向上を目的として、チャネル領域に応力を加えることによってキャリア移動度を向上させるといったことが提案されている。チャネル領域に応力を加える方法として、チャネル領域を形成する材料とは格子定数が異なる材料を用いて下地層を形成した後にその上にチャネル領域を形成するといった方法や、ゲート電極上やソースドレイン領域上に応力を有する膜（応力膜）を形成するといった方法が提案されている。例えば、特開2011-199112号公報（特許文献1）には、チャネル領域を有するトランジスタ上に、チャネル領域に歪みを発生させるストレスライナー膜を設けるといったことが記載されている。

[0003] また、SOI（Silicon on Insulator）基板を用いた半導体装置において、クリープ（Creep）現象による変形をBOX層（Buried Oxide層）に残留させることで、BOX層上のTop Si層（SOI層）に応力を加えるといった方法が提案されている（例えば、非特許文献1参照）。これは、膜応力をもつSiN膜をSOI層上に堆積し、高温アニールを施すことでBOX層にクリープによる変形を生じさせ、SiN膜の除去後においてもSOI層に応力を加えるといった方法である。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-199112号公報

[0005] 非特許文献1：A.Bonnevialle et al., "A New Method to Induce Local Tens

ile Strain in SOI Wafers: First Strain Results of the "BOXCreep" Technique", Extended Abstracts of the 2015 International Conference on Solid State Devices and Materials, Sapporo, 2015, pp1110-1111, STMicroelectronics

発明の概要

発明が解決しようとする課題

- [0006] SOI基板のBOX層にクリープによる変形を残留させる方法は、チャンネル領域全般に応力を加えることができるといった利点を備えている。しかしながら、キャリア移動度の更なる向上のために、BOX層に残留させる変形の程度をより大きくすることができる構造や方法の開発が求められている。
- [0007] 従って、本開示の目的は、BOX層に残留させる変形の程度をより大きくすることができる半導体装置や半導体装置の製造方法、更には、係る半導体装置を備えた電子機器を提供することにある。

課題を解決するための手段

- [0008] 上記の目的を達成するための本開示の第1の態様に係る半導体装置は、
基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成された半導体装置であって、
アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部において、BOX層の一部あるいは全てが除去されており、
アクティブ領域を形成するSOI層が配置される部分のBOX層は、SOI層に応力を加えるための変形が残留するように構成されている、
半導体装置である。
- [0009] 上記の目的を達成するための本開示の第1の態様に係る半導体装置の製造方法は、
基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成される半導体装置の製造方法であって、
SOI層上に応力膜を形成し、

次いで、アクティブ領域に隣接する非アクティブ領域に位置する応力膜とＳＯＩ層を除去し、

その後、アクティブ領域に隣接する非アクティブ領域に配置されたＢＯＸ層のうち少なくとも一部について、ＢＯＸ層の一部あるいは全てを除去し、

次いで、応力膜の応力によってＢＯＸ層にクリープが生ずるようにＳＯＩ基板全体に高温アニール処理を施した後、応力膜を除去する、
ことによってＢＯＸ層にクリープによる変形を残留させる工程を含む、
半導体装置の製造方法である。

[0010] 上記の目的を達成するための本開示の第１の態様に係る電子機器は、

基板と、基板上に形成されたＢＯＸ層と、ＢＯＸ層上に形成されたＳＯＩ層とから成るＳＯＩ基板を用いて形成された半導体装置を備えた電子機器であって、

アクティブ領域に隣接する非アクティブ領域に配置されたＢＯＸ層のうち少なくとも一部において、ＢＯＸ層の一部あるいは全てが除去されており、

アクティブ領域を形成するＳＯＩ層が配置される部分のＢＯＸ層は、ＳＯＩ層に応力を加えるための変形が残留するように構成されている、
電子機器である。

発明の効果

[0011] 本開示の半導体装置にあつては、アクティブ領域に隣接する非アクティブ領域に配置されたＢＯＸ層のうち少なくとも一部において、ＢＯＸ層の一部あるいは全てが除去されている。この構造によれば、アクティブ領域を形成するＳＯＩ層が配置される部分のＢＯＸ層は、ＳＯＩ層に応力を加えるための変形が残留しやすくなるので、キャリア移動度の更なる向上を図ることができる。

図面の簡単な説明

[0012] [図１]図１Ａないし図１Ｃは、圧縮応力を有する応力膜を形成した場合に、高温アニール処理で生ずる変形を説明するための模式図である。

[図２]図２Ａ及び図２Ｂは、図１Ｃに引き続き、圧縮応力を有する応力膜を形

成した場合に、高温アニール処理で生ずる変形を説明するための模式図である。

[図3]図3 Aないし図3 Cは、メサ構造をSOI層に止めた構成において、高温アニール処理で生ずる変形を説明するための模式図である。

[図4]図4 Aないし図4 Cは、メサ構造をBOX層に及ばせた構成において、高温アニール処理で生ずる変形を説明するための模式図である。

[図5]図5は、メサ構造の差に起因するSOI層の応力の差を説明するための、応力シミュレーションのグラフである。

[図6]図6は、高温アニール処理を施す時間とSOI層の応力との関係を説明するための、応力シミュレーションのグラフである。

[図7]図7は、高温アニール処理を施す温度とSOI層の応力との関係を説明するための、応力シミュレーションのグラフである。

[図8]図8は、図5に対応するグラフであって、SOI層をより厚膜にした場合における、メサ構造の差に起因するSOI層の応力の差を説明するための、応力シミュレーションのグラフである。

[図9]図9は、BOX層の膜厚やBOX層の除去量と、SOI層の応力との関係を説明するための、応力シミュレーションのグラフである。メサ構造の差に起因するSOI層の応力の差を説明するための、応力シミュレーションのグラフである。

[図10]図10 Aないし図10 Cは、第1の実施形態に係る半導体装置の製造方法を説明するための、模式的な断面図である。

[図11]図11 A及び図11 Bは、図10 Cに引き続き、半導体装置の製造方法を説明するための、模式的な断面図である。

[図12]図12 A及び図12 Bは、図11 Bに引き続き、半導体装置の製造方法を説明するための、模式的な断面図である。

[図13]図13 Aないし図13 Cは、図12 Bに引き続き、半導体装置の製造方法を説明するための、模式的な断面図である。

[図14]図14 Aは、メサ構造をSOI層に止めた構成の半導体装置の構造を

説明するための模式的な平面図である。図 1 4 B は、図 1 4 A の A - A 断面図である。

[図15]図 1 5 A は、非アクティブ領域の一部において BOX 層を除去した構成の半導体装置の構造を説明するための模式的な平面図である。図 1 5 B は、図 1 5 A の B - B 断面図である。

[図16]図 1 6 A は、非アクティブ領域の全てにおいて BOX 層を全て除去した構成の半導体装置の構造を説明するための模式的な平面図である。図 1 6 B は、図 1 6 A の C - C 断面図である。

[図17]図 1 7 は、SOI 層の応力とメサ構造の面積との関係を説明するための、応力シミュレーションのグラフである。

[図18]図 1 8 A は、非アクティブ領域の全てにおいて BOX 層を途中まで除去した構成の半導体装置の構造を説明するための模式的な平面図である。図 1 8 B は、図 1 8 A の D - D 断面図である。

[図19]図 1 9 A 及び図 1 9 B は、BOX 層を全て除去した構成と BOX 層を途中まで除去した構成とが混在する半導体装置の構造を説明するための模式的な断面図である。図 1 9 A は図 1 6 B に対応し、図 1 9 B は図 1 8 B に対応する。

[図20]図 2 0 A は、非アクティブ領域の全てにおいて BOX 層を全て除去し更に基板の上部を一部除去した構成の半導体装置の構造を説明するための模式的な平面図である。図 2 0 B は、図 2 0 A の E - E 断面図である。

[図21]図 2 1 A 及び図 2 1 B は、BOX 層を全て除去し更に基板の上部を一部除去した構成と、他の構成とが混在する半導体装置の構造を説明するための模式的な断面図である。図 2 1 A は図 2 0 B に対応し、図 2 1 B は図 1 6 B に対応する。

発明を実施するための形態

[0013] 以下、図面を参照して、実施形態に基づいて本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料は例示である。以下の説明において、同一要素または同一機能を有する要素に

は同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

1. 本開示に係る、半導体装置、半導体装置の製造方法、及び、電子機器、全般に関する説明
2. 第1の実施形態
3. その他

[0014] [本開示に係る、半導体装置、半導体装置の製造方法、及び、電子機器、全般に関する説明]

本開示に係る半導体装置や係る半導体装置を用いた電子機器、及び、本開示の半導体装置の製造方法によって製造される半導体装置（以下、これらを単に、本開示と呼ぶ場合がある）において、非アクティブ領域に位置するBOX層は、厚さが異なる複数の領域を含んでいる構成とすることができる。

[0015] 上述した好ましい構成を含む本開示において、BOX層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されている構成とすることができる。この場合において、非アクティブ領域に位置するBOX層および基板は、それぞれ、厚さが異なる複数の領域を含んでいる構成とすることができる。

[0016] 上述した各種の好ましい構成を含む本開示において、nMOS型のトランジスタを形成するアクティブ領域のSOI層には、結晶格子が広げられるように応力が加えられる構成とすることができる。また、pMOS型のトランジスタを形成するアクティブ領域のSOI層には、結晶格子が狭められるように応力が加えられる構成とすることができる。

[0017] 上述した各種の好ましい構成を含む本開示において、半導体装置は、
nMOS型のトランジスタを形成するアクティブ領域とpMOS型のトランジスタを形成するアクティブ領域とを備えており、

nMOS型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置するBOX層と、pMOS型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置するBOX層とは、それぞれ

厚さが異なるように構成されている構成とすることができる。

[0018] この場合において、

B O X 層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されており、

n M O S 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板の厚さと、 p M O S 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板の厚さとは、異なるように構成されている構成とすることができる。

[0019] 上述した各種の好ましい構成を含む本開示において、アクティブ領域に位置する B O X 層の厚さと、アクティブ領域に隣接する非アクティブ領域に位置する B O X 層の厚さとの差は、50 ナノメートル以上である構成とすることができる。あるいは又、アクティブ領域に隣接する非アクティブ領域に配置された B O X 層は、その全てが除去されている構成とすることができる。

[0020] 上述した各種の好ましい構成を含む本開示において、アクティブ領域を形成する S O I 層が配置される部分の B O X 層は、S O I 基板に施された高温アニール処理で生じたクリープによる変形が残留するように構成されている態様とすることができる。

[0021] 上述した各種の好ましい構成を含む本開示の半導体装置は、アクティブ領域における B O X 層上の S O I 層には、常温において 100 MP a を超える応力が加えられる構成とすることができる。

[0022] 上述した各種の好ましい構成を含む本開示において、アクティブ領域における S O I 層の厚さは 200 ナノメートル以下である構成とすることができる。

[0023] 上述した各種の好ましい構成を含む本開示において、アクティブ領域における S O I 層の厚さは 200 ナノメートル以下である構成とすることができる。

[0024] 上述した各種の好ましい構成を含む本開示において、非アクティブ領域には、B O X 層を含む全面を覆うように素子分離絶縁層が設けられている構成

とすることができる。

- [0025] 上述したように、本開示に係る半導体装置の製造方法は、
基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成される半導体装置の製造方法であって、
SOI層上に応力膜を形成し、
次いで、アクティブ領域に隣接する非アクティブ領域に位置する応力膜とSOI層を除去し、
その後、アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部について、BOX層の一部あるいは全てを除去し、
次いで、応力膜の応力によってBOX層にクリープが生ずるようにSOI基板全体に高温アニール処理を施した後、応力膜を除去する、
ことによってBOX層にクリープによる変形を残留させる工程を含む。

- [0026] この場合において、BOX層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部を除去する工程を更に含む構成とすることができる。

- [0027] 上述した好ましい構成を含む本開示に係る半導体装置の製造方法において、nMOS型のトランジスタを形成するアクティブ領域のSOI層上には圧縮応力を有する応力膜を形成し、pMOS型のトランジスタを形成するアクティブ領域のSOI層上には引張応力を有する応力膜を形成する構成とすることができる。

- [0028] 上述したように、本開示に係る電子機器は、
基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成された半導体装置を備えた電子機器であって、
アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部において、BOX層の一部あるいは全てが除去されており、
アクティブ領域を形成するSOI層が配置される部分のBOX層は、SO

I層に応力を加えるための変形が残留するように構成されている。

[0029] この場合において、上記電子機器は、ディスプレイ、イメージセンサ、メモリ、RFスイッチ、パワーアンプ、または、ローノイズアンプである構成とすることができる。

[0030] 本開示に用いられるSOIウエハーなどのSOI基板の構成は、本開示の実施に支障がない限り、特に限定するものではない。例えば、SOI基板は、支持基板と活性基板との少なくとも一方に酸化膜を形成した後、これらを熱処理下で貼り合わせ、その後、活性基板を所定厚まで研磨するといった方法で構成することができる。

[0031] 応力膜を構成する材料は、高温アニール処理時において所定の応力が保持される限りは、特に限定するものではない。より具体的には、応力を有し、且つ、SOI層やBOX層よりも剛性が大きい材料であればよい。

[0032] 応力膜を構成する材料として、例えば、窒化シリコン(SiN_x)を挙げることができる。窒化シリコンから成る膜は、例えばCVD法などの周知の方法によって成膜することができる。膜の応力の向きやその大きさは、成膜法の種類や、成膜時の雰囲気、エネルギー線による曝露、膜中の水素密度の設定などによって制御することができる。例えば、PECVD (Plasma Enhanced Chemical Vapor Deposition) を用いて圧縮応力を持つ膜を形成することができるし、LPCVD (Low Pressure Chemical Vapor Deposition) を用いて引張応力を持つ膜を形成することができる。各種の膜や層における応力値は、ラマン分光法やTEMを用いたNBD (Nano Beam Diffraction) 法によるひずみ測定によって測定することができる。

[0033] クリープによる変形を起こさせるといった観点から、基本的には、BOX層を構成する材料における融点の絶対温度に対して約半分程度以上の温度で高温アニール処理を行なうことが好ましい。具体的には、 1100°C 以上、より好ましくは、 1200°C 以上で行なうことが好ましい。定性的には、クリープによる変形の程度は、高温アニール処理を行なう処理時間が長いほど大きくなり、また、高温アニール処理を行なう温度が高いほど大きくな

る。

[0034] 本明細書における各種の条件は、厳密に成立する場合の他、実質的に成立する場合にも満たされる。設計上あるいは製造上生ずる種々のばらつきの存在は許容される。また、以下の説明で用いる各図面は模式的なものであり、実際の寸法やその割合を示すものではない。

[0035] [第1の実施形態]

第1の実施形態は、本開示の第1の態様に係る、半導体装置、半導体装置の製造方法、及び、電子機器に関する。

[0036] 本開示の理解を助けるため、先ず、SOI層上に応力膜を形成した状態で高温アニール処理を施したときの変形について説明する。

[0037] 図1Aないし図1Cは、圧縮応力を有する応力膜を形成した場合に、高温アニール処理で生ずる変形を説明するための模式図である。図2A及び図2Bは、図1Cに引き続き、圧縮応力を有する応力膜を形成した場合に、高温アニール処理で生ずる変形を説明するための模式図である。

[0038] 図1Aは、SOI基板1の断面を示す。SOI基板1は、たとえばシリコンから成る基板10、基板10上に形成されたBOX層11、BOX層11上に形成されたSOI層12から成る。

[0039] 図1Bは、SOI層上に応力膜を形成した状態を示す。応力膜20は、例えば、窒化シリコンから構成されている。ここでは、nMOS型用として、応力膜20は圧縮応力を有するように形成されているとして説明する。圧縮応力を有する応力膜20は、外側に向かって広がろうとする性質を示す。このため、応力膜20下のSOI層12には、外側に広げる方向の力が作用する。

[0040] 図1Cは、応力膜が形成されたSOI基板に高温アニール処理を施すときの変形を模式的に示す。

[0041] 基本的には、降伏加重よりも小さい力が物体に作用しても物体に変形は残留しない。しかしながら、力が作用している状態で物体を高温環境下に晒しておく、時間の経過とともに物体に変形が生じ残留する現象、即ち、所謂

クリープ現象が起こる。

[0042] 応力膜20が形成されたSOI基板1について、例えば、1200°C下で2分といった条件でアニール処理を行なう。一般的に、材料の融点の絶対値の半分を超える高温環境下であると、クリープによる変形が起こりやすくなる。BOX層11を形成する酸化シリコンの融点は約1800°Cであるので、BOX層11には、SOI層12に引っ張られる形でクリープによる変形が生ずる。

[0043] 図2Aは、高温アニール処理後に常温に戻された状態のSOI基板を模式的に示す。図2Bは、更に、応力膜を除去した状態を示す。

[0044] 常温に戻った状態において、BOX層11にはクリープによる変形がある程度残留する。通常、応力膜20を除去すれば、SOI層12への応力も緩和される。しかしながら、BOX層11にはクリープによる変形が残留している。従って、BOX層11上のSOI層12には、外側に向かって広がる方向とする方向、換言すれば、SOI層12の結晶格子を広げる方向に力が作用する。

[0045] 上述の例では、応力膜20は圧縮応力を有するとして説明した。応力膜20が引張応力を有する場合、BOX層11には、内側に狭まる方向の変形が生ずる。結果として、BOX層11上のSOI層12には、内側に向かって狭まろうとする方向、換言すれば、SOI層12の結晶格子を狭める方向に力が作用する。

[0046] 次いで、非引用文献1に開示された、メサ構造をSOI層に止めた構成における高温アニール処理について説明する。

[0047] 図3Aないし図3Cは、メサ構造をSOI層に止めた構成において、高温アニール処理で生ずる変形を説明するための模式図である。

[0048] 図3Aは、応力膜が形成されたSOI基板を用いて、応力膜、SOI層をパターニングしてメサ構造を形成した状態を示す。基板10とBOX層11とはパターニングされていない。尚、説明の都合上、応力膜20は圧縮応力を有するとして説明するが、これに限るものではない。後述する図4につい

ても同様である。

[0049] 図3Aに示すメサ構造に高温アニール処理を施すときの変形を、図3Bに模式的に示す。その後、常温に戻された状態で、応力膜を除去した状態を、図3Cに示す。

[0050] BOX層11は、より剛性の高い基板10に拘束された状態である。従って、高温アニール処理によってBOX層11が軟化したとしても、基板10の影響によって変形の程度が抑制される（図3B参照）。

[0051] 常温に戻されると、高温アニール処理による変形がBOX層11に残留する。従って、応力膜20を除去した状態においても、BOX層11に残留する変形に起因してSOI層12には結晶格子を広げる方向に力が作用する（図3C参照）。しかしながら、BOX層11に残留する変形の程度が抑制されているので、SOI層12への力の作用もある程度で抑えられてしまう。

[0052] そこで、本開示では、高温アニール処理によるBOX層の変形をより促すため、メサ構造をBOX層にまで施す構成とした。

[0053] 図4Aないし図4Cは、メサ構造をBOX層に及ばせた構成において、高温アニール処理で生ずる変形を説明するための模式図である。

[0054] 図4Aは、応力膜が形成されたSOI基板を用いて、応力膜、SOI層、及び、BOX層をパターニングしてメサ構造を形成した状態を示す。基板10はパターニングされていない。尚、説明の都合上、応力膜20は圧縮応力を有するとして説明するが、これに限るものではない。

[0055] 図4Aに示すメサ構造に高温アニール処理を施すときの変形を、図4Bに模式的に示す。その後、常温に戻された状態で、応力膜20を除去した状態を、図4Cに示す。

[0056] 図4Aに示す構成では、BOX層11が細分化されている。従って、メサ構造のBOX層11にあっては、基板10の拘束の程度が緩和されると共に、応力膜20の力が及ぶ体積も小さくなる。これによって、高温アニール処理によるBOX層11の変形がより促進される（図4B参照）。

[0057] 常温に戻されると、高温アニール処理による変形がBOX層11に残留す

る。このように、アクティブ領域を形成するSOI層12が配置される部分のBOX層11は、SOI基板1に施された高温アニール処理で生じたクリープによる変形が残留するように構成されており、また、高温アニール処理によるBOX層11の変形がより促進されているので、SOI層12への力の作用はより大きくなり、SOI層12には結晶格子を広げる方向に力が作用する。（図4C参照）。

[0058] 図5に、メサ構造をSOI層に止めた構成（従来の構成と呼ぶ場合がある）と、メサ構造をBOX層に及ばせた構成（本開示の構成）とについての、SOI層の応力を比較したグラフを示す。

[0059] いずれの構成においても、SOI基板1は同一の仕様である。SOI層12の厚さは30ナノメートル、BOX層11の厚さは400ナノメートル、メサ構造は、一辺の長さが2マイクロメートルの矩形状である。高温アニール処理の条件は、温度1200°C、10分間といった条件である。SOI層12の応力は、高温アニール処理後、応力膜20を除去した状態での応力である。グラフの横軸は、メサ構造の中心からの距離であり、グラフの縦軸は、SOI層12の応力である。後述する他のグラフにおいても同様である。

[0060] グラフから明らかなように、本開示の構成は、従来の構成に対して、SOI層12の応力が3倍以上の値となっている。従って、アクティブ領域におけるBOX層11上のSOI層12には、常温において100MPaを超える応力を加えることができ、SOI層12内の電子の移動度はより向上する。nMOS型のトランジスタを構成するとすれば、配線抵抗やコンタクトの接触抵抗を除いたドレイン・ソース間のオン抵抗 R_{on} の低減効果も、従来の構成の3倍以上になると予想される。

[0061] このようにして、nMOS型のトランジスタを形成するアクティブ領域のSOI層12には、結晶格子が広げられるように応力が加えられる構成とすることができる。

[0062] pMOS型のトランジスタを形成する場合、SOI層12には結晶格子を

狭める方向に力が作用することが好ましい。従って、pMOS型のトランジスタを構成するのであれば、引張応力を有する応力膜20を形成して、上述したと同様の工程を行なえばよい。これによって、pMOS型のトランジスタを形成するアクティブ領域のSOI層12には、結晶格子が狭められるように応力が加えられる構成とすることができる。

[0063] BOX層11に残留する変形を大きくするといった観点からは、高温アニール処理を行なう処理時間は、長いほど好ましい。図6を参照して、高温アニール処理を行なう処理時間と、SOI層12の応力との関係について説明する。

[0064] 図6は、上述した本開示の構造において、温度1200°Cでの高温アニール処理を施す時間を、10分間、5分間、2分間としたときの、SOI層の応力を示すグラフである。SOI層の厚さは30ナノメートル、BOX層11の厚さは400ナノメートル、メサ構造は、一辺の長さが2マイクロメートルの矩形状である。

[0065] グラフの横軸は、メサ構造の中心からの距離であり、グラフの縦軸は、SOI層12の応力である。図6に示すグラフから明らかなように、高温アニール処理を施す時間が長いほど、SOI層12の応力が大きくなるといった関係があることがわかる。

[0066] また、BOX層11に残留する変形を大きくするといった観点からは、高温アニール処理を施すときの温度は、高いほうが好ましい。図7を参照して、高温アニール処理を施すときの温度と、SOI層12の応力との関係について説明する。

[0067] 図7は、上述した本開示の構造において、温度1300°Cで2分間の高温アニール処理と、温度1200°Cで2分間の高温アニール処理とを施したときの、SOI層の応力を示すグラフである。SOI層12の厚さは30ナノメートル、BOX層11の厚さは400ナノメートル、メサ構造は、一辺の長さが2マイクロメートルの矩形状である。

[0068] グラフの横軸は、メサ構造の中心からの距離であり、グラフの縦軸は、S

SOI層の応力である。図7に示すグラフから明らかなように、高温アニール処理を施す温度が高いほど、SOI層12の応力が大きくなるといった関係があることがわかる。

[0069] 以上、高温アニール処理の処理時間やその温度とSOI層の応力の関係について説明した。次いで、SOI層の厚さと応力の関係について説明する。

[0070] SOI層12は厚くなるほど応力は分散する。従って、定性的には、SOI層12は或る程度薄いことが望ましい。

[0071] 図8は、図5に対応するグラフであって、SOI層をより厚膜にした場合における、メサ構造の差に起因するSOI層の応力の差を説明するためのグラフである。具体的には、SOI層12の厚さは150ナノメートル、BOX層11の厚さは400ナノメートル、メサ構造は、一辺の長さが2マイクロメートルの矩形状である。高温アニール処理の条件は、温度1200°C、2分間である。

[0072] この場合においても、本開示の構造は、従来の構造に対して、SOI層12の応力が3倍以上の値となっている。しかしながら、図5と対比すると、SOI層12の応力は若干低下している。SOI層12の応力をある程度確保するといった観点からは、アクティブ領域におけるSOI層12の厚さは200ナノメートル以下であることが好ましい。

[0073] 以上、SOI層の厚さと応力の関係について説明した。次いで、BOX層11の厚さや、BOX層11に施すエッチング処理量について説明する。

[0074] BOX層11が薄くなればなるほど、基板10の拘束による影響が大きくなり、高温アニール処理の変形が抑制される。基本的には、BOX層11は、100ナノメートル以上の厚さであることが好ましい。

[0075] また、メサ構造を形成する際に、BOX層11を途中までエッチングするなどといった構成においても、所定の効果を得ることができる。

[0076] 図9は、BOX層の膜厚やBOX層の除去量と、SOI層の応力との関係を説明するためのグラフである。

[0077] 図9には、BOX層11の厚さ400ナノメートル且つメサ構造でBOX

層 1 1 を全て除去した構成（ $[400/400\text{ nm}]$ と表す）、BOX 層 1 1 の厚さ 1000 ナノメートル且つメサ構造で BOX 層 1 1 を全て除去した構成（ $[1000/1000\text{ nm}]$ と表す）、BOX 層 1 1 の厚さ 1000 ナノメートル且つメサ構造で BOX 層 1 1 を 400 ナノメートル除去した構成（ $[400/1000\text{ nm}]$ と表す）といった本開示構成において、温度 1200°C での高温アニール処理を 10 分間施したときの SOI 層 1 2 の応力を示した。

[0078] グラフから、BOX 層 1 1 を全て除去するといった構成の場合、BOX 層 1 1 の厚さ 400 ナノメートルの場合よりも、BOX 層 1 1 の厚さ 1000 ナノメートルの場合のほうが応力が高くなることが分かる。これは、BOX 層 1 1 が厚いほど、基板 1 0 の拘束による影響が小さくなり高温アニール処理の変形が促進されることを示している。

[0079] また、BOX 層 1 1 の厚さ 1000 ナノメートル且つ 400 ナノメートルを除去した $[400/1000\text{ nm}]$ の構成は、BOX 層 1 1 の厚さ 400 ナノメートルで BOX 層 1 1 を全て除去した構成 $[400/400\text{ nm}]$ よりも応力が大きい。これは、エッチングした領域下に BOX 層 1 1 が残っているため、基板 1 0 の拘束による影響が緩和されているためと考えられる。

[0080] BOX 層 1 1 を途中までエッチングするといった構成の場合、アクティブ領域に隣接する非アクティブ領域に位置する BOX 層 1 1 の厚さとの差、即ち、メサ構造の部分とそれ以外とで BOX 層 1 1 の厚さの差は 50 ナノメートル以上とすることが好ましい。

[0081] 尚、メサ構造の際のエッチング処理を、BOX 層 1 1 を超えて行なうといった構成、即ち、基板 1 0 側にもエッチングを施すといった構成とすることもできる。

[0082] 上述した構造の半導体装置は種々の電子機器に用いることができる。例えば、ディスプレイ、イメージセンサ、メモリ、RF スイッチ、パワーアンプ、または、ローノイズアンプなどに適用することができる。

[0083] 引き続き、本開示の第 1 の態様に係る半導体装置、及び、半導体装置の製

造方法について説明する。

[0084] 後述する図13Cなどに示す第1の実施形態に係る半導体装置は、

基板10と、基板10上に形成されたBOX層11と、BOX層11上に形成されたSOI層12とから成るSOI基板1を用いて形成された半導体装置であって、

アクティブ領域に隣接する非アクティブ領域に配置されたBOX層11のうち少なくとも一部において、BOX層11の一部あるいは全てが除去されており、

アクティブ領域を形成するSOI層12が配置される部分のBOX層11は、SOI層12に応力を加えるための変形が残留するように構成されている。

[0085] 第1の実施形態に係る半導体装置の製造方法は、

基板10と、基板10上に形成されたBOX層11と、BOX層11上に形成されたSOI層12とから成るSOI基板1を用いて形成される半導体装置の製造方法であって、

SOI層12上に応力膜20を形成し、

次いで、アクティブ領域に隣接する非アクティブ領域に位置する応力膜20とSOI層12を除去し、

その後、アクティブ領域に隣接する非アクティブ領域に配置されたBOX層11のうち少なくとも一部について、BOX層11の一部あるいは全てを除去し、

次いで、応力膜20の応力によってBOX層11にクリープが生ずるようにSOI基板1全体に高温アニール処理を施した後、応力膜20を除去する、

ことによってBOX層11にクリープによる変形を残留させる工程を含む。

[0086] 図10ないし図13は、第1の実施形態に係る半導体装置の製造方法を説明するための、模式的な断面図である。

[0087] [工程100] (図10Aないし図10C、参照)

基板 1 0 と、基板 1 0 上に形成された B O X 層 1 1 と、B O X 層 1 1 上に形成された S O I 層 1 2 とから成る S O I 基板 1 を準備し（図 1 0 A 参照）、S O I 基板 1 を熱酸化して S O I 層 1 2 表面に酸化膜 1 3 を形成する（図 1 0 B 参照）。次いで、素子分離エッチング時のマスクや平坦化時のエッチングストッパとなる窒化シリコンを酸化膜 1 3 上に堆積させることで、応力膜 2 0 を形成する（図 1 0 C 参照）。

[0088] 基本的には、n M O S 型トランジスタを形成するときは、圧縮方向の応力を有する応力膜 2 0 を形成し、p M O S 型トランジスタを形成するときは、引張方向の応力を有する応力膜 2 0 を形成すればよい。上述したように、応力膜 2 0 の応力やその向きは、成膜法の種類や、成膜時の雰囲気、エネルギー線による曝露、膜中の水素密度の設定などで調整することができる。

[0089] [工程－ 1 1 0]（図 1 1 A 及び図 1 1 B、参照）

次いで、応力膜 2 0、酸化膜 1 3、及び、S O I 層 1 2 についてエッチングを施し、メサ構造となる部分を切り離す。具体的には、アクティブ領域（符号 A C A で表す）の周囲の非アクティブ領域（符号 I N A で表す）にエッチングを施す。エッチングは、ドライエッチングであってもよいしウェットエッチングであってもよい。

[0090] 先ず、アクティブ領域 A C A に対応するように、応力膜 2 0 を周知の方法でパターニングする（図 1 1 A 参照）。次いで、パターニングされた応力膜 2 0 をマスクとして、S O I 層 1 2、酸化膜 1 3、B O X 層 1 1 にエッチングを施し、メサ構造を形成する（図 1 1 B 参照）。図で示す例では、非アクティブ領域 I N A の B O X 層 1 1 を残さずにエッチングしたが、これに限るものではない。

[0091] 尚、後述する高温アニール処理で S O I 層 1 2 に応力を与えるため、応力膜 2 0 の厚さは、メサ構造形成の時点において 5 0 ナノメートル以上残るように設定することが好ましい。

[0092] [工程－ 1 2 0]

次いで、高温アニール処理を施す。高温アニール処理を行なう温度や時間

は、半導体装置の仕様に応じて適宜好適に設定すればよい。基本的には、 1100°C 以上、1分間以上の処理を行なうことが好ましい。高温アニール処理により起こる変形については、図4 Aないし図4 Cを参照して説明した内容と同様であるので、説明を省略する。

[0093] [工程－130] (図12 A及び図12 B、並びに、図13 A、参照)

その後、例えばHDP法 (High Density Plasma) などを用いて素子分離絶縁層30を成膜する (図12 A参照)。

[0094] 次に、平坦化を行なう。例えば、応力膜20をストップとしてエッチングなどの処理を行う (図12 B参照)。その後、例えばCMP法 (Chemical Mechanical Polishing) を用いて平坦化を行い、応力膜20や酸化膜13を除去し、アクティブ領域のSOI層12を露出させる (図13 A参照)。

[工程－140] (図13 B及び図13 C、参照)

その後、アクティブ領域のSOI層12にトランジスタを形成する。例えば、不純物注入、ゲート絶縁膜31とゲート電極32の形成 (図13 B参照)、ソース／ドレイン電極33の形成 (図13 C) といった工程を適宜行なえばよい。尚、図示の都合上、平坦化膜やそれに設けられる開口などの図示は省略した。

[0095] 以上、第1の実施形態に係る半導体装置の製造方法を説明した。

[0096] 尚、必要な場合には、BOX層11の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板10の一部を除去する工程を更に含んでもよい。

[0097] nMOS型とpMOS型が混在するような場合には、nMOS型のトランジスタを形成するアクティブ領域のSOI層12上には圧縮応力を有する応力膜20を形成し、pMOS型のトランジスタを形成するアクティブ領域のSOI層12上には引張応力を有する応力膜20を形成すればよい。応力膜20は、周知のパターニング法で適宜必要な箇所に形成することができる。

[0098] あるいは又、nMOS型とpMOS型が混在し、例えば両者に電氣的な差をつけたいといったような場合には、例えば一方はメサ構造としないといっ

た構成も考えられる。また、同一ウエハ面内において、特定の箇所のみ本開示を適用することでウエハの反りを緩和するといった効果を得ることもできる。

[0099] 尚、BOX層11のエッチングはアクティブ領域に対して、必ずしも垂直である必要はない。例えば、SOI層12の下側に入り込むような形状、あるいは、外側に広がるような形状であってもよい。

[0100] 次いで、本開示の半導体装置のレイアウトについて説明する。

[0101] 図14Aは、メサ構造をSOI層に止めた構成の半導体装置の構造を説明するための模式的な平面図である。図14Bは、図14AのA-A断面図である。

[0102] SOI層12のみをエッチングしてメサ構造とする従来の構造では、図14に示すように、ウエハ面内でBOX層11の膜厚は均一になる。これに対し、BOX層11までエッチングする本開示の構造では、ウエハ面内でBOX層11の膜厚が均一ではなくなる。

[0103] 図15Aは、非アクティブ領域の一部においてBOX層を除去した構成の半導体装置の構造を説明するための模式的な平面図である。図15Bは、図15AのB-B断面図である。

[0104] 後述する他の図面も含め、非アクティブ領域には、BOX層11を含む全面を覆うように素子分離絶縁層30が設けられている。図15は、3つのアクティブ領域の群の周囲についてはBOX層を全て除去し、アクティブ領域間についてはBOX層をそのまま残した構造の例である。非アクティブ領域に位置するBOX層は、厚さが異なる複数の領域を含んでいる。図16は、3つのアクティブ領域の群の周囲についてはBOX層を全て除去し、アクティブ領域間についてもBOX層を全て除去した構造の例である。これらの図に示すように、本開示の構造では、BOX層11の一部が素子分離絶縁層30に置き換わる。

[0105] ここで、SOI層の応力とメサ構造の面積との関係について説明する。

[0106] 図17は、SOI層の応力とメサ構造の面積との関係を説明するための模

式的なグラフである。上述した本開示の構造において、メサ構造の面積を異にして、温度 1200°C での高温アニール処理を2分間施すとしたときの、SOI層の応力を示すグラフである。SOI層12の厚さは30ナノメートル、BOX層11の厚さは400ナノメートル、メサ構造は、一辺の長さが2マイクロメートルの矩形状、一辺の長さが4マイクロメートルの矩形状、一辺が30マイクロメートルで他辺が160マイクロメートルの矩形状である。

[0107] グラフから明らかなように、メサ構造の面積が小さい程、より具体的には、チャンネル領域におけるチャンネル長方向の幅が狭い程、SOI層12に残留する応力値が大きくなる傾向が認められる。これは、メサ構造の面積が狭いほどBOX層11のクリープによる変形が促されることに起因している。従って、アクティブ領域におけるチャンネル長方向の幅は30マイクロメートル以下とすることが好ましい。

[0108] 上述のことから、基本的には、アクティブ領域に隣接する非アクティブ領域に配置されたBOX層11は、その全てが除去されている構成、換言すれば、アクティブ領域を細分化するようにBOX層11をエッチングする図16の構成が好ましい。例えば、総合的なW長が長いマルチゲートタイプのトランジスタに適用する場合などは、各ソース／ドレイン脇のBOX層をエッチングすることでより顕著に効果を奏することができる。

[0109] 尚、BOX層11は途中までエッチングする態様であってもよい。図18Aは、非アクティブ領域の全てにおいてBOX層を途中まで除去した構成の半導体装置の構造を説明するための模式的な平面図である。図18Bは、図18AのD-D断面図である。

[0110] 図18に示す構造では、アクティブ領域と非アクティブ領域とでBOX層の膜厚が異なるといった構造となる。

[0111] 尚、非アクティブ領域に位置するBOX層11は、厚さが異なる複数の領域を含んでいるといった構成とすることもできる。例えば、ウエハ内の或る特定部分ではBOX層11は全て除去、他の特定部分ではBOX層11を一

部残して除去といった構成が混在してもよい。図 19 A 及び図 19 B は、BOX 層 11 を全て除去した構成と BOX 層 11 を途中まで除去した構成とが混在する半導体装置の構造を説明するための模式的な断面図である。図 19 A は図 16 B に対応し、図 19 B は図 18 B に対応する。

[0112] 例えば、nMOS 型のトランジスタを形成するアクティブ領域と pMOS 型のトランジスタを形成するアクティブ領域とを備えており、nMOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する BOX 層 11 と、pMOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する BOX 層 11 とは、それぞれ厚さが異なるように構成されている半導体装置とすることができる。

[0113] また、場合によっては、BOX 層 11 の下の基板 10 にまでエッチングを施すといった構成であってもよい。図 20 A は、非アクティブ領域の全てにおいて BOX 層 11 を全て除去し更に基板の上部を一部除去した構成の半導体装置の構造を説明するための模式的な平面図である。図 20 B は、図 20 A の E-E 断面図である。BOX 層 11 の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されている構成である。

[0114] 尚、例えばウエハ内の或る特定部分では BOX 層 11 は全て除去、他の特定部分では BOX 層 11 の下の基板 10 の上部を一部除去といった構成が混在してもよい。図 21 A 及び図 21 B は、BOX 層 11 を全て除去し更に基板 10 の上部を一部除去した構成と、他の構成とが混在する半導体装置の構造を説明するための模式的な断面図である。図 21 A は図 19 B に対応し、図 21 B は図 16 B に対応する。

[0115] また、非アクティブ領域に位置する BOX 層 11 および基板 10 は、それぞれ、厚さが異なる複数の領域を含んでいるといった構成ともできる。例えば、BOX 層 11 の全てが除去されてなる領域に位置する基板 10 面のうち少なくとも一部において、基板 10 の一部が除去されており、nMOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置

する基板 10 の厚さと、pMOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板 10 の厚さとは、異なるように構成されている半導体装置とすることができる。

[0116] [その他]

以上、本開示の実施形態について具体的に説明したが、本開示は、上述の実施形態に限定されるものではなく、本開示の技術的思想に基づく各種の変形が可能である。例えば、上述の実施形態において挙げた数値、構造、基板、原料、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、基板、原料、プロセスなどを用いてもよい。

[0117] 尚、本開示の技術は以下のような構成も取ることができる。

[0118] [A 1]

基板と、基板上に形成された BOX 層と、BOX 層上に形成された SOI 層とから成る SOI 基板を用いて形成された半導体装置であって、

アクティブ領域に隣接する非アクティブ領域に配置された BOX 層のうち少なくとも一部において、BOX 層の一部あるいは全てが除去されており、

アクティブ領域を形成する SOI 層が配置される部分の BOX 層は、SOI 層に応力を加えるための変形が残留するように構成されている、半導体装置。

[A 2]

非アクティブ領域に位置する BOX 層は、厚さが異なる複数の領域を含んでいる、

上記 [A 1] に記載の半導体装置。

[A 3]

BOX 層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されている、

上記 [A 1] または [A 2] に記載の半導体装置。

[A 4]

非アクティブ領域に位置する BOX 層および基板は、それぞれ、厚さが異

なる複数の領域を含んでいる、
上記 [A 3] に記載の半導体装置。

[A 5]

n MOS 型のトランジスタを形成するアクティブ領域の SOI 層には、結晶格子が広げられるように応力が加えられる、
上記 [A 1] ないし [A 4] のいずれかに記載の半導体装置。

[A 6]

p MOS 型のトランジスタを形成するアクティブ領域の SOI 層には、結晶格子が狭められるように応力が加えられる、
上記 [A 1] ないし [A 5] のいずれかに記載の半導体装置。

[A 7]

n MOS 型のトランジスタを形成するアクティブ領域と p MOS 型のトランジスタを形成するアクティブ領域とを備えており、

n MOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する BOX 層と、 p MOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する BOX 層とは、それぞれ厚さが異なるように構成されている、

上記 [A 1] ないし [A 6] のいずれかに記載の半導体装置。

[A 8]

BOX 層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されており、

n MOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板の厚さと、 p MOS 型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板の厚さとは、異なるように構成されている、

上記 [A 7] に記載の半導体装置。

[A 9]

アクティブ領域に位置する BOX 層の厚さと、アクティブ領域に隣接する

非アクティブ領域に位置するBOX層の厚さとの差は、50ナノメートル以上である、

上記[A1]ないし[A8]のいずれかに記載の半導体装置。

[A10]

アクティブ領域に隣接する非アクティブ領域に配置されたBOX層は、その全てが除去されている、

上記[A1]ないし[A8]のいずれかに記載の半導体装置。

[A11]

アクティブ領域を形成するSOI層が配置される部分のBOX層は、SOI基板に施された高温アニール処理で生じたクリープによる変形が残留するように構成されている、

上記[A1]ないし[A10]のいずれかに記載の半導体装置。

[A12]

アクティブ領域におけるBOX層上のSOI層には、常温において100MPaを超える応力が加えられる、

上記[A1]ないし[A11]のいずれかに記載の半導体装置。

[A13]

アクティブ領域におけるSOI層の厚さは200ナノメートル以下である、

上記[A1]ないし[A12]のいずれかに記載の半導体装置。

[A14]

アクティブ領域におけるチャネル長方向の幅は30マイクロメートル以下である、

上記[A1]ないし[A13]のいずれかに記載の半導体装置。

[A15]

非アクティブ領域には、BOX層を含む全面を覆うように素子分離絶縁層が設けられている、

上記[A1]ないし[A14]のいずれかに記載の半導体装置。

[0119] [B 1]

基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成される半導体装置の製造方法であって、

SOI層上に応力膜を形成し、

次いで、アクティブ領域に隣接する非アクティブ領域に位置する応力膜とSOI層を除去し、

その後、アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部について、BOX層の一部あるいは全てを除去し、

次いで、応力膜の応力によってBOX層にクリープが生ずるようにSOI基板全体に高温アニール処理を施した後、応力膜を除去する、
ことによってBOX層にクリープによる変形を残留させる工程を含む、
半導体装置の製造方法。

[B 2]

BOX層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部を除去する工程を更に含む、
上記[B 1]に記載の半導体装置の製造方法。

[B 3]

nMOS型のトランジスタを形成するアクティブ領域のSOI層上には圧縮応力を有する応力膜を形成し、pMOS型のトランジスタを形成するアクティブ領域のSOI層上には引張応力を有する応力膜を形成する、
上記[B 1]または[B 2]に記載の半導体装置の製造方法。

[0120] [C 1]

基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成された半導体装置を備えた電子機器であって、

アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部において、BOX層の一部あるいは全てが除去されており、

アクティブ領域を形成するＳＯＩ層が配置される部分のＢＯＸ層は、ＳＯＩ層に応力を加えるための変形が残留するように構成されている、電子機器。

[Ｃ２]

上記電子機器は、ディスプレイ、イメージセンサ、メモリ、ＲＦスイッチ、パワーアンプ、または、ローノイズアンプである、上記[Ｃ１]に記載の電子機器。

符号の説明

[0121] １・・・ＳＯＩ基板、１０・・・基板、１１・・・ＢＯＸ層、１２・・・ＳＯＩ層、１３・・・酸化膜、２０・・・応力膜、３０・・・素子分離絶縁層、３１・・・ゲート絶縁膜、３２・・・ゲート電極、３３・・・ソース／ドレイン電極、ＡＣＡ・・・アクティブ領域、ＩＮＡ・・・非アクティブ領域

請求の範囲

- [請求項1] 基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成された半導体装置であって、
- アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部において、BOX層の一部あるいは全てが除去されており、
- アクティブ領域を形成するSOI層が配置される部分のBOX層は、SOI層に応力を加えるための変形が残留するように構成されている、
- 半導体装置。
- [請求項2] 非アクティブ領域に位置するBOX層は、厚さが異なる複数の領域を含んでいる、
- 請求項1に記載の半導体装置。
- [請求項3] BOX層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されている、
- 請求項1に記載の半導体装置。
- [請求項4] 非アクティブ領域に位置するBOX層および基板は、それぞれ、厚さが異なる複数の領域を含んでいる、
- 請求項3に記載の半導体装置。
- [請求項5] nMOS型のトランジスタを形成するアクティブ領域のSOI層には、結晶格子が広げられるように応力が加えられる、
- 請求項1に記載の半導体装置。
- [請求項6] pMOS型のトランジスタを形成するアクティブ領域のSOI層には、結晶格子が狭められるように応力が加えられる、
- 請求項1に記載の半導体装置。
- [請求項7] nMOS型のトランジスタを形成するアクティブ領域とpMOS型のトランジスタを形成するアクティブ領域とを備えており、

n MOS型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置するBOX層と、p MOS型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置するBOX層とは、それぞれ厚さが異なるように構成されている、
請求項1に記載の半導体装置。

[請求項8] BOX層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部が除去されており、

n MOS型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板の厚さと、p MOS型のトランジスタを形成するアクティブ領域に隣接する非アクティブ領域に位置する基板の厚さとは、異なるように構成されている、
請求項7に記載の半導体装置。

[請求項9] アクティブ領域に位置するBOX層の厚さと、アクティブ領域に隣接する非アクティブ領域に位置するBOX層の厚さとの差は、50ナノメートル以上である、
請求項1に記載の半導体装置。

[請求項10] アクティブ領域に隣接する非アクティブ領域に配置されたBOX層は、その全てが除去されている、
請求項1に記載の半導体装置。

[請求項11] アクティブ領域を形成するSOI層が配置される部分のBOX層は、SOI基板に施された高温アニール処理で生じたクリープによる変形が残留するように構成されている、
請求項1に記載の半導体装置。

[請求項12] アクティブ領域におけるBOX層上のSOI層には、常温において100MPaを超える応力が加えられる、
請求項1に記載の半導体装置。

[請求項13] アクティブ領域におけるSOI層の厚さは200ナノメートル以下である、

請求項 1 に記載の半導体装置。

[請求項14] アクティブ領域におけるチャネル長方向の幅は30マイクロメートル以下である、

請求項 1 に記載の半導体装置。

[請求項15] 非アクティブ領域には、BOX層を含む全面を覆うように素子分離絶縁層が設けられている、

請求項 1 に記載の半導体装置。

[請求項16] 基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成される半導体装置の製造方法であって、

SOI層上に応力膜を形成し、

次いで、アクティブ領域に隣接する非アクティブ領域に位置する応力膜とSOI層を除去し、

その後、アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部について、BOX層の一部あるいは全てを除去し、

次いで、応力膜の応力によってBOX層にクリープが生ずるようにSOI基板全体に高温アニール処理を施した後、応力膜を除去する、
ことによってBOX層にクリープによる変形を残留させる工程を含む、

半導体装置の製造方法。

[請求項17] BOX層の全てが除去されてなる領域に位置する基板面のうち少なくとも一部において、基板の一部を除去する工程を更に含む、

請求項 16 に記載の半導体装置の製造方法。

[請求項18] nMOS型のトランジスタを形成するアクティブ領域のSOI層上には圧縮応力を有する応力膜を形成し、pMOS型のトランジスタを形成するアクティブ領域のSOI層上には引張応力を有する応力膜を形成する、

請求項 16 に記載の半導体装置の製造方法。

[請求項19] 基板と、基板上に形成されたBOX層と、BOX層上に形成されたSOI層とから成るSOI基板を用いて形成された半導体装置を備えた電子機器であって、

 アクティブ領域に隣接する非アクティブ領域に配置されたBOX層のうち少なくとも一部において、BOX層の一部あるいは全てが除去されており、

 アクティブ領域を形成するSOI層が配置される部分のBOX層は、SOI層に応力を加えるための変形が残留するように構成されている、

電子機器。

[請求項20] 上記電子機器は、ディスプレイ、イメージセンサ、メモリ、RFスイッチ、パワーアンプ、または、ローノイズアンプである、
請求項 19 に記載の電子機器。

[図1]

図 1 A

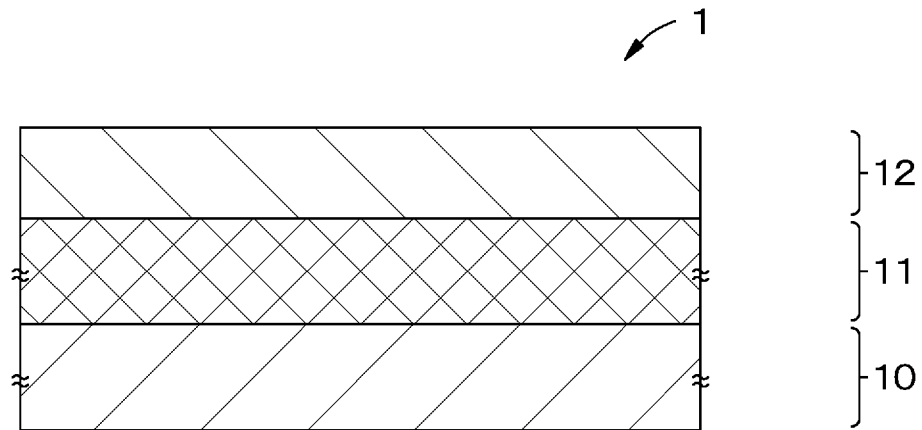


図 1 B

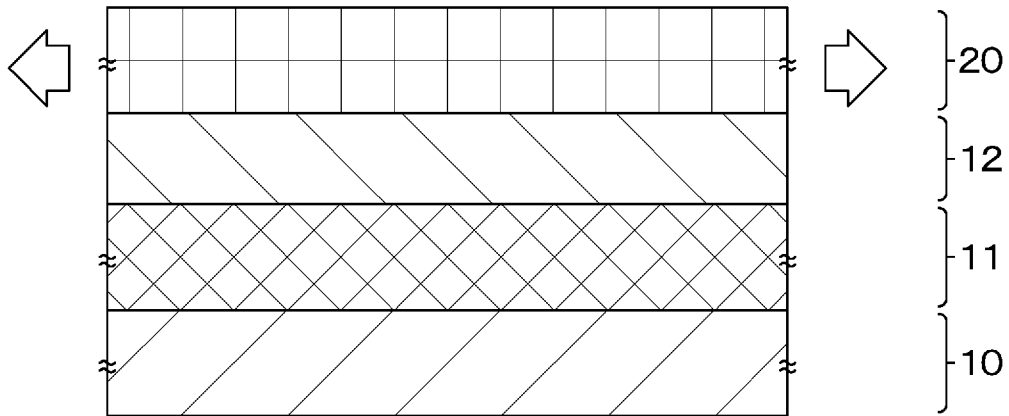
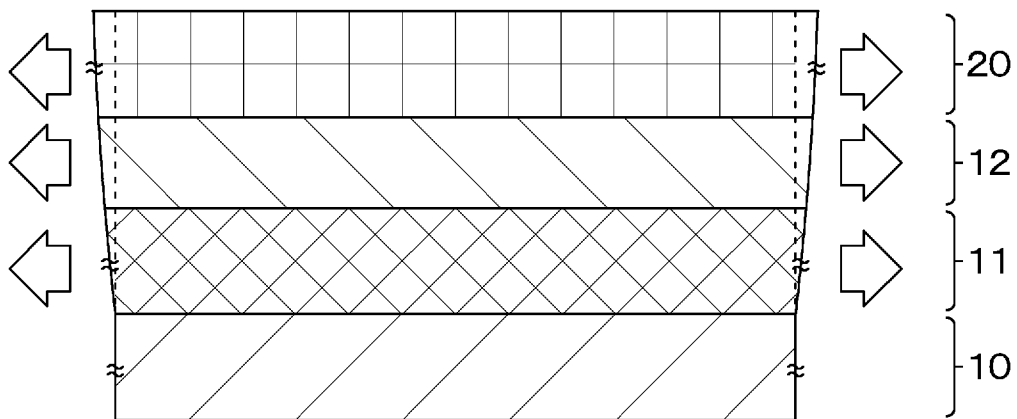


図 1 C



[図2]

図 2 A

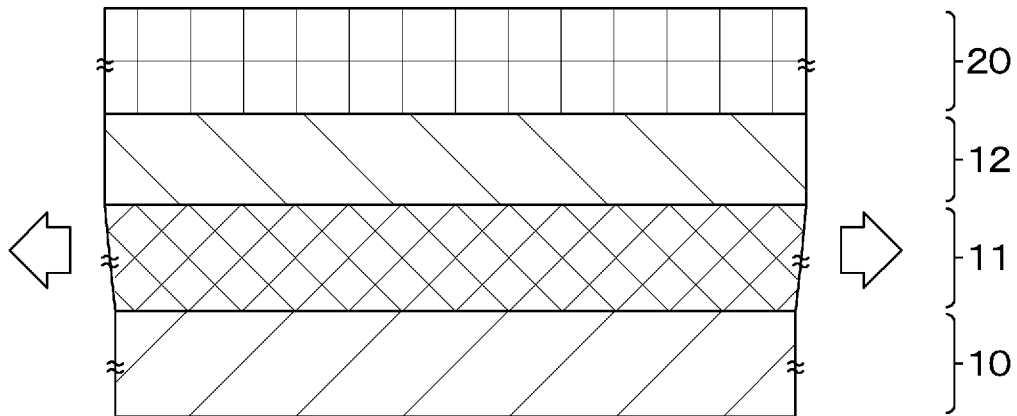
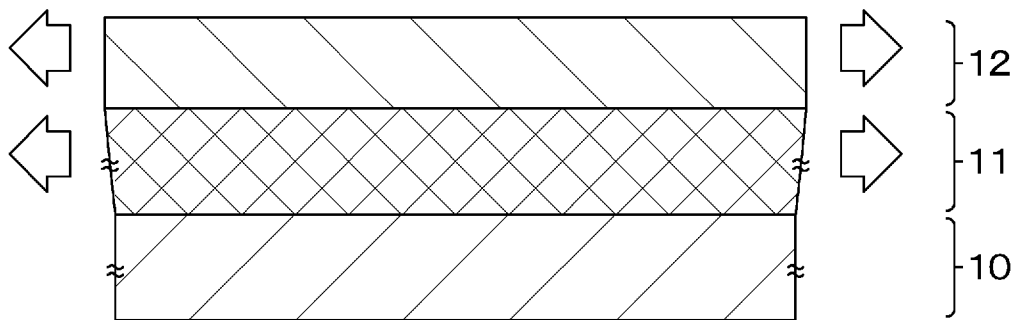


図 2 B



[図3]

図 3 A

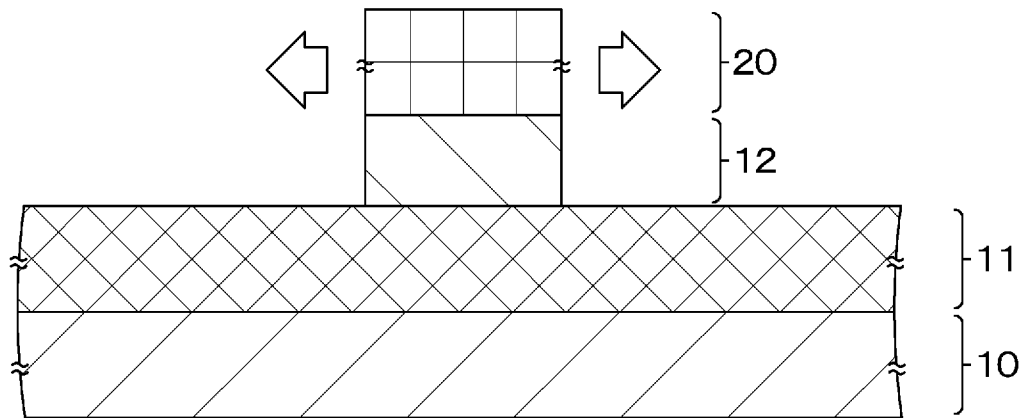


図 3 B

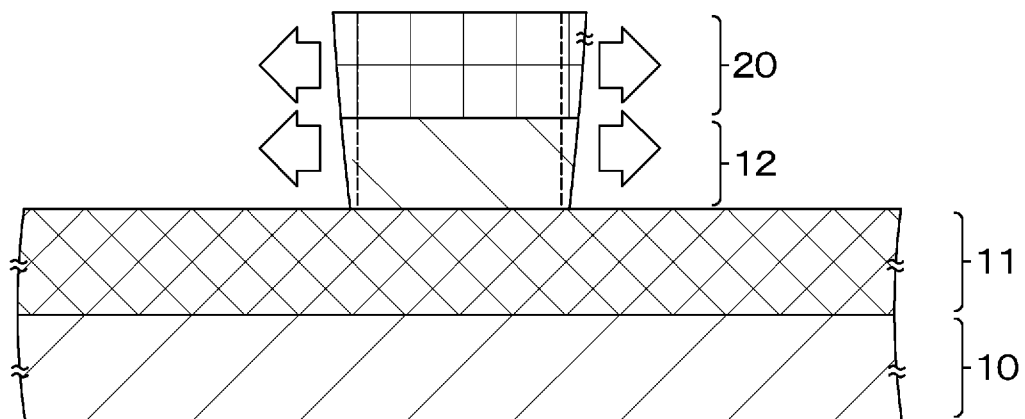
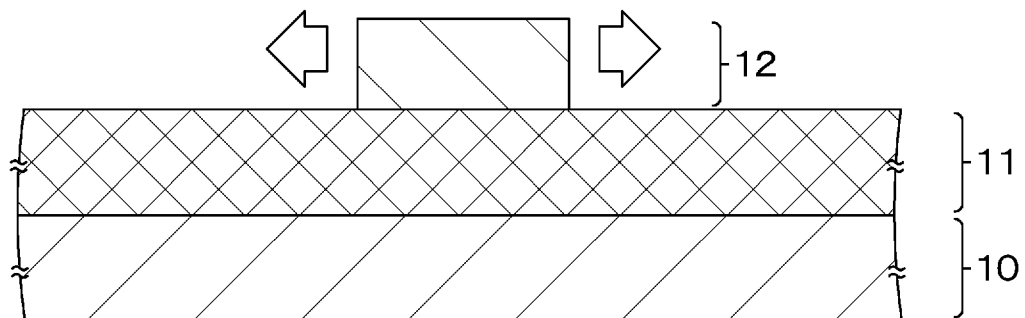


図 3 C



[図4]

図 4 A

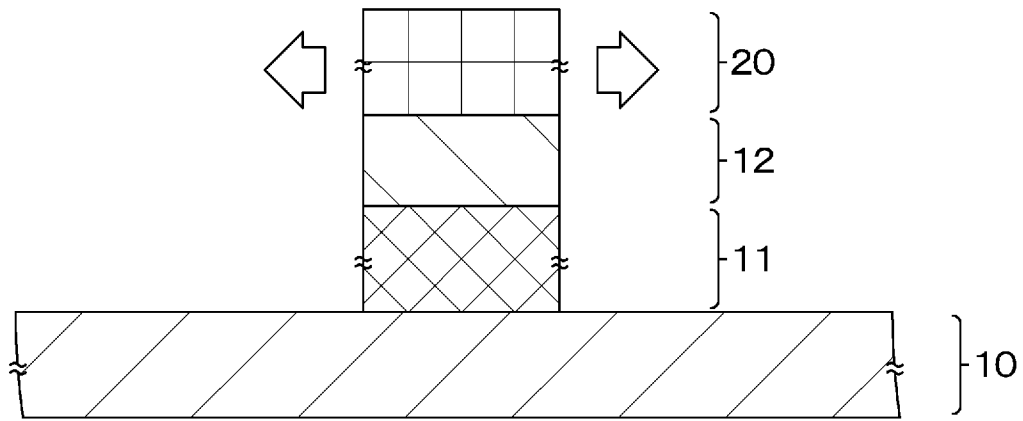


図 4 B

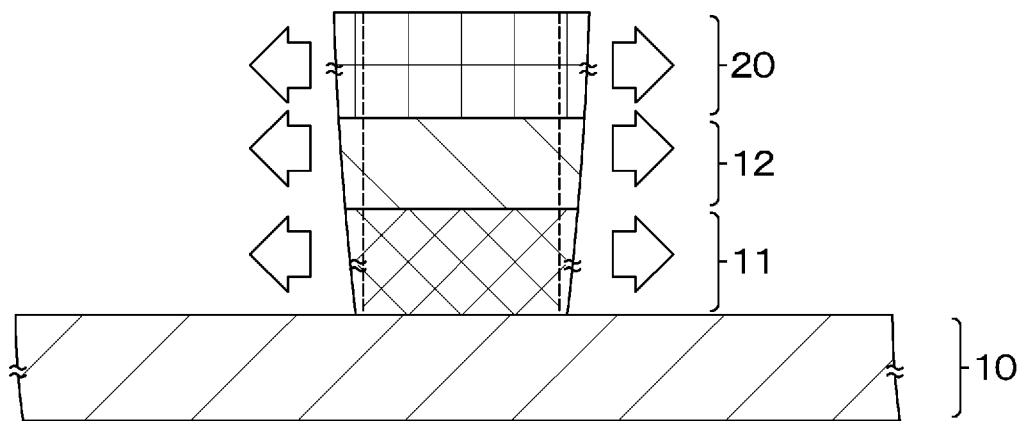
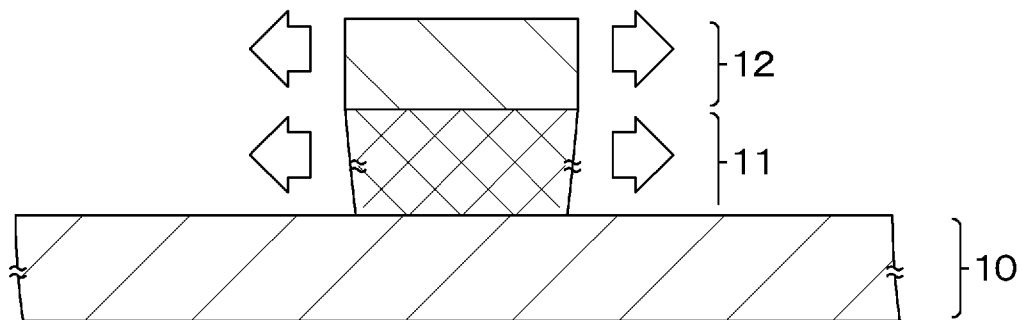
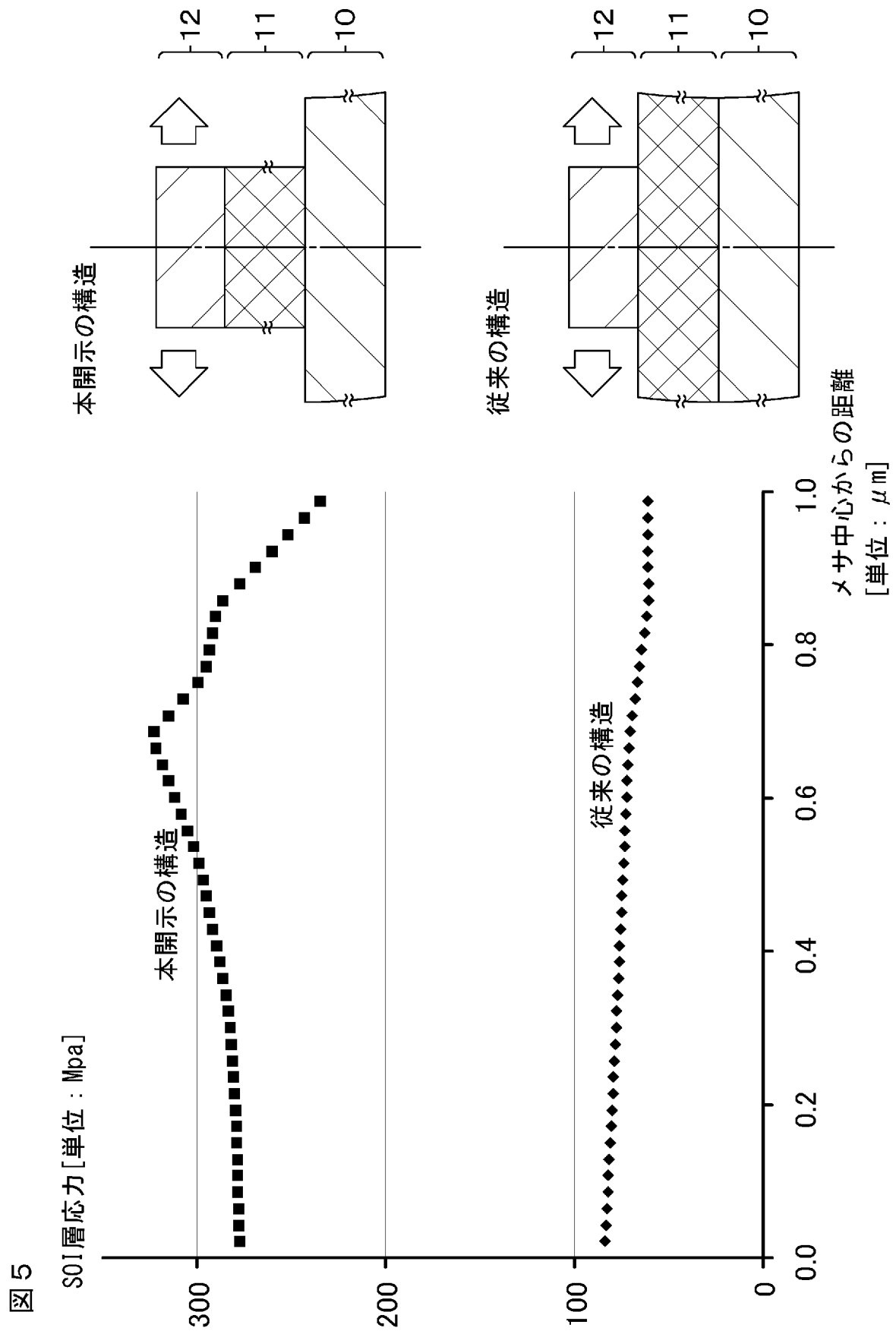


図 4 C



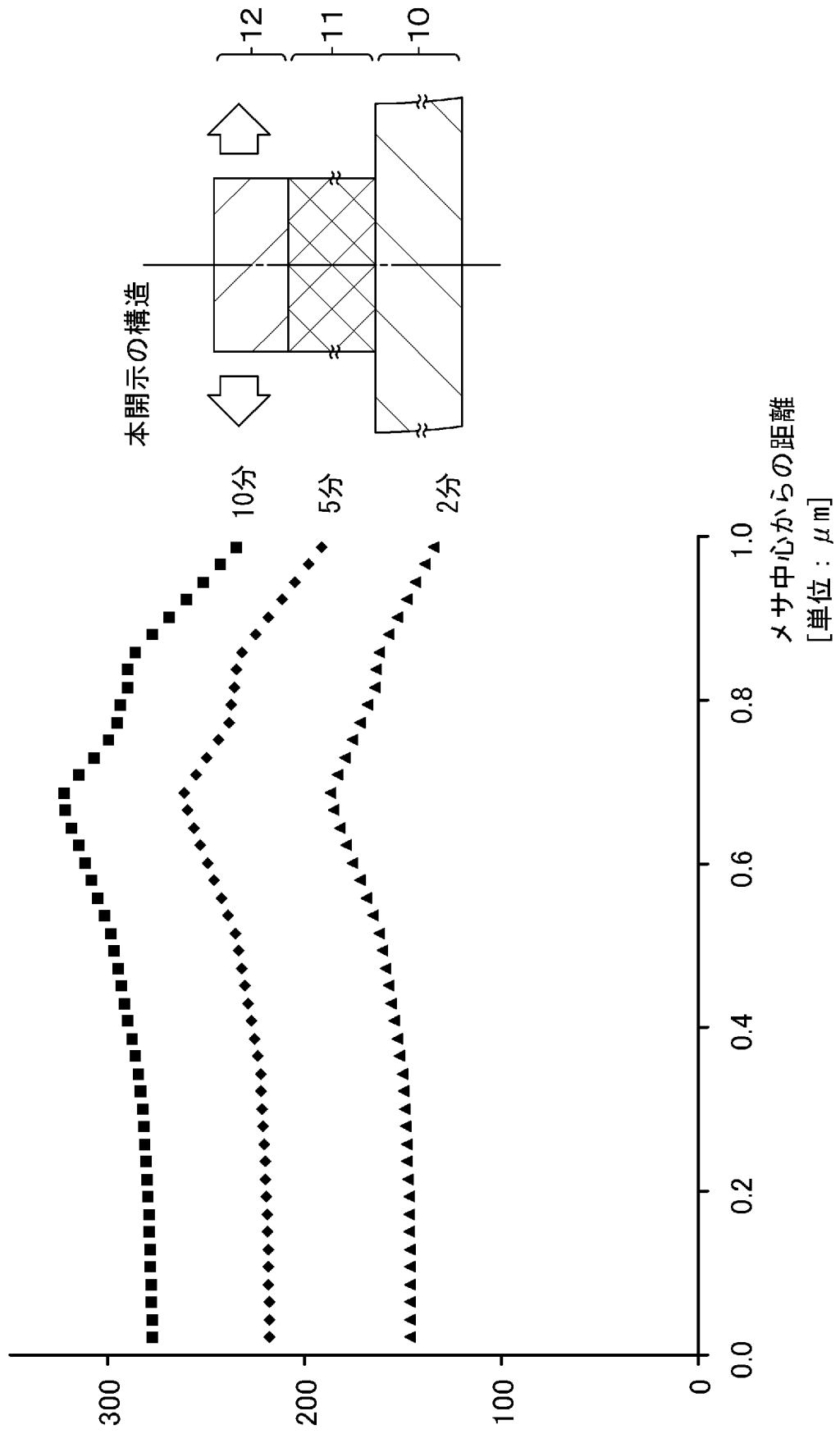
[図5]



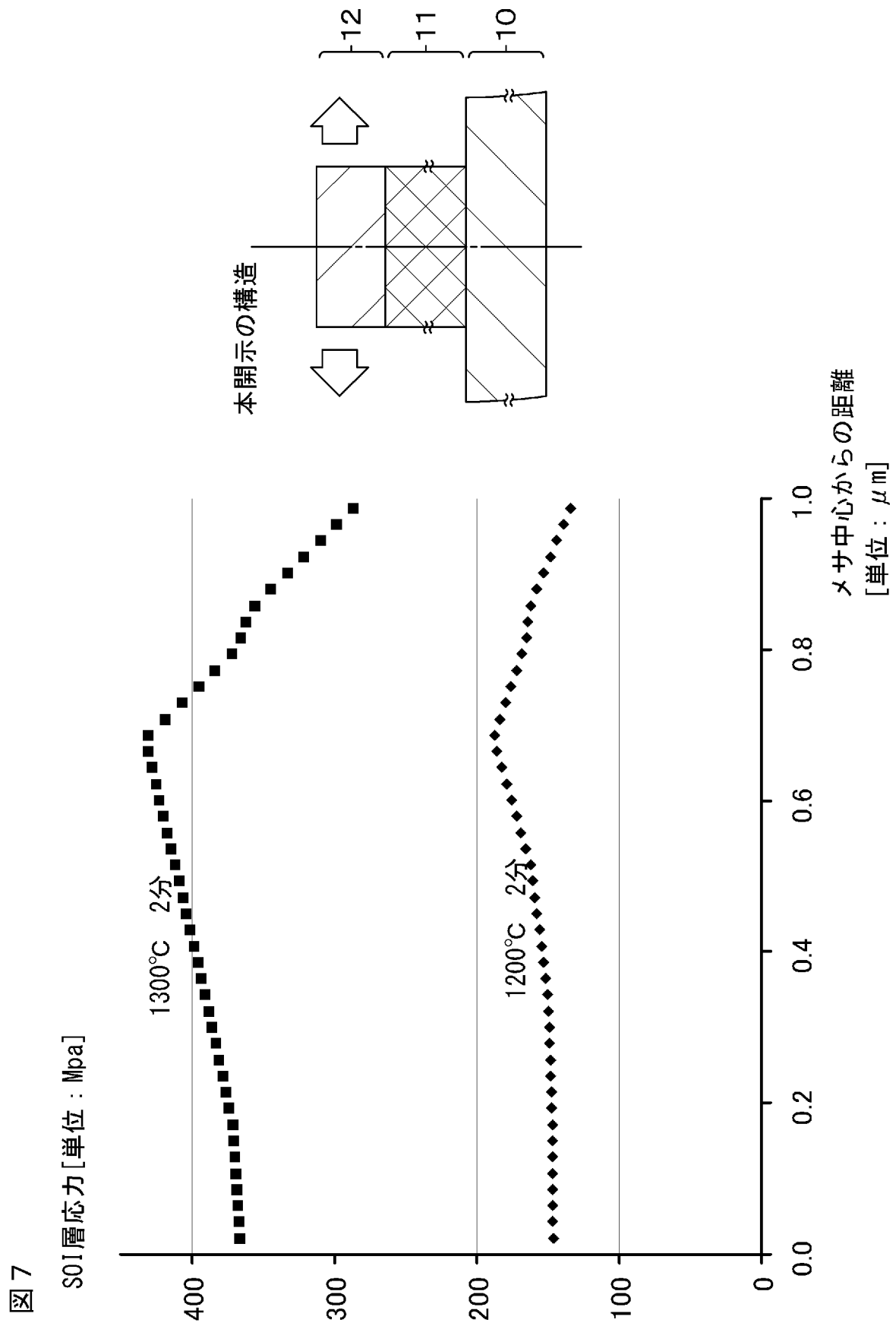
[図6]

図 6

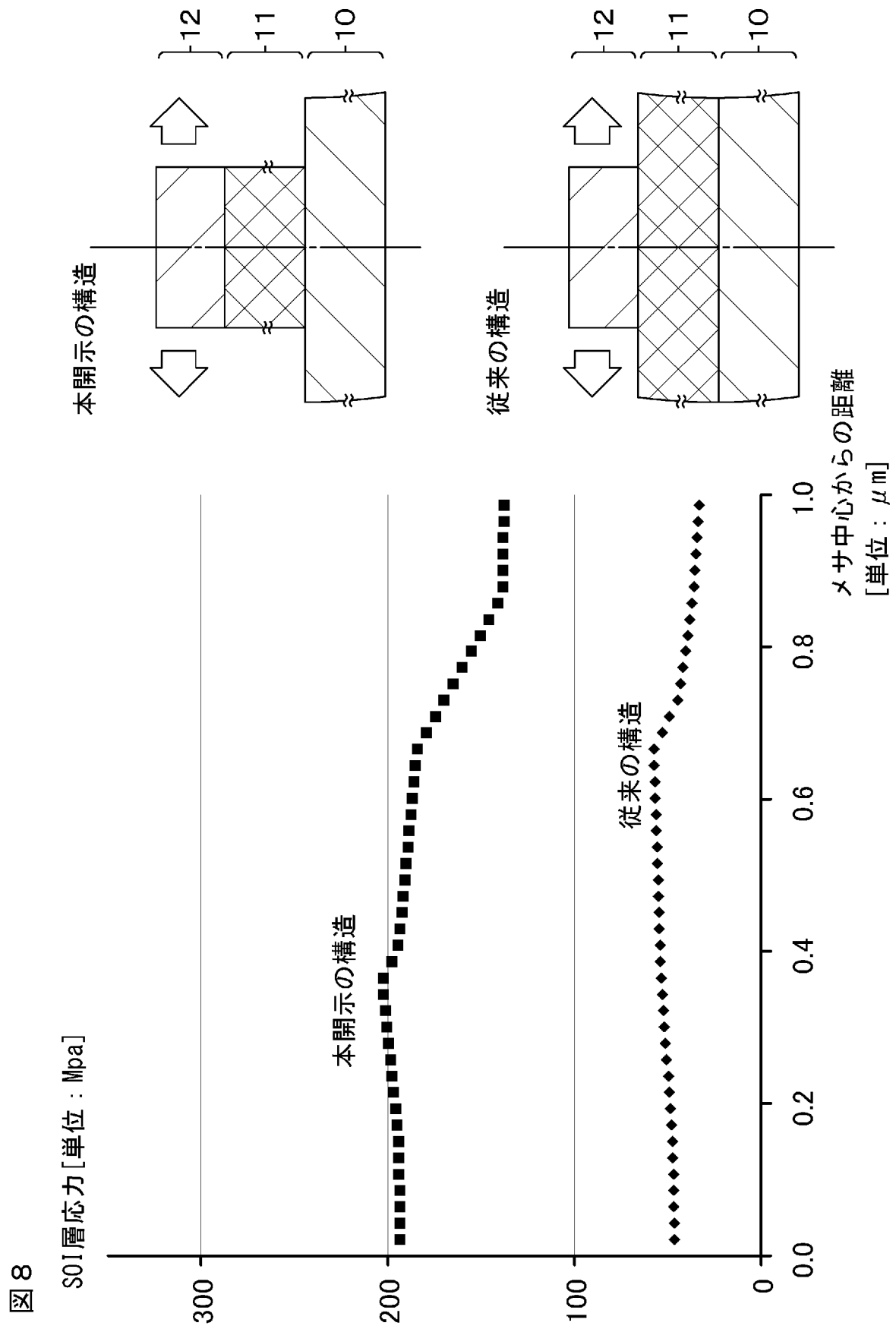
SOI層応力[単位：Mpa]



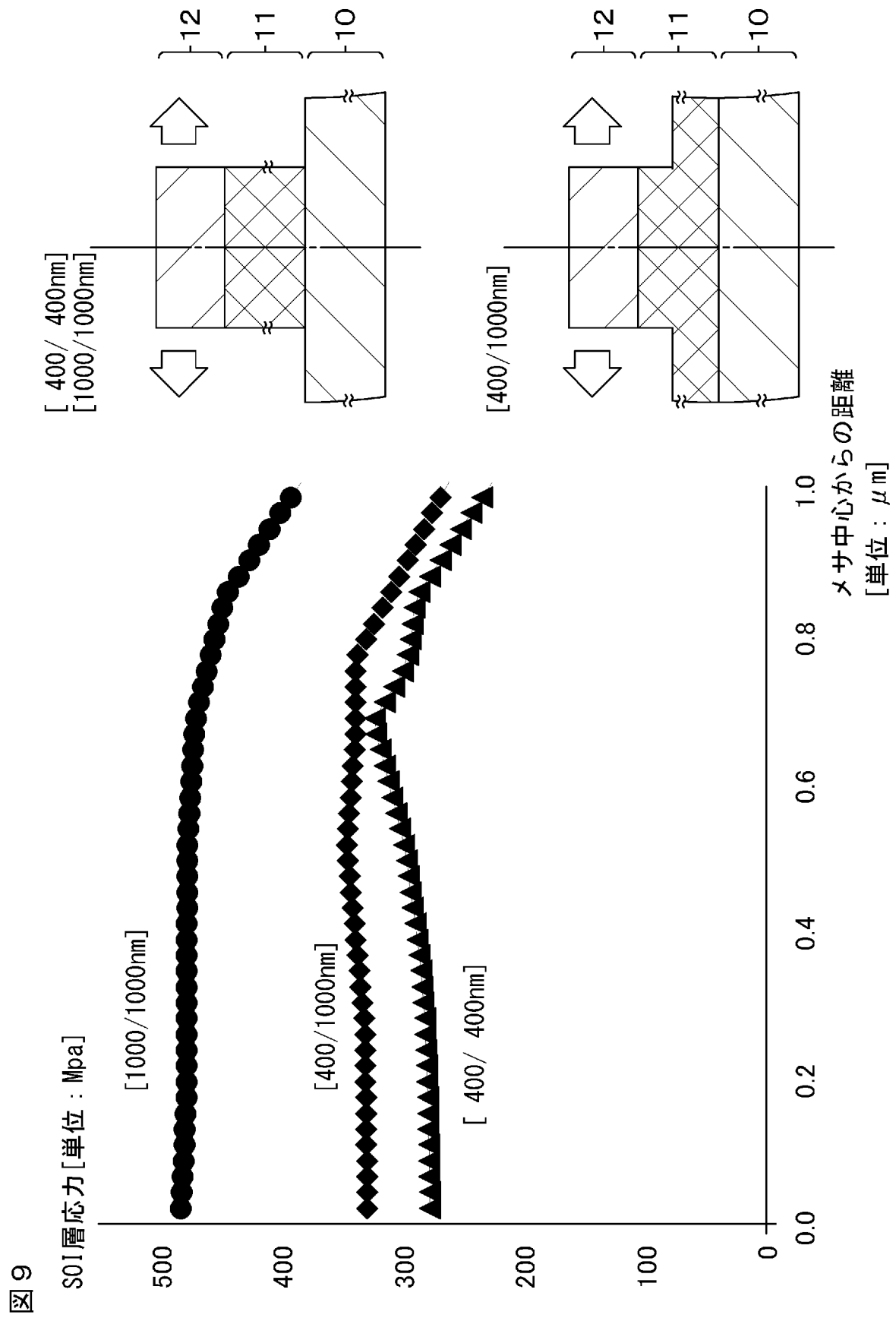
[図7]



[図8]



[図9]



[図10]

図10A

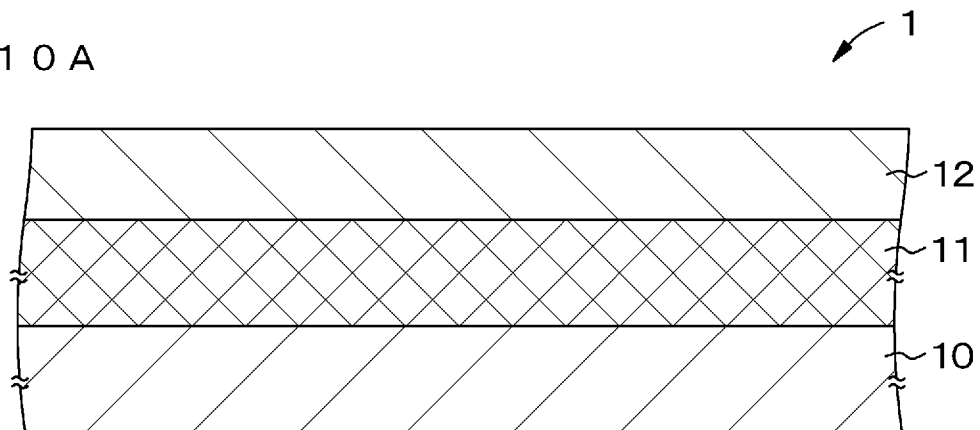


図10B

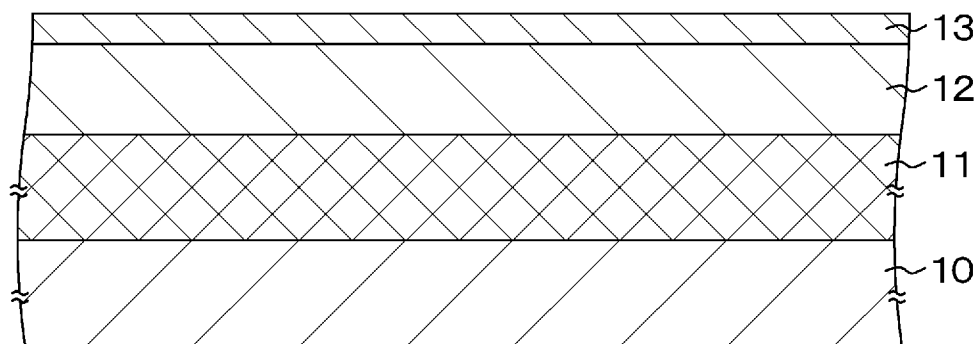
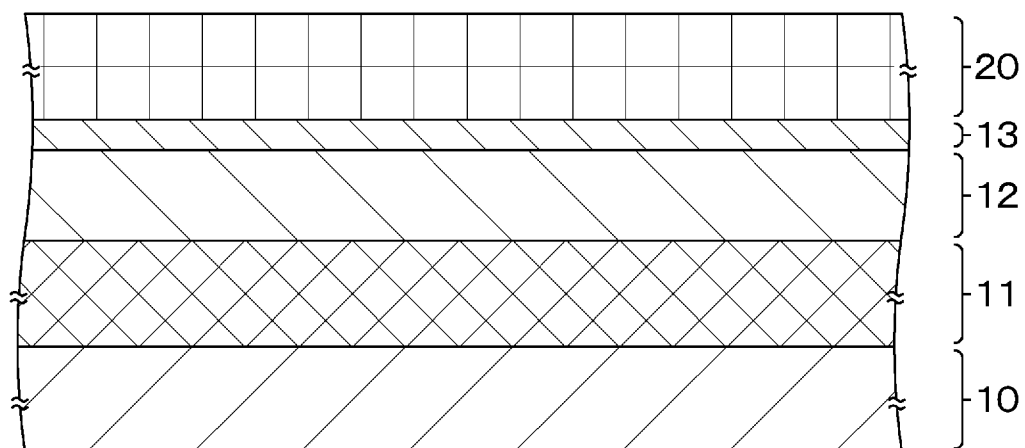


図10C



[図11]

図 1 1 A

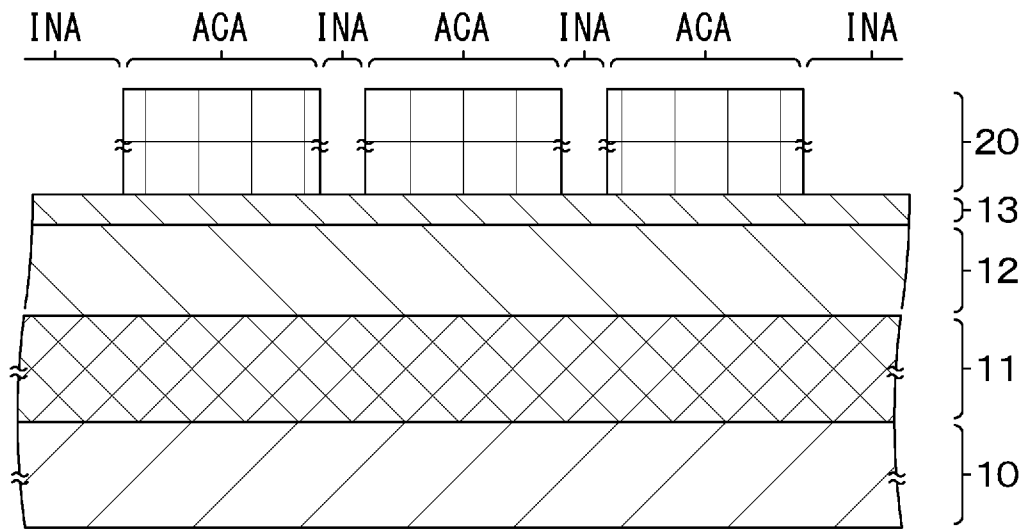
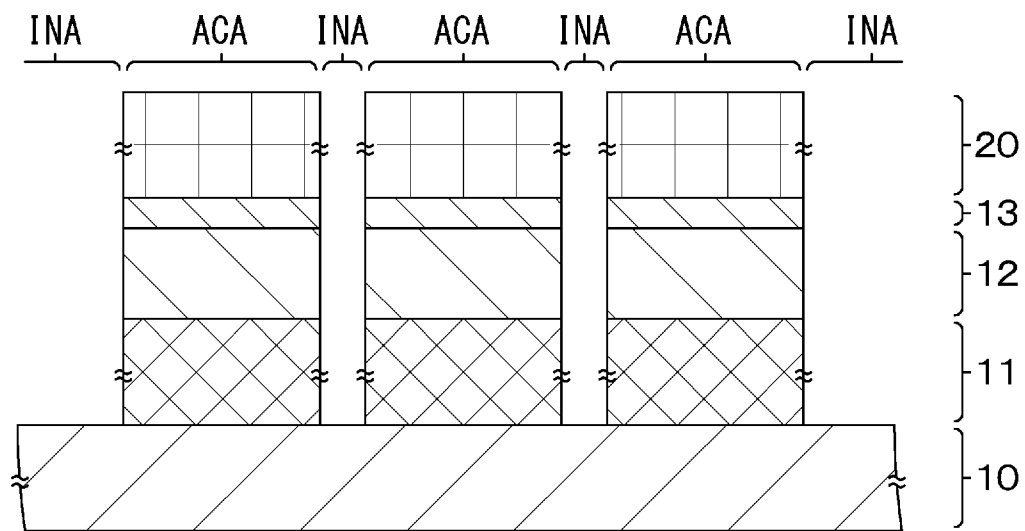


図 1 1 B



[図13]

図 1 3 A

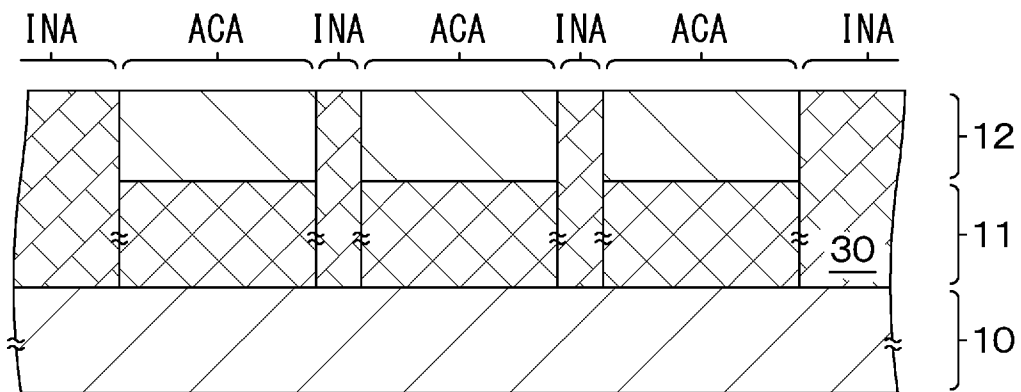


図 1 3 B

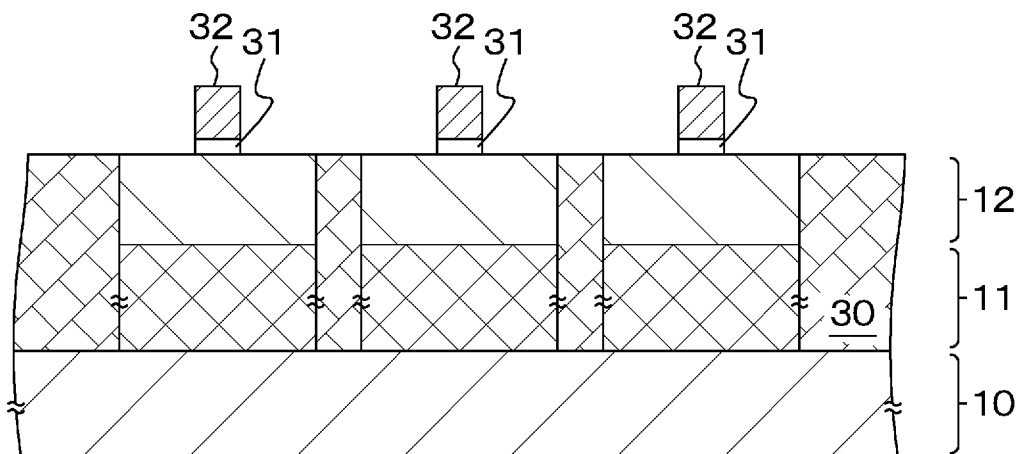
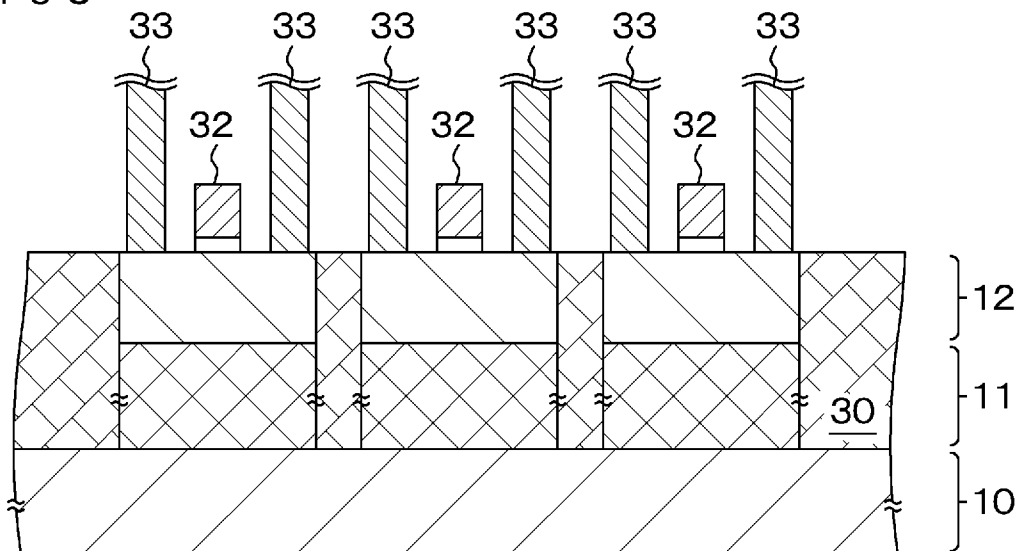
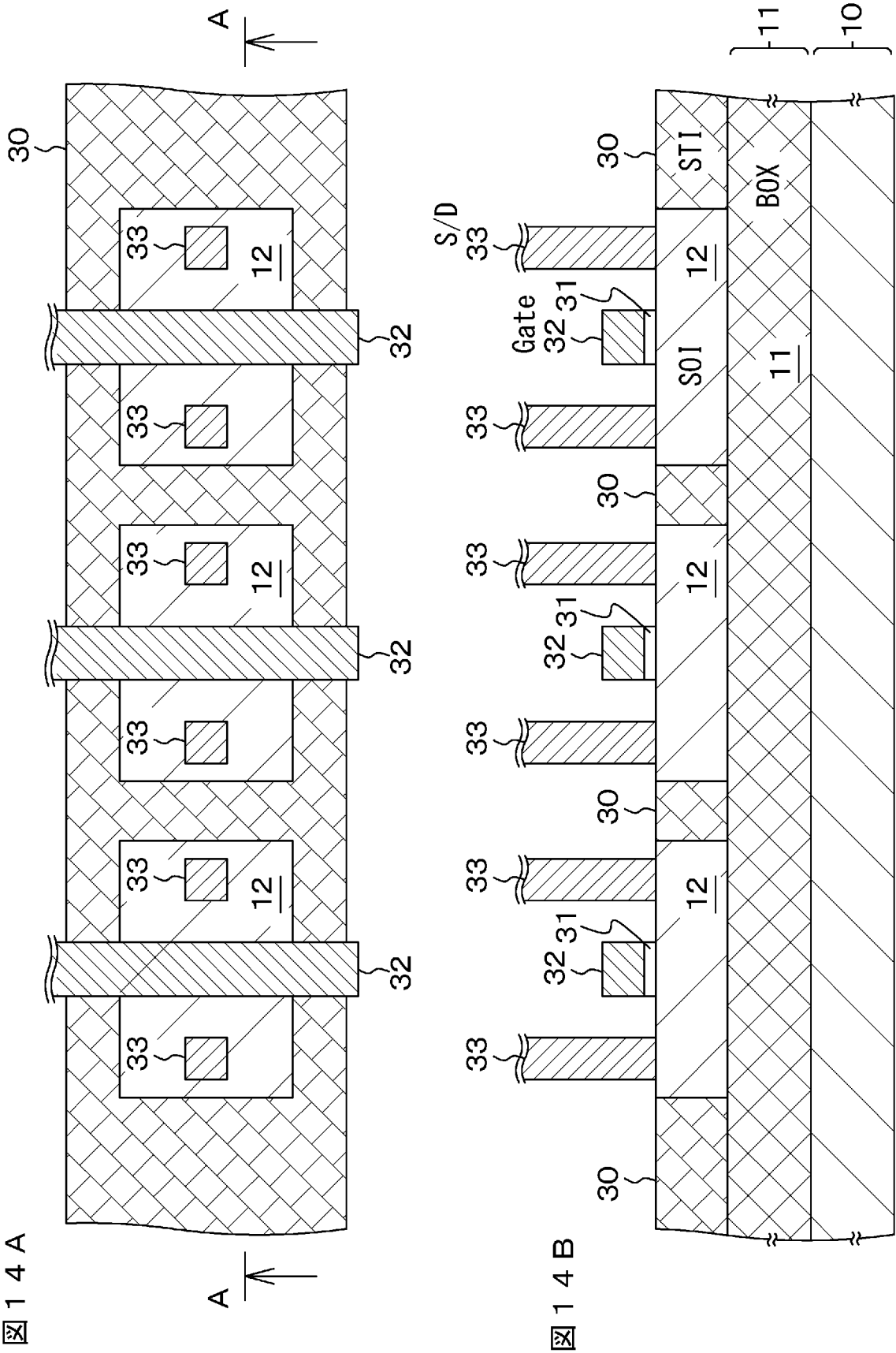


図 1 3 C



[図14]



[図15]

図15A

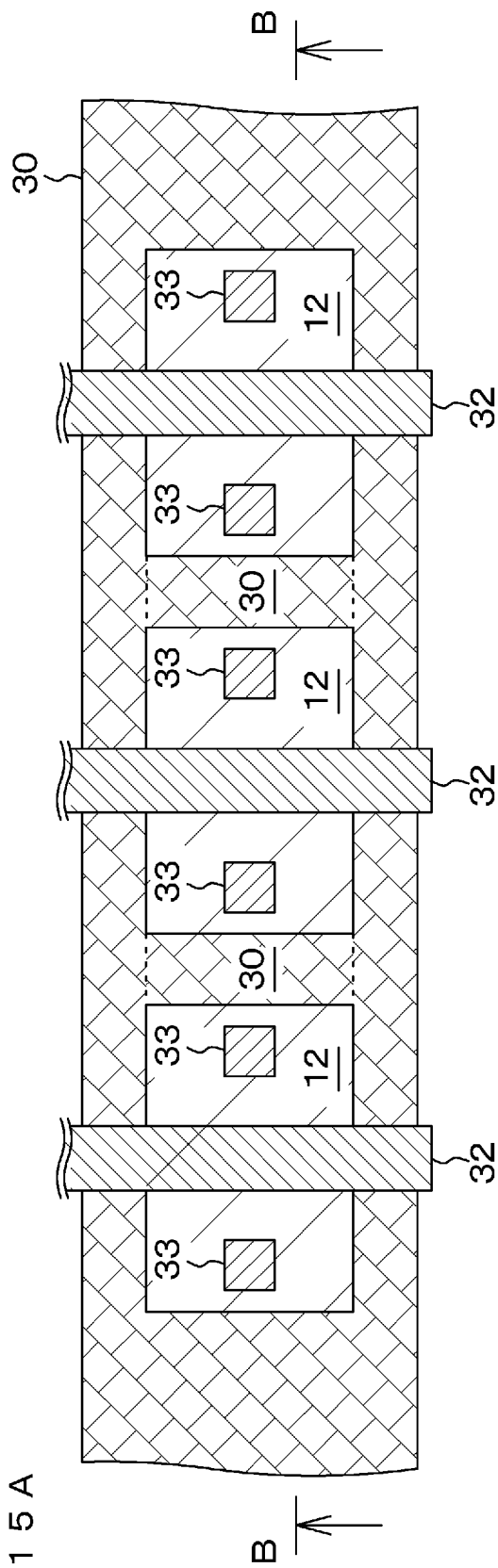
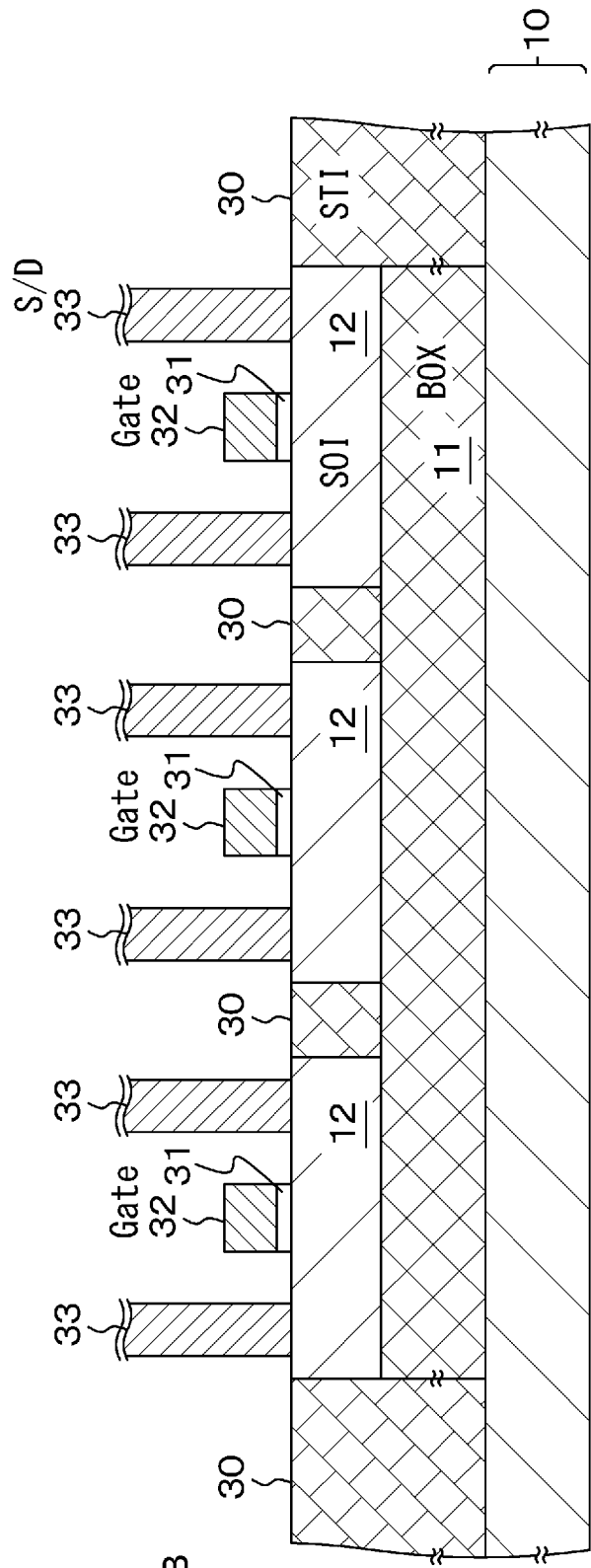


図15B



[図16]

図16A

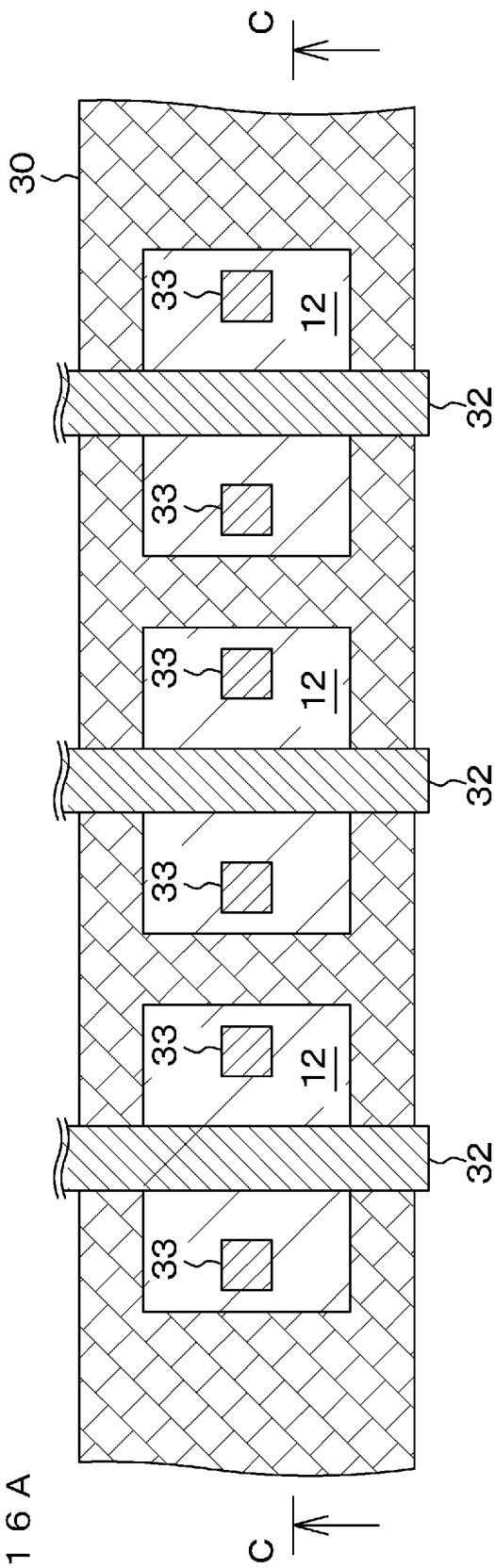
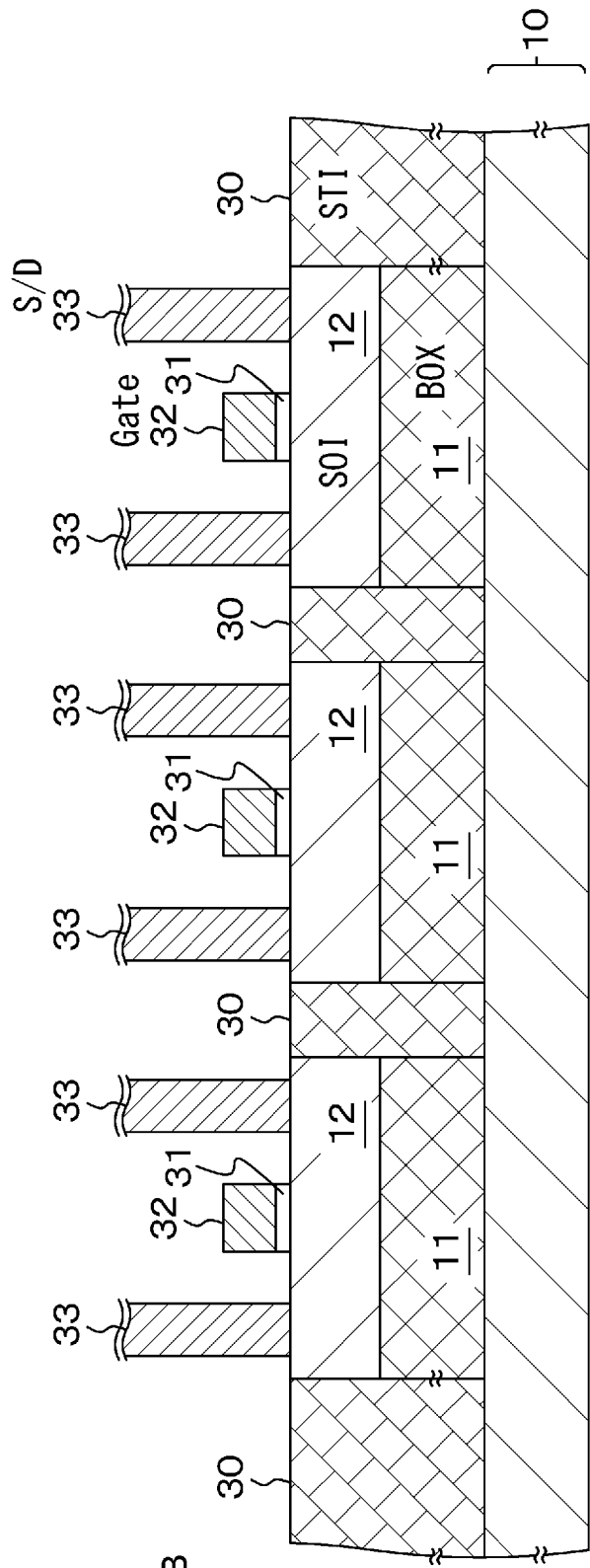


図16B



[図17]

図 17

SOI層応力[単位: Mpa]

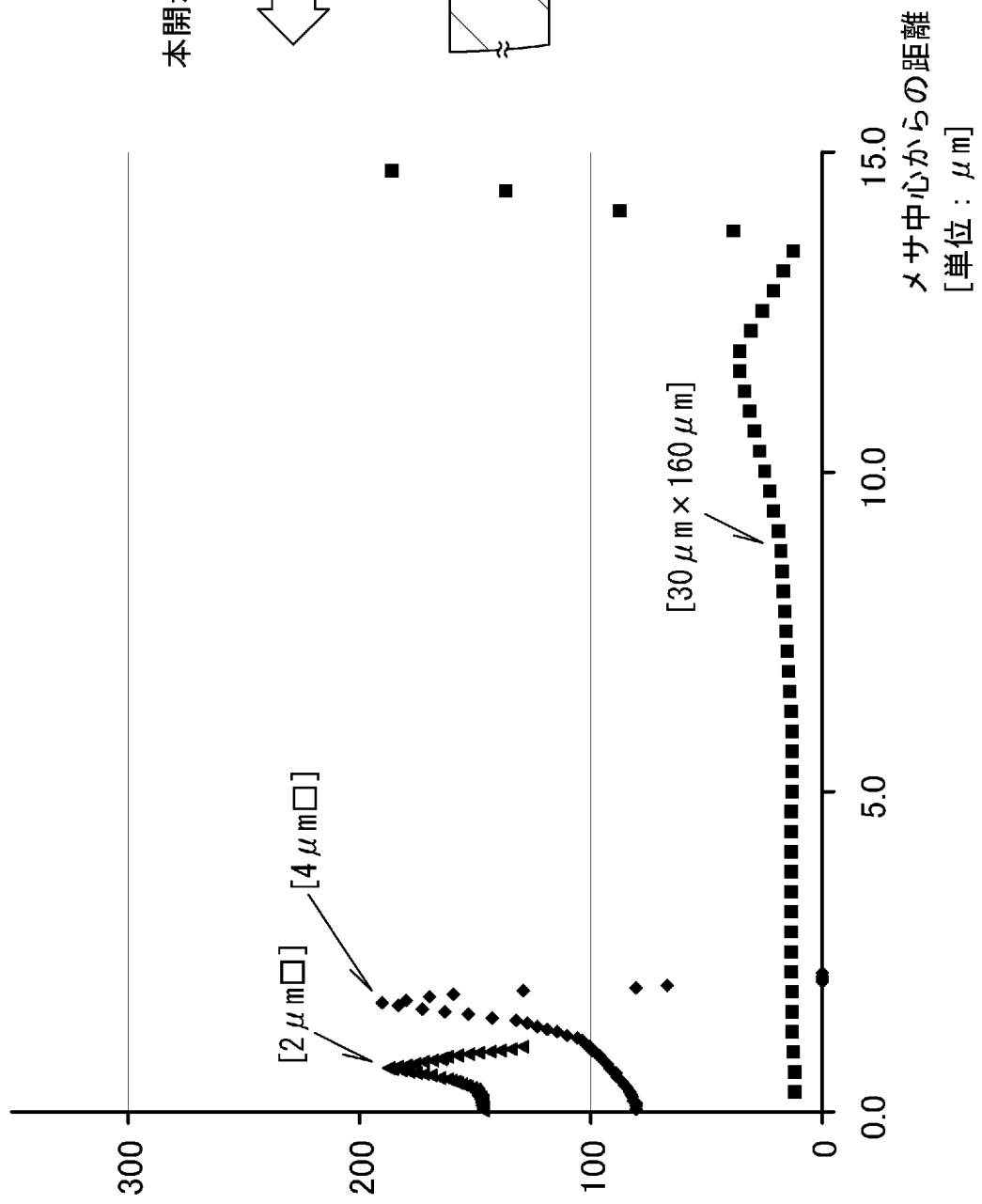
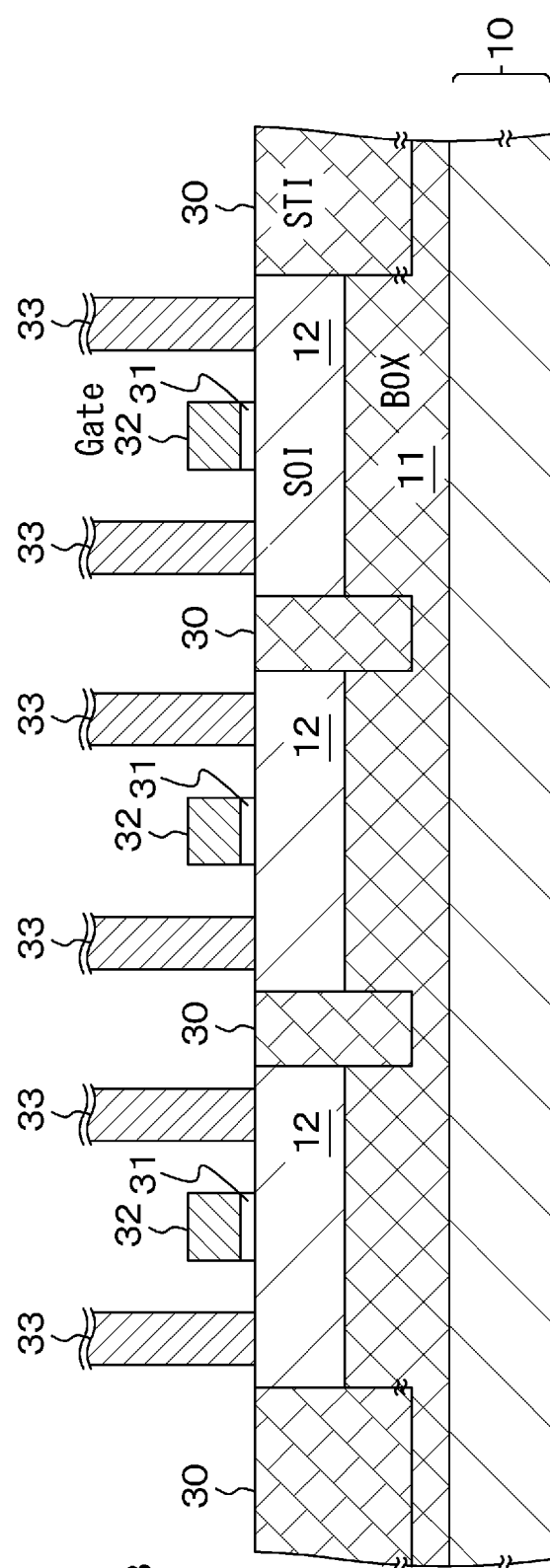
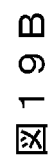


图 19 A



[図20]

図20A

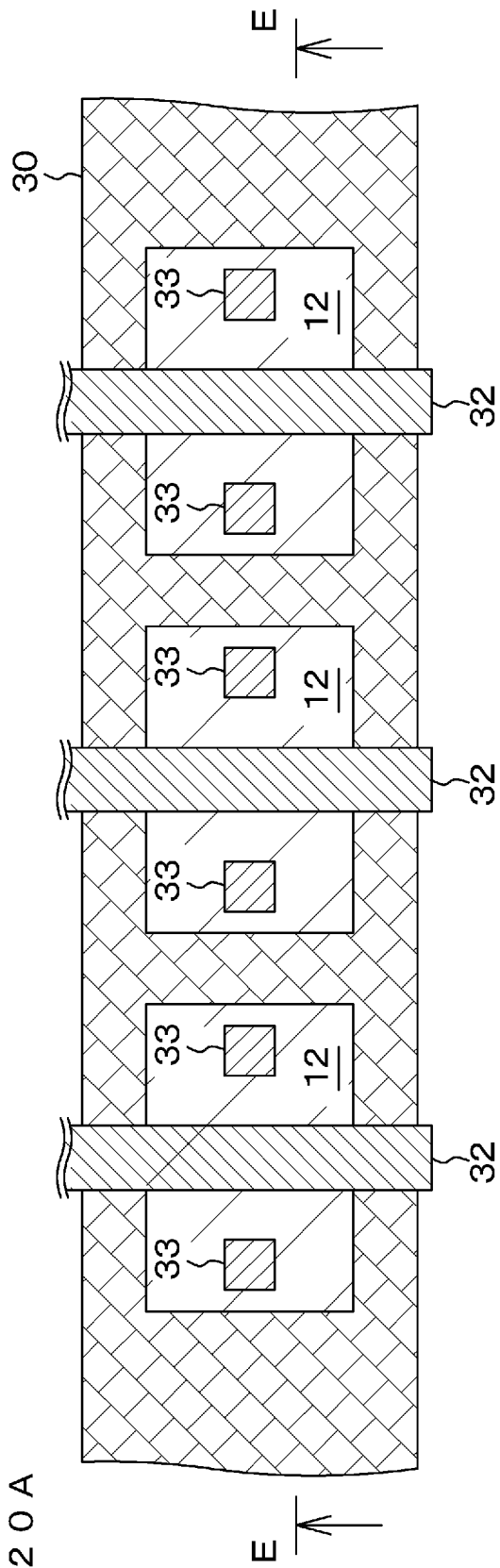
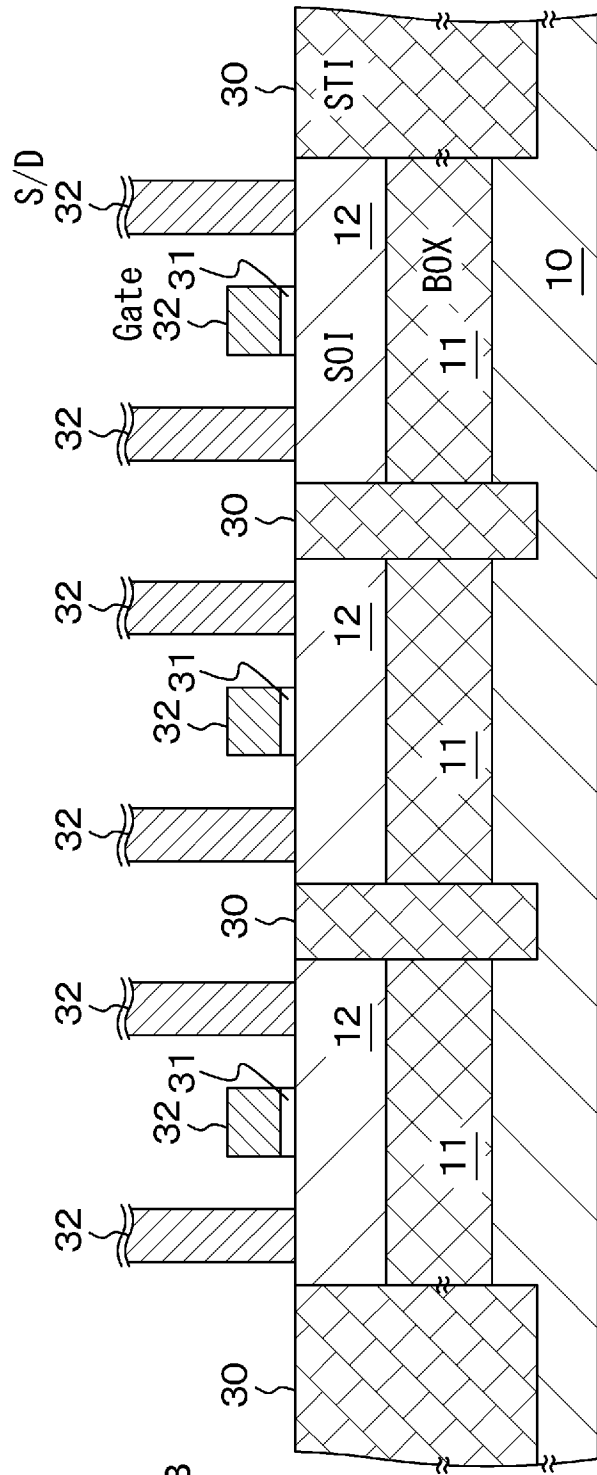


図20B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041518

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336 (2006.01) i, H01L21/76 (2006.01) i, H01L21/762 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/76, H01L21/762, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2017

Registered utility model specifications of Japan 1996-2017

Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/0214232 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28 September 2006, paragraphs [0001]-[0024],	1, 2, 5-7, 12-14, 19
Y	fig. 1A-2	15, 20
A	& US 2007/0010048 A1 & CN 1841711 A & TW 200634931 A	3, 4, 8-11, 16-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 December 2017

Date of mailing of the international search report

09 January 2018

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041518

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-523631 A (IBM) 03 July 2008, paragraphs [0021]-[0048], fig. 1, 3-7	1, 5-7, 9, 10, 12-14, 19
Y	& JP 5039902 B2 & US 2006/0125008 A1, paragraphs [0042]-[0069], fig. 1A, 2-4C & US 2007/0202639 A1 & WO 2006/065759 A2 & EP 1825509 A2 & CN 101076889 A & AT 487234 T & TW 200636979 A	3, 15, 20
A		2, 4, 8, 11, 16-18
Y	JP 2009-152485 A (SEIKO EPSON CORPORATION) 09 July 2009, paragraph [0028], fig. 11 (Family: none)	3, 15
Y	JP 2011-155249 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 August 2011, paragraph [0001] & JP 2015-133515 A & JP 2016-201564 A & US 2011/0156026 A1, paragraph [0001] & US 2012/0305913 A1 & US 2014/0193946 A1 & US 2015/0118790 A1 & WO 2011/081009 A1 & CN 102668098 A & TW 201137993 A & KR 10-2012-0106873 A & CN 102903758 A & TW 201250863 A & KR 10-2013-0091785 A & CN 104867984 A & CN 105023942 A & TW 201543580 A & TW 201628098 A	20
Y	JP 2007-189016 A (TOSHIBA CORPORATION) 26 July 2007, paragraph [0073] & US 2007/0158746 A1, paragraph [0130]	20
Y	JP 2008-34406 A (SONY CORPORATION) 14 February 2008, paragraph [0002] (Family: none)	20

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L21/76(2006.01)i, H01L21/762(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L21/76, H01L21/762, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2006/0214232 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD) 2006.09.28, 段落[0001]-[0024], 図 1A-2	1, 2, 5-7, 12-14, 19
Y	& US 2007/0010048 A1 & CN 1841711 A	15, 20
A	& TW 200634931 A	3, 4, 8-11, 16-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26.12.2017

国際調査報告の発送日

09.01.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-523631 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2008.07.03, 段落[0021]-[0048], 図 1, 3-7	1, 5-7, 9, 10, 12-14, 19
Y	& JP 5039902 B2 & US 2006/0125008 A1, 段落[0042]-[0069], 図	3, 15, 20
A	1A, 2-4C & US 2007/0202639 A1 & WO 2006/065759 A2 & EP 1825509 A2 & CN 101076889 A & AT 487234 T & TW 200636979 A	2, 4, 8, 11, 16-18
Y	JP 2009-152485 A (セイコーエプソン株式会社) 2009.07.09, 段落[0028], 図 11 (ファミリーなし)	3, 15
Y	JP 2011-155249 A (株式会社半導体エネルギー研究所) 2011.08.11, 段落[0001] & JP 2015-133515 A & JP 2016-201564 A & US 2011/0156026 A1, 段落[0001] & US 2012/0305913 A1 & US 2014/0193946 A1 & US 2015/0118790 A1 & WO 2011/081009 A1 & CN 102668098 A & TW 201137993 A & KR 10-2012-0106873 A & CN 102903758 A & TW 201250863 A & KR 10-2013-0091785 A & CN 104867984 A & CN 105023942 A & TW 201543580 A & TW 201628098 A	20
Y	JP 2007-189016 A (株式会社東芝) 2007.07.26, 段落[0073] & US 2007/0158746 A1, 段落[0130]	20
Y	JP 2008-34406 A (ソニー株式会社) 2008.02.14, 段落[0002] (ファミリーなし)	20