

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 30 日 (30.01.2025)



(10) 国际公布号
WO 2025/020130 A1

- (51) 国际专利分类号:
G09G 3/3233 (2016.01)
- (21) 国际申请号: PCT/CN2023/109362
- (22) 国际申请日: 2023 年 7 月 26 日 (26.07.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。重庆京东方显示技术有限公司 (CHONGQING BOE DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国重庆市北碚区云汉大道 117 号附 123 号, Chongqing 400714 (CN)。
- (72) 发明人: 汪锐 (WANG, Rui); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。邱远游 (QIU, Yuanyou); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张润鑫 (ZHANG, Runxin); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张手强 (ZHANG, Shouqiang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。胡明 (HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: PIXEL CIRCUIT, DISPLAY APPARATUS AND DRIVING METHOD

(54) 发明名称: 像素电路、显示装置及驱动方法

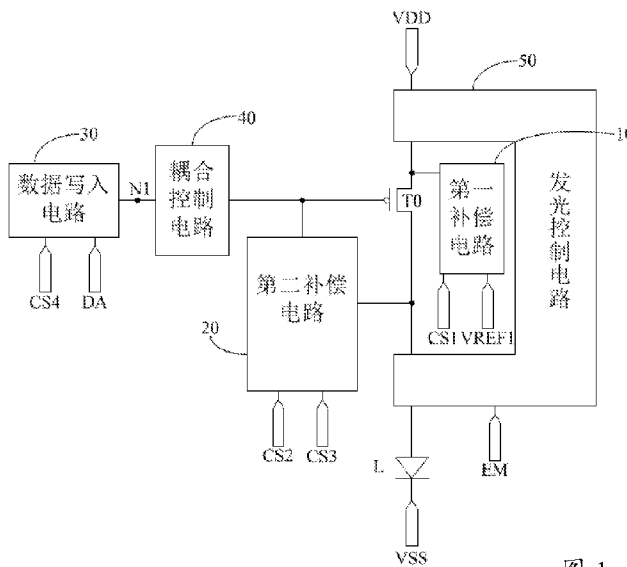


图 1

- 10 First compensation circuit
- 20 Second compensation circuit
- 30 Data writing circuit
- 40 Coupling control circuit
- 50 Light emission control circuit

(57) Abstract: Provided are a pixel circuit, a display apparatus and a driving method. The pixel circuit comprises: a light-emitting device; a driving transistor (T0), which is configured to, on the basis of a data voltage signal, generate a driving current for driving the light-emitting device to emit light; a first compensation circuit (10), which is configured to, in response to a signal of a first control signal terminal (CS1), provide a first reference signal of a first reference signal terminal (VREF1) to a first electrode of the driving transistor (T0); a second compensation circuit (20), which is configured to, in response to signals of a second control signal terminal (CS2) and a third control signal terminal (CS3), provide to a gate electrode of the driving transistor (T0) a threshold voltage of the



WO 2025/020130 A1

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

driving transistor (T0) and the first reference signal, which is inputted into the first electrode of the driving transistor (T0); a data writing circuit (30), which is configured to, in response to a signal of a fourth control signal terminal (CS4), provide a data voltage signal of a data signal terminal (DA) to a first node (N1); a coupling control circuit (40), which is configured to couple the data voltage signal of the first node (N1) to the gate electrode of the driving transistor (T0); and a light emission control circuit (50), which is configured to, in response to a signal of a light emission control signal terminal (EM), drive the light-emitting device (L) to emit light.

(57) 摘要: 提供了一种像素电路、显示装置及驱动方法。像素电路包括: 发光器件; 驱动晶体管 (T0) 根据数据电压信号产生驱动发光器件发光的驱动电流; 第一补偿电路 (10) 响应于第一控制信号端 (CS1) 的信号, 将第一参考信号端 (VREF1) 的第一参考信号提供给驱动晶体管 (T0) 的第一极; 第二补偿电路 (20) 响应于第二控制信号端 (CS2) 和第三控制信号端 (CS3) 的信号, 将驱动晶体管 (T0) 的阈值电压和输入驱动晶体管 (T0) 的第一极的第一参考信号, 提供给驱动晶体管 (T0) 的栅极; 数据写入电路 (30) 响应于第四控制信号端 (CS4) 的信号, 将数据信号端 (DA) 的数据电压信号提供给第一节点 (N1); 耦合控制电路 (40) 将第一节点 (N1) 的数据电压信号耦合至驱动晶体管 (T0) 的栅极; 发光控制电路 (50) 响应于发光控制信号端 (EM) 的信号, 驱动发光器件 (L) 发光。

像素电路、显示装置及驱动方法

技术领域

本公开涉及显示技术领域，特别涉及像素电路、显示装置及驱动方法。

5 背景技术

有机发光二极管（Organic Light Emitting Diode, OLED）显示器是当今平板显示器研究领域的热点之一，与液晶显示器（Liquid Crystal Display, LCD）相比，OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。其中，用于控制发光器件发光的像素电路是OLED显示器的核心技术内容，具有重要的研究意义。然而，现有的OLED显示器的像素电路包括的晶体管

10 的个数较多，导致工艺难度较大，生产成本增加，以及导致像素电路占用较大面积，从而不利于OLED显示器实现较高分辨率。

发明内容

15 本公开实施例提供的像素电路，包括：

发光器件；

驱动晶体管，与所述发光器件耦接，被配置为根据数据电压信号产生驱动所述发光器件发光的驱动电流；

20 第一补偿电路，与所述驱动晶体管耦接，被配置为响应于第一控制信号端的信号，将第一参考信号端的第一参考信号提供给所述驱动晶体管的第一极；

第二补偿电路，与所述驱动晶体管耦接，被配置为响应于第二控制信号端和第三控制信号端的信号，将所述驱动晶体管的阈值电压和输入所述驱动晶体管的第一极的第一参考信号，提供给所述驱动晶体管的栅极；

25 数据写入电路，与所述第一节点耦接，被配置为响应于第四控制信号端的信号，将数据信号端的所述数据电压信号提供给第一节点；

耦合控制电路，与所述第一节点和所述驱动晶体管耦接，被配置为将所述第一节点的数据电压信号耦合至所述驱动晶体管的栅极；

5 发光控制电路，与所述发光器件和所述驱动晶体管耦接，被配置为响应于发光控制信号端的信号，将所述驱动晶体管的第一极与第一电源端导通，以及将所述驱动晶体管的第二极与所述发光器件导通，驱动所述发光器件发光。

在一些可能的实施方式中，所述第一补偿电路包括：第一晶体管；

10 所述第一晶体管的栅极与所述第一控制信号端耦接，所述第一晶体管的第一极与所述驱动晶体管的第一极耦接，所述第一晶体管的第二极与所述第一参考信号端耦接。

在一些可能的实施方式中，所述第二补偿电路包括：第二晶体管和第三晶体管；

15 所述第二晶体管的栅极与所述第二控制信号端耦接，所述第二晶体管的第一极与所述第二节点耦接，所述第二晶体管的第二极与所述驱动晶体管的第二极耦接；

所述第三晶体管的栅极与所述第三控制信号端耦接，所述第三晶体管的第一极与所述驱动晶体管的栅极耦接，所述第三晶体管的第二极与所述第二节点耦接。

在一些可能的实施方式中，所述第二补偿电路还包括：第四晶体管；

20 所述第四晶体管的栅极与所述第五控制信号端耦接，所述第四晶体管的第一极与所述驱动晶体管的栅极或所述第二节点耦接，所述第四晶体管的第二极与第一初始化信号端耦接。

在一些可能的实施方式中，所述第五控制信号端与所述发光控制信号端可以为同一信号端。

25 在一些可能的实施方式中，所述数据写入电路包括：第五晶体管；

所述第五晶体管的栅极与所述第四控制信号端耦接，所述第五晶体管的第一极与所述数据信号端耦接，所述第五晶体管的第二极与所述第一节点耦

接。

在一些可能的实施方式中，所述耦合控制电路包括：第一电容；

所述第一电容的第一电极与所述第一节点耦接，所述第一电容的第二电极与所述驱动晶体管的栅极耦接。

5 在一些可能的实施方式中，所述发光控制电路包括：第六晶体管和第七晶体管；

所述第六晶体管的栅极与所述发光控制信号端耦接，所述第六晶体管的第一极与所述第一电源端耦接，所述第六晶体管的第二极与所述驱动晶体管的第一极耦接；

10 所述第七晶体管的栅极与所述发光控制信号端耦接，所述第七晶体管的第一极与所述驱动晶体的第二极耦接，所述第七晶体的第二极与所述发光器件耦接。

在一些可能的实施方式中，还包括：第一复位电路，与所述发光器件耦接，被配置为响应于第六控制信号端的信号，将第二初始化信号端的信号提
15 供给所述发光器件。

在一些可能的实施方式中，所述第一复位电路包括：第八晶体管；

所述第八晶体管的栅极与所述第六控制信号端耦接，所述第八晶体管的第一极与所述发光器件耦接，所述第八晶体的第二极与所述第二初始化信号端耦接。

20 在一些可能的实施方式中，还包括：稳压电路，与所述第一节点耦接，被配置为稳定所述第一节点的电压。

在一些可能的实施方式中，所述稳压电路包括：第二电容；

所述第二电容的第一电极与所述第一电源端耦接，所述第二电容的第二电极与所述第一节点耦接。

25 在一些可能的实施方式中，还包括：第二复位电路，与所述驱动晶体的第二极耦接，被配置为响应于第七控制信号端的信号，将第三初始化信号端的信号提供给所述驱动晶体的第二极。

在一些可能的实施方式中，所述第二复位电路包括：第九晶体管；

所述第九晶体管的栅极与所述第七控制信号端耦接，所述第九晶体管的第一极与所述驱动晶体管的第二极耦接，所述第九晶体管的第二极与所述第三初始化信号端耦接。

5 在一些可能的实施方式中，还包括：第三复位电路，与所述第一节点耦接，被配置为响应于第八控制信号端的信号，将第二参考信号端的信号提供给所述第一节点。

在一些可能的实施方式中，所述第三复位电路包括：第十晶体管；

10 所述第十晶体管的栅极与所述第八控制信号端耦接，所述第十晶体管的第一极与所述第一节点耦接，所述第十晶体管的第二极与所述第二参考信号端耦接。

在一些可能的实施方式中，所述第三复位电路包括：第十一晶体管和第十二晶体管；

15 所述第十一晶体管的栅极与所述第八控制信号端耦接，所述第十一晶体管的第一极与所述第一节点耦接，所述第十一晶体管的第二极与第三节点耦接；

所述第十二晶体管的栅极与所述第八控制信号端耦接，所述第十二晶体管的第一极与所述第三节点耦接，所述第十一晶体管的第二极与所述第二参考信号端耦接。

20 在一些可能的实施方式中，所述第三复位电路还包括：第十三晶体管；

所述第十三晶体管的栅极与第九控制信号端耦接，所述第十三晶体管的第一极与所述第三节点耦接，所述第十三晶体管的第二极与第三参考信号端耦接。

本公开实施例提供的显示装置，包括上述的像素电路。

25 本公开实施例提供的上述像素电路的驱动方法，包括：

复位阶段，第一补偿电路响应于第一控制信号端的信号，将第一参考信号端的第一参考信号提供给所述驱动晶体管的第一极；

阈值补偿阶段，第一补偿电路响应于第一控制信号端的信号，将第一参考信号端的第一参考信号提供给所述驱动晶体管的第一极；第二补偿电路响应于第二控制信号端和第三控制信号端的信号，将所述驱动晶体管的阈值电压和输入所述驱动晶体管的第一极的第一参考信号，提供给所述驱动晶体管的栅极；

数据写入阶段，数据写入电路响应于第四控制信号端的信号，将数据信号端的所述数据电压信号提供给第一节点；耦合控制电路将所述第一节点的数据电压信号耦合至所述驱动晶体管的栅极；

发光阶段，发光控制电路响应于发光控制信号端的信号，将所述驱动晶体管的第一极与第一电源端导通，以及将所述驱动晶体管的第二极与所述发光器件导通，驱动所述发光器件发光。

附图说明

图 1 为本公开实施例提供的像素电路的一些结构示意图；

图 2 为本公开实施例提供的像素电路的另一些结构示意图；

图 3 为本公开实施例提供的像素电路的驱动方法的流程图；

图 4 为本公开实施例提供的一些信号时序图；

图 5 为本公开实施例提供的像素电路的又一些结构示意图；

图 6 为本公开实施例提供的另一些信号时序图；

图 7 为本公开实施例提供的像素电路的又一些结构示意图；

图 8 为本公开实施例提供的又一些信号时序图；

图 9 为本公开实施例提供的像素电路的又一些结构示意图；

图 10 为本公开实施例提供的又一些信号时序图；

图 11 为本公开实施例提供的像素电路的又一些结构示意图；

图 12 为本公开实施例提供的像素电路的又一些结构示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。并且在冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

需要注意的是，附图中各图形的尺寸和形状不反映真实比例，目的只是示意说明本公开内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

本公开实施例提供的显示装置，可以包括显示面板。显示面板可以包括衬底基板。其中，衬底基板可以包括显示区域和非显示区域（即衬底基板中除显示区域包围区域之外的区域）。其中，显示区域可以包括多个阵列排布的像素单元。示例性地，每个像素单元包括同一种颜色的子像素或多种不同颜色的子像素。例如，像素单元可以包括红色子像素，绿色子像素以及蓝色子像素，这样可以通过红绿蓝进行混色，以实现彩色显示。或者，像素单元也可以包括红色子像素，绿色子像素、蓝色子像素以及白色子像素，这样可以通过红绿蓝白进行混色，以实现彩色显示。当然，在实际应用中，像素单元中的子像素的发光颜色可以根据实际应用环境来设计确定，在此不作限定。

在本公开实施例中，各子像素中可以包括像素电路和与像素电路耦接的发光器件，像素电路可以包括驱动晶体管，以控制发光器件发光，从而使显

示面板实现画面显示的功能。由于工艺、老化等原因会造成驱动晶体管的阈值电压 V_{th} 漂移，对产生的驱动电流造成影响，从而导致显示效果不佳。因此会对驱动晶体管的阈值电压 V_{th} 进行补偿，但是现有技术采用的是在数据充电的同时对阈值电压 V_{th} 进行补偿，就会导致补偿与充电速度过慢的现象，

5 从而无法适用于高频的电路。

基于此，本公开实施例提供了像素电路，如图 1 所示，包括：

发光器件 L；

驱动晶体管 T0，与发光器件 L 耦接，被配置为根据数据电压信号产生驱动发光器件 L 发光的驱动电流；

10 第一补偿电路 10，与驱动晶体管 T0 耦接，被配置为响应于第一控制信号端 CS1 的信号，将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极；

第二补偿电路 20，与驱动晶体管 T0 耦接，被配置为响应于第二控制信号端 CS2 和第三控制信号端 CS3 的信号，将驱动晶体管 T0 的阈值电压 V_{th} 和

15 输入驱动晶体管 T0 的第一极的第一参考信号，提供给驱动晶体管 T0 的栅极；

数据写入电路 30，与第一节点 N1 耦接，被配置为响应于第四控制信号端 CS4 的信号，将数据信号端 DA 的数据电压信号提供给第一节点 N1；

耦合控制电路 40，与第一节点 N1 和驱动晶体管 T0 耦接，被配置为将第一节点 N1 的数据电压信号耦合至驱动晶体管 T0 的栅极；

20 发光控制电路 50，与发光器件 L 和驱动晶体管 T0 耦接，被配置为响应于发光控制信号端 EM 的信号，将驱动晶体管 T0 的第一极与第一电源端 VDD 导通，以及将驱动晶体管 T0 的第二极与发光器件 L 导通，驱动发光器件 L 发光。

本公开实施例提供的像素电路，通过发光器件、驱动晶体管、第一补偿

25 电路、第二补偿电路、数据写入电路、耦合控制电路以及发光控制电路的相互配合实现阈值电压 V_{th} 补偿与数据充电分时进行，从而使阈值电压 V_{th} 补偿不再受限制，有更多的时间进行补偿，提高了补偿效果，提高了低灰阶下

的显示效果。

并且，通过采用第一补偿电路将第一参考信号端的第一参考信号提供给驱动晶体管的第一极，第二补偿电路将驱动晶体管的阈值电压和输入驱动晶体管的第一极的第一参考信号，提供给驱动晶体管的栅极，对驱动晶体管进行阈值电压 V_{th} 补偿，可以进一步减少发光控制电路所需要的发光控制信号端，即采用简单的结构以及较少的信号线来实现驱动发光器件发光，从而可以简化制备工艺、降低生产成本以及减小占用面积，提高了像素密度，有利于实现较高分辨率，提高显示效果。

示例性的，如图 1 所示，驱动晶体管 T0 可以设置为 P 型晶体管；其中，驱动晶体管 T0 的第一极可以为其源极，驱动晶体管 T0 的第二极可以为其漏极，并且该驱动晶体管 T0 处于饱和状态时，电流由驱动晶体管 T0 的源极流向其漏极。当然，驱动晶体管 T0 也可以设置为 N 型晶体管，在此不作限定。

示例性的，如图 1 所示，发光器件 L 的第二极与第二电源端 VSS 耦接；示例性地，发光器件 L 可以为电致发光二极管。例如，发光器件 L 可以包括：有机发光二极管 (Organic Light Emitting Diode, OLED)、量子点发光二极管 (Quantum Dot Light Emitting Diodes, QLED)、微型发光二极管 (Micro Light Emitting Diode, Micro LED)、迷你发光二极管 (Mini Light Emitting Diode, Mini LED) 等中的至少一种。示例性地，发光器件 L 可以包括层叠设置的阳极、发光层、阴极。进一步地，发光层还可以包括空穴注入层、空穴传输层、电子传输层、电子注入层等膜层。当然，在实际应用中，可以根据实际应用的需求确定发光器件 L 的具体结构，在此不作限定。

在本公开实施例中，如图 2 所示，第一补偿电路 10 包括：第一晶体管 T1；其中，第一晶体管 T1 的栅极与第一控制信号端 CS1 耦接，第一晶体管 T1 的第一极与驱动晶体管 T0 的第一极耦接，第一晶体管 T1 的第二极与第一参考信号端 VREF1 耦接。

示例性地，第一晶体管 T1 可以在第一控制信号端 CS1 上传输的第一控制信号的有效电平的控制下导通，可以在第一控制信号的无效电平的控制下截

止。例如，第一晶体管 T1 可以设置为 N 型晶体管，则第一控制信号的有效电平为高电平，第一控制信号的无效电平为低电平。或者，第一晶体管 T1 可以设置为 P 型晶体管，则第一控制信号的有效电平为低电平，第一控制信号的无效电平为高电平。

5 在本公开实施例中，如图 2 所示，第二补偿电路 20 包括：第二晶体管 T2 和第三晶体管 T3；其中，第二晶体管 T2 的栅极与第二控制信号端 CS2 耦接，第二晶体管 T2 的第一极与第二节点 N2 耦接，第二晶体管 T2 的第二极与驱动晶体管 T0 的第二极耦接；第三晶体管 T3 的栅极与第三控制信号端 CS3 耦接，第三晶体管 T3 的第一极与驱动晶体管 T0 的栅极耦接，第三晶体管 T3
10 的第二极与第二节点 N2 耦接。

 示例性地，第二晶体管 T2 可以在第二控制信号端 CS2 上传输的第二控制信号的有效电平的控制下导通，可以在第二控制信号的无效电平的控制下截止。例如，第二晶体管 T2 可以设置为 N 型晶体管，则第二控制信号的有效电平为高电平，第二控制信号的无效电平为低电平。或者，第二晶体管 T2 可以
15 设置为 P 型晶体管，则第二控制信号的有效电平为低电平，第二控制信号的无效电平为高电平。

 示例性地，第三晶体管 T3 可以在第三控制信号端 CS3 上传输的第三控制信号的有效电平的控制下导通，可以在第三控制信号的无效电平的控制下截止。例如，第三晶体管 T3 可以设置为 N 型晶体管，则第三控制信号的有效电
20 平为高电平，第三控制信号的无效电平为低电平。或者，第三晶体管 T3 可以设置为 P 型晶体管，则第三控制信号的有效电平为低电平，第三控制信号的无效电平为高电平。

 在本公开实施例中，如图 2 所示，第二补偿电路 20 还包括：第四晶体管 T4；其中，第四晶体管 T4 的栅极与第五控制信号端 CS5 耦接，第四晶体管
25 T4 的第一极与第二节点 N2 耦接，第四晶体管 T4 的第二极与第一初始化信号端 VINIT1 耦接。

 示例性地，第四晶体管 T4 可以在第五控制信号端 CS5 上传输的第五控制

信号的有效电平的控制下导通，可以在第五控制信号的无效电平的控制下截止。例如，第四晶体管 T4 可以设置为 N 型晶体管，则第五控制信号的有效电平为高电平，第五控制信号的无效电平为低电平。或者，第四晶体管 T4 可以设置为 P 型晶体管，则第五控制信号的有效电平为低电平，第五控制信号的无效电平为高电平。

在本公开实施例中，如图 2 所示，数据写入电路 30 包括：第五晶体管 T5；其中，第五晶体管 T5 的栅极与第四控制信号端 CS4 耦接，第五晶体管 T5 的第一极与数据信号端 DA 耦接，第五晶体管 T5 的第二极与第一节点 N1 耦接。

示例性地，第五晶体管 T5 可以在第四控制信号端 CS4 上传输的第四控制信号的有效电平的控制下导通，可以在第四控制信号的无效电平的控制下截止。例如，第五晶体管 T5 可以设置为 N 型晶体管，则第四控制信号的有效电平为高电平，第四控制信号的无效电平为低电平。或者，第五晶体管 T5 可以设置为 P 型晶体管，则第四控制信号的有效电平为低电平，第四控制信号的无效电平为高电平。

在本公开实施例中，如图 2 所示，耦合控制电路 40 包括：第一电容 C1；其中，第一电容 C1 的第一电极与第一节点 N1 耦接，第一电容 C1 的第二电极与驱动晶体管 T0 的栅极耦接。

在本公开实施例中，如图 2 所示，发光控制电路 50 包括：第六晶体管 T6 和第七晶体管 T7；其中，第六晶体管 T6 的栅极与发光控制信号端 EM 耦接，第六晶体管 T6 的第一极与第一电源端 VDD 耦接，第六晶体管 T6 的第二极与驱动晶体管 T0 的第一极耦接；第七晶体管 T7 的栅极与发光控制信号端 EM 耦接，第七晶体管 T7 的第一极与驱动晶体管 T0 的第二极耦接，第七晶体管 T7 的第二极与发光器件 L 耦接。

示例性地，第六晶体管 T6 可以在第发光控制信号端 EM 上传输的发光控制信号的有效电平的控制下导通，可以在发光控制信号的无效电平的控制下截止。例如，第六晶体管 T6 可以设置为 N 型晶体管，则发光控制信号的有效电平为高电平，发光控制信号的无效电平为低电平。或者，第六晶体管 T6 可

以设置为 P 型晶体管，则发光控制信号的有效电平为低电平，发光控制信号的无效电平为高电平。

示例性地，第七晶体管 T7 可以在第发光控制信号端 EM 上传输的发光控制信号的有效电平的控制下导通，可以在发光控制信号的无效电平的控制下截止。例如，第七晶体管 T7 可以设置为 N 型晶体管，则发光控制信号的有效电平为高电平，发光控制信号的无效电平为低电平。或者，第七晶体管 T7 可以设置为 P 型晶体管，则发光控制信号的有效电平为低电平，发光控制信号的无效电平为高电平。

在本公开实施例中，如图 2 所示，还包括：第一复位电路 60，与发光器件 L 耦接，被配置为响应于第六控制信号端 CS6 的信号，将第二初始化信号端 VINIT2 的信号提供给发光器件 L。

在本公开实施例中，如图 2 所示，第一复位电路 60 包括：第八晶体管 T8；其中，第八晶体管 T8 的栅极与第六控制信号端 CS6 耦接，第八晶体管 T8 的第一极与发光器件 L 耦接，第八晶体管 T8 的第二极与第二初始化信号端 VINIT2 耦接。

示例性地，第八晶体管 T8 可以在第六控制信号端 CS6 上传输的第六控制信号的有效电平的控制下导通，可以在第六控制信号的无效电平的控制下截止。例如，第八晶体管 T8 可以设置为 N 型晶体管，则第六控制信号的有效电平为高电平，第六控制信号的无效电平为低电平。或者，第八晶体管 T8 可以设置为 P 型晶体管，则第六控制信号的有效电平为低电平，第六控制信号的无效电平为高电平。

在本公开实施例中，如图 2 所示，还包括：稳压电路 70，与第一节点 N1 耦接，被配置为稳定第一节点 N1 的电压。

在本公开实施例中，如图 2 所示，稳压电路 70 包括：第二电容 C2；其中，第二电容 C2 的第一电极与第一电源端 VDD 耦接，第二电容 C2 的第二电极与第一节点 N1 耦接。

在本公开实施例中，如图 2 所示，还包括：第三复位电路 90，与第一节

点 N1 耦接，被配置为响应于第八控制信号端 CS8 的信号，将第二参考信号端 VREF2 的信号提供给第一节点 N1。

在本公开实施例中，如图 2 所示，第三复位电路 90 包括：第十一晶体管 T11 和第十二晶体管 T12；其中，第十一晶体管 T11 的栅极与第八控制信号端 CS8 耦接，第十一晶体管 T11 的第一极与第一节点 N1 耦接，第十一晶体管 T11 的第二极与第三节点 N3 耦接；第十二晶体管 T12 的栅极与第八控制信号端 CS8 耦接，第十二晶体管 T12 的第一极与第三节点 N3 耦接，第十一晶体管 T11 的第二极与第二参考信号端 VREF2 耦接。

示例性地，第十一晶体管 T11 可以在第八控制信号端 CS8 上传输的第八控制信号的有效电平的控制下导通，可以在第八控制信号的无效电平的控制下截止。例如，第十一晶体管 T11 可以设置为 N 型晶体管，则第八控制信号的有效电平为高电平，第八控制信号的无效电平为低电平。或者，第十一晶体管 T11 可以设置为 P 型晶体管，则第八控制信号的有效电平为低电平，第八控制信号的无效电平为高电平。

示例性地，第十二晶体管 T12 可以在第八控制信号端 CS8 上传输的第八控制信号的有效电平的控制下导通，可以在第八控制信号的无效电平的控制下截止。例如，第十二晶体管 T12 可以设置为 N 型晶体管，则第八控制信号的有效电平为高电平，第八控制信号的无效电平为低电平。或者，第十二晶体管 T12 可以设置为 P 型晶体管，则第八控制信号的有效电平为低电平，第八控制信号的无效电平为高电平。

示例性地，上述的晶体管的第一极可以为其源极，第二极可以为其漏极。或者，第一极为其漏极，第二极为其源极。在此不作限定。

一般采用低温多晶硅（Low Temperature Poly-Silicon, LTPS）材料作为有源层的晶体管的迁移率高且可以做得更薄更小、功耗更低等，在具体实施时，上述至少一个晶体管的有源层的材料可以设置为低温多晶硅材料。这样可以将上述晶体管设置为 LTPS 型晶体管，以使像素电路实现迁移率高且可以做得更薄更小、功耗更低等。

S300、数据写入阶段，数据写入电路响应于第四控制信号端的信号，将数据信号端的数据电压信号提供给第一节点；耦合控制电路将第一节点的数据电压信号耦合至驱动晶体管的栅极；

5 S400、发光阶段，发光控制电路响应于发光控制信号端的信号，将驱动晶体管的第一极与第一电源端导通，以及将驱动晶体管的第二极与发光器件导通，驱动发光器件发光。

下面以图 2 所示的像素电路为例，结合图 4 所示的信号时序图，对本公开实施例提供的像素电路的工作过程作以描述。

其中，如图 4 所示，em 代表发光控制信号端 EM 的发光信号，cs1 代表
10 第一控制信号端 CS1 的第一控制信号，cs2 代表第二控制信号端 CS2 的第二控制信号，cs3 代表第三控制信号端 CS3 的第三控制信号，cs4 代表第四控制信号端 CS4 的第四控制信号，cs5 代表第五控制信号端 CS5 的第五控制信号，cs6 代表第六控制信号端 CS6 的第六控制信号，cs8 代表第八控制信号端 CS8 的第八控制信号，da 代表数据信号端 DA 的数据电压信号。

15 在复位阶段 F1，第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管 T3 在第三控制信号 cs3 的低电平的控制下导通，第四晶体管 T4 在第五控制信号 cs5 的低电平的控制下导通，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七
20 晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通，第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止，第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极上的电压 V_s 为
25 V_{ref1} 。导通的第四晶体管 T4 将第一初始化信号端 VINIT1 的第一初始化信号提供给第二节点 N2，则第二节点 N2 上的电压 V_{N2} 为 V_{init1} 。导通的第三晶体管 T3 将第二节点 N2 上的第一初始化信号提供给驱动晶体管 T0 的栅极，

则驱动晶体管 T0 的栅极上的电压 V_g 为 V_{init1} 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极, 则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。其中, V_{init1} 代表第一初始化信号的电压, V_{init2} 代表第二初始化信号的电压, V_{ref1} 代表第一参考信号的电压。

5 在阈值补偿阶段 F2, 第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通, 第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通, 第三晶体管 T3 在第三控制信号 cs3 的低电平的控制下导通, 第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通, 第十一晶体管 T11 在第八控制信号 cs8 的低电平的控制下导通, 第十二晶体管 T12 在第八控制信号 cs8 的低电平的控制下导通。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极, 则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第二晶体管 T2 将驱动晶体管 T0 的第二极与第二节点 N2 导通, 导通的第三晶体管 T3 将第二节点 N2 与驱动晶体管 T0 的栅极导通, 由于导通的第二晶体管 T2 和第三晶体管 T3 可以使驱动晶体管 T0 形成二极管连接方式, 则输入驱动晶体管 T0 的第一极的第一参考信号可以经过形成二极管连接方式的驱动晶体管 T0, 输入驱动晶体管 T0 的栅极, 并对驱动晶体管 T0 的阈值电压 V_{th} 进行补偿, 以使驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}$, 则第二节点 N2 上的电压 V_{N2} 和驱动晶体管 T0 的第二极 V_d 电压为 $V_{ref1}+V_{th}$ 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极, 则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。导通的第十二晶体管 T12 将第二参考信号端 VREF2 的第二参考信号提供给第三节点 N3, 导通的第十一晶体管 T11 将第三节点 N3 上的第二参考信号提供给第一节点 N1, 则第一节点 N1 上的电压 V_{N1} 为 V_{ref2} 。第二电容 C2 稳定第一节点 N1 的电压。其中, V_{ref2} 代表第二参考信号的电压, V_{th} 代表驱动晶体管 T0 的阈

10

15

20

25

值电压。

在数据写入阶段 F3, 第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止, 第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止, 第三晶体管 T3 在第三控制信号 cs3 的高电平的控制下截止, 第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的低电平的控制下导通, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止, 第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止, 第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止。导通的第五晶体管 T5 将数据信号端 DA 的数据电压信号提供给第一节点 N1, 第一电容 C1 将第一节点 N1 的数据电压信号耦合至驱动晶体管 T0 的栅极, 则驱动晶体管 T0 的栅极 Vg 电压为 $V_{ref1} + V_{th} + V_{da} - V_{ref2}$ 。第二电容 C2 稳定第一节点 N1 的电压。其中, Vda 代表数据电压信号的电压。

在发光阶段 F4, 第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止, 第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止, 第三晶体管 T3 在第三控制信号 cs3 的高电平的控制下截止, 第四晶体管 T4 在第五控制信号 cs5 的低电平的控制下导通, 第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止, 第六晶体管 T6 在发光信号 em 的低电平的控制下导通, 第七晶体管 T7 在发光信号 em 的低电平的控制下导通, 第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止, 第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止, 第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止。导通的第四晶体管 T4 将第一初始化信号端 VINIT1 的第一初始化信号提供给第二节点 N2, 则第二节点 N2 上的电压 VN2 为 Vinit1。导通的第六晶体管 T6 将第一电源端 VDD 的第一电源电压 Vdd 提供给驱动晶体管 T0 的第一极, 则驱动晶体管 T0 的第一极 Vs 的电压为 Vdd, 导通的第七晶体管 T7 将驱动晶体管 T0 的第二极与发光器件 L 导通, 驱动发光器件 L 发光。则,

驱动晶体管 T0 工作于饱和区,其产生的驱动电流 I 可表示为: $I = \frac{k}{2} * (V_{gs} - V_{th})^2$
 $= \frac{k}{2} * (V_{ref1} + V_{da} - V_{ref2} - V_{dd})^2$ 。其中, $k = \mu C_{ox} \frac{W}{L}$, μ 代表驱动晶体管 T0 的迁移率, C_{ox} 代表驱动晶体管 T0 的栅绝缘层单位面积电容, W/L 代表驱动晶体管 T0 的沟道宽长比。

5 示例性的,第一控制信号端 CS1、第三控制信号端 CS3 以及第六控制信号端 CS6 可以为同一信号端。这样可以降低信号线的数量,降低布线占用的空间。

示例性的,第二控制信号端 CS2 和第八控制信号端 CS8 可以为同一信号端。这样可以降低信号线的数量,降低布线占用的空间。

10 本公开实施例提供了像素电路的另一些结构示意图,如图 5 所示,其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处,其相同之处在此不作赘述。

在本公开实施例中,如图 5 所示,第二补偿电路 20 还包括:第四晶体管 T4;其中,第四晶体管 T4 的栅极与第五控制信号端 CS5 耦接,第四晶体管 T4 的第一极与驱动晶体管 T0 的栅极耦接,第四晶体管 T4 的第二极与第一初始化信号端 VINIT1 耦接。

示例性的,如图 5 所示,第二控制信号端 CS2 和第三控制信号端 CS3 可以为同一信号端。第三晶体管 T3 的栅极与第二控制信号端 CS2 耦接。这样可以降低信号线的数量,降低布线占用的空间。

20 在本公开实施例中,如图 5 所示,第三复位电路 90 包括:第十晶体管 T10;其中,第十晶体管 T10 的栅极与第八控制信号端 CS8 耦接,第十晶体管 T10 的第一极与第一节点 N1 耦接,第十晶体管 T10 的第二极与第二参考信号端 VREF2 耦接。

25 示例性地,第十晶体管 T10 可以在第八控制信号端 CS8 上传输的第八控制信号的有效电平的控制下导通,可以在第八控制信号的无效电平的控制下截止。例如,第十晶体管 T10 可以设置为 N 型晶体管,则第八控制信号的有效

效电平为高电平，第八控制信号的无效电平为低电平。或者，第十晶体管 T10 可以设置为 P 型晶体管，则第八控制信号的有效电平为低电平，第八控制信号的无效电平为高电平。

下面以图 5 所示的像素电路为例，结合图 6 所示的信号时序图，对本公开实施例提供的像素电路的工作过程作以描述。

其中，如图 6 所示，em 代表发光控制信号端 EM 的发光信号，cs1 代表第一控制信号端 CS1 的第一控制信号，cs2 代表第二控制信号端 CS2 的第二控制信号，cs4 代表第四控制信号端 CS4 的第四控制信号，cs5 代表第五控制信号端 CS5 的第五控制信号，cs6 代表第六控制信号端 CS6 的第六控制信号，cs8 代表第八控制信号端 CS8 的第八控制信号，da 代表数据信号端 DA 的数据电压信号，vinit2 代表第二初始化信号端 VINIT2 的第二初始化信号。

在复位阶段 F1，第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止，第四晶体管 T4 在第五控制信号 cs5 的低电平的控制下导通，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通，第十晶体管 T10 在第八控制信号 cs8 的低电平的控制下导通。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第四晶体管 T4 将第一初始化信号端 VINIT1 的第一初始化信号提供给驱动晶体管 T0 的栅极，则驱动晶体管 T0 的栅极上的电压 V_g 为 V_{init1} 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极，则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。导通的第十晶体管 T10 将第二参考信号端 VREF2 的第二参考信号提供给第一节点 N1，则第一节点 N1 上的电压 V_{N1} 为 V_{ref2} 。第二电容 C2 稳定第一节点 N1 的电压。

在阈值补偿阶段 F2, 第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通, 第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通, 第三晶体管 T3 在第二控制信号 cs2 的低电平的控制下导通, 第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通, 第十晶体管 T10 在第八控制信号 cs8 的高电平的控制下截止。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极, 则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第二晶体管 T2 将驱动晶体管 T0 的第二极与第二节点 N2 导通, 导通的第三晶体管 T3 将第二节点 N2 与驱动晶体管 T0 的栅极导通, 由于导通的第二晶体管 T2 和第三晶体管 T3 可以使驱动晶体管 T0 形成二极管连接方式, 则输入驱动晶体管 T0 的第一极的第一参考信号可以经过形成二极管连接方式的驱动晶体管 T0, 输入驱动晶体管 T0 的栅极, 并对驱动晶体管 T0 的阈值电压 V_{th} 进行补偿, 以使驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}$, 则第二节点 N2 上的电压 V_{N2} 和驱动晶体管 T0 的第二极 V_d 电压为 $V_{ref1}+V_{th}$ 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极, 则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。第二电容 C2 稳定第一节点 N1 的电压。

在数据写入阶段 F3, 第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止, 第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止, 第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止, 第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的低电平的控制下导通, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止, 第十晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止。导通的第五晶体管 T5 将数据信号端 DA 的数据电压

信号提供给第一节点 N1, 第一电容 C1 将第一节点 N1 的数据电压信号耦合至驱动晶体管 T0 的栅极, 则驱动晶体管 T0 的栅极 Vg 电压为 $V_{ref1}+V_{th}+V_{da}-V_{ref2}$ 。第二电容 C2 稳定第一节点 N1 的电压。

在发光阶段 F4, 第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止, 第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止, 第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止, 第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止, 第六晶体管 T6 在发光信号 em 的低电平的控制下导通, 第七晶体管 T7 在发光信号 em 的低电平的控制下导通, 第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止, 第十晶体管 T10 在第八控制信号 cs8 的高电平的控制下截止。导通的第六晶体管 T6 将第一电源端 VDD 的第一电源电压 Vdd 提供给驱动晶体管 T0 的第一极, 则驱动晶体管 T0 的第一极 Vs 的电压为 Vdd, 导通的第七晶体管 T7 将驱动晶体管 T0 的第二极与发光器件 L 导通, 驱动发光器件 L 发光。则, 驱动晶体管 T0 工作于饱和区, 其产生的驱动电流 I 可表示为: $I = \frac{k}{2} * (V_{gs} - V_{th})^2 = \frac{k}{2} * (V_{ref1} + V_{da} - V_{ref2} - V_{dd})^2$ 。

示例性的, 第一控制信号端 CS1 和第六控制信号端 CS6 可以为同一信号端。这样可以降低信号线的数量, 降低布线占用的空间。

示例性的, 第五控制信号端 CS5 和第八控制信号端 CS8 可以为同一信号端。这样可以降低信号线的数量, 降低布线占用的空间。

本公开实施例提供了像素电路的又一些结构示意图, 如图 7 所示, 其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处, 其相同之处在此不作赘述。

示例性的, 如图 7 所示, 第二控制信号端 CS2 与第八控制信号端 CS8 可以为同一信号端。第十晶体管 T10 的栅极与第八控制信号端 CS8 耦接。这样可以降低信号线的数量, 降低布线占用的空间。

下面以图 7 所示的像素电路为例, 结合图 8 所示的信号时序图, 对本公

开实施例提供的像素电路的工作过程作以描述。

其中，如图 8 所示，em 代表发光控制信号端 EM 的发光信号，cs1 代表第一控制信号端 CS1 的第一控制信号，cs2 代表第二控制信号端 CS2 的第二控制信号，cs4 代表第四控制信号端 CS4 的第四控制信号，cs5 代表第五控制信号端 CS5 的第五控制信号，cs6 代表第六控制信号端 CS6 的第六控制信号，da 代表数据信号端 DA 的数据电压信号，vinit2 代表第二初始化信号端 VINIT2 的第二初始化信号。

在复位阶段 F1，第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止，第四晶体管 T4 在第五控制信号 cs5 的低电平的控制下导通，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通，第十晶体管 T10 在第二控制信号 cs2 的高电平的控制下截止。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第四晶体管 T4 将第一初始化信号端 VINIT1 的第一初始化信号提供给驱动晶体管 T0 的栅极，则驱动晶体管 T0 的栅极上的电压 V_g 为 V_{init1} 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极，则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。

在阈值补偿阶段 F2，第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通，第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通，第三晶体管 T3 在第二控制信号 cs2 的低电平的控制下导通，第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通，第十晶体管 T10 在第二控制信号 cs2

的低电平的控制下导通。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第二晶体管 T2 将驱动晶体管 T0 的第二极与第二节点 N2 导通，导通的第三晶体管 T3 将第二节点 N2 与驱动晶体管 T0 的栅极导通，由于导通的第二晶体管 T2 和第三晶体管 T3 可以使驱动晶体管 T0 形成二极管连接方式，则输入驱动晶体管 T0 的第一极的第一参考信号可以经过形成二极管连接方式的驱动晶体管 T0，输入驱动晶体管 T0 的栅极，并对驱动晶体管 T0 的阈值电压 V_{th} 进行补偿，以使驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}$ ，则第二节点 N2 上的电压 V_{N2} 和驱动晶体管 T0 的第二极 V_d 电压为 $V_{ref1}+V_{th}$ 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极，则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。导通的第十晶体管 T10 将第二参考信号端 VREF2 的第二参考信号提供给第一节点 N1，则第一节点 N1 上的电压 V_{N1} 为 V_{ref2} 。第二电容 C2 稳定第一节点 N1 的电压。第二电容 C2 稳定第一节点 N1 的电压。

在数据写入阶段 F3，第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止，第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止，第五晶体管 T5 在第四控制信号 cs4 的低电平的控制下导通，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止，第十晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止。导通的第五晶体管 T5 将数据信号端 DA 的数据电压信号提供给第一节点 N1，第一电容 C1 将第一节点 N1 的数据电压信号耦合至驱动晶体管 T0 的栅极，则驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}+V_{da}-V_{ref2}$ 。第二电容 C2 稳定第一节点 N1 的电压。

在发光阶段 F4，第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管

T3 在第二控制信号 cs2 的高电平的控制下截止，第四晶体管 T4 在第五控制信号 cs5 的高电平的控制下截止，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的低电平的控制下导通，第七晶体管 T7 在发光信号 em 的低电平的控制下导通，第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止，第十晶体管 T10 在第八控制信号 cs8 的高电平的控制下截止。导通的第六晶体管 T6 将第一电源端 VDD 的第一电源电压 Vdd 提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极 Vs 的电压为 Vdd，导通的第七晶体管 T7 将驱动晶体管 T0 的第二极与发光器件 L 导通，驱动发光器件 L 发光。则，驱动晶体管 T0 工作于饱和区，其产生的驱动电流 I 可表示为：
$$I = \frac{k}{2} * (V_{gs} - V_{th})^2 = \frac{k}{2} * (V_{ref1} + V_{da} - V_{ref2} - V_{dd})^2。$$

示例性的，第一控制信号端 CS1 和第六控制信号端 CS6 可以为同一信号端。这样可以降低信号线的数量，降低布线占用的空间。

本公开实施例提供了像素电路的又一些结构示意图，如图 9 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其相同之处在此不作赘述。

在本公开实施例中，如图 9 所示，第五控制信号端 CS5 与发光控制信号端 EM 可以为同一信号端。这样可以降低信号线的数量，降低布线占用的空间。

在本公开实施例中，如图 9 所示，还包括：第二复位电路 80，与驱动晶体管 T0 的第二极耦接，被配置为响应于第七控制信号端 CS7 的信号，将第三初始化信号端 VINIT3 的信号提供给驱动晶体管 T0 的第二极。

在本公开实施例中，如图 9 所示，第二复位电路 80 包括：第九晶体管 T9；其中，第九晶体管 T9 的栅极与第七控制信号端 CS7 耦接，第九晶体管 T9 的第一极与驱动晶体管 T0 的第二极耦接，第九晶体管 T9 的第二极与第三初始化信号端 VINIT3 耦接。

示例性地，第九晶体管 T9 可以在第七控制信号端 CS7 上传输的第七控制

信号的有效电平的控制下导通，可以在第七控制信号的无效电平的控制下截止。例如，第九晶体管 T9 可以设置为 N 型晶体管，则第七控制信号的有效电平为高电平，第七控制信号的无效电平为低电平。或者，第九晶体管 T9 可以设置为 P 型晶体管，则第七控制信号的有效电平为低电平，第七控制信号的无效电平为高电平。

在本公开实施例中，如图 9 所示，第三复位电路 90 还包括：第十三晶体管 T13；其中，第十三晶体管 T13 的栅极与第九控制信号端 CS9 耦接，第十三晶体管 T13 的第一极与第三节点 N3 耦接，第十三晶体管 T13 的第二极与第三参考信号端 VREF3 耦接。

示例性地，第十三晶体管 T13 可以在第九控制信号端 CS9 上传输的第九控制信号的有效电平的控制下导通，可以在第九控制信号的无效电平的控制下截止。例如，第十三晶体管 T13 可以设置为 N 型晶体管，则第九控制信号的有效电平为高电平，第九控制信号的无效电平为低电平。或者，第十三晶体管 T13 可以设置为 P 型晶体管，则第九控制信号的有效电平为低电平，第九控制信号的无效电平为高电平。

下面以图 9 所示的像素电路为例，结合图 10 所示的信号时序图，对本公开实施例提供的像素电路的工作过程作以描述。

其中，如图 10 所示，em 代表发光控制信号端 EM 的发光信号，cs1 代表第一控制信号端 CS1 的第一控制信号，cs2 代表第二控制信号端 CS2 的第二控制信号，cs4 代表第四控制信号端 CS4 的第四控制信号，cs5 代表第五控制信号端 CS5 的第五控制信号，cs6 代表第六控制信号端 CS6 的第六控制信号，cs7 代表第七控制信号端 CS7 的第七控制信号，cs8 代表第八控制信号端 CS8 的第八控制信号，cs9 代表第九控制信号端 CS9 的第九控制信号，da 代表数据信号端 DA 的数据电压信号，vinit2 代表第二初始化信号端 VINIT2 的第二初始化信号。

在复位阶段 F1，第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止，第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通，第三晶体管

T3 在第二控制信号 cs2 的低电平的控制下导通, 第四晶体管 T4 在发光信号 em 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止, 第九晶体管 T9 在第七控制信号 cs7 的低电平的
5 控制下导通, 第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止, 第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止, 第十三晶体管 T13 在第九控制信号 cs9 的高电平的控制下截止。导通的第九晶体管 T9 将第三初始化信号端 VINIT3 的第三初始化信号提供给驱动晶体管 T0 的第二极, 则驱动晶体管 T0 的第二极的电压 V_d 为 V_{init3} 。导通的第二晶体管 T2 和导通第三晶体管 T3 将驱动晶体管 T0 的第二极上的第三初始化信号提供给驱动晶体管 T0 的栅极, 则驱动晶体管 T0 的栅极上的电压 V_g 为 V_{init3} 。其中, V_{init3} 代表第三初始化信号的电压。

在阈值补偿阶段 F2, 第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下
15 导通, 第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通, 第三晶体管 T3 在第二控制信号 cs2 的低电平的控制下导通, 第四晶体管 T4 在发光信号 em 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通, 第九晶体管 T9 在第七控制信号 cs7 的高电平的控制下截止, 第十一晶体管 T11 在第八控制信号 cs8 的低电平的控制下导通, 第十二晶体管 T12 在第八控制信号 cs8 的低电平的控制下导通, 第十三晶体管 T13 在第九控制信号 cs9 的高电平的控制下截止。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极, 则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第二晶体管 T2 将驱动晶体管 T0 的第二极与第二节点 N2 导通, 导通的第三晶体管 T3 将第二节点 N2 与驱动晶体管 T0 的栅极导通, 由于导通的第二晶体管 T2 和第
20 25

三晶体管 T3 可以使驱动晶体管 T0 形成二极管连接方式, 则输入驱动晶体管 T0 的第一极的第一参考信号可以经过形成二极管连接方式的驱动晶体管 T0, 输入驱动晶体管 T0 的栅极, 并对驱动晶体管 T0 的阈值电压 V_{th} 进行补偿, 以使驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}$, 则第二节点 N2 上的电压 V_{N2} 和驱动晶体管 T0 的第二极 V_d 电压为 $V_{ref1}+V_{th}$ 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极, 则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。导通的第十二晶体管 T12 将第二参考信号端 VREF2 的第二参考信号提供给第三节点 N3, 导通的第十一晶体管 T11 将第三节点 N3 上的第二参考信号提供给第一节点 N1, 则第一节点 N1 上的电压 V_{N1} 为 V_{ref2} 。第二电容 C2 稳定第一节点 N1 的电压。

在数据写入阶段 F3, 第一晶体管 T1 在第一控制信号 cs_1 的高电平的控制下截止, 第二晶体管 T2 在第二控制信号 cs_2 的高电平的控制下截止, 第三晶体管 T3 在第二控制信号 cs_2 的高电平的控制下截止, 第四晶体管 T4 在发光信号 em 的高电平的控制下截止, 第五晶体管 T5 在第四控制信号 cs_4 的低电平的控制下导通, 第六晶体管 T6 在发光信号 em 的高电平的控制下截止, 第七晶体管 T7 在发光信号 em 的高电平的控制下截止, 第八晶体管 T8 在第六控制信号 cs_6 的高电平的控制下截止, 第九晶体管 T9 在第七控制信号 cs_7 的高电平的控制下截止, 第十一晶体管 T11 在第八控制信号 cs_8 的高电平的控制下截止, 第十二晶体管 T12 在第八控制信号 cs_8 的高电平的控制下截止, 第十三晶体管 T13 在第九控制信号 cs_9 的高电平的控制下截止。导通的第五晶体管 T5 将数据信号端 DA 的数据电压信号提供给第一节点 N1, 第一电容 C1 将第一节点 N1 的数据电压信号耦合至驱动晶体管 T0 的栅极, 则驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}+V_{da}-V_{ref2}$ 。第二电容 C2 稳定第一节点 N1 的电压。

在发光阶段 F4, 第一晶体管 T1 在第一控制信号 cs_1 的高电平的控制下截止, 第二晶体管 T2 在第二控制信号 cs_2 的高电平的控制下截止, 第三晶体管 T3 在第二控制信号 cs_2 的高电平的控制下截止, 第四晶体管 T4 在发光信号

em 的低电平的控制下导通，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的低电平的控制下导通，第七晶体管 T7 在发光信号 em 的低电平的控制下导通，第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止，第九晶体管 T9 在第七控制信号 cs7 的高电平的
 5 平的控制下截止，第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止，第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止，第十三晶体管 T13 在第九控制信号 cs9 的低电平的控制下导通。导通的第四晶体管 T4 将第一初始化信号端 VINIT1 的第一初始化信号提供给第二节点 N2，则第二节点 N2 上的电压 VN2 为 Vinit1。导通的第十三晶体管 T13 将第三参考信号端 VREF3 的第三参考信号提供给第三节点 N3，则第三节点 N3 上的电压
 10 VN3 为 Vref3。导通的第六晶体管 T6 将第一电源端 VDD 的第一电源电压 Vdd 提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极 Vs 的电压为 Vdd，导通的第七晶体管 T7 将驱动晶体管 T0 的第二极与发光器件 L 导通，驱动发光器件 L 发光。则，驱动晶体管 T0 工作于饱和区，其产生的驱动电流 I 可表示为： $I = \frac{k}{2} * (V_{gs} - V_{th})^2 = \frac{k}{2} * (V_{ref1} + V_{da} - V_{ref2} - V_{dd})^2$ 。其中， $k = \mu C_{ox} \frac{W}{L}$ ， μ 代表驱动晶体管 T0 的迁移率， C_{ox} 代表驱动晶体管 T0 的栅绝缘层单位面积电容， W/L 代表驱动晶体管 T0 的沟道宽长比。

示例性的，第一控制信号端 CS1、第六控制信号端 CS6 以及第八控制信号端 CS8 可以为同一信号端。这样可以降低信号线的数量，降低布线占用的
 20 空间。

示例性的，发光控制信号端 EM 和第九控制信号端 CS9 可以为同一信号端。这样可以降低信号线的数量，降低布线占用的空间。

本公开实施例提供了像素电路的又一些结构示意图，如图 11 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例
 25 的区别之处，其相同之处在此不作赘述。

示例性的，如图 11 所示，第三参考信号端与第一初始化信号端 VINIT1

可以为同一信号端。这样可以降低信号线的数量，降低布线占用的空间。

图 11 所示的像素电路对应的信号时序图，可以如图 10 所示。并且，图 11 所示的像素电路结合图 10 所示的信号时序图的具体工作过程，可以参照上述实施例的描述，在此不作赘述。

5 本公开实施例提供了像素电路的又一些结构示意图，如图 12 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其相同之处在此不作赘述。

下面以图 12 所示的像素电路为例，结合图 10 所示的信号时序图，对本公开实施例提供的像素电路的工作过程作以描述。

10 在复位阶段 F1，第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止，第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通，第三晶体管 T3 在第二控制信号 cs2 的低电平的控制下导通，第四晶体管 T4 在发光信号 em 的高电平的控制下截止，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶
15 体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止，第九晶体管 T9 在第七控制信号 cs7 的低电平的控制下导通，第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止，第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止。导通的第九晶体管 T9 将第三初始化信号端 VINIT3 的第三初始化信号提供给驱动晶
20 体管 T0 的第二极，则驱动晶体管 T0 的第二极的电压 V_d 为 V_{init3} 。导通的第二晶体管 T2 和导通第三晶体管 T3 将驱动晶体管 T0 的第二极上的第三初始化信号提供给驱动晶体管 T0 的栅极，则驱动晶体管 T0 的栅极上的电压 V_g 为 V_{init3} 。

25 在阈值补偿阶段 F2，第一晶体管 T1 在第一控制信号 cs1 的低电平的控制下导通，第二晶体管 T2 在第二控制信号 cs2 的低电平的控制下导通，第三晶体管 T3 在第二控制信号 cs2 的低电平的控制下导通，第四晶体管 T4 在发光信号 em 的高电平的控制下截止，第五晶体管 T5 在第四控制信号 cs4 的高电

平的控制下截止，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的低电平的控制下导通，第九晶体管 T9 在第七控制信号 cs7 的高电平的控制下截止，第十一晶体管 T11 在第八控制信号 cs8 的低电平的控制下导通，第十二晶体管 T12 在第八控制信号 cs8 的低电平的控制下导通。导通的第一晶体管 T1 将第一参考信号端 VREF1 的第一参考信号提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极上的电压 V_s 为 V_{ref1} 。导通的第二晶体管 T2 将驱动晶体管 T0 的第二极与第二节点 N2 导通，导通的第三晶体管 T3 将第二节点 N2 与驱动晶体管 T0 的栅极导通，由于导通的第二晶体管 T2 和第三晶体管 T3 可以使驱动晶体管 T0 形成二极管连接方式，则输入驱动晶体管 T0 的第一极的第一参考信号可以经过形成二极管连接方式的驱动晶体管 T0，输入驱动晶体管 T0 的栅极，并对驱动晶体管 T0 的阈值电压 V_{th} 进行补偿，以使驱动晶体管 T0 的栅极 V_g 电压为 $V_{ref1}+V_{th}$ ，则第二节点 N2 上的电压 V_{N2} 和驱动晶体管 T0 的第二极 V_d 电压为 $V_{ref1}+V_{th}$ 。导通的第八晶体管 T8 将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L 的阳极，则发光器件 L 的阳极上的电压 V_L 为 V_{init2} 。导通的第十二晶体管 T12 将第二参考信号端 VREF2 的第二参考信号提供给第三节点 N3，导通的第十一晶体管 T11 将第三节点 N3 上的第二参考信号提供给第一节点 N1，则第一节点 N1 上的电压 V_{N1} 为 V_{ref2} 。第二电容 C2 稳定第一节点 N1 的电压。

在数据写入阶段 F3，第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止，第四晶体管 T4 在发光信号 em 的高电平的控制下截止，第五晶体管 T5 在第四控制信号 cs4 的低电平的控制下导通，第六晶体管 T6 在发光信号 em 的高电平的控制下截止，第七晶体管 T7 在发光信号 em 的高电平的控制下截止，第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止，第九晶体管 T9 在第七控制信号 cs7 的高电平的控制下截止，第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制

下截止，第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止。导通的第五晶体管 T5 将数据信号端 DA 的数据电压信号提供给第一节点 N1，第一电容 C1 将第一节点 N1 的数据电压信号耦合至驱动晶体管 T0 的栅极，则驱动晶体管 T0 的栅极 Vg 电压为 $V_{ref1}+V_{th}+V_{da}-V_{ref2}$ 。第二电容 C2 稳定第一节点 N1 的电压。

在发光阶段 F4，第一晶体管 T1 在第一控制信号 cs1 的高电平的控制下截止，第二晶体管 T2 在第二控制信号 cs2 的高电平的控制下截止，第三晶体管 T3 在第二控制信号 cs2 的高电平的控制下截止，第四晶体管 T4 在发光信号 em 的低电平的控制下导通，第五晶体管 T5 在第四控制信号 cs4 的高电平的控制下截止，第六晶体管 T6 在发光信号 em 的低电平的控制下导通，第七晶体管 T7 在发光信号 em 的低电平的控制下导通，第八晶体管 T8 在第六控制信号 cs6 的高电平的控制下截止，第九晶体管 T9 在第七控制信号 cs7 的高电平的控制下截止，第十晶体管 T10 在第八控制信号 cs8 的高电平的控制下截止，第十一晶体管 T11 在第八控制信号 cs8 的高电平的控制下截止，第十二晶体管 T12 在第八控制信号 cs8 的高电平的控制下截止。导通的第四晶体管 T4 将第一初始化信号端 VINIT1 的第一初始化信号提供给第二节点 N2，则第二节点 N2 上的电压 VN2 为 V_{init1} 。导通的第六晶体管 T6 将第一电源端 VDD 的第一电源电压 Vdd 提供给驱动晶体管 T0 的第一极，则驱动晶体管 T0 的第一极 Vs 的电压为 Vdd，导通的第七晶体管 T7 将驱动晶体管 T0 的第二极与发光器件 L 导通，驱动发光器件 L 发光。则，驱动晶体管 T0

工作于饱和区，其产生的驱动电流 I 可表示为： $I = \frac{k}{2} * (V_{gs} - V_{th})^2 =$

$\frac{k}{2} * (V_{ref1} + V_{da} - V_{ref2} - V_{dd})^2$ 。其中， $k = \mu C_{ox} \frac{W}{L}$ ， μ 代表驱动晶体管 T0 的迁移率，

C_{ox} 代表驱动晶体管 T0 的栅绝缘层单位面积电容，W/L 代表驱动晶体管 T0 的沟道宽长比。

基于同一公开构思，本公开实施例还提供了一种显示装置，包括本公开实施例提供的上述像素电路。该显示装置解决问题的原理与前述像素电路相似，因此该显示装置的实施可以参见前述像素电路的实施，重复之处在此不

再赘述。

在具体实施时，在本公开实施例中，显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

尽管已描述了本公开的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求意欲解释为包括优选实施例以及落入本公开范围的所有变更和修改。

显然，本领域的技术人员可以对本公开实施例进行各种改动和变型而不脱离本公开实施例的精神和范围。这样，倘若本公开实施例的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权利要求

1、一种像素电路，包括：

发光器件；

5 驱动晶体管，与所述发光器件耦接，被配置为根据数据电压信号产生驱动所述发光器件发光的驱动电流；

第一补偿电路，与所述驱动晶体管耦接，被配置为响应于第一控制信号端的信号，将第一参考信号端的第一参考信号提供给所述驱动晶体管的第一极；

10 第二补偿电路，与所述驱动晶体管耦接，被配置为响应于第二控制信号端和第三控制信号端的信号，将所述驱动晶体管的阈值电压和输入所述驱动晶体管的第一极的第一参考信号，提供给所述驱动晶体管的栅极；

数据写入电路，与所述第一节点耦接，被配置为响应于第四控制信号端的信号，将数据信号端的所述数据电压信号提供给第一节点；

15 耦合控制电路，与所述第一节点和所述驱动晶体管耦接，被配置为将所述第一节点的数据电压信号耦合至所述驱动晶体管的栅极；

发光控制电路，与所述发光器件和所述驱动晶体管耦接，被配置为响应于发光控制信号端的信号，将所述驱动晶体管的第一极与第一电源端导通，以及将所述驱动晶体管的第二极与所述发光器件导通，驱动所述发光器件发光。

20 2、如权利要求1所述的像素电路，其中，所述第一补偿电路包括：第一晶体管；

所述第一晶体管的栅极与所述第一控制信号端耦接，所述第一晶体管的第一极与所述驱动晶体管的第一极耦接，所述第一晶体管的第二极与所述第一参考信号端耦接。

25 3、如权利要求1所述的像素电路，其中，所述第二补偿电路包括：第二晶体管 and 第三晶体管；

所述第二晶体管的栅极与所述第二控制信号端耦接，所述第二晶体管的第一极与所述第二节点耦接，所述第二晶体管的第二极与所述驱动晶体管的第二极耦接；

5 所述第三晶体管的栅极与所述第三控制信号端耦接，所述第三晶体管的第一极与所述驱动晶体管的栅极耦接，所述第三晶体管的第二极与所述第二节点耦接。

4、如权利要求 3 所述的像素电路，其中，所述第二补偿电路还包括：第四晶体管；

10 所述第四晶体管的栅极与第五控制信号端耦接，所述第四晶体管的第一极与所述驱动晶体管的栅极或所述第二节点耦接，所述第四晶体管的第二极与第一初始化信号端耦接。

5、如权利要求 4 所述的像素电路，其中，所述第五控制信号端与所述发光控制信号端可以为同一信号端。

15 6、如权利要求 1-5 任一项所述的像素电路，其中，所述数据写入电路包括：第五晶体管；

所述第五晶体管的栅极与所述第四控制信号端耦接，所述第五晶体管的第一极与所述数据信号端耦接，所述第五晶体管的第二极与所述第一节点耦接。

20 7、如权利要求 1-5 任一项所述的像素电路，其中，所述耦合控制电路包括：第一电容；

所述第一电容的第一电极与所述第一节点耦接，所述第一电容的第二电极与所述驱动晶体管的栅极耦接。

8、如权利要求 1-5 任一项所述的像素电路，其中，所述发光控制电路包括：第六晶体管和第七晶体管；

25 所述第六晶体管的栅极与所述发光控制信号端耦接，所述第六晶体管的第一极与所述第一电源端耦接，所述第六晶体管的第二极与所述驱动晶体管的第一极耦接；

所述第七晶体管的栅极与所述发光控制信号端耦接，所述第七晶体管的第一极与所述驱动晶体管的第二极耦接，所述第七晶体管的第二极与所述发光器件耦接。

5 9、如权利要求 1-8 任一项所述的像素电路，其中，还包括：第一复位电路，与所述发光器件耦接，被配置为响应于第六控制信号端的信号，将第二初始化信号端的信号提供给所述发光器件。

10、如权利要求 9 所述的像素电路，其中，所述第一复位电路包括：第八晶体管；

10 所述第八晶体管的栅极与所述第六控制信号端耦接，所述第八晶体管的第一极与所述发光器件耦接，所述第八晶体管的第二极与所述第二初始化信号端耦接。

11、如权利要求 1-8 任一项所述的像素电路，其中，还包括：稳压电路，与所述第一节点耦接，被配置为稳定所述第一节点的电压。

15 12、如权利要求 11 所述的像素电路，其中，所述稳压电路包括：第二电容；

所述第二电容的第一电极与所述第一电源端耦接，所述第二电容的第二电极与所述第一节点耦接。

20 13、如权利要求 1-8 任一项所述的像素电路，其中，还包括：第二复位电路，与所述驱动晶体管的第二极耦接，被配置为响应于第七控制信号端的信号，将第三初始化信号端的信号提供给所述驱动晶体管的第二极。

14、如权利要求 13 所述的像素电路，其中，所述第二复位电路包括：第九晶体管；

25 所述第九晶体管的栅极与所述第七控制信号端耦接，所述第九晶体管的第一极与所述驱动晶体管的第二极耦接，所述第九晶体管的第二极与所述第三初始化信号端耦接。

15、如权利要求 1-8 任一项所述的像素电路，其中，还包括：第三复位电路，与所述第一节点耦接，被配置为响应于第八控制信号端的信号，将第二

参考信号端的信号提供给所述第一节点。

16、如权利要求 15 所述的像素电路，其中，所述第三复位电路包括：第十晶体管；

5 所述第十晶体管的栅极与所述第八控制信号端耦接，所述第十晶体管的第一极与所述第一节点耦接，所述第十晶体管的第二极与所述第二参考信号端耦接。

17、如权利要求 15 所述的像素电路，其中，所述第三复位电路包括：第十一晶体管和第十二晶体管；

10 所述第十一晶体管的栅极与所述第八控制信号端耦接，所述第十一晶体管的第一极与所述第一节点耦接，所述第十一晶体管的第二极与第三节点耦接；

所述第十二晶体管的栅极与所述第八控制信号端耦接，所述第十二晶体管的第一极与所述第三节点耦接，所述第十一晶体管的第二极与所述第二参考信号端耦接。

15 18、如权利要求 17 所述的像素电路，其中，所述第三复位电路还包括：第十三晶体管；

所述第十三晶体管的栅极与所述第九控制信号端耦接，所述第十三晶体管的第一极与所述第三节点耦接，所述第十三晶体管的第二极与第三参考信号端耦接。

20 19、一种显示装置，其中，包括如权利要求 1-18 任一项所述的像素电路。

20、一种如权利要求 1-18 任一项所述的像素电路的驱动方法，其中，包括：

复位阶段，第一补偿电路响应于第一控制信号端的信号，将第一参考信号端的第一参考信号提供给所述驱动晶体管的第一极；

25 阈值补偿阶段，第一补偿电路响应于第一控制信号端的信号，将第一参考信号端的第一参考信号提供给所述驱动晶体管的第一极；第二补偿电路响应于第二控制信号端和第三控制信号端的信号，将所述驱动晶体管的阈值电

压和输入所述驱动晶体管的第一极的第一参考信号，提供给所述驱动晶体管的栅极；

数据写入阶段，数据写入电路响应于第四控制信号端的信号，将数据信号端的所述数据电压信号提供给第一节点；耦合控制电路将所述第一节点的数据电压信号耦合至所述驱动晶体管的栅极；

发光阶段，发光控制电路响应于发光控制信号端的信号，将所述驱动晶体管的第一极与第一电源端导通，以及将所述驱动晶体管的第二极与所述发光器件导通，驱动所述发光器件发光。

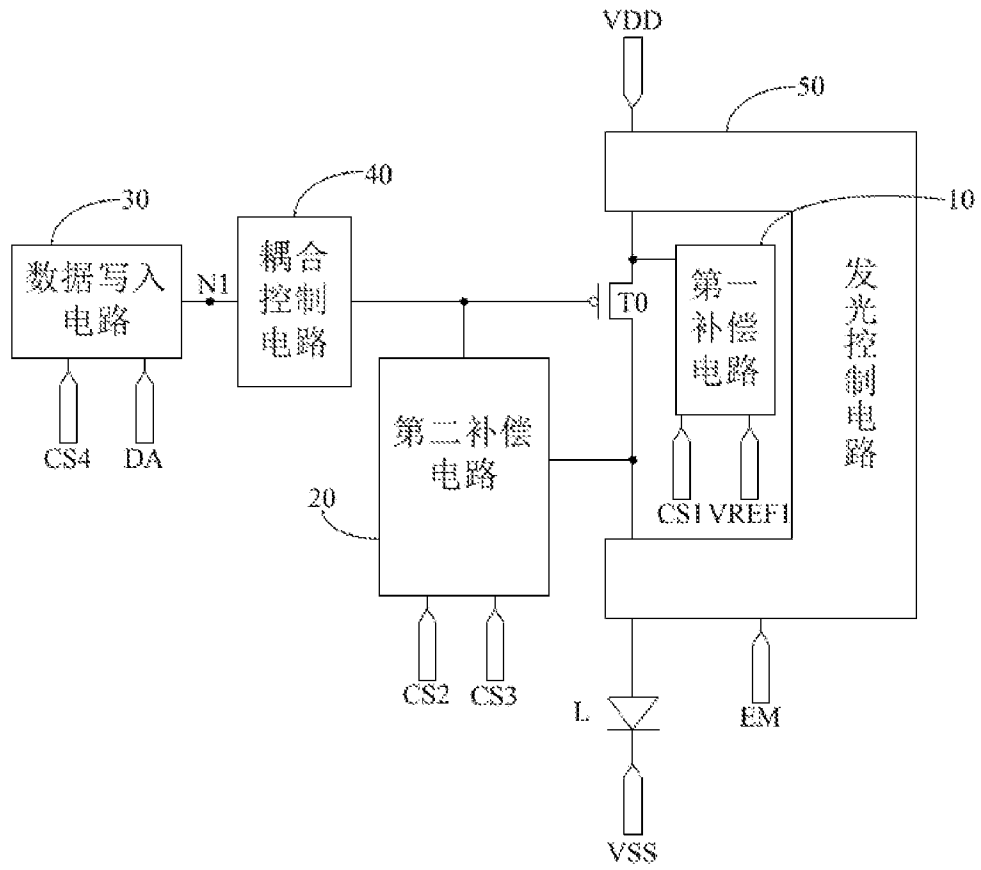


图 1

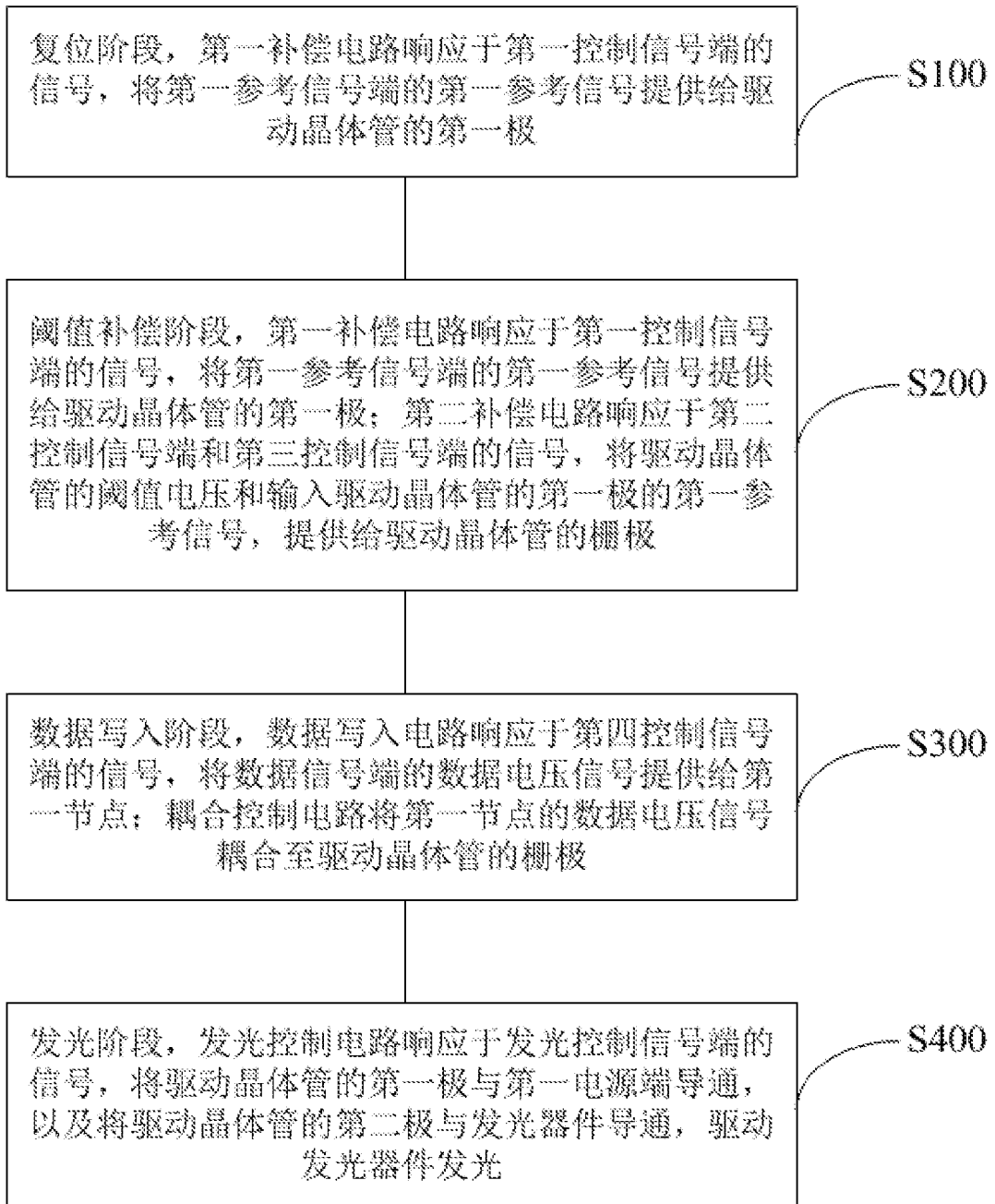


图 3

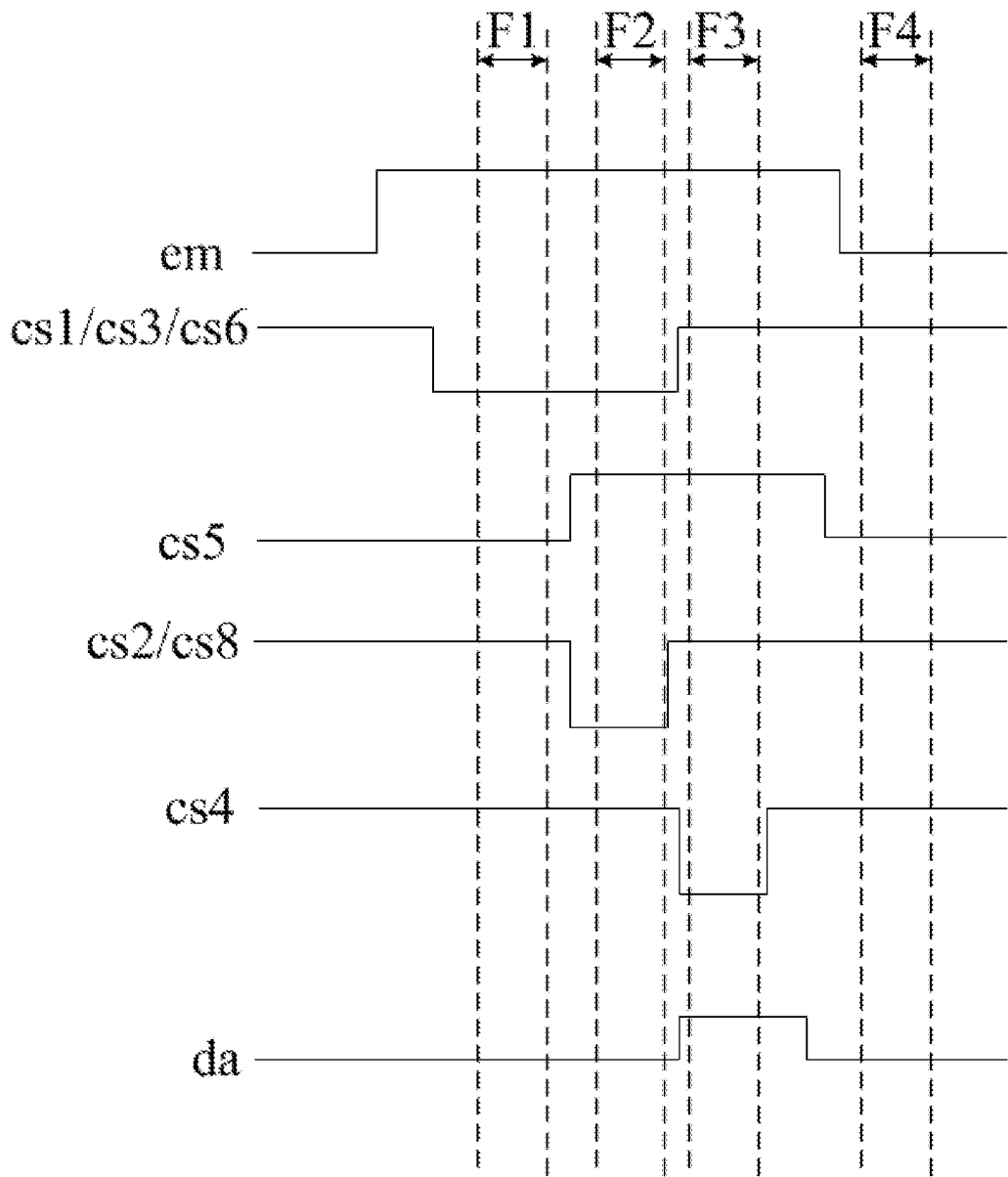


图 4

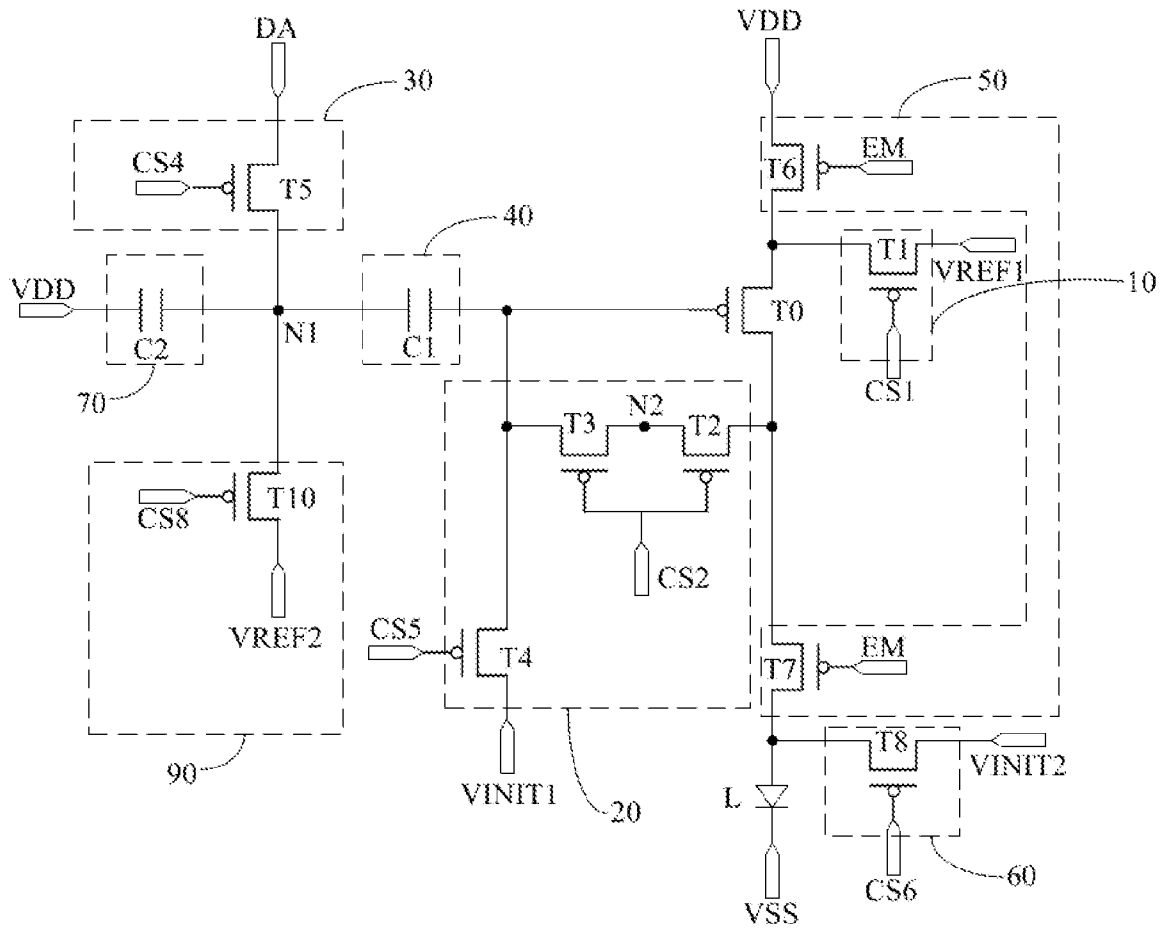


图 5

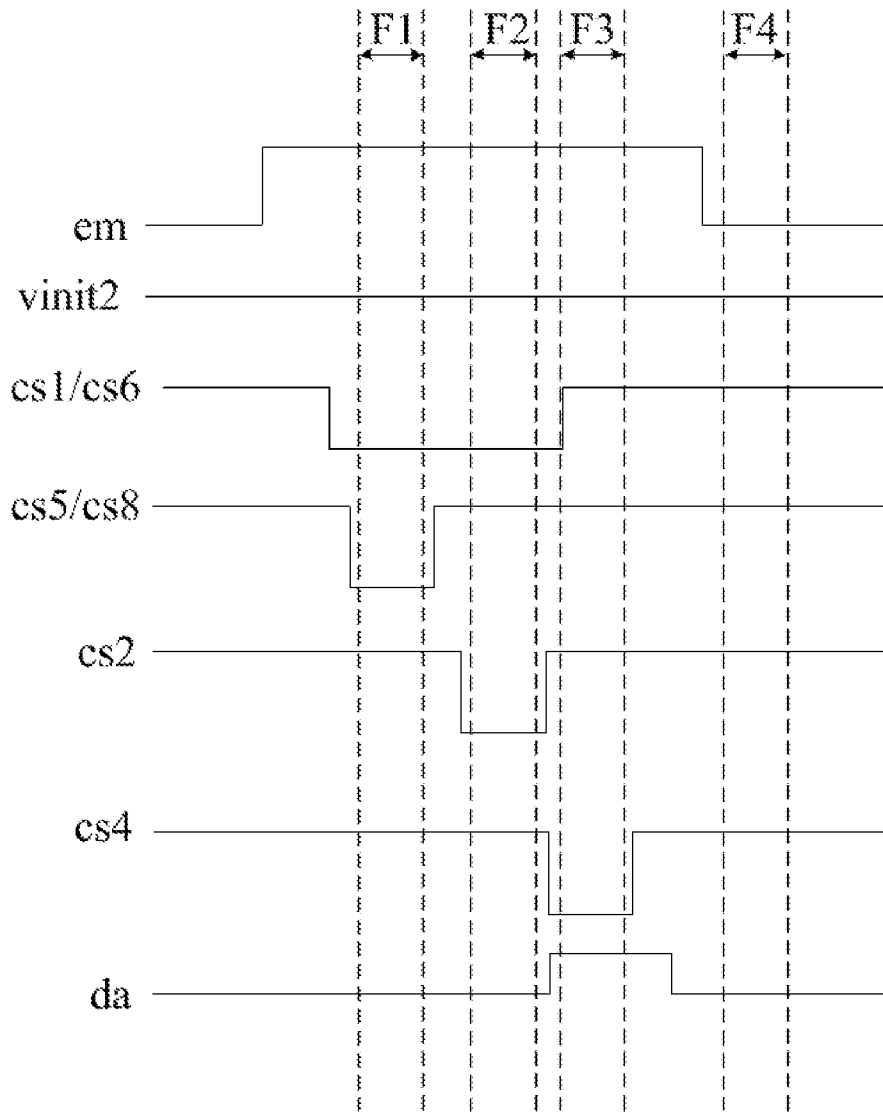


图 6

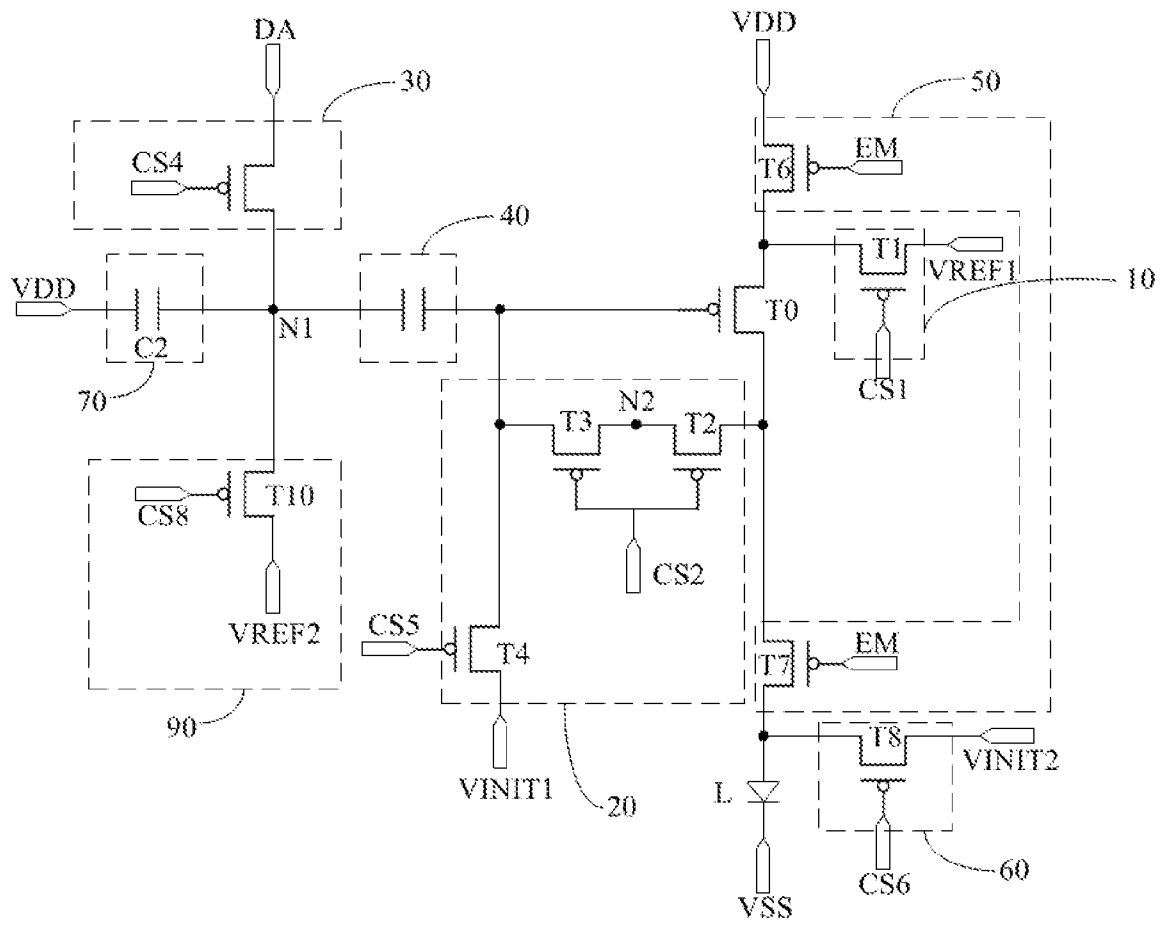


图 7

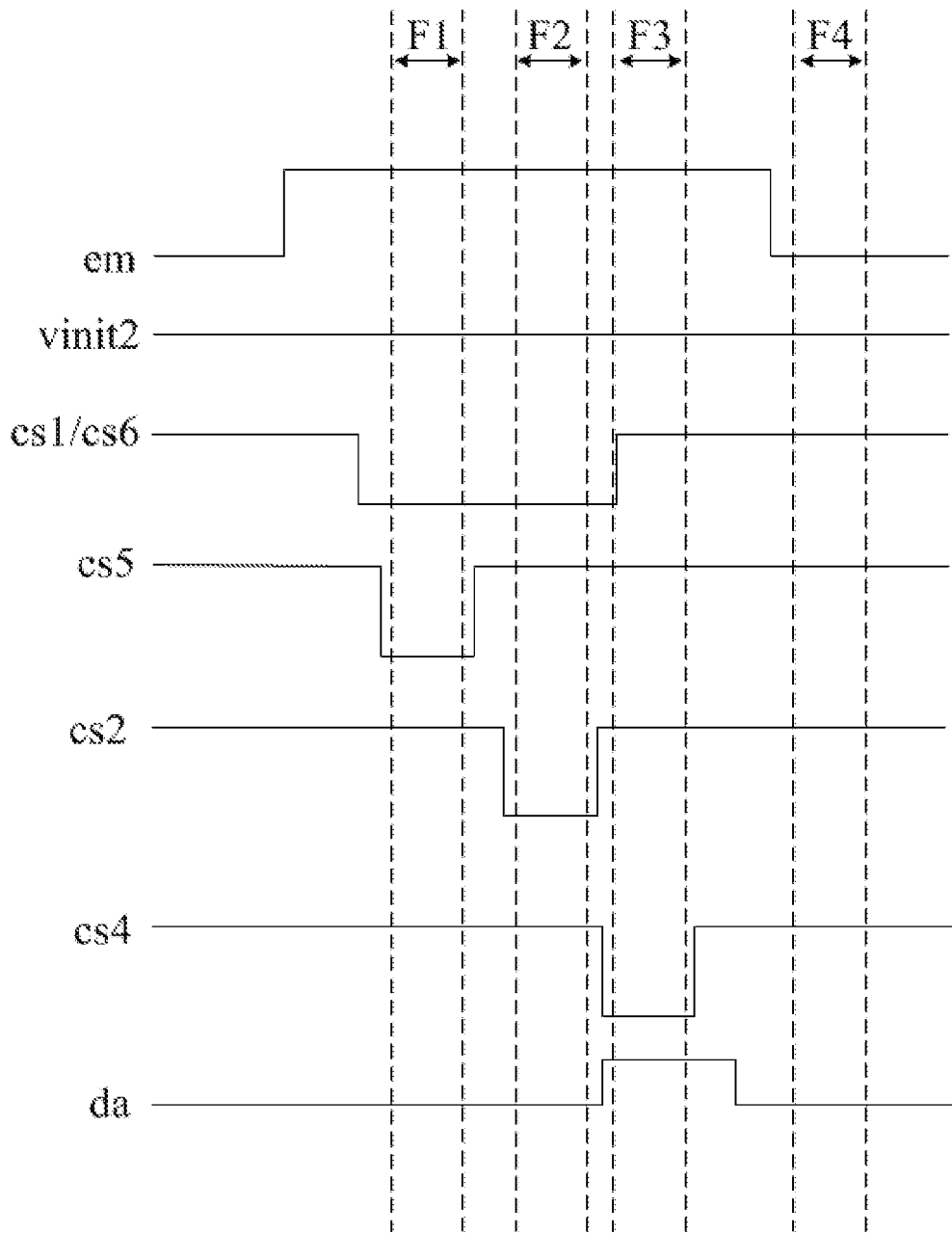


图 8

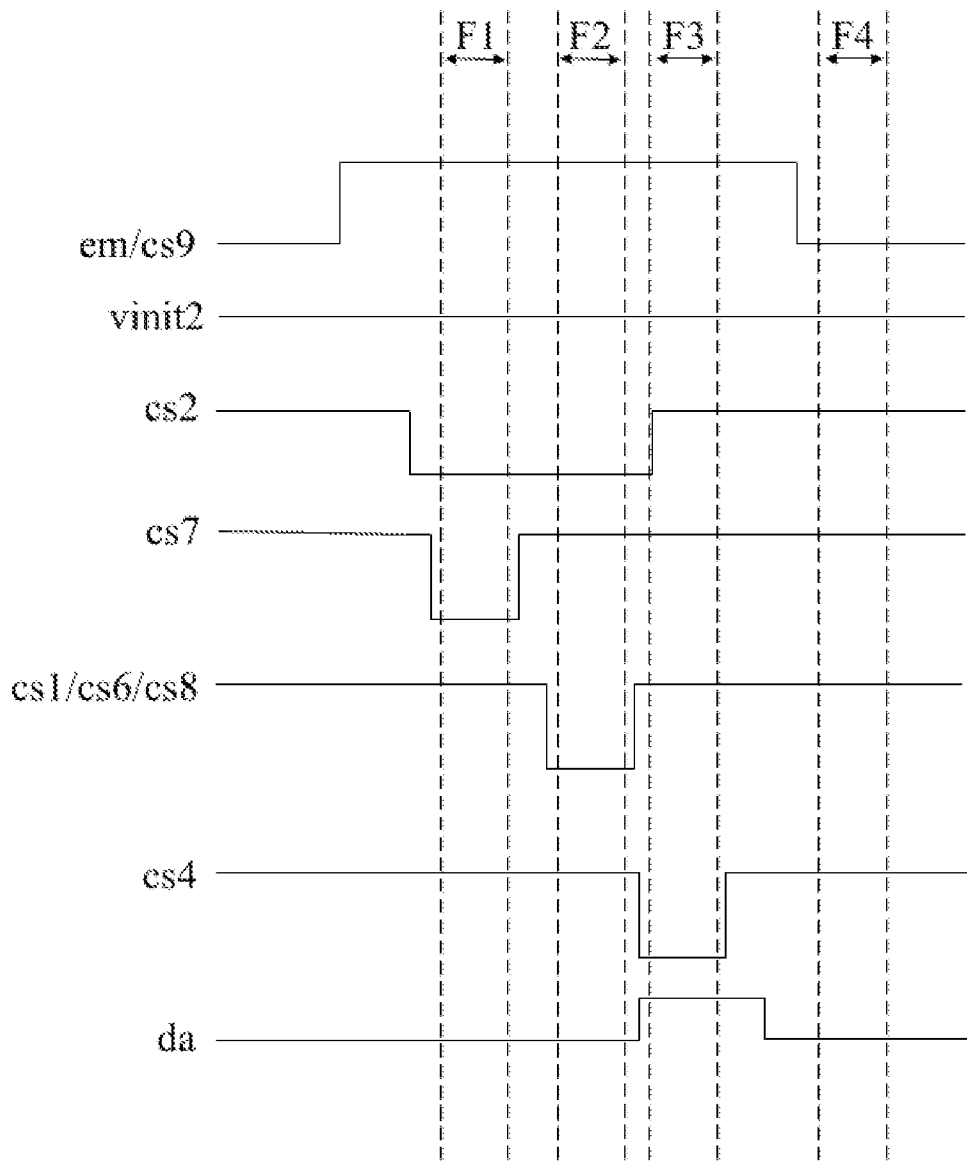


图 10

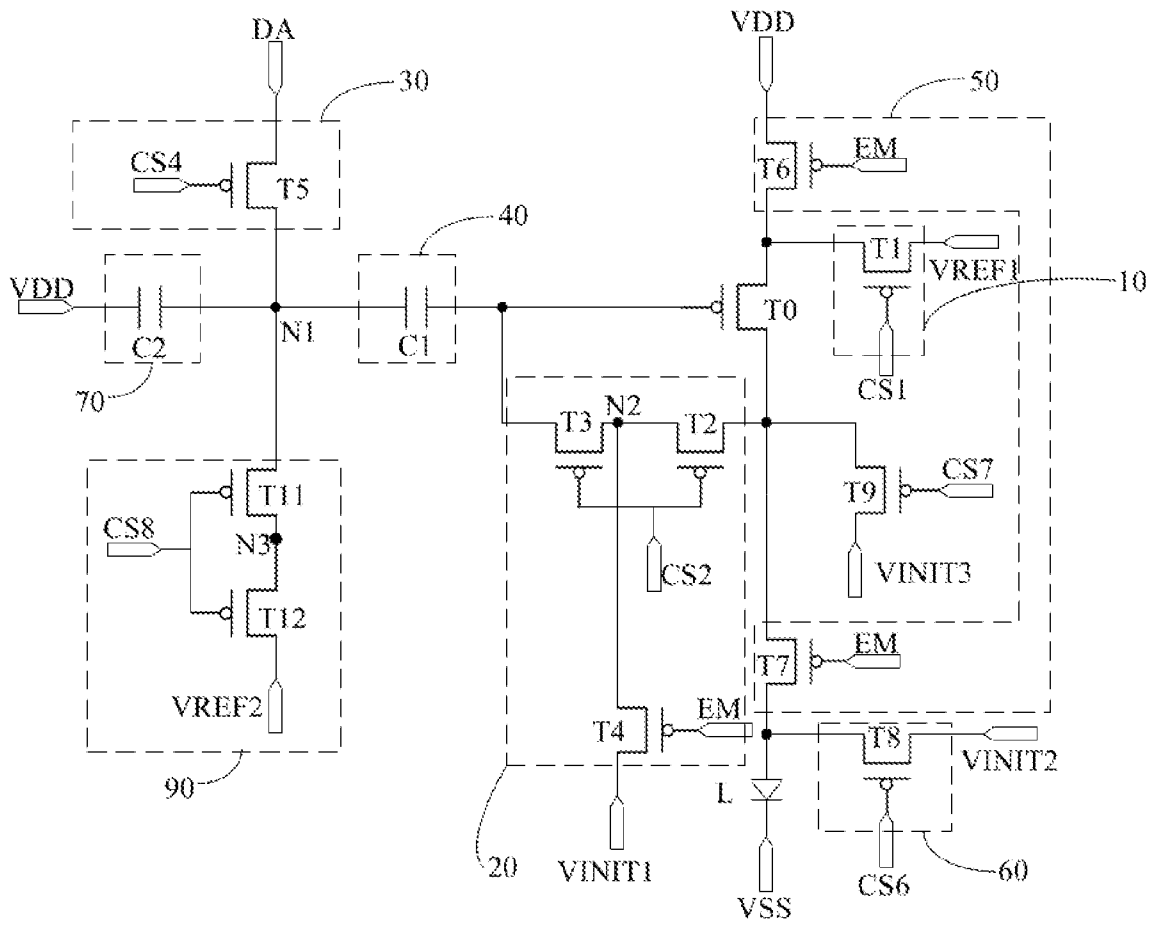


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/109362

A. CLASSIFICATION OF SUBJECT MATTER		
G09G3/3233(2016.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G09G3/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CNTXT, DWPI, ENTXT: 补偿电路, 初始化, 发光, 驱动晶体管, 像素电路, 阈值, 数据写入, pixel, transistor, compensat+, initializ+, data, threshold		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106910468 A (SHANGHAI TIANMA ORGANIC LIGHT EMITTING DISPLAY TECHNOLOGY CO., LTD.) 30 June 2017 (2017-06-30) description, paragraphs 0036-0108, and figures 1-9	1-20
A	CN 114783382 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 July 2022 (2022-07-22) entire document	1-20
A	CN 105931599 A (BOE TECHNOLOGY GROUP CO., LTD.) 07 September 2016 (2016-09-07) entire document	1-20
A	CN 115705823 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 February 2023 (2023-02-17) entire document	1-20
A	CN 104091560 A (SHANGHAI TIANMA AMOLED CO., LTD. et al.) 08 October 2014 (2014-10-08) entire document	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
17 April 2024		18 April 2024
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/109362

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105575331 A (AU OPTRONICS CORP.) 11 May 2016 (2016-05-11) entire document	1-20
A	WO 2020147477 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 July 2020 (2020-07-23) entire document	1-20
A	US 2014354711 A1 (SAMSUNG DISPLAY CO., LTD.) 04 December 2014 (2014-12-04) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/109362

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106910468	A	30 June 2017	US	2018047337	A1	15 February 2018
				US	10347181	B2	09 July 2019

CN	114783382	A	22 July 2022	None			

CN	105931599	A	07 September 2016	None			

CN	115705823	A	17 February 2023	None			

CN	104091560	A	08 October 2014	DE	102014118008	A1	24 December 2015
				DE	102014118008	B4	07 September 2017
				US	2015371587	A1	24 December 2015
				US	9685113	B2	20 June 2017

CN	105575331	A	11 May 2016	US	2017148387	A1	25 May 2017
				US	9978308	B2	22 May 2018
				TW	201719609	A	01 June 2017
				TWI	588799	B	21 June 2017

WO	2020147477	A1	23 July 2020	US	2021210018	A1	08 July 2021
				US	11189230	B2	30 November 2021

US	2014354711	A1	04 December 2014	TW	201445535	A	01 December 2014
				KR	20140140810	A	10 December 2014

<p>A. 主题的分类</p> <p>G09G3/3233(2016.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC: G09G3/-</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS,CNXTXT,DWPI,ENTXT:补偿电路,初始化,发光,驱动晶体管,像素电路,阈值,数据写入,pixel,transistor,compensat+,initializ+,data,threshold</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 106910468 A (上海天马有机发光显示技术有限公司) 2017年6月30日 (2017 - 06 - 30) 说明书0036-0108段和附图1-9</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 114783382 A (京东方科技集团股份有限公司等) 2022年7月22日 (2022 - 07 - 22) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105931599 A (京东方科技集团股份有限公司) 2016年9月7日 (2016 - 09 - 07) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 115705823 A (京东方科技集团股份有限公司等) 2023年2月17日 (2023 - 02 - 17) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 104091560 A (上海天马有机发光显示技术有限公司等) 2014年10月8日 (2014 - 10 - 08) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105575331 A (友达光电股份有限公司) 2016年5月11日 (2016 - 05 - 11) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 106910468 A (上海天马有机发光显示技术有限公司) 2017年6月30日 (2017 - 06 - 30) 说明书0036-0108段和附图1-9	1-20	A	CN 114783382 A (京东方科技集团股份有限公司等) 2022年7月22日 (2022 - 07 - 22) 全文	1-20	A	CN 105931599 A (京东方科技集团股份有限公司) 2016年9月7日 (2016 - 09 - 07) 全文	1-20	A	CN 115705823 A (京东方科技集团股份有限公司等) 2023年2月17日 (2023 - 02 - 17) 全文	1-20	A	CN 104091560 A (上海天马有机发光显示技术有限公司等) 2014年10月8日 (2014 - 10 - 08) 全文	1-20	A	CN 105575331 A (友达光电股份有限公司) 2016年5月11日 (2016 - 05 - 11) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 106910468 A (上海天马有机发光显示技术有限公司) 2017年6月30日 (2017 - 06 - 30) 说明书0036-0108段和附图1-9	1-20																					
A	CN 114783382 A (京东方科技集团股份有限公司等) 2022年7月22日 (2022 - 07 - 22) 全文	1-20																					
A	CN 105931599 A (京东方科技集团股份有限公司) 2016年9月7日 (2016 - 09 - 07) 全文	1-20																					
A	CN 115705823 A (京东方科技集团股份有限公司等) 2023年2月17日 (2023 - 02 - 17) 全文	1-20																					
A	CN 104091560 A (上海天马有机发光显示技术有限公司等) 2014年10月8日 (2014 - 10 - 08) 全文	1-20																					
A	CN 105575331 A (友达光电股份有限公司) 2016年5月11日 (2016 - 05 - 11) 全文	1-20																					
<p><input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“D” 申请人在国际申请中引证的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2024年4月17日</p>		<p>国际检索报告邮寄日期</p> <p>2024年4月18日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088</p>		<p>授权官员</p> <p>李军</p> <p>电话号码 (+86) 010-62085773</p>																					

C. 相关文件		
类型*	引用文件，必要时，指明相关段落	相关的权利要求
A	WO 2020147477 A1 (BOE TECHNOLOGY GROUP CO LTD等) 2020年7月23日 (2020 - 07 - 23) 全文	1-20
A	US 2014354711 A1 (SAMSUNG DISPLAY CO LTD) 2014年12月4日 (2014 - 12 - 04) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/109362

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106910468	A	2017年6月30日	US	2018047337	A1	2018年2月15日
				US	10347181	B2	2019年7月9日

CN	114783382	A	2022年7月22日	无			

CN	105931599	A	2016年9月7日	无			

CN	115705823	A	2023年2月17日	无			

CN	104091560	A	2014年10月8日	DE	102014118008	A1	2015年12月24日
				DE	102014118008	B4	2017年9月7日
				US	2015371587	A1	2015年12月24日
				US	9685113	B2	2017年6月20日

CN	105575331	A	2016年5月11日	US	2017148387	A1	2017年5月25日
				US	9978308	B2	2018年5月22日
				TW	201719609	A	2017年6月1日
				TWI	588799	B	2017年6月21日

WO	2020147477	A1	2020年7月23日	US	2021210018	A1	2021年7月8日
				US	11189230	B2	2021年11月30日

US	2014354711	A1	2014年12月4日	TW	201445535	A	2014年12月1日
				KR	20140140810	A	2014年12月10日
