

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-201314
(P2007-201314A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 21/60 (2006.01) HO 1 L 21/60 3 1 1 Q 5 F O 4 4

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号	特願2006-20221 (P2006-20221)	(71) 出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道4 1 番地の1
(22) 出願日	平成18年1月30日 (2006.1.30)	(71) 出願人	000003207 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地
		(74) 代理人	110000110 特許業務法人快友国際特許事務所
		(72) 発明者	白井 正則 愛知県愛知郡長久手町大字長湫字横道4 1 番地の1 株式会社豊田中央研究所内
		(72) 発明者	山田 靖 愛知県愛知郡長久手町大字長湫字横道4 1 番地の1 株式会社豊田中央研究所内 最終頁に続く

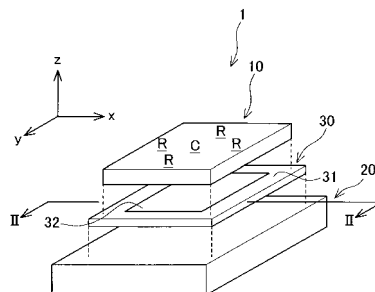
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体装置に設けられた半導体素子内の位置における電気抵抗率の相違を低減する半導体装置を提供する。

【解決手段】 周辺部Rと中央部Cを有する半導体素子10と、半導体素子10の実装基板20と、半導体素子10を実装基板20に接合している接合層30を備え、実装基板20と接合層30のうち少なくとも一方は、半導体素子10の周辺部Rに対応している領域と、半導体素子10の中央部Cに対応している領域とで不均一に構成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体素子が接合層によって実装基板に接合されている半導体装置であり、接合層と実装基板の少なくとも一方は、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで、材料組成が異なっていることを特徴とする半導体装置。

【請求項 2】

前記接合層は、半導体素子の周辺部を実装基板に接合している領域では引っ張り強度が高い材料組成を有し、半導体素子の中央部を実装基板に接合している領域では引っ張り強度が低い材料組成を有することを特徴とする請求項 1 の半導体装置。

10

【請求項 3】

前記接合層は、半導体素子の周辺部を実装基板に接合している領域では融点が高い材料組成を有し、半導体素子の中央部を実装基板に接合している領域では融点が高い材料組成を有することを特徴とする請求項 1 の半導体装置。

【請求項 4】

前記実装基板は、接合層によって半導体素子の周辺部に接合されている領域では線膨張係数が大きい材料組成を有し、接合層によって半導体素子の周辺部に接合されている領域では線膨張係数が小さい材料組成を有することを特徴とする請求項 1 の半導体装置。

【請求項 5】

前記実装基板は、多孔質の母材の孔に、母材とは相違する線膨張係数を有する部材が配設された材料で形成されており、接合層によって半導体素子の周辺部に接合されている領域と、接合層によって半導体素子の中央部に接合されている領域とで、前記孔に配設されている部材の量が相違していることを特徴とする請求項 4 の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子が接合層によって実装基板に接合されている半導体装置に関し、特に、半導体素子内の位置による電気抵抗率のばらつきが小さい半導体装置に関する。

【背景技術】

【0002】

半導体装置は、一般的に、スイッチング素子等を構成する半導体素子が接合層によって実装基板に接合されている。

30

例えば、図 22 に示すように、特許文献 1 の半導体装置 100 では、半導体素子 110 が接合層 130 によって実装基板 120 に接合されている。実装基板 120 には、半導体素子 110 の冷却を促進するために、熱伝導率の高い Cu 又は Al 等の金属基板が用いられ、接合層 130 には、はんだが用いられる。なお、接合層 130 に、はんだ以外の金属や接着剤等が用いられる場合もある。

【特許文献 1】特開 2004 - 87735 号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0003】

半導体素子 110 を接合層 130 によって実装基板 120 に接合する際には、加熱接合することが多い。また、実装基板 120 の主材料 (Cu, Al 等) の線膨張係数は、半導体素子 110 の主材料 (Si, GaN 等) の線膨張係数よりも大きい場合が多い。接合層 130 の厚みは、半導体素子 110 や実装基板 120 の厚みと比較して薄いので、実装基板 120 と半導体素子 110 の線膨張係数の差が、実装基板 120 と半導体素子 110 の接合状態に影響を及ぼす。半導体素子 110 を実装基板 120 に加熱接合した後に、動作温度 (例えば、20 ~ 30) にまで温度を下げると、半導体素子 110 よりも実装基板 120 の線膨張係数が大きいため、半導体素子 110 に半導体素子 110 を中央部に向けて圧縮する熱応力が発生する。

50

この場合、半導体素子 110 に発生する熱応力は、半導体素子 110 の周辺部において相対的に小さく、中央部において相対的に大きくなりやすい。半導体素子 110 内の位置によって熱応力の値がばらつくと、ピエゾ抵抗効果によって半導体素子 110 を構成する材料の電気抵抗率が変化することから、半導体素子 110 内の位置によって電気抵抗率がばらついてしまう。すると、半導体素子がオンした際に、電気抵抗率が低い部分に電流が集中し、この部分が局所的に発熱し易い。

本発明は、上記の問題点を解決するために創案された。本発明では、実装基板に接合されている半導体素子の電気抵抗率が半導体素子内の位置によってばらつく度合いが小さい半導体装置を提供する。

【課題を解決するための手段】

10

【0004】

(請求項 1 に記載の発明)

本発明の半導体装置では、半導体素子が接合層によって実装基板に接合されている。本発明の半導体装置では、接合層と実装基板の少なくとも一方が、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで、材料組成が異なっていることを特徴とする。

ここでいう「半導体素子の周辺部」は、半導体素子の周囲の全範囲を意味する場合もあれば、半導体素子の周囲の一部の範囲を意味する場合もある。たとえば、半導体素子の平面形状が略四角形に形成されている場合には、四辺に隣接する範囲であることもあれば、対向する二辺に隣接する範囲のみであることもある。「半導体素子の中央部」は、半導体素子の周辺部に囲まれている範囲を意味する場合もあれば、中心を含む範囲であって上記した「周辺部」以外の全ての範囲を意味する場合もあれば、「周辺部」以外の一部の範囲を意味する場合もある。典型的には、「中央部」には、半導体素子の主動作領域が配設されており、「周辺部」には、主動作領域が配設されていない。「周辺部」には、例えば周辺耐圧領域やワイヤ等とのボンディング領域が形成されている。

20

【0005】

従来の技術の欄に記載したように、一般的に、半導体素子を接合層によって実装基板に加熱接合した後に温度を下げると、半導体素子に熱応力が発生する。実装基板の材料組成が一様であり、接合層の材料組成が一様であると、半導体素子の中心に近いほど半導体素子に発生する熱応力が大きくなる。

30

本発明の半導体装置の場合、接合層と実装基板の少なくとも一方では、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで、材料組成が変えてある。材料組成を変えることによって、熱応力が集中しやすい半導体装置の中央部では実装基板による機械的拘束力を弱め、熱応力が集中しづらい半導体装置の周辺部では実装基板による機械的拘束力を強めることができる。これにより、半導体素子は周辺部において相対的に強固に実装基板に固定され、中央部では相対的にフリーな状態におかれる。これによって、半導体素子を実装基板に確実に接合するとともに、中心に近い程大きくなっていった熱応力の分布を一様化することができる。したがって、ピエゾ抵抗効果によって、電気抵抗率が半導体素子内の位置によってばらついてしまう現象の発生を抑制することができる。半導体素子がオン状態の際に、応力集中とピエゾ抵抗効果によって、電気抵抗率が低くなった部分に電流が集中し、この部分が局所的に発熱するのを防止することができる。

40

【0006】

(請求項 2 に記載の発明)

半導体素子と実装基板を接合する接合層が、半導体素子の周辺部を実装基板に接合している領域では引っ張り強度が高い材料組成を有し、半導体素子の中央部を実装基板に接合している領域では引っ張り強度が低い材料組成を有していてもよい。

この場合、半導体素子は、周辺部において強く拘束され、中央部では弱く拘束される。従って、半導体素子は、周辺部において強く拘束された状態で実装基板に接合される。この場合、半導体素子の中心に近づくほど熱応力が発達する現象が抑制される。半導体素子

50

内の位置によって熱応力が大きく分布する現象を抑制することができる。

【0007】

(請求項3に記載の発明)

半導体素子と実装基板を接合する接合層が、半導体素子の周辺部を実装基板に接合している領域では融点が高い材料組成を有し、半導体素子の中央部を実装基板に接合している領域では融点が高い材料組成を有していてもよい。

この場合、半導体素子の周辺部は高い温度状態で実装基板に拘束され、中央部は低い温度状態で実装基板に拘束される。すなわち、半導体素子の周辺部が実装基板に拘束される時の温度と半導体素子の動作温度の差に比して、半導体素子の中央部が実装基板に拘束される時の温度と半導体素子の動作温度の差は小さい。半導体素子に加わる熱応力は、前記の温度差が小さいほど小さい。従って、半導体素子の中央部において、大きな熱応力が発達することを防止できる。半導体素子内の位置によって熱応力が大きく分布する現象を抑制することができる。

10

【0008】

(請求項4に記載の発明)

実装基板が、接合層によって半導体素子の周辺部に接合している領域では線膨張係数が大きい材料組成を有し、接合層によって半導体素子の中央部に接合している領域では線膨張係数が小さい材料組成を有していてもよい。

この場合、半導体素子を実装基板に加熱接合してから半導体素子の動作温度にまで温度を下げた場合に、半導体素子の中央部が接合される実装基板では収縮率が小さいに対し、半導体素子の周辺部が接合される実装基板では収縮率が高い。従って、半導体素子の中央部において熱応力が発達する程度が低減される。半導体素子内の位置によって熱応力が大きく分布する現象を抑制することができる。

20

【0009】

(請求項5に記載の発明)

実装基板を多孔質の母材で構成することができ、多孔質の母材の孔に母材とは相違する線膨張係数を有する部材を配設することができる。この場合、接合層によって半導体素子の周辺部に接合されている領域と、接合層によって半導体素子の中央部に接合されている領域とで、前記孔に配設されている部材の量を相違させることによって、半導体素子の周辺部に接合されている実装基板の線膨張係数の方が、半導体素子の中央部に接合されている実装基板の線膨張係数よりも大きくすることができる。

30

本発明の半導体装置によれば、半導体素子の周辺部に接合されている実装基板の線膨張係数と中央部に接合されている実装基板の線膨張係数の関係を簡単に調節することができる。

【0010】

多孔質の母材の孔に、母材よりも大きな線膨張係数を有する部材を配設してもよいし、小さな線膨張係数を有する部材を配設してもよい。小さな線膨張係数を有する部材を配設する場合には、例えば以下の構成を採用することができる。

典型的には、母材の孔は基本的に同じサイズとし、半導体素子の周辺部に対応する領域では孔の密度を低くし、中央部に対応する領域では孔の密度を高くする。この場合、全ての孔に母材よりも小さい線膨張係数を有する部材を含浸すると、半導体素子の周辺部が接合される領域では小さな線膨張係数を有する部材が少量存在するのに対し、半導体素子の中央部が接合される領域では小さな線膨張係数を有する部材が多量に存在する関係を得ることができる。

40

あるいは、母材の孔は基本的に同じサイズとし、孔の密度を実装基板の全体に亘って均一としてもよい。この場合、半導体素子の周辺部に対応する領域では少ない孔に母材よりも小さい線膨張係数を有する部材を配設し、中央部に対応する領域では多くの孔に母材よりも小さい線膨張係数を有する部材を配設する。こうしても、半導体素子の周辺部が接合される領域では小さな線膨張係数を有する部材が少量存在するのに対し、半導体素子の中央部が接合される領域では小さな線膨張係数を有する部材が多量に存在する関係を得るこ

50

とができる。

あるいは、孔の密度を実装基板の全体に亘って均一とする一方、半導体素子の周辺部に対応する領域では孔のサイズを小さくし、中央部に対応する領域では孔のサイズを大きくする。こうしても、半導体素子の周辺部が接合される領域では小さな線膨張係数を有する部材が少量存在するのに対し、半導体素子の中央部が接合される領域では小さな線膨張係数を有する部材が多量に存在する関係を得ることができる。

いずれによっても、半導体素子の周辺部に接合されている実装基板の線膨張係数の方が、半導体素子の中央部に接合されている実装基板の線膨張係数よりも大きいという関係を得ることができる。

【発明の効果】

10

【0011】

本発明によれば、半導体素子内の位置による電気抵抗率のばらつきが小さな半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下に説明する実施例の主要な特徴を列記しておく。

(第1実施形態)半導体素子は上面略四角形であって、半導体素子の周辺部とは、半導体素子の四辺に隣接する範囲を示す。

(第2実施形態)半導体素子は上面略四角形であって、半導体素子の周辺部とは、半導体素子の対向する二辺に隣接する範囲を示す。

20

(第3実施形態)半導体素子の最周辺部と周辺部と中央部とでは、異なる融点を有する接合部材で実装基板に接合されている。

(第4実施形態)半導体素子の周辺部を実装基板に接合する接合部材の融点は、半導体素子の最周辺部を実装基板に接合する接合部材の融点よりも低く、半導体素子の中央部を実装基板に接合する接合部材の融点よりも高い。

(第5実施形態)半導体素子の周辺部と中央部は、実装基板の異なる線膨張係数を有する領域に接合されている。

(第6実施形態)実装基板は、異なる線膨張係数を有する基板部材が組み合わされて形成され、領域によって異なる線膨張係数を有している。半導体素子の周辺部は実装基板の線膨張係数が大きい領域に接合されており、半導体素子の中央部は実装基板の線膨張係数が

30

【実施例】

【0013】

(第1実施例)

以下に第1実施例の半導体装置1を図1～図6を参照して説明する。第1実施例の半導体装置には、スイッチング素子等を構成する半導体素子が設けられている。そして、半導体素子の周辺部を実装基板に接合する接合部材と、半導体素子の中央部を実装基板に接合する接合部材の引っ張り強度が相違する。

図1には、半導体装置1の要部分解図が模式的に示されている。図2～図4は、半導体素子が実装基板に接合される工程を示す。図5は、実装基板に接合した半導体素子に発生する熱応力を示す斜視図である。図6では、半導体装置1の上面図と、半導体素子内の位置に対応する熱応力の分布を示す。

40

【0014】

図1に示すように、半導体装置1では、上面略正方形の半導体素子10が接合層30によって実装基板20に接合されている。接合層30は、上面から見て、半導体素子10よりも若干大きい略正方形となっている。

本実施例の半導体素子10は、主にSi(シリコン)により構成されている。半導体素子10の中央部Cには、図示していないが、半導体素子10の主動作領域が配設されている。半導体素子10の四辺に隣接する周辺部Rには、電極パッド等が配設されている。

実装基板20は、主にCu(銅)又はAl(アルミニウム)等の熱伝導率の高い金属で

50

構成されている。

接合層 30 は 2 種類の材料からなり、略正方形の四辺に沿って、枠形状の第 1 接合部材 31 が設けられている。第 1 接合部材 31 の中央の開口には、第 2 接合部材 32 が設けられている。第 1 接合部材 31 の引っ張り強度 T_1 (Pa) は、第 2 接合部材 32 の引っ張り強度 T_2 (Pa) よりも大きい ($T_1 > T_2$)。第 1 接合部材 31 の引っ張り強度 T_1 (Pa) は、200 (MPa) 以上であることが好ましい。第 1 接合部材 31 としては、AuSn, AuSi, AuGe 等の材料が用いられる。第 2 接合部材 32 の引っ張り強度 T_2 (Pa) は、10 (MPa) 以下であることが好ましい。第 2 接合部材 32 には、Ag 系のエポキシ導電性接着材 (Ag: 85% ~ 90%、エポキシ: 15% ~ 10%) 等が用いられる。

10

【0015】

次に図 2 ~ 図 4 を用いて、半導体素子 10 を実装基板 20 に接合する工程を説明する。図 2 ~ 図 4 は、図 1 の II - II 線に対応する半導体装置 10 の断面図である。

まず図 2 に示すように、実装基板 20 の上面に、枠形状の第 1 接合部材 31 と枠内に嵌まる第 2 接合部材 32 を載置する。

次に図 3 に示すように、半導体素子 10 の中央部 C を第 2 接合部材 32 の上に配置するとともに、半導体素子 10 の周辺部 R を第 1 接合部材 31 の上に配置する。そして、温度を、第 1 接合部材 31 の融点と第 2 接合部材 32 の融点のいずれよりも高い温度にまで上昇させる。

すると図 4 に示すように、第 1 接合部材 31 と第 2 接合部材 32 は溶融する。その後温度が下げられることによって、第 1 接合部材 31 と第 2 接合部材 32 は再び固化する。これにより、半導体素子 10 は接合層 30 によって実装基板 20 に接合 (加熱接合) される。

20

【0016】

ここで、実装基板の線膨張係数を TCE_{sub} 、Si の線膨張係数を TCE_{si} 、半導体素子を実装基板に実装する際の加熱温度を T_{pack} 、半導体装置の動作温度を T_{op} 、Si のヤング率を Y_{si} とすると、図 5 に示す半導体素子 10 の x 方向及び - x 方向に発生する熱応力 σ_x と、y 方向及び - y 方向に作用する熱応力 σ_y の絶対値は、それぞれ (式 1) によって算出される。

$$\sigma_x, \sigma_y \text{ の絶対値} = ABS [(TCE_{sub} - TCE_{si}) \times (T_{pack} - T_{op}) \times Y_{si}] \quad \dots (式 1)$$

30

【0017】

本実施例の実装基板 20 を構成している金属は、半導体素子 10 を構成している Si よりも線膨張係数 TCE が大きい ($TCE_{sub} > TCE_{si}$)。この場合、熱応力 σ_x, σ_y は負の値となり、図 5 に示すように、半導体素子 10 を中心方向に圧縮する圧縮応力が発生する。

なお、実際の半導体素子 10 では、接合層が一様な場合には、半導体素子の中心に近い程、機械的拘束力が強くなる。これに対応して、接合層が一様な場合には、図 6 の太い破線 (σ_{x2}, σ_{y2}) で示すように、実際の熱応力の絶対値は、半導体素子 10 の中心に近い程大きくなる。

40

半導体素子に応力が発生すると、ピエゾ抵抗効果によって、応力の大きさに応じて半導体素子の電気抵抗率が変化することが知られている。

例えば図 5 に示すように、電流が - z 方向に流れる半導体素子 10 (縦型半導体素子) の場合、熱応力 σ_x, σ_y が発生すると、- z 方向の電気抵抗率は、下記の (式 2) に示す変化割合で変化する。

$$\text{電気抵抗率変化割合} = [(\text{ピエゾ抵抗係数} 53.4 \times 10^{-11}) \times (\sigma_x + \sigma_y)] \quad \dots (式 2)$$

熱応力 σ_x, σ_y が、図 5、図 6 に示すような圧縮応力である場合 (熱応力 σ_x, σ_y

50

が負の値となる場合)、熱応力 x と熱応力 y の絶対値が大きくなる程、 $-z$ 方向の電気抵抗率は(式2)で算出される割合をもって小さくなる。したがって、接合層が一様な場合には、実際の電気抵抗率は、半導体素子の中心に近い程小さくなる。そこで、 $-z$ 方向に流れる電流は、半導体素子の中央部に集中し、中央部が集中的に発熱する現象が生じる。

【0018】

一方、実施例1の半導体装置1を用いれば、半導体素子10の周辺部Rが、引っ張り強度の大きい第1接合部材31によって、実装基板20に強く拘束された状態となっている。これに対応して、図6の太い実線(x_1, y_1)で示すように、第1接合部材31によって実装基板20に接合されている領域(周辺部R)では、熱応力 x_1, y_1 の絶対値が半導体素子の中心に近づくほど大きくなっているものの、第2接合部材32によって実装基板20に接合されている領域(中央部C)では、熱応力 x_1, y_1 の絶対値が半導体素子内の位置に無関係にほぼ一定値に維持されている。

10

熱応力が分布していなければ、電気抵抗率も分布しない。したがって、半導体装置1を用いれば、半導体素子10内の中央部Cにおいて電気抵抗率が局所的に減少し、大電流が局所的に流れて局所的に発熱する現象の発生を抑制することができる。

【0019】

前述したように、中央部Cに半導体素子10の主動作領域が配設されている。周辺部Rには、電極パッド等が配設されている。したがって、周辺部Rでは、その位置によって電気抵抗率が変化していても、半導体素子10の動作には影響が少ない。本実施例の半導体装置1によれば、半導体素子10の周辺部Rが集中的に拘束された状態で実装基板20に確実に接合されるとともに、中央部Cの機械的拘束力が弱められることで、中央部Cの中心に近づくほど発達していた熱応力が発達するのを抑制することができる。これにより、中央部Cでは、位置によって電気抵抗率が相違する度合いを低減することができる。したがって、半導体素子10がオン状態の際に、主動作領域の電気抵抗率が低い部分に電流が集中し、この部分が局所的に発熱するのを防止することができる。

20

【0020】

(第2実施例)

次に第2実施例の半導体装置1aを図7、図8を参照して説明する。

半導体装置1aでは、半導体素子10の対向する二辺に隣接する範囲が集中的に拘束された状態で実装基板20に接合されている。

30

図7には、半導体装置1aの要部分解図が模式的に示されている。図8では、半導体装置1aの上面図と、半導体素子10内の位置に対応する熱応力の分布を示す。

【0021】

図7に示すように、半導体装置1aでは、上面略正方形の半導体素子10が接合層30aによって実装基板20に接合されている。

本実施例の半導体素子10は、主にSi(シリコン)により構成されている。半導体素子10の中央部Caには、スイッチング素子等が配設され、半導体素子10の主動作領域が構成されている。半導体素子10の対向する二辺に隣接する周辺部Raには、電極パッド等が配設されている。本実施例の半導体素子10と実装基板20は、実施例1の半導体装置1と同様の構成であるので説明を省略し、図7、8中では同じ符号を用いている。

40

接合層30aは、半導体素子10のy方向に伸びる対向する二辺に沿って伸びるストライプ状の第1接合部材31aを備えている。第1接合部材31aの間には、第2接合部材32aが設けられている。第1接合部材31aの引っ張り強度T1(Pa)は、第2接合部材32aの引っ張り強度T2(Pa)よりも大きい($T1 > T2$)。

半導体装置1aについて、半導体素子10を実装基板20に接合する工程は、実装基板20に載置する接合層30aの構成が相違するだけで、あとは実施例1の半導体装置1と同様であるので、説明を省略する。

第1接合部材31aによって半導体素子10aの周辺部Raが実装基板20に接合される。また、第2接合部材32aによって半導体素子10aの中央部Caが実装基板20に

50

接合される。

【0022】

実施例2の半導体装置1aを用いれば、半導体素子10は、引っ張り強度の大きい第1接合部材31aによって対向する二辺に隣接する周辺部Raが集中的に拘束された状態となっている。これに対応して、x方向及び-x方向では、図8の太い実線(σ_{x1a})で示すように、第1接合部材31aによって実装基板20に接合されている領域(周辺部Ra)では、熱応力 σ_{x1a} の絶対値が半導体素子の中心に近づくほど大きくなっているのに対し、第2接合部材32aによって実装基板20に接合されている領域(中央部Ca)では、熱応力 σ_{x1a} の絶対値は半導体素子内の位置に無関係にほぼ一定値に維持されている。

10

また、x方向での中央部Caにおけるy方向に沿った断面では、半導体素子10aの周辺部Rzは第2接合部材32aで実装基板に接合されており、周辺部Rzで集中的に拘束されているわけでない。しかしながら、第2接合部材32aの引っ張り強度T2が低いので、図8の太い実線(σ_{y1a})で示すように、大きな熱応力は発生しない。なお、周辺部Raにおけるy方向に沿った断面では、全てが第1接合部材31aで接合されており、強固に拘束されている。したがって、図8の太い破線(σ_{y2})で示すような熱応力 σ_y が発生する。しかしながら、その部分は半導体素子10の主動作領域でなく、大きな熱応力が作用しても特段の問題は生じない。

図8に示す中央部Caのように、熱応力 σ_{x1a} に変化がない部分では、電気抵抗率の変化はない。したがって、半導体装置1aを用いれば、半導体素子10aの中央部Ca内の位置によって電気抵抗率が分布する度合いを低減することができる。また、図8に示す中央部Caのように、y方向の熱応力(σ_{y1a})が小さければ、電気抵抗率はほとんど変化しない。

20

【0023】

図1の半導体装置1と図7の半導体装置1aは、z方向に電流が流れる縦型の半導体素子であるが、本発明は、図9に示すように、x方向に電流が流れる横型の半導体装置1bにも適用することができる。半導体装置1bの接合層30bは、半導体装置1aの接合層30aと同様に構成されている。接合層30bは、半導体素子のx方向に伸びる対向する二辺に沿って伸びるストライプ状の第1接合部材31bを備えている。第1接合部材31bの間には、第2接合部材32bが設けられている。半導体素子10bは、y方向の両端に位置する周辺部Rbが、集中的に拘束された状態となっている。これによって、y方向及び-y方向の熱応力 σ_{y1b} が発生し、x方向及び-x方向の熱応力はほとんど発生しない。

30

【0024】

一般的に、接合層や実装基板が一樣であれば、x方向とy方向に熱応力 σ_x 、 σ_y が発生する。この応力によって、x方向の電気抵抗率が変化する割合が、下記の(式3)で算出される。

$$\text{電気抵抗率が変化する割合} = \text{ピエゾ抵抗係数}(-1.02 \cdot 2 \times 10^{-11}) \times \sigma_x + \text{ピエゾ抵抗係数}(53.4 \times 10^{-11}) \times \sigma_y \cdots (\text{式3})$$

40

これは、熱応力 σ_x と熱応力 σ_y が、図9に示すように圧縮応力である場合(熱応力 σ_x と σ_y が負の値の場合)、熱応力 σ_x の絶対値が大きくなる程、x方向の電気抵抗率は(式3)で算出される割合をもって大きくなることを示している。また、熱応力 σ_y の絶対値が大きくなる程、x方向の電気抵抗率は、(式3)で算出される割合をもって小さくなることを示している。

【0025】

半導体装置1bでは、図9に示すようにy方向の熱応力 σ_{y1b} が、半導体素子10bを圧縮する方向に発生する。x方向の熱応力 σ_{x1b} は小さい。

したがって、図9に示す半導体装置1bの場合には、下記式が得られる。

$$\text{x方向の電気抵抗率が変化する割合} = \text{ピエゾ抵抗係数}(53.4 \times 10^{-11}) \times \sigma_y$$

50

1 b

半導体装置 1 b では、この割合をもって、熱応力 $\sigma_{y 1 b}$ の絶対値が大きくなる程、x 方向の電気抵抗率が小さくなる。これにより、半導体装置 1 b は、周辺部 R b で確実に実装基板 2 0 に接合されているとともに、通電方向である x 方向の抵抗が大きくなることなく、オン状態の際の損失が少ない。このように、半導体装置 1 b では、一方向に発生する熱応力を積極的に利用している。

【0026】

また、本発明は、図 1 0 に示すような x 方向に電流が流れる横型の半導体装置 1 c にも適用することができる。半導体装置 1 c の接合層 3 0 c は、半導体装置 1 a の接合層 3 0 a と同様に構成されている。接合層 3 0 c は、半導体素子の y 方向に伸びる対向する二辺に沿って伸びるストライプ状の第 1 接合部材 3 1 c を備えている。第 1 接合部材 3 1 c の間には、第 2 接合部材 3 2 c が設けられている。半導体素子 1 0 c は、x 方向の両端に存在する周辺部 R c で、集中的に拘束された状態となっている。これによって、x 方向及び - x 方向の熱応力 $\sigma_{x 1 c}$ が発生し、y 方向及び - y 方向の熱応力はほとんど発生しない。

10

【0027】

したがって、図 1 0 に示す半導体装置 1 c の場合には、下記式が得られる。

x 方向の電気抵抗率が変化する割合 = ピエゾ抵抗係数 (-102.2×10^{-11}) x

$\sigma_{x 1 c}$

半導体装置 1 c では、この割合をもって、熱応力 $\sigma_{x 1 c}$ の絶対値が大きくなる程、x 方向の電気抵抗率が大きくなる。これにより、半導体装置 1 c は、周辺部 R c で確実に実装基板 2 0 に接合されているとともに、通電方向である x 方向の抵抗が大きくなり、短絡負荷時の破壊耐量が高い。このように、半導体装置 1 c では、一方向に発生する熱応力を積極的に利用している。

20

【0028】

(第 3 実施例)

次に第 3 実施例の半導体装置 1 d を図 1 1 ~ 図 1 8 を参照して説明する。

半導体装置 1 d では、半導体素子 1 0 の周辺部 R を実装基板 2 0 に接合する接合部材の融点と、半導体素子 1 0 の中央部 C を実装基板 2 0 に接合する接合部材の融点が相違している。

30

図 1 1 には、半導体装置 1 d の要部分解図が模式的に示されている。図 1 2 ~ 図 1 7 には、半導体素子が実装基板に接合される工程を示す。図 1 8 では、半導体装置 1 d 内の位置に対応する電気抵抗率の分布を示す。

【0029】

図 1 1 に示すように、半導体装置 1 d には、上面略正方形の半導体素子 1 0 が接合層 3 0 d によって実装基板 2 0 に接合されている。接合層 3 0 d は、上面から見て、半導体素子 1 0 よりも若干大きい略正方形となっている。

本実施例の半導体素子 1 0、実装基板 2 0 は、第 1 実施例の半導体装置 1 と同様であるので、説明を省略する。

接合層 3 0 d には、略枠状であるとともに、1 辺に間隔 d の開口部を有する第 3 接合部材 3 1 d が設けられている。第 3 接合部材 3 1 d の中央部には、第 4 接合部材 3 2 d が設けられている。第 3 接合部材 3 1 d の融点 T_{m1} () は、第 4 接合部材 3 2 d の融点 T_{m2} () よりも高い (T_{m1} () > T_{m2} ())。第 3 接合部材 3 1 d には、AuSn, AuSi, AuGe 等の部材が用いられる。第 4 接合部材 3 2 d には、SnAg, PbSn (Pb は 50 パーセント以下), SnCu, SnIn, SnBi 等の部材が用いられる。

40

【0030】

次に、図 1 2 ~ 図 1 7 を用いて、半導体素子 1 0 を実装基板 2 0 に接合する工程を説明する。

図 1 2 に示すように、まず、実装基板 2 0 の上面にソルダーレジスト 4 0 をパターンニ

50

ングして配設する。ソルダーレジスト40は、第3接合部材31dと第4接合部材32dと同じ厚みか、あるいはそれ以上の厚み(図12に示す上下方向の寸法)に形成する。ソルダーレジスト40には、第3接合部材31dの形状に対応する溝41が設けられている。

次に、図13に示すように、溝41に第3接合部材31dを配置する。第3接合部材31dには、間隔dのゲートGが設けられている。そして、その上に半導体素子10を載置する。

この状態で、第3接合部材31dの融点よりも高い温度にまで加熱し、図14に示すように、半導体素子10を実装基板20に加熱接合する。

次に図15に示すように、ソルダーレジスト40を除去する。これにより、第4接合部材32dの溶融材料が注入される中空部が形成されるとともに、第4接合部材32dの溶融材料を注入可能なゲートG(幅d)が形成される。

そして図16に示すように、ゲートGから、第4接合部材32dの融点よりも高い温度にまで加熱することで溶融させた第4接合部材32dを注入する。溶融材料は毛細管現象によって中空部に広がる。その後温度を下げることによって、第4接合部材32dが固化する。以上によって熱接合が完成する。

【0031】

ここで、実装基板の線膨張係数を TCE_{sub} 、Siの線膨張係数を TCE_{si} 、第3接合部材31dの融点を T_{m1} 、第4接合部材32dの融点を T_{m2} 、半導体装置の動作時の温度を T_{op} (20~30程度)、Siのヤング率を Y_{si} とすると、第3接合部材31dにより接合された周辺部R(4辺の周辺)に作用する熱応力 σ_1 、第4接合部材32dにより接合された中央部Cに作用する熱応力 σ_2 の絶対値は、それぞれ下記(式4)によって算出される。熱応力 σ_1 及び熱応力 σ_2 は、半導体素子10を圧縮する方向に発生する。

$$\text{熱応力 } \sigma_i \text{ の絶対値} = ABS [(TCE_{sub} - TCE_{si}) \times (T_{mi} - T_{op}) \times Y_{si}]$$

ここで、 i は1または2である (式4)

前述したように、融点 T_{m1} () > 融点 T_{m2} ()であるので、(式4)より、熱応力 σ_1 の絶対値 > 熱応力 σ_2 の絶対値となる。したがって、接合層30dを、一様に第3接合部材31dによって形成した場合と比較して、半導体素子10の中央部Cに発生する熱応力の絶対値を低減することができる。

【0032】

半導体素子10は、-z方向に電流が流れる縦型半導体素子であるので、熱応力 σ_1 、 σ_2 が発生すると、-z方向の電気抵抗率が変化する。その割合が、(式5)で算出される。

$$\text{-z方向の電気抵抗率が変化する割合} = [(\text{ピエゾ抵抗係数 } 53.4 \times 10^{-11}) \times \sigma_i]$$

ここで、 i は1または2である (式5)

これにより、熱応力 σ_1 の絶対値 > 熱応力 σ_2 の絶対値の場合、図18に示すように、中央部Cの電気抵抗率の変化を低減することができる。

【0033】

このように、第3実施例の半導体装置1dを用いれば、半導体素子10の中央部C内の位置による電気抵抗率の変化の度合いを低減することができる。したがって、半導体素子10がオン状態の際に、主動作領域の電気抵抗率が低い部分に電流が集中し、この部分が局所的に発熱するのを防止することができる。

【0034】

第3実施例では、接合層30dに、融点が相違する2種類の接合部材、すなわち第3接合部材31dと第4接合部材32dが設けられている場合について説明した。接合層には、融点が相違する3種類以上の接合部材が設けられていてもよい。例えば、接合層に3種類の接合部材が設けられている場合、図11に示す接合層30dのように二重ではなく、

10

20

30

40

50

三重（最周辺部対応領域、周辺部対応領域、中央部対応領域）に構成される。そして、外側ほど融点が高い材料で接合部材が形成される。この構成によれば、半導体素子 10 が接合層によって実装基板 20 に接合される際の機械的拘束力（クランプ力）、及び半導体素子 10 に発生する熱応力の大きさの両者を満足する値に調整し易い。

【0035】

（第4実施例）

次に第4実施例の半導体装置 1e を図 19 を参照して説明する。

半導体装置 1e では、半導体素子 10 の周辺部 R が接合される実装基板の領域（周辺部対応領域）の線膨張係数が、中央部 C が接合される実装基板の領域（中央部対応領域）の線膨張係数と相違する。

図 19 には、半導体装置 1e の要部断面図と、実装基板 20e の位置に対応する線膨張係数 TCE の分布を示す。

【0036】

図 19 に示すように、半導体装置 1e には、上面略正方形の半導体素子 10 が実装基板 20e に接合層 30e で接合されている。接合層 30e は、上面から見て、半導体素子 10 よりも若干大きく形成されている。

本実施例の半導体素子 10 は、第 1 実施例と同様であるので、説明を省略する。本実施例の接合層 30e は、一様な部材で形成されている。

実装基板 20e は、周辺部 R 側ほど、多数の孔 21e が形成された多孔体の孔 21e に多孔体と異なる材料を含浸させた材料で構成されている。含浸させた材料は多孔体の材料よりも、線膨張係数が大きい。多孔体の材料には、タングステン、Mo, SiC 等が用いられる。多孔体の孔 21e に含浸させる材料には、Cu, Al 等が用いられる。多孔体に設ける孔 21e の数は、作業温度や、冷却条件、雰囲気等により制御可能であることが知られている。この実施例では、2 種類の材料を組み合わせる点では、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで異なる。ただし、組成比が相違する。これもまた、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで材料組成が異なることに相当する。

【0037】

一般的に、一様な実装基板に一様な接合層で接合された半導体素子には、半導体素子の中心に近い程熱応力による影響が大きくなる。本実施例の半導体装置 1e では、周辺部対応領域と中央部対応領域とで、単位体積あたりの実装基板に配設する材料（多孔体の材料よりも線膨張係数の大きい）の量を異ならせることによって、周辺部対応領域の線膨張係数の方が中央部対応領域の線膨張係数よりも大きくなるように構成している。

この実施例では、半導体素子 10 の周辺部 R 側を接合する領域ほど、実装基板 20e の線膨張係数が大きい。したがって、周辺部 R 側と比較して中央部 C の方が機械的拘束力が小さく、周辺部 R で集中的にクランプされた状態となって実装基板 20e に接合されている。これにより、半導体素子 10 の中央部 C 内の位置による熱応力の変化の度合いを低減することができる。熱応力の変化の度合いが低減されれば、電気抵抗率の変化の度合いも低減される。したがって、半導体装置 1e を用いれば、半導体素子 10 内の位置による電気抵抗率の相違を低減することができる。

また、第 4 実施例の半導体装置 1e によれば、実装基板の周辺部対応領域と中央部対応領域の線膨張係数を簡単に調節することができる。

【0038】

第 4 実施例では、単位体積あたりの実装基板 20e に空けられている同じ大きさの孔 21e の数が、中央部対応領域よりも周辺部対応領域の方が多く、全ての孔 21e に実装基板 20e よりも大きい線膨張係数を有する材料を含浸する場合について説明した。周辺部対応領域の線膨張係数を中央部対応領域の線膨張係数よりも大きくする構成は本実施例に限定されるものではない。

例えば、単位体積あたりの実装基板に空けられている同じ大きさの孔の数は、中央部対応領域も周辺部対応領域も同じであって、孔に選択的に実装基板よりも大きい線膨張係数

10

20

30

40

50

を有する材料を配設してもよい。この場合、中央部対応領域に設けられている孔よりも周辺部対応領域に設けられている孔に多くの材料を含浸する。あるいは、単位体積あたりの実装基板に空けられている孔の数は同じであって、周辺部対応領域では中央部対応領域よりも大きい孔が設けられていてもよい。

また、多孔質の実装基板の孔に、実装基板よりも小さい線膨張係数を有する材料を配設する場合としては以下の構成が考えられる。

例えば、単位体積あたりの実装基板に空けられている同じ大きさの孔の数が、周辺部対応領域よりも中央部対応領域の方が多く、全ての孔に実装基板よりも小さい線膨張係数を有する材料を含浸する。あるいは、単位体積あたりの実装基板に空けられている孔の数と大きさは同じであって、孔に選択的に実装基板よりも小さい線膨張係数を有する材料を配設してもよい。この場合、周辺部対応領域に設けられている孔よりも中央部対応領域に設けられている孔に多くの材料を含浸する。あるいは、単位体積あたりの実装基板に空けられている孔の数は同じであって、中央部対応領域では周辺部対応領域よりも大きい孔が設けられていてもよい。

これらによって、周辺部対応領域の線膨張係数の方が中央部対応領域の線膨張係数よりも大きくなるように構成することができる。

【0039】

また、図20に示すように、線膨張係数の大きい材料と線膨張係数の小さい材料を貼り合わせることで、実装基板を形成してもよい。

図20に示す実装基板20fでは、母材22fに、半導体素子10の中心が接合される領域程深く形成した上面開口の穴を設ける。そして、この穴に母材22fよりも線膨張係数の小さい材料で形成されているとともに穴を埋める形状の部材23fを、ろう付け等で張り合わせる。母材22fとしては、Cu, Al等が用いられる。部材23fとしては、W, Mo等が用いられる。このように構成された実装基板20fは、図19に示した実装基板20eと同様、半導体素子10の周辺部対応領域ほど線膨張係数が大きい。したがって、実装基板20eと同様、半導体素子10中央部の位置による熱応力の変化を低減することができる。また、母体である多孔体の孔に材料を含浸させる方法と比較して、母体の構成、及び製造方法が簡単であるので、製造コストを抑制することができる。

また、図21に示す実装基板20gでは、母材22gに、半導体素子10の中心が接合される領域程深く形成した上面開口の階段上の穴を設ける。そして、この穴に母材22gよりも線膨張係数の小さい材料で形成されているとともに穴を埋める形状の部材23gを張り合わせる。母材22gとしては、Cu, Al等が用いられる。部材23gとしては、W, Mo等が用いられる。このように構成された実装基板20gは、図19に示した実装基板20eと同様、半導体素子10の周辺部対応領域ほど線膨張係数が大きい。したがって、実装基板20eと同様、半導体素子10中央部の位置による熱応力の変化を低減することができる。また、母体である多孔体の孔に材料を含浸させる方法と比較して、母体の構成、及び製造方法が簡単であるので、製造コストを抑制することができる。

以上の実施例では、2種類の材料を張り合わせて用いる点では、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで異なる。ただし、厚み(それが組成比となる)が相違する。これもまた、半導体素子の周辺部に接合している領域と半導体素子の中央部に接合している領域とで材料組成が異なることに相当する。

【0040】

また、第1実施例～第4実施例では、半導体素子が上面略正方形である場合について説明した。本発明は、半導体素子が上面略長方形等、他の形状の半導体素子が設けられた半導体装置についても適用することができる。例えば、半導体素子が上面略長方形の形状である場合、対向する短辺の周りを集中的にクランプするように構成すれば、四辺の周りや対向する長辺の周りを集中的にクランプする場合と比較して、機械的拘束力が弱まるとともに、半導体素子に発生する熱応力が低減する。一方、対向する長辺の周りを集中的にクランプするように構成すれば、四辺の周りを集中的にクランプする場合と比較して、機械的拘束力が弱まるとともに半導体素子に発生する熱応力が低減するが、対向する短辺の周

10

20

30

40

50

りを集中的にクランプする場合と比較すれば、機械的拘束力が強く半導体素子に発生する熱応力が大きい。

このように、不均一な接合層や不均一な実装基板を用いて、半導体素子を集中的にクランプする領域の位置や面積等を調節することで、半導体素子の機械的拘束力、半導体素子に発生する熱応力、半導体素子の電気抵抗率等を調節することができる。

【0041】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々な変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時の請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0042】

【図1】第1実施例の半導体装置1の要部分解図を示す。

【図2】半導体装置1で、半導体素子10が実装基板20に接合される工程を示す。

【図3】半導体装置1で、半導体素子10が実装基板20に接合される工程を示す。

【図4】半導体装置1で、半導体素子10が実装基板20に接合される工程を示す。

【図5】実装基板20に接合した半導体素子10に作用する熱応力を示す斜視図である。

【図6】半導体装置1の上面図と、半導体素子内の位置に対応する熱応力の分布を示す。

【図7】第2実施例の半導体装置1aの要部分解図を示す。

【図8】半導体装置1aの上面図と、半導体素子内の位置に対応する熱応力の分布を示す。

【図9】半導体装置1bで、実装基板20に接合した半導体素子10に作用する熱応力を示す斜視図である。

【図10】半導体装置1cで、実装基板20に接合した半導体素子10に作用する熱応力を示す斜視図である。

【図11】第3実施例の半導体装置1dの要部分解図を示す。

【図12】半導体装置1dで、半導体素子10が実装基板20に接合される工程を示す。

【図13】半導体装置1dで、半導体素子10が実装基板20に接合される工程を示す。

【図14】半導体装置1dで、半導体素子10が実装基板20に接合される工程を示す。

【図15】半導体装置1dで、半導体素子10が実装基板20に接合される工程を示す。

【図16】半導体装置1dで、半導体素子10が実装基板20に接合される工程を示す。

【図17】半導体装置1dで、半導体素子10が実装基板20に接合される工程を示す。

【図18】半導体装置1dの位置に対応する熱応力の分布を示す。

【図19】第4実施例の半導体装置1eの要部断面図と、実装基板20eの位置に対応する線膨張係数TCEを示す。

【図20】半導体装置1fの要部断面図を示す。

【図21】半導体装置1gの要部断面図を示す。

【図22】従来の半導体装置100の断面図を示す。

【符号の説明】

【0043】

1, 1a, 1b, 1c, 1d, 1e, 1f, 1g 半導体装置

10, 10a 半導体素子

20, 20e, 20f, 20g 実装基板

21e 孔

22f, 22g 母材

23f, 23g 部材

30, 30a, 30b, 30c, 30d, 30e 接合層

10

20

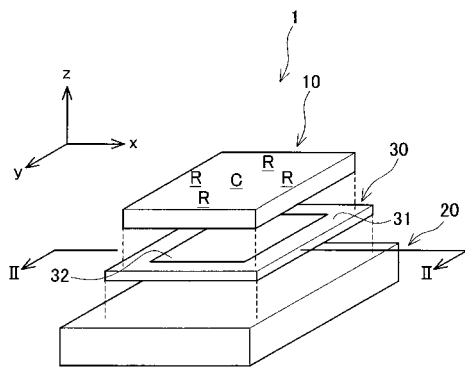
30

40

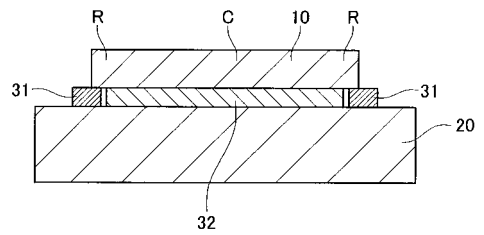
50

- 3 1 , 3 1 a , 3 1 b , 3 1 c 第 1 接 合 部 材
- 3 2 , 3 2 a , 3 2 b , 3 2 c 第 2 接 合 部 材
- 3 1 d 第 3 接 合 部 材
- 3 2 d 第 4 接 合 部 材
- 4 0 ソルダレジスト
- C , C a , C b 中央部
- G ゲート
- R , R a 、 R b 周辺部

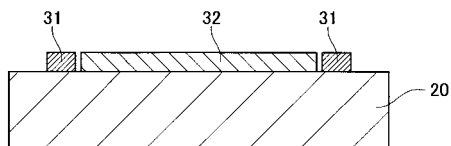
【 図 1 】



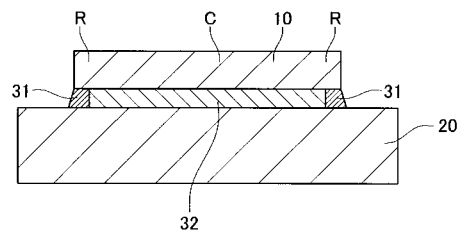
【 図 3 】



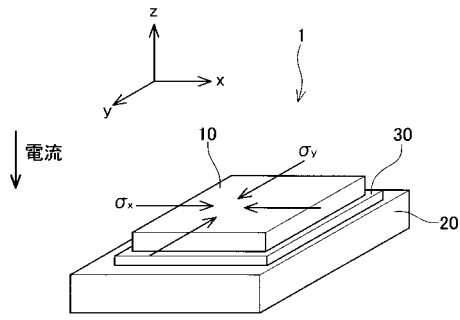
【 図 2 】



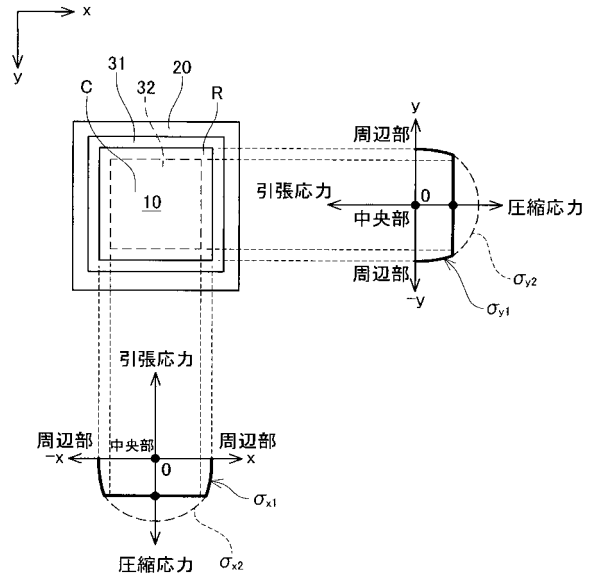
【 図 4 】



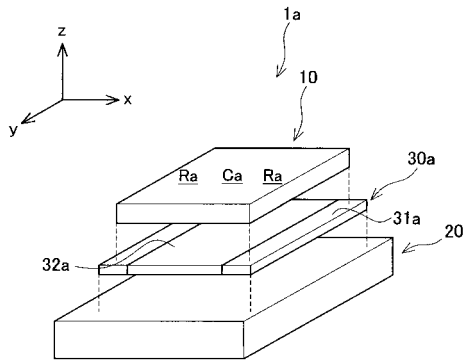
【 図 5 】



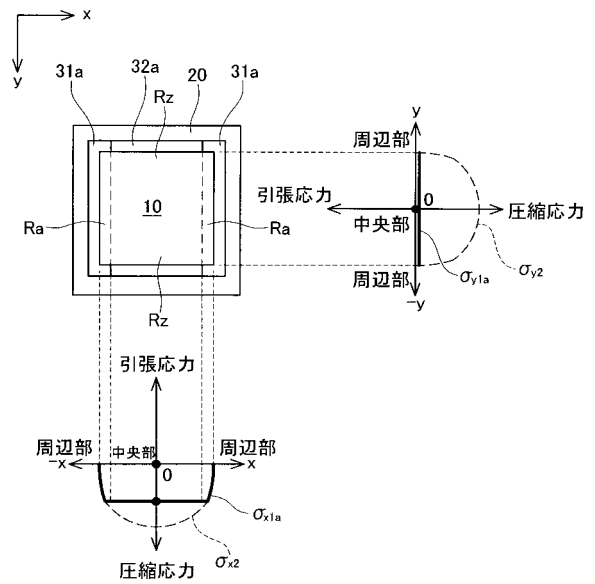
【 図 6 】



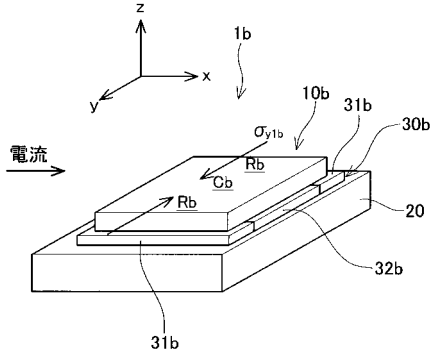
【 図 7 】



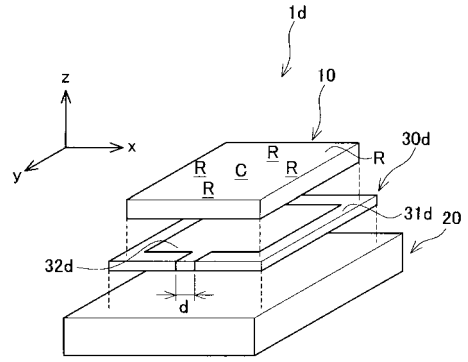
【 図 8 】



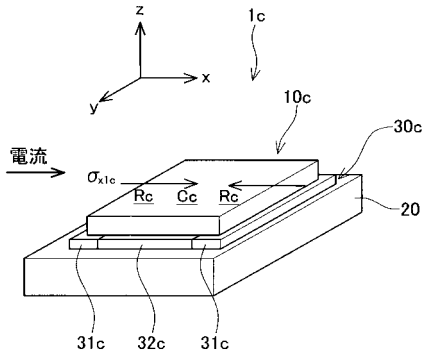
【 図 9 】



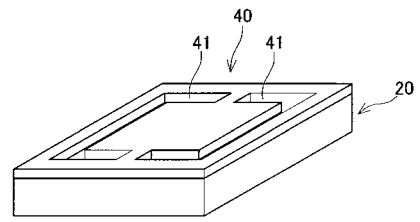
【 図 1 1 】



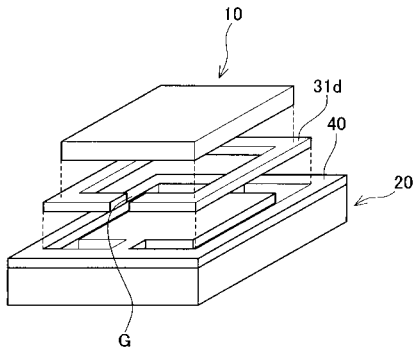
【 図 1 0 】



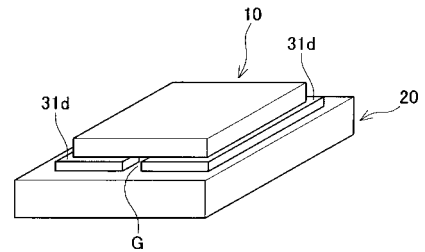
【 図 1 2 】



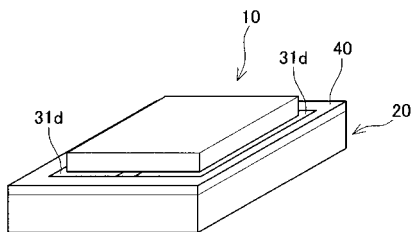
【 図 1 3 】



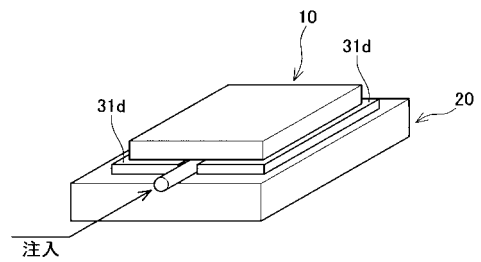
【 図 1 5 】



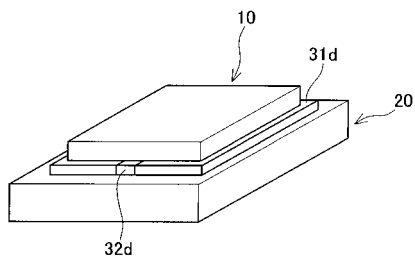
【 図 1 4 】



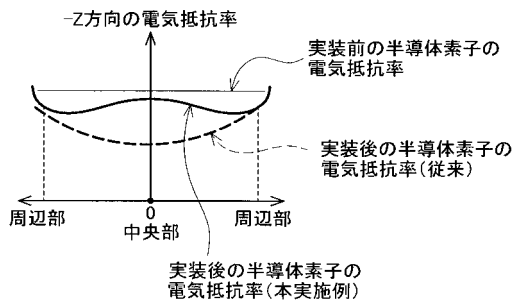
【 図 1 6 】



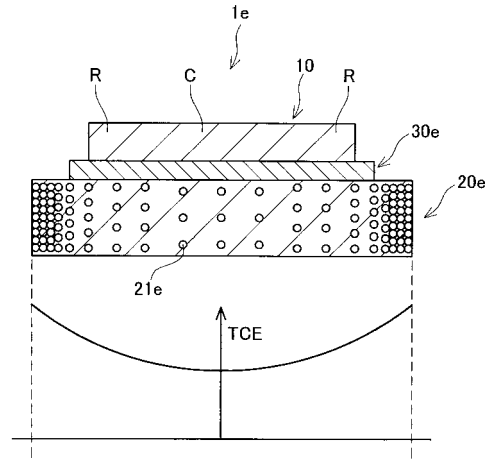
【図17】



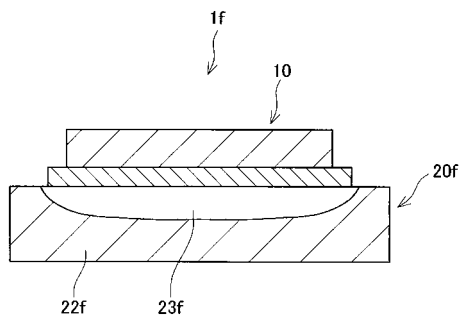
【図18】



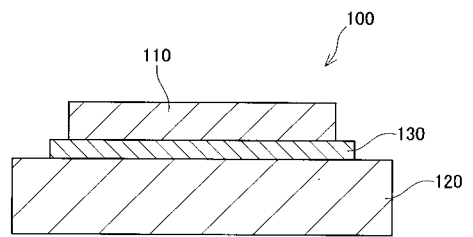
【図19】



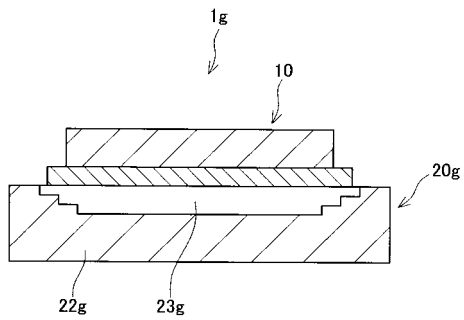
【図20】



【図22】



【図21】



フロントページの続き

- (72)発明者 堀田 幸司
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 小西 正樹
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 桑野 聡
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 田中 宏明
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- Fターム(参考) 5F044 KK01 LL01 LL07