



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0155700
(43) 공개일자 2023년11월13일

(51) 국제특허분류(Int. Cl.)
G09G 3/3225 (2016.01) H10K 59/00 (2023.01)
(52) CPC특허분류
G09G 3/3225 (2013.01)
H10K 59/1213 (2023.02)
(21) 출원번호 10-2022-0055194
(22) 출원일자 2022년05월04일
심사청구일자 없음

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
장진
서울특별시 송파구 올림픽로4길 15, 11동 403호(잠실동, 아시아선수촌아파트)
김준영
경기도 고양시 일산동구 일산로 242, 606동 402호(마두동, 백마마을6단지아파트)
(74) 대리인
김연권

전체 청구항 수 : 총 20 항

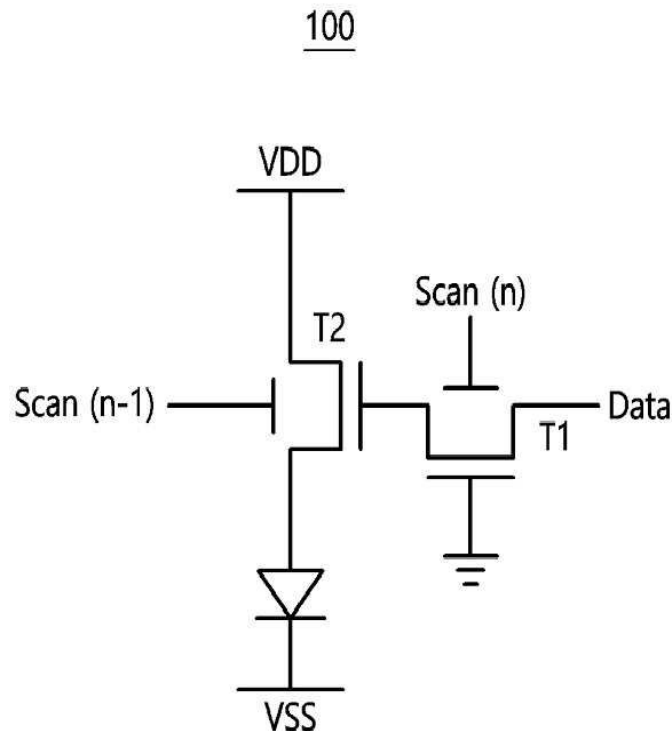
(54) 발명의 명칭 강유전성 박막 트랜지스터를 이용한 디스플레이 화소 회로 및 그 구동 방법

(57) 요약

본 발명은 고유전율(high-k)을 갖는 강유전성 게이트 절연막을 포함하는 복수의 강유전성 박막 트랜지스터를 이용하여 휘발성 스위치 기능과 비휘발성 메모리 기능이 선택적으로 적용되는 디스플레이 화소 회로 및 이를 구동하는 방법에 관한 것으로, 본 발명의 일실시예에 따른 디스플레이 화소 회로는 제1 박막 트랜지스터, 제2 박막

(뒷면에 계속)

대표도 - 도1a



트랜지스터 및 발광 소자를 포함하고, 상기 제1 박막 트랜지스터의 제1 게이트 전극은 제1 스캔 라인에 연결되고, 제2 게이트 전극은 접지단에 연결되며, 드레인 전극은 데이터 라인에 연결되고, 소스 전극은 상기 제2 박막 트랜지스터의 제2 게이트 전극에 연결되며, 상기 제2 박막 트랜지스터의 제1 게이트 전극은 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인에 연결되고, 드레인 전극은 제1 전원전압에 연결되며, 소스 전극은 상기 발광 소자의 양극에 연결되고, 상기 발광 소자의 음극은 제2 전원전압에 연결되며, 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어할 수 있다.

(52) CPC특허분류

H10K 59/123 (2023.02)

H10K 59/124 (2023.02)

G09G 2300/0809 (2013.01)

G09G 2300/0842 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711159124
과제번호	2020M3H4A1A02084899
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명 선도형)	[혁신법]원천/ 나노·미래소재원천기술개발사업/ 나노·미래소재원천기술개발사업(
연구과제명	[원천, 1단계 2/3]2축 신축성 AMOLED 용 TFT 및 LED 집적 기술
기 여 율	1/1
과제수행기관명	경희대학교
연구기간	2020.07.01 ~ 2024.12.31

명세서

청구범위

청구항 1

제1 박막 트랜지스터, 제2 박막 트랜지스터 및 발광 소자를 포함하고,

상기 제1 박막 트랜지스터의 제1 게이트 전극은 제1 스캔 라인에 연결되고, 제2 게이트 전극은 접지단에 연결되며, 드레인 전극은 데이터 라인에 연결되고, 소스 전극은 상기 제2 박막 트랜지스터의 제2 게이트 전극에 연결되며,

상기 제2 박막 트랜지스터의 제1 게이트 전극은 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인에 연결되고, 드레인 전극은 제1 전원전압에 연결되며, 소스 전극은 상기 발광 소자의 양극에 연결되고,

상기 제1 박막 트랜지스터는 상기 제1 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지며,

상기 제2 박막 트랜지스터는 상기 제2 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지고,

상기 발광 소자의 음극은 제2 전원전압에 연결되며,

상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어하는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 2

제1항에 있어서,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터 중 어느 하나의 박막 트랜지스터는,

기관;

상기 기관 상에 형성되는 버퍼 절연막;

상기 버퍼 절연막 상에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성되는 제1 게이트 절연막;

상기 제1 게이트 절연막 상에 형성되는 반도체층;

상기 반도체층 상에 형성되는 제2 게이트 절연막;

상기 제2 게이트 절연막 상에 형성되는 제2 게이트 전극;

상기 제2 게이트 전극, 상기 반도체층, 상기 제1 게이트 절연막 상에 형성되고, 상기 반도체 층의 소스 영역과 드레인 영역을 각각 노출시키는 층간 절연막;

상기 층간 절연막 상에 형성되고, 상기 소스 영역과 전기적으로 접속되는 소스 전극; 및

상기 층간 절연막 상에 형성되고, 상기 드레인 영역과 전기적으로 접속되는 드레인 전극을 포함하는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 3

제2항에 있어서,

상기 제1 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄

지르코늄 산화물(HfO_2) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고,

상기 제2 게이트 절연막은 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HfZrO_x) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 4

제2항에 있어서,

상기 제2 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HfZrO_x) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고,

상기 제1 게이트 절연막은 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HfZrO_x) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 5

제1항에 있어서,

상기 제1 박막 트랜지스터는, 상기 제1 박막 트랜지스터의 제2 게이트 전극이 상기 접지단에 연결되어 상기 제1 박막 트랜지스터의 제2 게이트 절연막이 강유전체 특성이 제거됨에 따라 메모리 특성을 갖지 않고 휘발성 스위칭 박막 트랜지스터로 동작하고,

상기 제2 박막 트랜지스터는, 상기 제2 박막 트랜지스터의 제2 게이트 전극이 상기 제1 박막 트랜지스터의 소스 전극에 연결되어 상기 제2 박막 트랜지스터의 제2 게이트 절연막의 강유전체 특성으로 인해 비휘발성 메모리 특성을 갖음에 따라 비휘발성 구동 박막 트랜지스터로 동작하는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 6

제5항에 있어서,

상기 제2 박막 트랜지스터는, 하나의 프레임(frame)이 복수의 서브프레임(sub-frame)으로 구분되어 상기 발광 소자의 밝기가 제어되는 상기 발광 소자의 발광 상태를 상기 비휘발성 메모리 특성에 기반하여 상기 하나의 프레임동안 유지하는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 7

제6항에 있어서,

상기 발광 소자의 밝기는 상기 복수의 서브프레임에서 상기 제1 전원전압이 고전압으로 인가되는 시간에 따라 동작되는 서브프레임의 수가 결정되고, 상기 결정된 서브프레임의 수가 증가할수록 증가되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 8

제1항에 있어서,

상기 제2 박막 트랜지스터는, 상기 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제2 박막 트랜지스터에 저장된 전하들이 리셋되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 9

제8항에 있어서,

상기 제1 박막 트랜지스터는, 상기 제1 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제1 박막 트랜지스터의 온 또는 오프 상태가 제어되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 10

제9항에 있어서,

상기 제2 박막 트랜지스터는, 상기 제1 박막 트랜지스터가 온 상태이면, 상기 데이터 라인의 신호에 기반하여 상기 제2 박막 트랜지스터의 온 또는 오프 상태가 제어되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 11

제10항에 있어서,

상기 데이터 라인의 신호는, 상기 제2 박막 트랜지스터의 온 또는 오프를 결정하는 저전압 신호 및 고전압 신호 중 어느 하나의 신호로 구성되는 것을 특징으로 하는

디스플레이 화소 회로.

청구항 12

제1 박막 트랜지스터의 제1 게이트 전극이 제1 스캔 라인에 연결되고, 제2 게이트 전극이 접지단에 연결되며, 드레인 전극은 데이터 라인에 연결되고, 소스 전극은 제2 박막 트랜지스터의 제2 게이트 전극에 연결되는 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터의 제1 게이트 전극이 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인에 연결되고, 드레인 전극이 제1 전원전압에 연결되며, 소스 전극이 발광 소자의 양극에 연결되는 상기 제2 박막 트랜지스터 및 상기 발광 소자의 음극이 제2 전원전압에 연결되는 상기 발광 소자를 포함하고, 상기 제1 박막 트랜지스터는 상기 제1 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지며, 상기 제2 박막 트랜지스터는 상기 제2 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지는 디스플레이 화소의 구동 방법에 있어서,

상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어하는 단계를 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 13

제12항에 있어서,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터 중 어느 하나의 박막 트랜지스터는,

기관;

상기 기관 상에 형성되는 버퍼 절연막;

상기 버퍼 절연막 상에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성되는 제1 게이트 절연막;

상기 제1 게이트 절연막 상에 형성되는 반도체층;

상기 반도체층 상에 형성되는 제2 게이트 절연막;

상기 제2 게이트 절연막 상에 형성되는 제2 게이트 전극;

상기 제 2 게이트 전극, 상기 반도체층, 상기 제1 게이트 절연막 상에 형성되고, 상기 반도체 층의 소스 영역과 드레인 영역을 각각 노출시키는 중간 절연막;

상기 중간 절연막 상에 형성되고, 상기 소스 영역과 전기적으로 접속되는 소스 전극; 및

상기 중간 절연막 상에 형성되고, 상기 드레인 영역과 전기적으로 접속되는 드레인 전극을 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 동작 방법.

청구항 14

제12항에 있어서,

상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어하는 단계는,

상기 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제2 박막 트랜지스터에 저장된 전하들을 리셋하는 단계;

상기 제1 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제1 박막 트랜지스터의 온 또는 오프 상태를 제어하는 단계;

상기 제1 박막 트랜지스터가 온 상태이면, 상기 데이터 라인의 신호에 기반하여 상기 제2 박막 트랜지스터의 온 또는 오프 상태 및 상기 발광 소자의 발광을 제어하는 단계; 및

상기 제2 박막 트랜지스터가 온 상태인 경우에 따른 상기 제1 전원전압이 고전압으로 인가되는 시간에 기반하여 상기 발광 소자의 밝기를 제어하는 단계를 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 15

제14항에 있어서,

상기 제2 박막 트랜지스터가 온 상태인 경우에 따른 상기 제1 전원전압이 고전압으로 인가되는 시간에 기반하여 상기 발광 소자의 밝기를 제어하는 단계는,

상기 발광 소자의 밝기와 관련된 하나의 프레임(frame)이 복수의 서브프레임(sub-frame)으로 구분된 상태에서, 상기 제1 전원전압이 고전압으로 인가되는 시간을 제어함에 따라 동작되는 서브프레임의 수를 결정하고, 상기 결정된 서브프레임의 수에 따라 상기 발광 소자의 밝기를 제어하는 단계를 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 16

복수의 구동소자에 기반한 PWM(Pulse Width Modulation) 구동을 이용한 디스플레이 화소 회로의 구동 방법에 있어서,

상기 복수의 구동 소자 각각은 제1 게이트 전극과 제2 게이트 전극을 포함하여 듀얼 게이트 구조를 가지고, 상기 제1 게이트 전극의 제1 게이트 절연막 및 상기 제2 게이트 전극의 제2 게이트 절연막 중 적어도 하나의 게이트 절연막은 강유전성 물질로 형성되어 강유전체 특성을 가지며,

접지 전압에 기반하여 상기 복수의 구동 소자 중 어느 하나의 구동 소자에서 상기 강유전체 특성이 제거하여 휘발성 스위칭 소자로 구동하고, 다른 하나의 구동소자에서 상기 강유전체 특성에 기반하여 비휘발성 구동 소자로 구동하는 단계를 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 17

제16항에 있어서,

상기 제1 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고,

상기 제2 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 18

제16항에 있어서,

상기 복수의 구동 소자는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 19

제18항에 있어서,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터 중 어느 하나의 박막 트랜지스터는,

기관;

상기 기관 상에 형성되는 버퍼 절연막;

상기 버퍼 절연막 상에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성되는 제1 게이트 절연막;

상기 제1 게이트 절연막 상에 형성되는 반도체층;

상기 반도체층 상에 형성되는 제2 게이트 절연막;

상기 제2 게이트 절연막 상에 형성되는 제2 게이트 전극;

상기 제 2 게이트 전극, 상기 반도체층, 상기 제1 게이트 절연막 상에 형성되고, 상기 반도체 층의 소스 영역과 드레인 영역을 각각 노출시키는 층간 절연막;

상기 층간 절연막 상에 형성되고, 상기 소스 영역과 전기적으로 접속되는 소스 전극; 및

상기 층간 절연막 상에 형성되고, 상기 드레인 영역과 전기적으로 접속되는 드레인 전극을 포함하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

청구항 20

제19항에 있어서,

상기 제1 박막 트랜지스터는, 상기 제1 박막 트랜지스터의 제2 게이트 전극이 접지단에 연결되어 상기 접지 전압에 기반하여 상기 제1 박막 트랜지스터의 제2 게이트 절연막이 강유전체 특성이 제거됨에 따라 메모리 특성을 갖지 않고 상기 휘발성 스위칭 소자로 구동 하고,

상기 제2 박막 트랜지스터는, 상기 제2 박막 트랜지스터의 제2 게이트 전극이 상기 제1 박막 트랜지스터의 소스 전극에 연결되어 상기 제2 박막 트랜지스터의 제2 게이트 절연막의 강유전체 특성으로 인해 비휘발성 메모리 특성을 갖음에 따라 상기 비휘발성 구동 소자로 동작하는 것을 특징으로 하는

디스플레이 화소 회로의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 강유전성 박막 트랜지스터를 이용한 디스플레이 화소 회로 및 그 구동 방법에 관한 것으로, 고유전율(high-k)을 갖는 강유전성 게이트 절연막을 포함하는 복수의 강유전성 박막 트랜지스터를 이용하여 휘발성 스위치 기능과 비휘발성 메모리 기능이 선택적으로 적용되는 디스플레이 화소 회로 및 이를 구동하는 방법에 관한 것이다.

배경 기술

[0002] 현재 AMOLED(Adaptive matrix organic LED) 또는 AMLED(Adaptive mini LED)와 같은 능동 구동형 디스플레이에 사용되는 단위 화소 회로는 복수의 트랜지스터와 저장 소자(capacitor)를 포함한다.

[0003] 트랜지스터는 각 픽셀의 발광 소자가 빛을 낼 수 있도록 스위치 트랜지스터 또는 구동 트랜지스터로 동작 한다.

[0004] 한편, 저장 소자는 하나의 프레임 당 특정 화소의 발광 상태를 유지할 수 있도록 전하를 저장하는 역할을 수행 한다.

[0005] 최근, 모바일용 디스플레이에서는 400 ppi(pixels per inch) 이상의 해상도가 채용되고 있고, AR/VR용 디스플레이에서는 수 천 ppi 이상의 해상도가 요구되고 있다.

[0006] 해상도를 증가시키기 위해서는 디스플레이를 구동하는 단위 화소의 크기를 축소시킬 필요성이 있다.

[0007] 그러나, 화소를 구성하는 트랜지스터의 수와 크기 그리고 저장 소자의 수와 크기를 줄이는 데 어려움이 존재한다.

[0008] 또한, 저장 소자는 단위 화소를 구성하는 회로 내에서 차지하는 면적이 크다는 단점이 존재한다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 한국등록특허 제10-2166238호, "강화된 온 상태 및 오프 상태 성능을 위한 임계 전압 스위칭이 있는 강유전체 기반 전계 효과 트랜지스터"

(특허문헌 0002) 한국등록특허 제10-1795212호, "다층의 반도체층을 포함하는 듀얼게이트 박막트랜지스터"

(특허문헌 0003) 한국공개특허 제10-2018-0122371호, "마이크로 LED 디스플레이 픽셀 아키텍처"

(특허문헌 0004) 한국공개특허 제10-2021-0091794호, "직렬 접속된 선택 게이트 트랜지스터를 포함하는 강유전성 메모리 디바이스 및 그 형성 방법"

발명의 내용

해결하려는 과제

[0010] 본 발명은 복수의 강유전성 박막 트랜지스터를 이용하여 스위치 소자 및 메모리 소자 역할을 동시에 수행함에 따라 디스플레이 유닛 화소의 많은 면적을 차지하는 저장 소자(capacitor)를 제거하여 디스플레이 화소 회로의 면적을 감소시키는 것을 목적으로 한다.

[0011] 본 발명은 복수의 강유전성 박막 트랜지스터 각각이 듀얼 게이트 구조를 채용하여 휘발성 스위치 기능과 비휘발성 메모리 기능을 선택적으로 이용함에 따라 디스플레이 화소 회로 내 저장 소자의 역할을 대체하고, 이에 따라 디스플레이 화소 회로의 크기를 줄여서 초고해상도 디스플레이를 구현하는 것을 목적으로 한다.

[0012] 본 발명은 고유전율(high-k)을 갖는 강유전성 게이트 절연막을 포함하는 복수의 강유전성 박막 트랜지스터를 이용하여 휘발성 스위치 기능과 비휘발성 메모리 기능이 선택적으로 적용되는 디스플레이 화소 회로 및 이를 구동하는 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0013] 본 발명의 일실시예에 따른 디스플레이 화소 회로는 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 발광 소자를 포함하고, 상기 제1 박막 트랜지스터의 제1 게이트 전극은 제1 스캔 라인에 연결되고, 제2 게이트 전극은 접지단에 연결되며, 드레인 전극은 데이터 라인에 연결되고, 소스 전극은 상기 제2 박막 트랜지스터의 제2 게이트 전극에 연결되며, 상기 제2 박막 트랜지스터의 제1 게이트 전극은 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인에 연결되고, 드레인 전극은 제1 전원전압에 연결되며, 소스 전극은 상기 발광 소자의 양극에 연결되고, 상기 제1 박막 트랜지스터는 상기 제1 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지며, 상기 제2 박막 트랜지스터는 상기 제2 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지고, 상기 발광 소자의 음극은 제2 전원전압에 연결되며, 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어할 수 있다.
- [0014] 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터 중 어느 하나의 박막 트랜지스터는, 기판, 상기 기판 상에 형성되는 버퍼 절연막, 상기 버퍼 절연막 상에 형성되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 형성되는 제1 게이트 절연막, 상기 제1 게이트 절연막 상에 형성되는 반도체층, 상기 반도체층 상에 형성되는 제2 게이트 절연막, 상기 제2 게이트 절연막 상에 형성되는 제2 게이트 전극, 상기 제2 게이트 전극, 상기 반도체층, 상기 제1 게이트 절연막 상에 형성되고, 상기 반도체 층의 소스 영역과 드레인 영역을 각각 노출시키는 층간 절연막, 상기 층간 절연막 상에 형성되고, 상기 소스 영역과 전기적으로 접속되는 소스 전극 및 상기 층간 절연막 상에 형성되고, 상기 드레인 영역과 전기적으로 접속되는 드레인 전극을 포함할 수 있다.
- [0015] 상기 제1 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고, 상기 제2 게이트 절연막은 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0016] 상기 제2 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고, 상기 제1 게이트 절연막은 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0017] 상기 제1 박막 트랜지스터는, 상기 제1 박막 트랜지스터의 제2 게이트 전극이 상기 접지단에 연결되어 상기 제1 박막 트랜지스터의 제2 게이트 절연막이 강유전체 특성이 제거됨에 따라 메모리 특성을 갖지 않고 휘발성 스위칭 박막 트랜지스터로 동작하고, 상기 제2 박막 트랜지스터는, 상기 제2 박막 트랜지스터의 제2 게이트 전극이 상기 제1 박막 트랜지스터의 소스 전극에 연결되어 상기 제2 박막 트랜지스터의 제2 게이트 절연막의 강유전체 특성으로 인해 비휘발성 메모리 특성을 갖음에 따라 비휘발성 구동 박막 트랜지스터로 동작할 수 있다.
- [0018] 상기 제2 박막 트랜지스터는, 하나의 프레임(frame)이 복수의 서브프레임(sub-frame)으로 구분되어 상기 발광 소자의 밝기가 제어되는 상기 발광 소자의 발광 상태를 상기 비휘발성 메모리 특성에 기반하여 상기 하나의 프레임동안 유지할 수 있다.
- [0019] 상기 발광 소자의 밝기는 상기 복수의 서브프레임에서 상기 제1 전원전압이 고전압으로 인가되는 시간에 따라 동작되는 서브프레임의 수가 결정되고, 상기 결정된 서브프레임의 수가 증가할수록 증가될 수 있다.
- [0020] 상기 제2 박막 트랜지스터는, 상기 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제2 박막 트랜지스터에 저장된 전하들이 리셋될 수 있다.
- [0021] 상기 제1 박막 트랜지스터는, 상기 제1 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제1 박막 트랜지스터의 온 또는 오프 상태가 제어될 수 있다.
- [0022] 상기 제2 박막 트랜지스터는, 상기 제1 박막 트랜지스터가 온 상태이면, 상기 데이터 라인의 신호에 기반하여 상기 제2 박막 트랜지스터의 온 또는 오프 상태가 제어될 수 있다.
- [0023] 상기 데이터 라인의 신호는, 상기 제2 박막 트랜지스터의 온 또는 오프를 결정하는 저전압 신호 및 고전압 신호 중 어느 하나의 신호로 구성될 수 있다.

- [0024] 본 발명의 일실시예에 따르면 제1 박막 트랜지스터의 제1 게이트 전극이 제1 스캔 라인에 연결되고, 제2 게이트 전극이 접지단에 연결되며, 드레인 전극은 데이터 라인에 연결되고, 소스 전극은 제2 박막 트랜지스터의 제2 게이트 전극에 연결되는 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터의 제1 게이트 전극이 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인에 연결되고, 드레인 전극이 제1 전원전압에 연결되며, 소스 전극이 발광 소자의 양극에 연결되는 상기 제2 박막 트랜지스터 및 상기 발광 소자의 음극이 제2 전원전압에 연결되는 상기 발광 소자를 포함하고, 상기 제1 박막 트랜지스터는 상기 제1 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지며, 상기 제2 박막 트랜지스터는 상기 제2 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가지는 디스플레이 화소의 구동 방법은 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어하는 단계를 포함할 수 있다.
- [0025] 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 제3 스캔 라인 및 상기 데이터 라인을 통해 인가되는 신호와 상기 제1 전원전압에 기반하여 상기 발광 소자의 밝기를 제어하는 단계는, 상기 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제2 박막 트랜지스터에 저장된 전하들을 리셋하는 단계, 상기 제1 스캔 라인을 통해 인가되는 신호에 기반하여 상기 제1 박막 트랜지스터의 온 또는 오프 상태를 제어하는 단계, 상기 제1 박막 트랜지스터가 온 상태이면, 상기 데이터 라인의 신호에 기반하여 상기 제2 박막 트랜지스터의 온 또는 오프 상태 및 상기 발광 소자의 발광을 제어하는 단계 및 상기 제2 박막 트랜지스터가 온 상태인 경우에 따른 상기 제1 전원전압이 고전압으로 인가되는 시간에 기반하여 상기 발광 소자의 밝기를 제어하는 단계를 포함할 수 있다.
- [0026] 상기 제2 박막 트랜지스터가 온 상태인 경우에 따른 상기 제1 전원전압이 고전압으로 인가되는 시간에 기반하여 상기 발광 소자의 밝기를 제어하는 단계는,
- [0027] 상기 발광 소자의 밝기와 관련된 하나의 프레임(frame)이 복수의 서브프레임(sub-frame)으로 구분된 상태에서, 상기 제1 전원전압이 고전압으로 인가되는 시간을 제어함에 따라 동작되는 서브프레임의 수를 결정하고, 상기 결정된 서브프레임의 수에 따라 상기 발광 소자의 밝기를 제어하는 단계를 포함할 수 있다.
- [0028] 본 발명의 일실시예에 따르면 복수의 구동소자에 기반한 PWM(Pulse Width Modulation) 구동을 이용한 디스플레이 화소 회로의 구동 방법에 있어서, 상기 복수의 구동 소자 각각은 제1 게이트 전극과 제2 게이트 전극을 포함하여 듀얼 게이트 구조를 가지고, 상기 제1 게이트 전극의 제1 게이트 절연막 및 상기 제2 게이트 전극의 제2 게이트 절연막 중 적어도 하나의 게이트 절연막은 강유전성 물질로 형성되어 강유전체 특성을 가지며, 디스플레이 화소 회로의 구동 방법은 접지 전압에 기반하여 상기 복수의 구동 소자 중 어느 하나의 구동 소자에서 상기 강유전체 특성이 제거하여 휘발성 스위칭 소자로 구동하고, 다른 하나의 구동소자에서 상기 강유전체 특성에 기반하여 비휘발성 구동 소자로 구동하는 단계를 포함할 수 있다.
- [0029] 상기 제1 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고, 상기 제2 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0030] 상기 복수의 구동 소자는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 포함할 수 있다.
- [0031] 상기 제1 박막 트랜지스터는, 상기 제1 박막 트랜지스터의 제2 게이트 전극이 접지단에 연결되어 상기 접지 전압에 기반하여 상기 제1 박막 트랜지스터의 제2 게이트 절연막이 강유전체 특성이 제거됨에 따라 메모리 특성을 갖지 않고 상기 휘발성 스위칭 소자로 구동 하고, 상기 제2 박막 트랜지스터는, 상기 제2 박막 트랜지스터의 제2 게이트 전극이 상기 제1 박막 트랜지스터의 소스 전극에 연결되어 상기 제2 박막 트랜지스터의 제2 게이트 절연막의 강유전체 특성으로 인해 비휘발성 메모리 특성을 갖음에 따라 상기 비휘발성 구동 소자로 동작할 수 있다.

발명의 효과

- [0032] 본 발명은 복수의 강유전성 박막 트랜지스터를 이용하여 스위치 소자 및 메모리 소자 역할을 동시에 수행함에 따라 디스플레이 유닛 화소의 많은 면적을 차지하는 저장 소자(capacitor)를 제거하여 디스플레이 화소 회로의

면적을 감소시킬 수 있다.

[0033] 본 발명은 복수의 강유전성 박막 트랜지스터 각각이 듀얼 게이트 구조를 채용하여 휘발성 스위치 기능과 비휘발성 메모리 기능을 선택적으로 이용함에 따라 디스플레이 화소 회로 내 저장 소자의 역할을 대체하고, 이에 따라 디스플레이 화소 회로의 크기를 줄여서 초고해상도 디스플레이를 구현할 수 있다.

[0034] 본 발명은 고유전율(high-k)을 갖는 강유전성 게이트 절연막을 포함하는 복수의 강유전성 박막 트랜지스터를 이용하여 휘발성 스위치 기능과 비휘발성 메모리 기능이 선택적으로 적용되는 디스플레이 화소 회로 및 이를 구동하는 방법을 제공할 수 있다.

도면의 간단한 설명

[0035] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 디스플레이 화소 회로를 설명하는 도면이다.

도 2a 및 도 2b는 본 발명의 일실시예에 따른 디스플레이 화소 회로의 구동과 관련된 신호 변화를 설명하는 도면이다.

도 3은 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터를 설명하는 도면이다.

도 4는 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 제조 방법을 설명하는 도면이다.

도 5는 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 동작 특성을 설명하는 도면이다.

도 6은 본 발명의 일실시예에 따른 디스플레이 화소 회로의 구동 방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0036] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[0037] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[0038] 하기에 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0039] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0040] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[0041] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[0042] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[0043] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[0044] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[0045] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[0046] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[0047] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

- [0048] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.
- [0049] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0050] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0052] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 디스플레이 화소 회로를 설명하는 도면이다.
- [0053] 도 1a 및 도 1b는 본 발명의 일실시예에 따라 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 발광 소자를 포함하는 디스플레이 화소 회로의 구조를 예시한다.
- [0054] 도 1a에 따른 디스플레이 화소 회로(100) 및 도 1b에 따른 디스플레이 화소 회로(110)는 제2 박막 트랜지스터(T2)의 제1 게이트 전극을 통해서 인가되는 스캔 라인의 신호에 차이가 존재할 뿐 연결 구조는 동일하다.
- [0055] 보다 구체적으로, 디스플레이 화소 회로(100)는 제1 게이트 전극을 통해 제2 스캔 라인(Scan(n-1))의 신호가 인가되고, 디스플레이 화소 회로(110)는 제1 게이트 전극을 통해 제3 스캔 라인(Scan2(n))의 신호가 인가된다.
- [0056] 이에 따라, 디스플레이 화소 회로(100)에 기반하여 디스플레이 화소 회로(100)의 연결 구조를 설명하나, 디스플레이 화소 회로(110)도 디스플레이 화소 회로(100)와 동일한 연결 구조를 가질 수 있다.
- [0057] 예를 들어, 디스플레이 화소 회로(100)는 적어도 두개의 박막 트랜지스터로 저장 소자 없이 설계될 수 있다.
- [0058] 제1 전원전압(VDD), 제2 전원전압(VSS) 및 데이터 신호는 외부의 회로를 통해 인가될 수 있다.
- [0059] 본 발명의 일실시예에 따르면 디스플레이 화소 회로(100)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2) 및 발광 소자를 포함한다. 여기서, 발광 소자는 다이오드 심볼로 표현한다.
- [0060] 디스플레이 화소 회로(100)를 살펴보면, 제1 박막 트랜지스터(T1)의 제1 게이트 전극은 제1 스캔 라인(Scan(n))에 연결되고, 제2 게이트 전극은 접지단에 연결되며, 드레인 전극은 데이터 라인(Data)에 연결되고, 소스 전극은 제2 박막 트랜지스터(T2)의 제2 게이트 전극에 연결된다.
- [0061] 한편, 제2 박막 트랜지스터(T2)의 제1 게이트 전극은 제2 스캔 라인(Scan(n-1))에 연결되는데, 여기서, 제3 스캔 라인(Scan2(n))에 연결되면 디스플레이 화소 회로(110)이고, 드레인 전극은 제1 전원전압(VDD)에 연결되며, 소스 전극은 발광 소자의 양극에 연결되고, 발광 소자의 음극은 제2 전원전압(VSS)에 연결된다.
- [0062] 일례로, 제1 박막 트랜지스터(T1)는 제1 박막 트랜지스터(T1)의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가질 수 있다.
- [0063] 본 발명의 일실시예에 따르면 제2 박막 트랜지스터(T2)는 제2 박막 트랜지스터(T2)의 제1 게이트 전극 및 제2 게이트 전극 중 적어도 하나의 게이트 전극과 관련된 게이트 절연막에 기반하여 강유전체 특성을 가질 수 있다.
- [0064] 예를 들어, 제1 게이트 전극과 관련된 게이트 절연막은 제1 게이트 절연막이고, 제2 게이트 전극과 관련된 게이트 절연막은 제2 게이트 절연막일 수 있다. 예를 들어, 강유전체 특성은 강유전성을 나타낼 수 있다.
- [0065] 즉, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터 각각에서 제1 게이트 절연막 및 제2 게이트 절연막 중 적어도 하나의 게이트 절연막은 강유전성 물질로 형성될 수 있다.
- [0066] 다시 말해, 제1 게이트 절연막 및 제2 게이트 절연막이 모두 강유전성 물질로 형성되거나 제1 게이트 절연막이 강유전성 물질로 형성되고 제2 게이트 절연막이 비 강유전성 물질로 형성되거나 제1 게이트 절연막이 비 강유전성 물질로 형성되고 제2 게이트 절연막이 강유전성 물질로 형성될 수 있다.
- [0067] 본 발명의 일실시예에 따르면 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)는 제2 게이트 전극과 반도체층 사이에 제2 게이트 절연막이 위치하는데 제2 게이트 절연막이 강유전성 물질로 형성됨에 따라 선택적으로 휘발성 스위칭 박막 트랜지스터 또는 비휘발성 구동 박막 트랜지스터로 동작될 수 있다.
- [0068] 일례로, 제1 박막 트랜지스터(T1)는 제1 박막 트랜지스터(T1)의 제2 게이트 전극이 접지단에 연결되어 제1 박막 트랜지스터(T1)의 제2 게이트 절연막이 강유전체 특성이 제거됨에 따라 메모리 특성을 갖지 않고 휘발성 스위칭

박막 트랜지스터로 동작할 수 있다.

- [0069] 본 발명의 일실시예에 따르면, 제2 박막 트랜지스터(T2)는 제2 박막 트랜지스터(T2)의 제2 게이트 전극이 제1 박막 트랜지스터(T1)의 소스 전극에 연결되어 제2 박막 트랜지스터(T2)의 제2 게이트 절연막의 강유전체 특성으로 인해 비휘발성 메모리 특성을 갖음에 따라 비휘발성 구동 박막 트랜지스터로 동작할 수 있다.
- [0070] 즉, 제1 박막 트랜지스터(T1)는 휘발성 스위칭 박막 트랜지스터이고, 제2 박막 트랜지스터(T2)는 비휘발성 구동 박막 트랜지스터일 수 있다. 이에 따라, 제2 박막 트랜지스터(T2)는 저장 소자로서 동작할 수 있다.
- [0071] 또한, 제2 박막 트랜지스터(T2)는 발광 소자의 발광 상태를 비휘발성 메모리 특성에 기반하여 하나의 프레임동안 유지할 수 있다.
- [0072] 예를 들어, 하나의 프레임은 복수의 서브프레임(sub-frame)으로 구분되고, 복수의 서브프레임은 동작하는 서브프레임의 수에 따라 발광 소자의 밝기 제어와 관련될 수 있다.
- [0073] 복수의 서브프레임 중 동작되는 서브프레임의 수가 증가될 수 록 발광 소자의 밝기가 증가될 수 있다.
- [0074] 본 발명의 일실시예에 따르면 디스플레이 화소 회로는 AMOLED/AMOLED 구동에서 적어도 2개의 박막 트랜지스터를 사용하여 PWM(Pulse Width Modulation) 구동 방식을 이용하여 저장 소자 없이 동작될 수 있다.
- [0075] 한편, PWM 구동 방식에 이용되는 PWM 신호는 제1 전원전압(VDD) 또는 제2 전원전압(VSS)에 의해 제어될 수 있다.
- [0076] 일례로, 디스플레이 화소 회로는 PWM(Pulse Width Modulation) 구동을 이용한 AMOLED/AMLED 어레이(array) 설계 따른 디스플레이 화소 회로로서, 구동소자가 상부 및 하부 게이트 전극을 포함하는 듀얼 게이트 구조를 가지고, 상부 게이트 전극의 절연막 또는 하부 게이트 전극의 절연막 중 적어도 하나가 강유전성 물질인 박막 트랜지스터로 구성된다.
- [0077] 본 발명의 일실시예에 따르면 복수의 구동소자에 기반한 PWM 구동을 이용한 디스플레이 화소 회로의 구동 방법에서, 복수의 구동 소자 각각은 제1 게이트 전극과 제2 게이트 전극을 포함하여 듀얼 게이트 구조를 가질 수 있다.
- [0078] 또한, 제1 게이트 전극의 제1 게이트 절연막 및 제2 게이트 전극의 제2 게이트 절연막 중 적어도 하나의 게이트 절연막은 강유전성 물질로 형성되어 강유전체 특성을 가질 수 있다.
- [0079] 예를 들어, 제1 게이트 전극은 하부 전극이고 제2 게이트 전극은 상부 전극일 수 있다.
- [0080] 일례로, 디스플레이 화소 회로의 구동 방법은 접지 전압에 기반하여 복수의 구동 소자 중 어느 하나의 구동 소자에서 상기 강유전체 특성이 제거하여 휘발성 스위칭 소자로 구동하고, 다른 하나의 구동소자에서 강유전체 특성에 기반하여 비휘발성 구동 소자로 구동하는 단계를 포함할 수 있다.
- [0081] 예를 들어, 제1 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 hafnium 산화물(HfO_x), hafnium zirconium 산화물(HZO) 및 zirconium 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0082] 한편, 제2 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 hafnium 산화물(HfO_x), hafnium zirconium 산화물(HZO) 및 zirconium 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0083] 예를 들어, 복수의 구동 소자는 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 포함할 수 있다.
- [0084] 제1 박막 트랜지스터는 제1 박막 트랜지스터의 제2 게이트 전극이 접지단에 연결되어 접지 전압에 기반하여 제1 박막 트랜지스터의 제2 게이트 절연막이 강유전체 특성이 제거됨에 따라 메모리 특성을 갖지 않고 상기 휘발성 스위칭 소자로 구동 될 수 있다.
- [0085] 또한, 제2 박막 트랜지스터는, 제2 박막 트랜지스터의 제2 게이트 전극이 제1 박막 트랜지스터의 소스 전극에 연결되어 제2 박막 트랜지스터의 제2 게이트 절연막의 강유전체 특성으로 인해 비휘발성 메모리 특성을 갖음에 따라 비휘발성 구동 소자로 동작할 수 있다. 따라서, 본 발명은 복수의 강유전성 박막 트랜지스터를 이용하여 스위치 소자 및 메모리 소자 역할을 동시에 수행함에 따라 디스플레이 유닛 화소의 많은 면적을 차지하는 저장 소자(capacitor)를 제거하여 디스플레이 화소 회로의 면적을 감소시킬 수 있다.

- [0087] 도 2a 및 도 2b는 본 발명의 일실시예에 따른 디스플레이 화소 회로의 구동과 관련된 신호 변화를 설명하는 도면이다.
- [0088] 도 2a는 본 발명의 일실시예에 따라 도 1a에 따른 디스플레이 화소 회로(100)의 동작과 관련된 타이밍도를 예시하고, 도 2b는 본 발명의 일실시예에 따라 도 1b에 따른 디스플레이 화소 회로(110)의 동작과 관련된 타이밍도를 예시한다.
- [0089] 도 2a를 참고하면, 타이밍도(200)는 하나의 프레임(201)이 복수의 서브프레임으로 구성될 수 있고, 복수의 서브프레임은 제1 서브프레임(202), 제2 서브프레임(203), 제3 서브프레임(204) 및 제4 서브프레임(205)로 구성될 수 있음을 나타낸다.
- [0090] 제1 서브프레임(202) 내지 제4 서브프레임(205)은 발광 소자의 밝기와 관련되고, 제1 서브프레임(202)에 따른 발광 소자의 밝기에 대비하여 제4 서브프레임(205)에 따른 발광 소자의 밝기가 더 크다.
- [0091] 다시 말해, 프레임(201)은 제1 서브프레임(202) 내지 제4 서브프레임(205)을 포함하도록 서브프레임이 구분될 수 있고, 제1 서브프레임(202)에서의 전원전압(VDD)인 경우는 제1 서브프레임(202)에 해당하는 부분만 밝아진다.
- [0092] 제2 서브프레임(203)에서의 전원전압(VDD)인 경우는 제1 서브프레임(202) 및 제2 서브프레임(203)에 해당하는 부분만 밝아진다.
- [0093] 제3 서브프레임(204)에서의 전원전압(VDD)인 경우는 제1 서브프레임(202) 내지 제3 서브프레임(204)에 해당하는 부분만 밝아진다.
- [0094] 제4 서브프레임(205)에서의 전원전압(VDD)인 경우는 제1 서브프레임(202) 내지 제4 서브프레임(205)에 해당하는 부분만 밝아진다.
- [0095] 즉, 제4 서브프레임(205)에서의 전원전압(VDD)의 경우에는 프레임(201)에서의 발광소자가 모두 밝아져서 상대적으로 발광 소자의 밝기가 증가될 수 있다.
- [0096] 전원전압(VDD)의 펄스폭은 전원전압(VDD)이 고전압으로 인가되는 시간과 관련될 수 있다.
- [0097] 다시 말해, 발광 소자의 밝기는 제1 서브프레임(202) 내지 제4 서브프레임(205)에서 전원전압(VDD)이 고전압으로 인가되는 시간에 따라 동작되는 서브프레임의 수가 결정되고, 결정된 서브프레임의 수가 증가할수록 증가될 수 있다.
- [0098] 예를 들어, 데이터 라인의 신호는 제2 박막 트랜지스터의 온 또는 오프를 결정하는 저전압 신호 및 고전압 신호 중 어느 하나의 신호로 구성될 수 있다.
- [0099] 제2 스캔 라인(Scan(n-1))의 신호가 고전압으로 인가되는 경우에 제2 박막 트랜지스터에 저장된 전하가 리셋되고, 제1 스캔 라인(Scan(n))의 신호가 고전압으로 인가되는 경우에 제1 박막 트랜지스터가 턴 온되며, 제1 박막 트랜지스터에 연결된 데이터 라인을 통해 제2 박막 트랜지스터에 데이터가 입력되고, 제2 박막 트랜지스터가 입력된 데이터에 기반하여 턴 온되면서, 발광 소자가 발광을 시작하고, 전원전압(VDD)에 기반하여 발광 소자의 발광 세기가 제어된다.
- [0100] 즉, 제1 박막 트랜지스터가 스위칭 트랜지스터로서 동작하고, 제2 박막 트랜지스터가 메모리 트랜지스터로 동작함에 따라 전원전압(VDD)의 고전압 인가 시간이 조절되면 저장 소자 없이도 발광 소자의 밝기가 제어될 수 있다.
- [0101] 본 발명의 일실시예에 따르면 제2 박막 트랜지스터는 하나의 프레임(frame)이 복수의 서브프레임(sub-frame)으로 구분되어 발광 소자의 밝기가 제어되는 발광 소자의 발광 상태를 비휘발성 메모리 특성에 기반하여 하나의 프레임동안 유지할 수 있다.
- [0102] 도 2b를 참고하면, 타이밍도(210)는 하나의 프레임(211)이 복수의 서브프레임으로 구성될 수 있고, 복수의 서브프레임은 제1 서브프레임(212), 제2 서브프레임(213), 제3 서브프레임(214) 및 제4 서브프레임(215)로 구성될 수 있음을 나타낸다.
- [0103] 타이밍도(200)와 타이밍도(210)의 차이점은 제2 스캔 라인(Scan(n-1))의 신호와 제3 스캔 라인(Scan2(n))의 신

호의 펄스폭의 차이가 존재할 뿐 나머지는 동일하다.

- [0104] 다만, 제3 스캔 라인(Scan2(n))의 신호에 따라 제1 스캔 라인(Scan(n))의 인가 시점의 일부 차이가 존재한다.
- [0105] 타이밍도(210)에서 신호와 제3 스캔 라인(Scan2(n))의 신호의 펄스폭이 타이밍도(200)에서 신호와 제2 스캔 라인(Scan(n-1))의 신호의 펄스폭에 대비하여 넓음에 따라 보다 안정적으로 비휘발성 메모리 특성이 있는 제2 박막 트랜지스터에 저장된 전하를 리셋할 수 있다.
- [0106] 다시 말해, 제3 스캔 라인(Scan2(n))의 신호의 펄스폭이 제1 스캔 라인(Scan(n))의 신호의 펄스폭보다 넓음에 따라 리셋하기 위한 신호의 펄스폭과 제1 박막 트랜지스터를 턴 온 하기 위한 신호의 펄스폭이 동일한 경우보다 상대적으로 안정적으로 리셋동작을 수행할 수 있다.
- [0107] 본 발명의 일실시예에 따르면 제2 박막 트랜지스터(T2)는 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인을 통해 인가되는 신호에 기반하여 제2 박막 트랜지스터에 저장된 전하들이 리셋될 수 있다.
- [0108] 일례로, 제1 박막 트랜지스터(T1)는 제1 스캔 라인을 통해 인가되는 신호에 기반하여 제1 박막 트랜지스터의 온 또는 오프 상태가 제어될 수 있다.
- [0109] 본 발명의 일실시예에 따르면 제1 박막 트랜지스터가 온 상태이면, 데이터 라인의 신호에 기반하여 제2 박막 트랜지스터의 온 또는 오프 상태가 제어될 수 있다.
- [0110] 따라서, 본 발명은 복수의 강유전성 박막 트랜지스터 각각이 듀얼 게이트 구조를 채용하여 휘발성 스위치 기능과 비휘발성 메모리 기능을 선택적으로 이용함에 따라 디스플레이 화소 회로 내 저장 소자의 역할을 대체하고, 이에 따라 디스플레이 화소 회로의 크기를 줄여서 초고해상도 디스플레이를 구현할 수 있다.
- [0112] 도 3은 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터를 설명하는 도면이다.
- [0113] 도 3은 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 구조를 예시한다.
- [0114] 도 3을 참고하면, 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터(300)는 기판(301), 기판(301) 상에 형성되는 버퍼 절연막(302), 버퍼 절연막(302) 상에 형성되는 제1 게이트 전극(303), 제1 게이트 전극(303) 상에 형성되는 제1 게이트 절연막(304)을 포함한다.
- [0115] 또한, 강유전성 박막 트랜지스터(300)는 제1 게이트 절연막(304) 상에 형성되는 반도체층(305), 반도체층(305) 상에 형성되는 제2 게이트 절연막(306), 제2 게이트 절연막(306) 상에 형성되는 제2 게이트 전극(307)을 포함한다.
- [0116] 또한, 강유전성 박막 트랜지스터(300)는 제 2 게이트 전극(307), 반도체층(305), 제1 게이트 절연막(304) 상에 형성되고, 반도체층(305)의 소스 영역과 드레인 영역을 각각 노출시키는 층간 절연막(308)을 포함한다.
- [0117] 또한, 강유전성 박막 트랜지스터(300)는 층간 절연막(308) 상에 형성되고, 소스 영역과 전기적으로 접속되는 소스 전극(309) 및 층간 절연막(308) 상에 형성되고, 드레인 영역과 전기적으로 접속되는 드레인 전극(310)을 포함한다.
- [0118] 소스 전극(309)과 드레인 전극(310)은 소스 영역과 드레인 영역의 설정에 따라 위치가 상호 변경될 수 있다.
- [0119] 본 발명의 일실시예에 따르면 제1 게이트 절연막(304)은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0120] 일례로, 제2 게이트 절연막(306)은 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0121] 한편, 제2 게이트 절연막(306) 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성되고, 제1 게이트 절연막(304)은 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.

- [0122] 예를 들어, 제1 게이트 절연막(304) 및 제2 게이트 절연막(306) 중 적어도 하나가 강유전성 물질로 형성되는 경우에 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나가 순차적으로 적층된 다층 구조로 형성될 수 있다.
- [0123] 또한, 제1 게이트 절연막(304) 및 제2 게이트 절연막(306) 중 적어도 하나가 강유전성 물질로 형성함에 있어서, 알루미늄 산화물(AlO_x)이 제1 게이트 절연막(304) 및 제2 게이트 절연막(306) 중 적어도 하나가 강유전성 성질을 잘 갖도록 도와주는 역할로서 활용될 수 있다.
- [0124] 기판(301)은 반도체 기판이고, 버퍼 절연막(302)은 절연물질로 형성될 수 있다.
- [0125] 제1 게이트 전극(303)과 제2 게이트 전극(307)은 금속물질로 형성되고, 제1 게이트 전극(303)은 하부 전극(bottom gate)이고, 제2 게이트 전극(307)은 상부 전극(top gate)으로서 듀얼 게이트로 구성될 있다.
- [0126] 반도체층(305)은 산화물 반도체층으로서, Poly-Si, 산화물(IGZO, IGO, ZNO 등) 또는 무기물을 이용하여 형성될 수 있다.
- [0127] 강유전성 박막 트랜지스터(300)는 제1 게이트 절연막(304) 및 강유전성을 갖는 제2 게이트 절연막(306)을 포함하고, 듀얼 게이트 구조로서 AMOLED/AMLED 구동에서 디스플레이의 구동 박막 트랜지스터 또는 스위칭 트랜지스터로서 선택적으로 활용될 수 있다.
- [0129] 도 4는 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 제조 방법을 설명하는 도면이다.
- [0130] 도 4는 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 제조 방법을 예시한다.
- [0131] 도 4를 참고하면, 단계(401)에서 강유전성 박막 트랜지스터의 제조 방법은 기판 상에 버퍼 절연막을 형성한다.
- [0132] 즉, 강유전성 박막 트랜지스터의 제조 방법은 기판 상에 스프레이 공정을 통해 버퍼 절연막을 형성할 수 있다.
- [0133] 단계(402)에서 강유전성 박막 트랜지스터의 제조 방법은 버퍼 절연막 상에 제1 게이트 전극을 형성한다.
- [0134] 단계(403)에서 강유전성 박막 트랜지스터의 제조 방법은 제1 게이트 전극 상에 제1 게이트 절연막을 형성한다.
- [0135] 즉, 강유전성 박막 트랜지스터의 제조 방법은 제1 게이트 전극 상에 스프레이 공정을 통해 제1 게이트 절연막을 형성한다.
- [0136] 단계(404)에서 강유전성 박막 트랜지스터의 제조 방법은 제1 게이트 절연막 상에 반도체층을 형성한다.
- [0137] 즉, 강유전성 박막 트랜지스터의 제조 방법은 제1 게이트 절연막 상에 스프레이 공정을 통해 반도체층을 형성한다.
- [0138] 예를 들어, 제1 게이트 절연막은 이산화 규소(SiO_2)를 포함하는 비 강유전성 물질 또는 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 형성될 수 있다.
- [0139] 단계(405)에서 강유전성 박막 트랜지스터의 제조 방법은 반도체층 상에 강유전성 제2 게이트 절연막을 형성한다.
- [0140] 즉, 강유전성 박막 트랜지스터의 제조 방법은 반도체층 상에 스프레이 공정을 통해 제2 게이트 절연막을 형성한다.
- [0141] 단계(406)에서 강유전성 박막 트랜지스터의 제조 방법은 제2 게이트 절연막 상에 제2 게이트 전극을 형성한다.
- [0142] 단계(407)에서 강유전성 박막 트랜지스터의 제조 방법은 제2 게이트 전극, 반도체층, 제1 게이트 절연막 상에 층간 절연막을 형성한다.
- [0143] 단계(408)에서 강유전성 박막 트랜지스터의 제조 방법은 층간 절연막 상에 소스 전극 및 드레인 전극을 형성한다.
- [0144] 본 발명의 일실시예에 따르면 강유전성 박막 트랜지스터의 제조 방법은 약 350도에서 스프레이 공정을 통해서 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유

전성 물질을 도포하고, RTA(Rapid Thermal Annealing) 공정을 650도에서 3분간 진행하여 하프늄 산화물(HfO_x), 하프늄 지르코늄 산화물(HZO) 및 지르코늄 산화물(ZrO_x) 중 적어도 하나를 포함하는 강유전성 물질로 이루어진 제2 게이트 절연막을 반도체층 상에 형성하여 강유전성을 갖는 박막 트랜지스터를 제조할 수 있다.

- [0146] 도 5는 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 동작 특성을 설명하는 도면이다.
- [0147] 도 5는 본 발명의 일실시예에 따른 강유전성 박막 트랜지스터의 강유전성을 설명하기 위한 그래프를 예시한다.
- [0148] 도 5를 참고하면, 그래프(500)는 가로축에서 게이트 전압의 변화와 세로축에서 드레인 전류의 변화를 나타낸다.
- [0149] 실선은 포워드 스위프 상태(forward sweep state)를 나타내고, 점선은 리버스 스위프 상태(reverse sweep state)를 나타낸다.
- [0150] 실선과 점선을 비교하면 스위프 방향에 따라 온 상태와 오프 상태를 결정하는 임계 전압(V_{th})이 다른 것을 확인할 수 있다.
- [0151] 실선과 점선을 비교하면 게이트 전압이 0 V 내지 -1V인 경우에 실선은 오프 상태이고, 점선은 온 상태인 것을 확인할 수 있다.
- [0152] 다시 말해, 강유전성 박막 트랜지스터는 장시간동안 온 또는 오프 상태를 유지할 수 있다.
- [0153] 즉, 박막 트랜지스터 내에 전하 상태가 변화하는 과정에서 비휘발성 메모리 특성을 나타냄에 따라 저장 소자로서 동작될 수 있다.
- [0154] 이에 따라, 강유전성 박막 트랜지스터를 이용하는 경우에는 저장 소자(capacitor) 없이 디스플레이 화소 회로를 설계할 수 있다.
- [0156] 도 6은 본 발명의 일실시예에 따른 디스플레이 화소 회로의 구동 방법을 설명하는 도면이다.
- [0157] 도 6은 본 발명의 일실시예에 따라 디스플레이 화소 회로가 발광 소자를 발광하면서 밝기를 제어하는 디스플레이 화소 회로의 구동 방법을 예시한다.
- [0158] 도 6을 참고하면, 단계(601)에서 디스플레이 화소 회로의 구동 방법은 제2 스캔 라인 및 제3 스캔 라인 중 어느 하나의 스캔 라인의 신호에 기반하여 제2 박막 트랜지스터에 저장된 전하들을 리셋한다.
- [0159] 즉, 디스플레이 화소 회로의 구동 방법은 디스플레이 화소 회로에서 제1 박막 트랜지스터를 통해 제2 박막 트랜지스터로 전달되는 데이터의 신호를 적용하기 위해서 비휘발성 메모리 특성을 가지고 있는 제2 박막 트랜지스터를 리셋한다.
- [0160] 단계(602)에서 디스플레이 화소 회로의 구동 방법은 제1 스캔 라인의 신호에 기반하여 제1 박막 트랜지스터의 온 또는 오프 상태를 제어한다.
- [0161] 즉, 디스플레이 화소 회로의 구동 방법은 제1 스캔 라인의 신호가 고전압인 경우에 제1 박막 트랜지스터를 온 상태로 전환하여 스위칭 트랜지스터로서의 역할을 수행하도록 한다.
- [0162] 여기서, 제1 박막 트랜지스터는 턴 온 상태로 전환됨에 따라 데이터 라인을 통해 인가되는 데이터 신호를 제2 박막 트랜지스터의 제2 게이트 전극으로 전달한다.
- [0163] 단계(603)에서 디스플레이 화소 회로의 구동 방법은 데이터 라인의 신호에 기반하여 제2 박막 트랜지스터의 온 또는 오프 상태와 발광 소자의 발광을 제어한다.
- [0164] 즉, 디스플레이 화소 회로의 구동 방법은 데이터 신호가 고전압인지 저전압인지에 따라 제2 박막 트랜지스터의 온 또는 오프 상태를 결정하고, 제2 박막 트랜지스터가 온 상태일 경우에 제1 전원전압(VDD)이 발광 소자로 전달됨에 따라 발광 소자가 발광하도록 한다.
- [0165] 단계(604)에서 디스플레이 화소 회로의 구동 방법은 제2 박막 트랜지스터를 통해 인가되는 제1 전원전압(VDD)이 고전압 상태로 인가되는 시간에 기반하여 발광 소자의 밝기를 제어할 수 있다.
- [0166] 즉, 디스플레이 화소 회로의 구동 방법은 고전압 상태로 인가되는 시간의 정도에 따라 프레임 내 서브프레임이

동작하는 정도를 결정하여 발광 소자의 밝기를 제어한다.

[0167] 예를 들어, 발광 소자의 밝기는 복수의 서브프레임에서 제1 전원전압(VDD)이 고전압으로 인가되는 시간에 따라 동작되는 서브프레임의 수가 결정되고, 결정된 서브프레임의 수가 증가할수록 증가될 수 있다.

[0168] 따라서, 본 발명은 고유전율(high-k)을 갖는 강유전성 게이트 절연막을 포함하는 복수의 강유전성 박막 트랜지스터를 이용하여 휘발성 스위치 기능과 비휘발성 메모리 기능이 선택적으로 적용되는 디스플레이 화소 회로 및 이를 구동하는 방법을 제공할 수 있다.

[0170] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

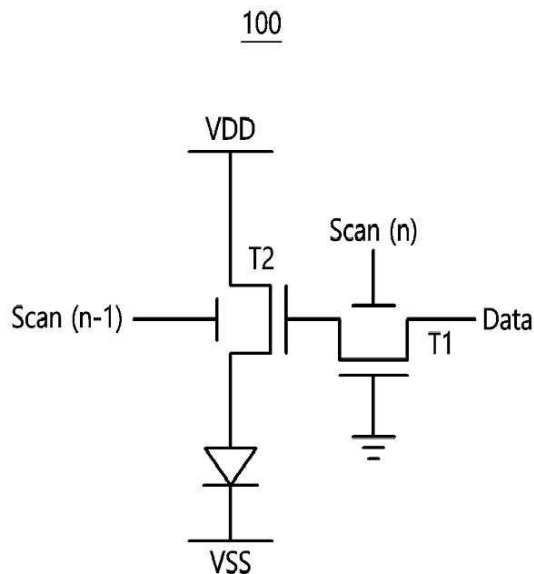
[0171] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

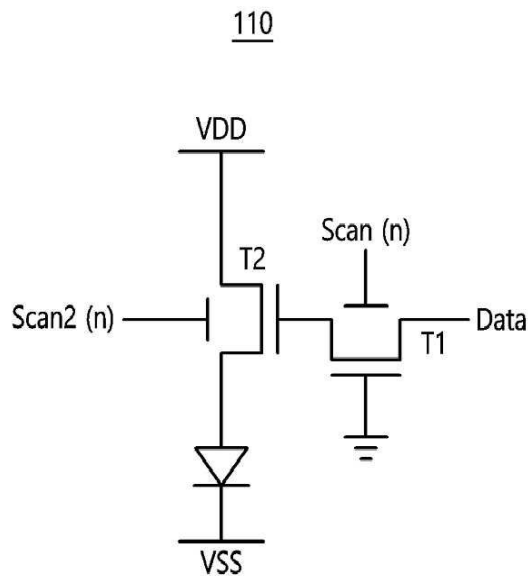
[0172] 100: 디스플레이 화소 회로

도면

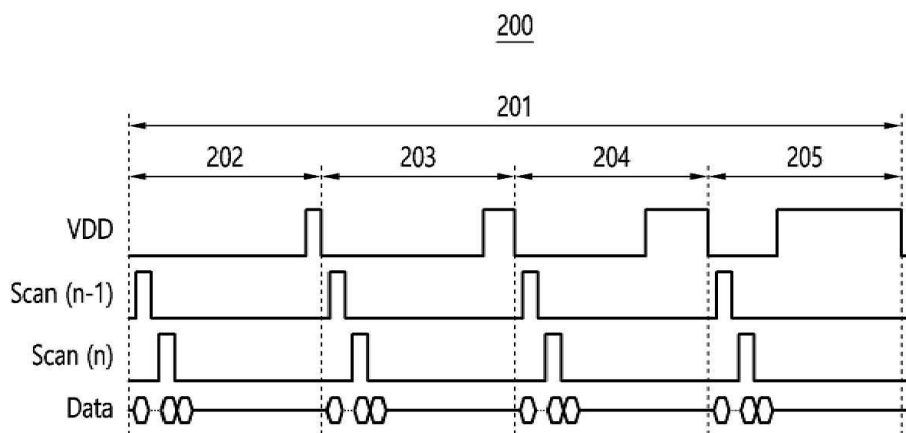
도면1a



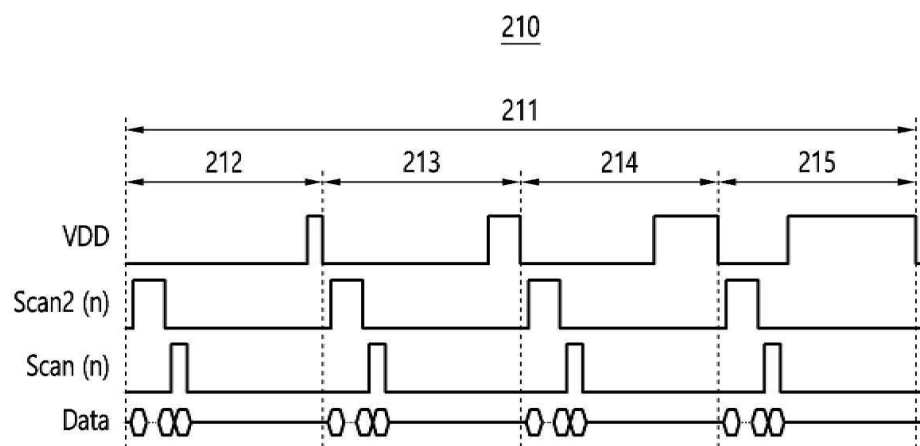
도면1b



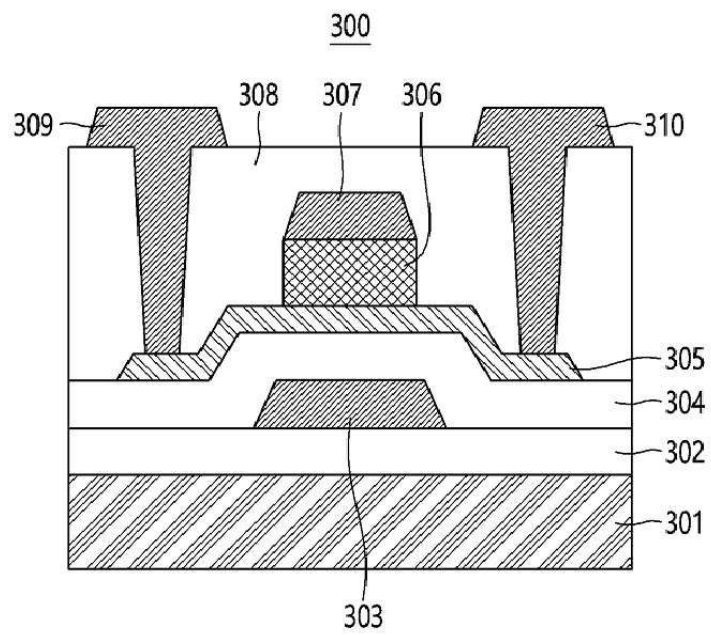
도면2a



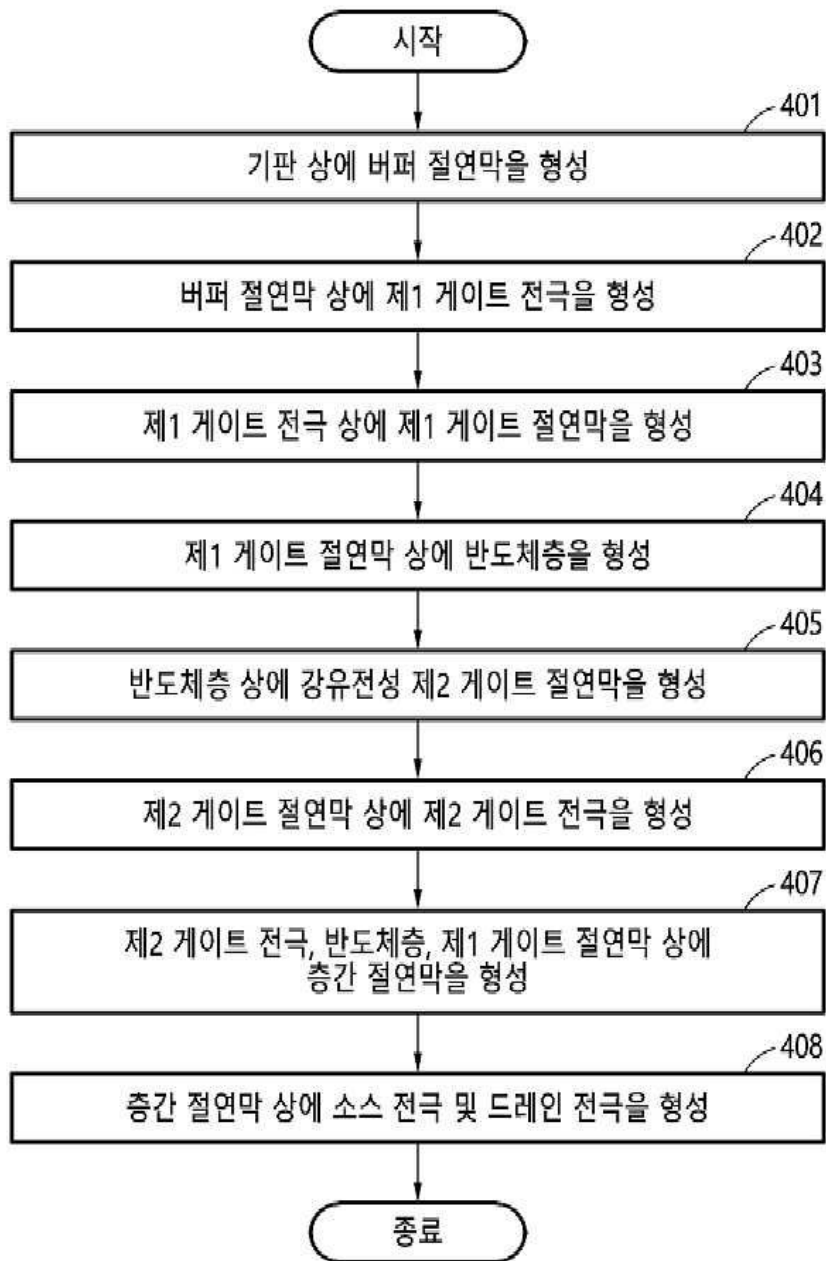
도면2b



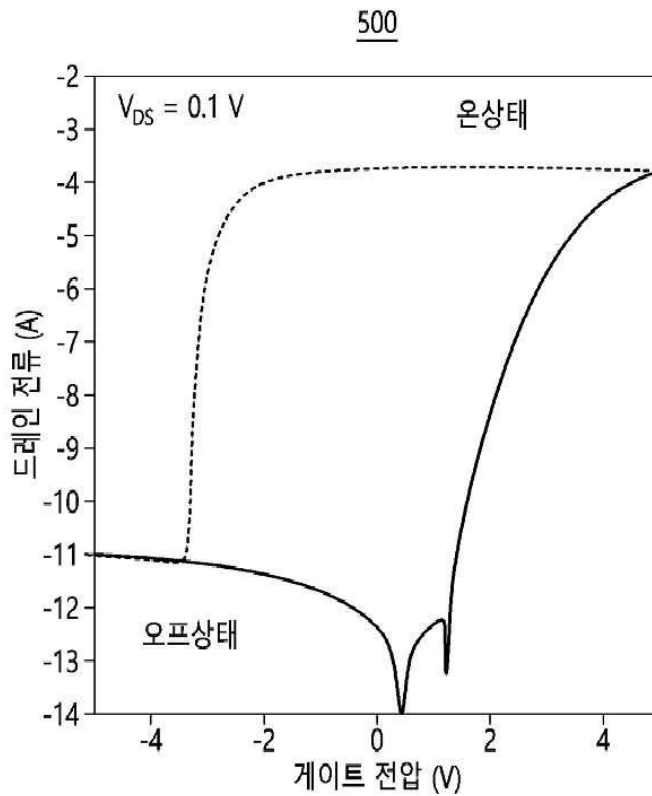
도면3



도면4



도면5



도면6

