



(12) 发明专利

(10) 授权公告号 CN 110503927 B

(45) 授权公告日 2020. 11. 10

(21) 申请号 201810470216.2

(22) 申请日 2018.05.16

(65) 同一申请的已公布的文献号
申请公布号 CN 110503927 A

(43) 申请公布日 2019.11.26

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 成都京东方光电科技有限公司

(72) 发明人 罗皓 胡理科

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 彭久云

(51) Int. Cl.

G09G 3/36 (2006.01)

G11C 19/28 (2006.01)

(56) 对比文件

CN 106531048 A, 2017.03.22

CN 106531048 A, 2017.03.22

CN 105261341 A, 2016.01.20

CN 107689219 A, 2018.02.13

CN 106782282 A, 2017.05.31

KR 20170114621 A, 2017.10.16

US 2017053614 A1, 2017.02.23

审查员 马银银

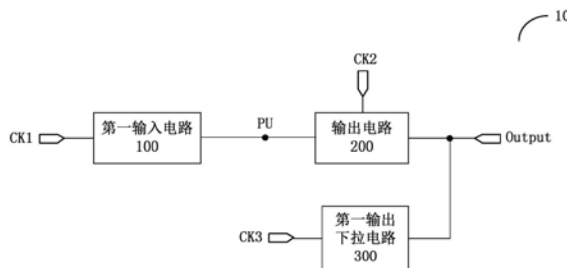
权利要求书2页 说明书14页 附图7页

(54) 发明名称

移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

(57) 摘要

一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置,该移位寄存器单元包括第一输入电路、输出电路和第一输出下拉电路。所述第一输入电路配置为响应于第一时钟信号对上拉节点进行充电,以及响应于所述第一时钟信号对所述上拉节点进行复位;所述输出电路配置为在所述上拉节点的电平的控制下,将第二时钟信号输出至输出端;所述第一输出下拉电路配置为响应于第三时钟信号对所述输出端进行降噪。该移位寄存器单元中的晶体管数量少,不需要额外的信号即可实现预充电的功能,电路结构简化,有利于实现窄边框和高分辨率。



1. 一种移位寄存器单元的驱动方法,其中,所述移位寄存器单元包括第一输入电路、输出电路、第一输出下拉电路和第二输出下拉电路;其中,

所述第一输入电路配置为响应于第一时钟信号对上拉节点进行充电,以及响应于所述第一时钟信号对所述上拉节点进行复位;

所述输出电路配置为在所述上拉节点的电平的控制下,将第二时钟信号输出至输出端;

所述第一输出下拉电路配置为响应于第三时钟信号对所述输出端进行降噪;

所述第二输出下拉电路配置为在下拉节点的电平的控制下,对所述输出端进行降噪;

所述驱动方法包括:

第一阶段,所述第一输入电路响应于所述第一时钟信号对所述上拉节点充电至第一电平,所述输出电路输出所述第二时钟信号的低电平至所述输出端;

第二阶段,所述输出电路输出所述第二时钟信号的高电平至所述输出端;

第三阶段,所述输出电路输出所述第二时钟信号的高电平至所述输出端;

第四阶段,所述输出电路输出所述第二时钟信号的低电平至所述输出端,且所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪;

第五阶段,所述第一输入电路响应于所述第一时钟信号对所述上拉节点进行复位,所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪;

第六阶段,所述第一输入电路响应于所述第一时钟信号对所述上拉节点进行复位,所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

2. 根据权利要求1所述的移位寄存器单元的驱动方法,其中,所述移位寄存器单元还包括第一下拉节点控制电路和第二下拉节点控制电路;其中,

所述第一下拉节点控制电路配置为在所述上拉节点的电平的控制下,对所述下拉节点的电平进行控制;

所述第二下拉节点控制电路配置为响应于所述第二时钟信号对所述下拉节点的电平进行控制。

3. 根据权利要求1所述的移位寄存器单元的驱动方法,其中,所述移位寄存器单元还包括第二输入电路,其中,所述第二输入电路配置为响应于第四时钟信号对所述上拉节点进行降噪,所述驱动方法还包括:

第七阶段,所述第二输入电路响应于所述第四时钟信号对所述上拉节点进行降噪,所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

4. 根据权利要求3所述的移位寄存器单元的驱动方法,其中,所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号具有相同的周期,所述第二时钟信号的相位比所述第一时钟信号的相位晚四分之一个周期,所述第四时钟信号的相位比所述第二时钟信号的相位晚四分之一个周期,所述第三时钟信号的相位比所述第四时钟信号的相位晚四分之一个周期。

5. 一种移位寄存器单元的驱动方法,其中,所述移位寄存器单元包括第一输入电路、第二输入电路、输出电路、第一输出下拉电路和第二输出下拉电路;其中,

所述第一输入电路配置为响应于第一时钟信号对上拉节点进行充电,以及响应于所述第一时钟信号对所述上拉节点进行复位;

所述第二输入电路配置为响应于第四时钟信号对所述上拉节点进行降噪；

所述输出电路配置为在所述上拉节点的电平的控制下，将第二时钟信号输出至输出端；

所述第一输出下拉电路配置为响应于第三时钟信号对所述输出端进行降噪；

所述第二输出下拉电路配置为在下拉节点的电平的控制下，对所述输出端进行降噪；

所述驱动方法包括：

第一阶段，所述第二输入电路响应于所述第四时钟信号对所述上拉节点充电至第一电平，所述输出电路输出所述第二时钟信号的低电平至所述输出端；

第二阶段，所述输出电路输出所述第二时钟信号的高电平至所述输出端；

第三阶段，所述输出电路输出所述第二时钟信号的高电平至所述输出端；

第四阶段，所述输出电路输出所述第二时钟信号的低电平至所述输出端，且所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪；

第五阶段，所述第二输入电路响应于所述第四时钟信号对所述上拉节点进行复位，所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪；

第六阶段，所述第二输入电路响应于所述第四时钟信号对所述上拉节点进行复位，所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

6. 根据权利要求5所述的移位寄存器单元的驱动方法，其中，所述移位寄存器单元还包括第一下拉节点控制电路和第二下拉节点控制电路；其中，

所述第一下拉节点控制电路配置为在所述上拉节点的电平的控制下，对所述下拉节点的电平进行控制；

所述第二下拉节点控制电路配置为响应于所述第二时钟信号对所述下拉节点的电平进行控制。

7. 根据权利要求5所述的移位寄存器单元的驱动方法，还包括：

第七阶段，所述第一输入电路响应于所述第一时钟信号对所述上拉节点进行降噪，所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

8. 根据权利要求7所述的移位寄存器单元的驱动方法，其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号具有相同的周期，所述第一时钟信号的相位比所述第二时钟信号的相位晚四分之一个周期，所述第三时钟信号的相位比所述第一时钟信号的相位晚四分之一个周期，所述第四时钟信号的相位比所述第三时钟信号的相位晚四分之一个周期。

移位寄存器单元及其驱动方法、栅极驱动电路及显示装置

技术领域

[0001] 本公开的实施例涉及一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置。

背景技术

[0002] 在显示技术领域,例如液晶显示面板的像素阵列通常包括多行栅线和与之交错的多列数据线。对栅线的驱动可以通过栅极驱动电路实现。例如,栅极驱动电路可以通过绑定的集成驱动电路实现。近几年随着非晶硅薄膜晶体管或氧化物薄膜晶体管制备工艺的不断提高,也可以将栅极驱动电路直接集成在薄膜晶体管阵列基板上构成GOA (Gate-driver On Array) 来对栅线进行驱动。例如,可以采用由多个级联的移位寄存器单元构成的GOA为像素阵列的多行栅线提供开关态电压信号,从而例如控制多行栅线依序打开,并且同时由数据线向像素阵列中对应行的像素单元提供数据信号,以在各像素单元形成显示图像的各灰阶所需要的灰度电压,进而显示一帧图像。目前的显示面板越来越多地采用GOA技术来对栅线进行驱动。GOA技术有助于实现窄边框,并且可以降低生产成本。

发明内容

[0003] 本公开至少一个实施例提供一种移位寄存器单元,包括第一输入电路、输出电路和第一输出下拉电路;其中,所述第一输入电路配置为响应于第一时钟信号对上拉节点进行充电,以及响应于所述第一时钟信号对所述上拉节点进行复位;所述输出电路配置为在所述上拉节点的电平的控制下,将第二时钟信号输出至输出端;所述第一输出下拉电路配置为响应于第三时钟信号对所述输出端进行降噪。

[0004] 例如,在本公开一实施例提供的移位寄存器单元包括第二输入电路,其中,所述第二输入电路配置为响应于第四时钟信号对所述上拉节点进行降噪。

[0005] 例如,在本公开一实施例提供的移位寄存器单元包括第一下拉节点控制电路、第二下拉节点控制电路和第二输出下拉电路;其中,所述第一下拉节点控制电路配置为在所述上拉节点的电平的控制下,对下拉节点的电平进行控制;所述第二下拉节点控制电路配置为响应于所述第二时钟信号对所述下拉节点的电平进行控制;所述第二输出下拉电路配置为在所述下拉节点的电平的控制下,对所述输出端进行降噪。

[0006] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一输入电路包括第一晶体管;所述第一晶体管的栅极配置为和第一时钟信号端连接以接收所述第一时钟信号,所述第一晶体管的第二极配置为和第一输入端连接以接收第一输入信号,所述第一晶体管的第二极配置为和所述上拉节点连接。

[0007] 例如,在本公开一实施例提供的移位寄存器单元中,所述输出电路包括第二晶体管和第一电容;所述第二晶体管的栅极配置为和所述上拉节点连接,所述第二晶体管的第二极配置为和第二时钟信号端连接以接收所述第二时钟信号,所述第二晶体管的第二极配置为和所述输出端连接;所述第一电容的第一极配置为和所述第二晶体管的栅极连接,所

述第一电容的第二极配置为和所述第二晶体管的第二极连接。

[0008] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一输出下拉电路包括第三晶体管;所述第三晶体管的栅极配置为和第三时钟信号端连接以接收所述第三时钟信号,所述第三晶体管的第一极配置为和所述输出端连接,所述第三晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0009] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二输入电路包括第四晶体管;所述第四晶体管的栅极配置为和第四时钟信号端连接以接收所述第四时钟信号,所述第四晶体管的第一极配置为和所述上拉节点连接,所述第四晶体管的第二极配置为和第二输入端连接以接收第二输入信号。

[0010] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一下拉节点控制电路包括第五晶体管;所述第五晶体管的栅极配置为和所述上拉节点连接,所述第五晶体管的第一极配置为和所述下拉节点连接,所述第五晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0011] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二下拉节点控制电路包括第二电容;所述第二电容的第一极配置为和所述下拉节点连接,所述第二电容的第二极配置为和第二时钟信号端连接以接收所述第二时钟信号。

[0012] 例如,在本公开一实施例提供的移位寄存器单元中,所述第二输出下拉电路包括第六晶体管;所述第六晶体管的栅极配置为和所述下拉节点连接,所述第六晶体管的第一极配置为和所述输出端连接,所述第六晶体管的第二极配置为和第一电压端连接以接收第一电压。

[0013] 本公开至少一个实施例还提供一种栅极驱动电路,包括本公开任一实施例所述的移位寄存器单元。

[0014] 例如,在本公开一实施例提供的栅极驱动电路包括第一时钟信号线、第二时钟信号线、第三时钟信号线和第四时钟信号线;其中,在所述移位寄存器单元包括所述第二输入电路的情形下,所述移位寄存器单元还包括第一时钟信号端、第二时钟信号端、第三时钟信号端和第四时钟信号端,分别用于将所述第一至第四时钟信号输入所述第一输入电路、所述输出电路、所述第一输出下拉电路和所述第二输入电路;第 $4n-3$ 级移位寄存器单元的第一时钟信号端和所述第一时钟信号线连接,第二时钟信号端和所述第二时钟信号线连接,第三时钟信号端和所述第三时钟信号线连接,第四时钟信号端和所述第四时钟信号线连接;第 $4n-2$ 级移位寄存器单元的第一时钟信号端和所述第二时钟信号线连接,第二时钟信号端和所述第四时钟信号线连接,第三时钟信号端和所述第一时钟信号线连接,第四时钟信号端和所述第三时钟信号线连接;第 $4n-1$ 级移位寄存器单元的第一时钟信号端和所述第四时钟信号线连接,第二时钟信号端和所述第三时钟信号线连接,第三时钟信号端和所述第二时钟信号线连接,第四时钟信号端和所述第一时钟信号线连接;第 $4n$ 级移位寄存器单元的第一时钟信号端和所述第三时钟信号线连接,第二时钟信号端和所述第一时钟信号线连接,第三时钟信号端和所述第四时钟信号线连接,第四时钟信号端和所述第二时钟信号线连接; n 为大于0的整数。

[0015] 本公开至少一个实施例还提供一种显示装置,包括本公开任一实施例所述的栅极驱动电路。

[0016] 本公开至少一个实施例还提供一种本公开任一实施例所述的移位寄存器单元的驱动方法,在所述移位寄存器单元包括第二输出下拉电路的情形下,所述驱动方法包括:第一阶段,所述第一输入电路响应于所述第一时钟信号对所述上拉节点充电至第一电平,所述输出电路输出所述第二时钟信号的低电平至所述输出端;第二阶段,所述输出电路输出所述第二时钟信号的高电平至所述输出端;第三阶段,所述输出电路输出所述第二时钟信号的高电平至所述输出端;第四阶段,所述输出电路输出所述第二时钟信号的低电平至所述输出端,且所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪;第五阶段,所述第一输入电路响应于所述第一时钟信号对所述上拉节点进行复位,所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪;第六阶段,所述第一输入电路响应于所述第一时钟信号对所述上拉节点进行复位,所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

[0017] 例如,在本公开一实施例提供的移位寄存器单元的驱动方法中,在所述移位寄存器单元还包括第二输入电路的情况下,所述驱动方法还包括:第七阶段,所述第二输入电路响应于第四时钟信号对所述上拉节点进行降噪,所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

[0018] 例如,在本公开一实施例提供的移位寄存器单元的驱动方法中,所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号具有相同的周期,所述第二时钟信号的相位比所述第一时钟信号的相位晚四分之一周期,所述第四时钟信号的相位比所述第二时钟信号的相位晚四分之一周期,所述第三时钟信号的相位比所述第四时钟信号的相位晚四分之一周期。

[0019] 本公开至少一个实施例还提供一种本公开任一实施例所述的移位寄存器单元的驱动方法,在所述移位寄存器单元包括第二输出下拉电路的情形下,所述驱动方法包括:第一阶段,所述第二输入电路响应于所述第四时钟信号对所述上拉节点充电至第一电平,所述输出电路输出所述第二时钟信号的低电平至所述输出端;第二阶段,所述输出电路输出所述第二时钟信号的高电平至所述输出端;第三阶段,所述输出电路输出所述第二时钟信号的高电平至所述输出端;第四阶段,所述输出电路输出所述第二时钟信号的低电平至所述输出端,且所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪;第五阶段,所述第二输入电路响应于所述第四时钟信号对所述上拉节点进行复位,所述第一输出下拉电路响应于所述第三时钟信号对所述输出端进行降噪;第六阶段,所述第二输入电路响应于所述第四时钟信号对所述上拉节点进行复位,所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

[0020] 例如,在本公开一实施例提供的移位寄存器单元的驱动方法包括:第七阶段,所述第一输入电路响应于第一时钟信号对所述上拉节点进行降噪,所述第二输出下拉电路在所述下拉节点的电平的控制下对所述输出端进行降噪。

[0021] 例如,在本公开一实施例提供的移位寄存器单元的驱动方法中,所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号具有相同的周期,所述第一时钟信号的相位比所述第二时钟信号的相位晚四分之一周期,所述第三时钟信号的相位比所述第一时钟信号的相位晚四分之一周期,所述第四时钟信号的相位比所述第三时钟信号的相位晚四分之一周期。

附图说明

[0022] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0023] 图1为本公开一实施例提供的一种移位寄存器单元的示意框图;

[0024] 图2为本公开一实施例提供的另一种移位寄存器单元的示意框图;

[0025] 图3为本公开一实施例提供的另一种移位寄存器单元的示意框图;

[0026] 图4为图3中所示的移位寄存器单元的一种具体实现示例的电路图;

[0027] 图5为本公开一实施例提供的一种移位寄存器单元的信号时序图;

[0028] 图6为本公开一实施例提供的另一种移位寄存器单元的信号时序图;

[0029] 图7为本公开一实施例提供的一种栅极驱动电路的示意框图;

[0030] 图8为本公开一实施例提供的一种栅极驱动电路的信号时序图;

[0031] 图9为本公开一实施例提供的一种显示装置的示意框图;以及

[0032] 图10本公开一实施例提供的另一种显示装置的示意框图。

具体实施方式

[0033] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0034] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0035] 随着显示面板相关产品的应用越来越多,对显示面板的需求也日益多样化。例如,一部分客户希望显示面板能实现预充电的功能,以缩短数据写入时间,提高数据写入的准确性。例如,另一部分客户希望显示面板中的栅极驱动电路具有尽量简单的电路结构,采用尽量少的元器件,以便于实现窄边框和高分辨率显示面板的布线。例如,再一部分客户希望显示面板既能正向扫描又能反向扫描,以实现双向扫描功能,以使显示面板无论正放还是倒放,都能显示正立的图像。这些多样化的需求对栅极驱动电路的设计提出了挑战。

[0036] 本公开至少一实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路及显示装置。该移位寄存器单元中的晶体管数量少,与传统移位寄存器单元相比不需要额外的信号即可实现预充电的功能,电路结构简化,有利于实现窄边框和高分辨率,例如,至少一个实施例的移位寄存器单元不需要额外的信号即可以实现双向扫描功能。

[0037] 下面,将参考附图详细地说明本公开的实施例。应当注意的是,不同的附图中相同

的附图标记将用于指代已描述的相同的元件。

[0038] 本公开至少一实施例提供一种移位寄存器单元,包括第一输入电路、输出电路和第一输出下拉电路。所述第一输入电路配置为响应于第一时钟信号对上拉节点进行充电,以及响应于所述第一时钟信号对所述上拉节点进行复位;所述输出电路配置为在所述上拉节点的电平的控制下,将第二时钟信号输出至输出端;所述第一输出下拉电路配置为响应于第三时钟信号对所述输出端进行降噪。

[0039] 图1为本公开一实施例提供的一种移位寄存器单元的示意框图。参考图1,该移位寄存器单元10包括第一输入电路100、输出电路200和第一输出下拉电路300。

[0040] 第一输入电路100配置为响应于第一时钟信号对上拉节点PU进行充电,以及响应于第一时钟信号对上拉节点PU进行复位。例如,第一输入电路100与第一时钟信号端CK1和上拉节点PU连接,配置为在第一时钟信号端CK1提供的第一时钟信号的控制下使上拉节点PU和另外提供的第一输入端电连接,从而可以使第一输入端输出的高电平信号对上拉节点PU进行充电,以使得上拉节点PU的电压增加以控制输出电路200导通,以及之后使第一输入端输出的低电平信号对上拉节点PU进行复位,以使得上拉节点PU的电压降低以控制输出电路200关闭。例如,第一输入端连接到触发信号线或者上一级移位寄存器单元10的输出端Output,第一输入端提供的第一输入信号为提供给该级移位寄存器单元10的触发信号。第一输入电路100既可以对上拉节点PU充电,又可以对上拉节点PU复位,从而使该移位寄存器单元10不需要另行设置的上拉节点PU复位电路,简化了电路结构。

[0041] 输出电路200配置为在上拉节点PU的电平的控制下,将第二时钟信号输出至该移位寄存器单元10的输出端Output,作为该移位寄存器单元10的输出信号,以驱动例如与该输出端Output连接的栅线。例如,输出电路200与第二时钟信号端CK2、上拉节点PU和输出端Output连接,配置为在上拉节点PU的电平的控制下导通,使第二时钟信号端CK2和输出端Output电连接,从而可以将第二时钟信号端CK2输入的第二时钟信号输出至输出端Output。

[0042] 第一输出下拉电路300配置为响应于第三时钟信号对输出端Output进行降噪。例如,第一输出下拉电路300与第三时钟信号端CK3、输出端Output以及另外提供的低电压端电连接,配置为在第三时钟信号端CK3提供的第三时钟信号的控制下使输出端Output和该低电压端电连接,从而可以使低电压端输出的低电平信号对输出端Output进行降噪。

[0043] 图2为本公开一实施例提供的另一种移位寄存器单元的示意框图。参考图2,该实施例中移位寄存器单元10还包括第二输入电路400,其他结构与图1中所示的移位寄存器单元10基本上相同。

[0044] 第二输入电路400配置为响应于第四时钟信号对上拉节点PU进行降噪。例如,第二输入电路400与第四时钟信号端CK4和上拉节点PU连接,配置为在第四时钟信号端CK4提供的第四时钟信号的控制下使上拉节点PU和另外提供的第二输入端电连接,从而可以使第二输入端输出的低电平信号对上拉节点PU进行降噪。例如,第二输入端连接到下一级移位寄存器单元10的输出端Output或触发信号线。例如,在需要使上拉节点PU保持低电位的阶段,第二输入电路400和第一输入电路100彼此配合,交替对上拉节点PU进行降噪或复位,从而确保上拉节点PU保持低电位,以避免输出端Output的信号产生毛刺等不良。

[0045] 例如,第二输入电路400与第一输入电路100的电路结构相似或对称设置,从而使该移位寄存器单元10可以用于双向扫描。当采用该移位寄存器单元10的显示面板进行正向

扫描时,使触发信号或由上一级移位寄存器单元10提供的信号由第一输入端输入,其操作如上所述。在另一个示例中,当采用该移位寄存器单元10的显示面板进行反向扫描时,使触发信号或由下一级移位寄存器单元10提供的信号改由第二输入端输入。此时,第二输入电路400配置为响应于第四时钟信号对上拉节点PU进行充电,以及响应于第四时钟信号对上拉节点PU进行复位;而第一输入电路100配置为响应于第一时钟信号对上拉节点PU进行降噪。该电路不需要额外的信号(例如,扫描方向控制信号)即可以实现双向扫描功能,简化了电路结构及扫描控制方式。需要说明的是,本公开的各实施例中,正向扫描和反向扫描的方向是相对的,可以将双向扫描中沿任意一个方向的扫描称为正向扫描,将沿另一个方向的扫描称为反向扫描。

[0046] 图3为本公开一实施例提供的另一种移位寄存器单元的示意框图。参考图3,该实施例的移位寄存器单元10还包括第一下拉节点控制电路500、第二下拉节点控制电路600和第二输出下拉电路700,其他结构与图2中所示的移位寄存器单元10基本上相同。

[0047] 第一下拉节点控制电路500配置为在上拉节点PU的电平的控制下,对下拉节点PD的电平进行控制。例如,第一下拉节点控制电路500与上拉节点PU和下拉节点PD连接,配置为在上拉节点PU的电平的控制下使下拉节点PD和另外提供的低电压端电连接,从而可以使低电压端输出的低电平信号对下拉节点PD的电平进行控制,例如,使下拉节点PD为低电平。

[0048] 第二下拉节点控制电路600配置为响应于第二时钟信号对下拉节点PD的电平进行控制。例如,第二下拉节点控制电路600与第二时钟信号端CK2和下拉节点PD连接,配置为在第二时钟信号端CK2提供的第二时钟信号的控制下,使下拉节点PD的电平随着第二时钟信号的电平而变化,例如,使下拉节点PD的电平交替为高电平和低电平。

[0049] 第二输出下拉电路700配置为在下拉节点PD的电平的控制下,对输出端Output进行降噪。例如,第二输出下拉电路700与下拉节点PD和输出端Output连接,配置为在下拉节点PD的电平的控制下使输出端Output和另外提供的低电压端电连接,从而可以使低电压端输出的低电平信号对输出端Output进行降噪。例如,第二输出下拉电路700和第一输出下拉电路300彼此配合,交替对输出端Output进行降噪,例如实现对输出端Output的双下拉,从而提高该电路和采用该电路的显示面板的可靠性。

[0050] 图4为图3中所示的移位寄存器单元的一种具体实现示例的电路图。在下面的说明中以各晶体管为N型晶体管为例进行说明,但这并不构成对本公开实施例的限制。

[0051] 参考图4,该移位寄存器单元10包括第一至第六晶体管T1-T6,以及还包括第一电容C1和第二电容C2。

[0052] 第一输入电路100可以实现为第一晶体管T1。第一晶体管T1的栅极配置为和第一时钟信号端CK1连接以接收第一时钟信号,第一晶体管T1的第一极配置为和第一输入端Input1连接以接收第一输入信号,第一晶体管T1的第二极配置为和上拉节点PU连接。第一晶体管T1在第一时钟信号为有效电平时导通,使第一输入端Input1和上拉节点PU电连接,从而可以对上拉节点PU进行充电或复位。例如,在第一晶体管T1导通的情形下,第一输入信号为高电平时可以对上拉节点PU进行充电,而第一输入信号为低电平时可以对上拉节点PU进行复位。例如,在另一个示例中,当采用该移位寄存器单元10的显示面板进行反向扫描时,第一晶体管T1在第一时钟信号为有效电平时导通,从而使第一输入端Input1的第一输入信号对上拉节点PU进行降噪。

[0053] 输出电路200可以实现为第二晶体管T2和第一电容C1。第二晶体管T2的栅极配置为和上拉节点PU连接,第二晶体管T2的第一极配置为和第二时钟信号端CK2连接以接收第二时钟信号,第二晶体管T2的第二极配置为和输出端Output连接。第一电容C1的第一极配置为和第二晶体管T2的栅极连接,第一电容C1的第二极配置为和第二晶体管T2的第二极连接。当上拉节点PU为有效电平时,第二晶体管T2导通,从而将第二时钟信号输出至输出端Output。

[0054] 需要说明的是,第一电容C1可以通过工艺制程制作在显示面板上的电容器件,例如通过制作专门的电容电极来实现电容器件,该电容电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现,并且,第一电容C1也可以是晶体管之间的寄生电容,可以通过晶体管本身与其他器件、线路来实现。例如,在一个示例中,第一电容C1为寄生电容,因此输出电路200只包括第二晶体管T2,而无特别制作的电容器件。这样可以简化工艺,降低生产成本,提高生产效率。

[0055] 第一输出下拉电路300可以实现为第三晶体管T3。第三晶体管T3的栅极配置为和第三时钟信号端CK3连接以接收第三时钟信号,第三晶体管T3的第一极配置为和输出端Output连接,第三晶体管T3的第二极配置为和第一电压端VGL连接以接收第一电压。例如,第一电压端VGL配置为提供直流低电平信号(例如低于或等于时钟信号的低电平部分),例如接地,将该直流低电平信号称为第一电压,以下各实施例与此相同,不再赘述。当第三时钟信号为有效电平时,第三晶体管T3导通,使输出端Output和第一电压端VGL电连接,从而对输出端Output进行降噪,使其处于低电平。

[0056] 第二输入电路400可以实现为第四晶体管T4。第四晶体管T4的栅极配置为和第四时钟信号端CK4连接以接收第四时钟信号,第四晶体管T4的第一极配置为和上拉节点PU连接,第四晶体管T4的第二极配置为和第二输入端Input2连接以接收第二输入信号。第四晶体管T4在第四时钟信号为有效电平时导通,使第二输入端Input2和上拉节点PU电连接,从而可以对上拉节点PU进行降噪。例如,在另一个示例中,当采用该移位寄存器单元10的显示面板进行反向扫描时,第四晶体管T4在第四时钟信号为有效电平时导通,从而使第二输入端Input2的第二输入信号对上拉节点PU进行充电,以及之后对上拉节点PU进行复位。

[0057] 第一下拉节点控制电路500可以实现为第五晶体管T5。第五晶体管T5的栅极配置为和上拉节点PU连接,第五晶体管T5的第一极配置为和下拉节点PD连接,第五晶体管T5的第二极配置为和第一电压端VGL连接以接收第一电压。当上拉节点PU为有效电平时,第五晶体管T5导通,使下拉节点PD和第一电压端VGL电连接,从而对下拉节点PD的电平进行下拉控制,使其处于低电平。

[0058] 第二下拉节点控制电路600可以实现为第二电容C2。第二电容C2的第一极配置为和下拉节点PD连接,第二电容C2的第二极配置为和第二时钟信号端CK2连接以接收第二时钟信号。在第五晶体管T5截止的情形下,下拉节点PD处于浮置状态,由于第二电容C2的自举效应,下拉节点PD的电平会随着第二时钟信号的电平而变化,例如,下拉节点PD的电平交替为高电平和低电平,相应地控制后面所述的第六晶体管T6导通和截止。

[0059] 第二输出下拉电路700可以实现为第六晶体管T6。第六晶体管T6的栅极配置为和下拉节点PD连接,第六晶体管T6的第一极配置为和输出端Output连接,第六晶体管T6的第二极配置为和第一电压端VGL连接以接收第一电压。当下拉节点PD为有效电平时,第六晶体

管T6导通,使输出端Output和第一电压端VGL电连接,从而对输出端Output进行降噪,使其处于低电平。例如,下拉节点PD和第三时钟信号可以交替为有效电平,从而使第六晶体管T6和第三晶体管T3交替导通,以实现输出端Output的双下拉,确保输出端Output处于低电平。并且,第六晶体管T6和第三晶体管T3在整帧扫描过程中受约50%的应力,这样可以减缓器件的性能退化,防止阈值电压偏移。

[0060] 需要注意的是,在本公开的各个实施例的说明中,上拉节点PU和下拉节点PD并非表示实际存在的部件,而是表示电路图中相关电连接的汇合点。

[0061] 需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件,本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极。

[0062] 另外,在本公开的实施例中的晶体管均以N型晶体管为例进行说明,此时,晶体管的第一极是漏极,第二极是源极。需要说明的是,本公开包括但不限于此。例如,本公开的实施例提供的移位寄存器单元10中的一个或多个晶体管也可以采用P型晶体管,此时,晶体管第一极是源极,第二极是漏极,只需将选定类型的晶体管的各极参照本公开的实施例中的相应晶体管的各极相应连接并且使第一电压端VGL提供直流高电平信号即可。当采用N型晶体管时,可以采用氧化铟镓锌 (Indium Gallium Zinc Oxide, IGZO) 作为薄膜晶体管的有源层,相对于采用低温多晶硅 (Low Temperature Poly Silicon, LTPS) 或非晶硅 (例如氢化非晶硅) 作为薄膜晶体管的有源层,可以有效减小晶体管的尺寸以及防止漏电流。

[0063] 图5为本公开一实施例提供的一种移位寄存器单元的信号时序图。下面结合图5所示的信号时序图,对图4所示的移位寄存器单元10的工作原理进行说明,并且这里以各个晶体管为N型晶体管为例进行说明,但是本公开的实施例不限于此。

[0064] 在图5所示的第一阶段1、第二阶段2、第三阶段3、第四阶段4、第五阶段5、第六阶段6以及第七阶段7共七个阶段中,该移位寄存器单元10可以分别进行如下操作。在图中以及下面的描述中,CK1、CK2、CK3、CK4、STV等既用于表示相应的信号端,也用于分别表示第一时钟信号、第二时钟信号、第三时钟信号、第四时钟信号和触发信号等。

[0065] 在第一阶段1,第一输入端Input1提供高电平信号。第一晶体管T1在第一时钟信号CK1的高电平的作用下导通,上拉节点PU的电位升高,上拉节点PU被充电至第一电平。第五晶体管T5导通,使下拉节点PD处于低电平。第二晶体管T2也导通,将第二时钟信号CK2输出至输出端Output。第三晶体管T3在第三时钟信号CK3的高电平的作用下导通,将第一电压(第一电压端VGL提供)输出至输出端Output。由于此时第二时钟信号CK2和第一电压均为低电平,因此输出端Output输出低电平。第四时钟信号CK4为低电平,第四晶体管T4截止。第六晶体管T6在下拉节点PD的低电平的作用下截止。

[0066] 在第二阶段2,第二时钟信号CK2变为高电平,由于第一电容C1的自举效应,为了保持第一电容C1两极之间的电压差不变,上拉节点PU的电位被进一步拉高。例如,此时上拉节点PU为第二电平,第二电平高于第一电平。第二晶体管T2充分导通,第二时钟信号CK2的高电平输出至输出端Output。由于上拉节点PU的电位被进一步拉高,使得上拉节点PU的电位高于第一晶体管T1栅极的电位,第一晶体管T1被饱和截止。第五晶体管T5在上拉节点PU的

高电平的作用下保持导通,使下拉节点PD仍然为低电平。第三时钟信号CK3变为低电平,第三晶体管T3截止。此时,第四晶体管T4和第六晶体管T6均截止。

[0067] 在第三阶段3,第一时钟信号CK1变为低电平,第一晶体管T1截止。上拉节点PU保持上一阶段的电平(即第二电平),第二晶体管T2保持导通,第二时钟信号CK2的高电平继续输出到输出端Output。第五晶体管T5在上拉节点PU的高电平的作用下保持导通,使下拉节点PD仍然为低电平。第六晶体管T6保持截止。第三时钟信号CK3为低电平,第三晶体管T3保持截止。第四时钟信号CK4变为高电平,第二输入信号端Input2提供高电平信号,而此时上拉节点PU为第二电平,高于第四晶体管T4的栅极电压,因此第四晶体管T4被饱和截止。

[0068] 在第四阶段4,上拉节点PU保持上一阶段的电平(即第二电平),第二晶体管T2保持导通。第二时钟信号CK2变为低电平,输出端Output通过第二晶体管T2完成下拉,以输出低电平。例如,第二晶体管T2为尺寸较大的薄膜晶体管,因此下拉时间短。第三时钟信号CK3变为高电平,第三晶体管T3导通。第三晶体管T3也对输出端Output进行下拉,并使其维持输出低电平,使得输出信号的精度高。第五晶体管T5保持导通,使下拉节点PD仍然为低电平。第四晶体管T4保持饱和截止状态,第一晶体管T1和第六晶体管T6保持截止。

[0069] 在第五阶段5,第一时钟信号CK1变为高电平,第一晶体管T1导通。此时,第一输入端Input1提供低电平信号,从而对上拉节点PU进行复位,使上拉节点PU变为低电平。第二晶体管T2和第五晶体管T5在上拉节点PU的低电平的作用下截止。第三时钟信号CK3为高电平,第三晶体管T3保持导通,对输出端Output进行降噪。第四时钟信号CK4变为低电平,第四晶体管T4截止。下拉节点PD保持上一阶段的电平(即低电平),第六晶体管T6保持截止。

[0070] 在第六阶段6,第一时钟信号CK1为高电平,第一晶体管T1保持导通,维持上拉节点PU的低电平,以减小第二时钟信号CK2的高电平通过寄生电容对上拉节点PU的影响,从而避免输出端Output的信号产生毛刺等不良。第三时钟信号CK3变为低电平,第三晶体管T3截止。第二晶体管T2、第四晶体管T4和第五晶体管T5保持截止。第二时钟信号CK2变为高电平,由于第二电容C2的自举效应,下拉节点PD的电平也变为高电平,从而使第六晶体管T6导通,对输出端Output进行降噪。

[0071] 在第七阶段7,第四时钟信号CK4变为高电平,第四晶体管T4导通,第二输入端Input2提供低电平信号,以维持上拉节点PU的低电平,从而减小第二时钟信号CK2的高电平通过寄生电容对上拉节点PU的影响,避免输出端Output的信号产生毛刺等不良。第一时钟信号CK1变为低电平,第一晶体管T1截止。第二晶体管T2、第三晶体管T3、第五晶体管T5保持截止。第六晶体管T6保持导通,以对输出端Output进行降噪。

[0072] 在后续阶段,下拉节点PD的电平随着第二时钟信号CK2的电平而变化,第三时钟信号CK3和下拉节点PD的电平彼此反相,从而使第六晶体管T6和第三晶体管T3交替导通,以对输出端Output持续降噪,维持输出端Output的低电平。这种双下拉的方式可以提高该电路和采用该电路的显示面板的可靠性。并且,第六晶体管T6和第三晶体管T3在整帧扫描过程中受约50%的应力,这样可以减缓器件的性能退化,防止阈值电压偏移。由于第二时钟信号CK2变为低电平时,输出端Output通过第二晶体管T2完成下拉,第六晶体管T6和第三晶体管T3只起保持作用,因此第六晶体管T6和第三晶体管T3的尺寸可以适当减小,不仅可以降低功耗,还可以减小该电路的设置空间,有利于实现窄边框和高分辨率。

[0073] 在后续阶段,由于第一时钟信号CK1和第四时钟信号CK4彼此反相,第一晶体管T1

和第四晶体管T4交替导通,以对上拉节点PU进行降噪,维持上拉节点PU的低电平。这样可以减小第二时钟信号CK2的高电平通过寄生电容对上拉节点PU的影响,避免输出端Output的信号产生毛刺等不良。并且,第一晶体管T1和第四晶体管T4在整帧扫描过程中受约50%的应力,这样可以减缓器件的性能退化,防止阈值电压偏移。

[0074] 例如,该移位寄存器单元10进行正向扫描时,其工作原理如上所述。第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4具有相同的周期。而且,第二时钟信号CK2的相位比第一时钟信号CK1的相位晚四分之一个周期,第四时钟信号CK4的相位比第二时钟信号CK2的相位晚四分之一个周期,第三时钟信号CK3的相位比第四时钟信号CK4的相位晚四分之一个周期。第一时钟信号CK1和第四时钟信号CK4彼此反相,第二时钟信号CK2和第三时钟信号CK3彼此反相。

[0075] 例如,在正向扫描时,第一输入端Input1、输出端Output和第二输入端Input2的信号为3个相邻的级联的移位寄存器单元10的输出信号,任意2个相邻的移位寄存器单元10的输出信号彼此部分重叠且重叠时间为时钟信号高电平脉宽的一半,以实现预充电的功能。与传统的具有预充电功能的电路相比,该移位寄存器单元10不需要额外的信号,多个移位寄存器单元10之间的连接关系简化,有利于实现窄边框和高分辨率。

[0076] 例如,该移位寄存器单元10进行反向扫描时,其信号时序图如图6所示,其工作原理与正向扫描时的工作原理类似,将提供给该级移位寄存器单元10的触发信号改由第二输入端Input2输入即可,此处不再赘述。

[0077] 需要注意的是,在反向扫描时,第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4彼此之间的相位关系与正向扫描时彼此之间的相位关系不同。如图6所示,第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4具有相同的周期。第一时钟信号CK1的相位比第二时钟信号CK2的相位晚四分之一个周期,第三时钟信号CK3的相位比第一时钟信号CK1的相位晚四分之一个周期,第四时钟信号CK4的相位比第三时钟信号CK3的相位晚四分之一个周期。第一时钟信号CK1和第四时钟信号CK4彼此反相,第二时钟信号CK2和第三时钟信号CK3彼此反相。

[0078] 该移位寄存器单元10通过上述四个时钟信号和提供给该级移位寄存器单元10的触发信号的时序匹配,不需要额外的信号(例如,扫描方向控制信号)即可以实现双向扫描功能,简化了电路结构及扫描控制方式。例如,上述四个时钟信号可以通过时序控制器T-CON产生,易于实现。

[0079] 本公开至少一实施例还提供一种栅极驱动电路。该栅极驱动电路包括本公开任一实施例所述的移位寄存器单元。该栅极驱动电路中的晶体管数量少,不需要额外的信号即可实现预充电的功能,电路结构简化,有利于实现窄边框和高分辨率,例如,至少一个实施例的栅极驱动电路不需要额外的信号即可以实现双向扫描功能。

[0080] 图7为本公开一实施例提供的一种栅极驱动电路的示意框图。参考图7,该栅极驱动电路20包括多个级联的移位寄存器单元(SR1、SR2、SR3、SR4、...、SRn)。多个移位寄存器单元的数量不受限制,可以根据实际需求而定。例如,对于分辨率 640×480 的显示装置,移位寄存器单元的数量可以为480,对应地,对于分辨率为 1920×1440 的显示装置,移位寄存器单元的数量可以为1440。例如,移位寄存器单元采用本公开任一实施例所述的移位寄存器单元10。例如,在栅极驱动电路20中,可以部分或全部移位寄存器单元采用本公开任一实施

例所述的移位寄存器单元10。例如,该栅极驱动电路20可以采用与薄膜晶体管同样制程的工艺直接集成在显示装置的阵列基板上,以实现逐行扫描驱动功能。

[0081] 例如,多个移位寄存器单元分别具有第一输入端Input1、第二输入端Input2、第一至第四时钟信号端CK1-CK4、第一电压端VGL和输出端Output。例如,除第一级以外,每一级移位寄存器单元的输出端Output与上一级移位寄存器单元的第二输入端Input2连接。例如,除最后一级以外,每一级移位寄存器单元的输出端Output与下一级移位寄存器单元的第一输入端Input1连接。例如,第一级移位寄存器单元的第一输入端Input1配置为与触发信号线STV连接以接收触发信号STV;最后一级移位寄存器单元的第二输入端Input2配置为与触发信号线STV连接以接收对应的信号(例如,低电平信号)。当然,上述为正向扫描的情形,当反向扫描时,向上述最后一级移位寄存器单元的第二输入端Input2提供触发信号STV,向上述第一级移位寄存器单元的第一输入端Input1提供对应的信号。

[0082] 例如,该栅极驱动电路20还包括第一时钟信号线CK_1、第二时钟信号线CK_2、第三时钟信号线CK_3和第四时钟信号线CK_4。例如,在栅极驱动电路20中,每4个移位寄存器单元为一个级联重复单元,具体连接方式如下,其他移位寄存器单元的级联方式以此类推。

[0083] 第 $4n-3$ 级移位寄存器单元(例如,第一级移位寄存器单元SR1)的第一时钟信号端CK1和第一时钟信号线CK_1连接,第二时钟信号端CK2和第二时钟信号线CK_2连接,第三时钟信号端CK3和第三时钟信号线CK_3连接,第四时钟信号端CK4和第四时钟信号线CK_4连接。

[0084] 第 $4n-2$ 级移位寄存器单元(例如,第二级移位寄存器单元SR2)的第一时钟信号端CK1和第二时钟信号线CK_2连接,第二时钟信号端CK2和第四时钟信号线CK_4连接,第三时钟信号端CK3和第一时钟信号线CK_1连接,第四时钟信号端CK4和第三时钟信号线CK_3连接。

[0085] 第 $4n-1$ 级移位寄存器单元(例如,第三级移位寄存器单元SR3)的第一时钟信号端CK1和第四时钟信号线CK_4连接,第二时钟信号端CK2和第三时钟信号线CK_3连接,第三时钟信号端CK3和第二时钟信号线CK_2连接,第四时钟信号端CK4和第一时钟信号线CK_1连接。

[0086] 第 $4n$ 级移位寄存器单元(例如,第四级移位寄存器单元SR4)的第一时钟信号端CK1和第三时钟信号线CK_3连接,第二时钟信号端CK2和第一时钟信号线CK_1连接,第三时钟信号端CK3和第四时钟信号线CK_4连接,第四时钟信号端CK4和第二时钟信号线CK_2连接。

[0087] 这里, n 为大于0的整数。

[0088] 在正向扫描和反向扫描时,第一时钟信号线CK_1、第二时钟信号线CK_2、第三时钟信号线CK_3和第四时钟信号线CK_4提供的信号彼此之间的相位关系有所不同,具体参见移位寄存器单元10的工作原理的描述,此处不再赘述。

[0089] 例如,该栅极驱动电路20还可以包括时序控制器T-CON,时序控制器T-CON例如配置为向各级移位寄存器单元提供第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号,时序控制器T-CON还可以配置为提供触发信号。需要注意的是,在正向扫描和反向扫描时,时序控制器T-CON提供的多个时钟信号彼此之间的相位关系有所不同。在不同的示例中,根据不同的配置,还可以提供更多的时钟信号,例如6个、8个等。例如,该栅极驱动电路20还包括第一电压线VGL1,以向各个移位寄存器单元提供第一电压。

[0090] 例如,当采用该栅极驱动电路20驱动一显示面板时,可以将该栅极驱动电路20设置于显示面板的一侧。例如,该显示面板包括多行栅线,栅极驱动电路20中的各级移位寄存器单元的输出端Output可以配置为依序和多行栅线连接,以用于输出栅极扫描信号。当然,还可以分别在显示面板的两侧设置该栅极驱动电路20,以实现双边驱动,本公开的实施例对栅极驱动电路20的设置方式不作限定。例如,可以在显示面板的一侧设置栅极驱动电路20以用于驱动奇数行栅线,而在显示面板的另一侧设置栅极驱动电路20以用于驱动偶数行栅线。

[0091] 图8为本公开一实施例提供的一种栅极驱动电路的信号时序图。参考图8,第一时钟信号线CK_1、第二时钟信号线CK_2、第三时钟信号线CK_3和第四时钟信号线CK_4提供的时钟信号的高电平脉宽均为 t_1 。任意2个相邻的移位寄存器单元的输出信号彼此部分重叠且重叠时间为 t_2 。例如,在该示例中,栅极驱动电路20设置于显示面板的一侧以进行单边驱动,预充电时间(重叠时间) $t_2=t_1*1/2$ 。例如,在其他示例中,2个栅极驱动电路20分别设置于显示面板的两侧以进行双边驱动,则预充电时间(重叠时间) $t_2=t_1*3/4$,以进一步延长预充电时间。该栅极驱动电路20不需要额外的信号即可实现预充电功能,且多个移位寄存器单元之间的连接关系简化,有利于实现窄边框和高分辨率。

[0092] 本公开至少一实施例还提供一种显示装置。该显示装置包括本公开任一实施例所述的栅极驱动电路。该显示装置中的栅极驱动电路的晶体管数量少,不需要额外的信号即可实现预充电的功能,电路结构简化,有利于实现窄边框和高分辨率,例如,至少一个实施例的显示装置中的栅极驱动电路不需要额外的信号即可以实现双向扫描功能。

[0093] 图9为本公开一实施例提供的一种显示装置的示意框图。参考图9,显示装置30包括栅极驱动电路20,栅极驱动电路20为本公开任一实施例所述的栅极驱动电路。例如,显示装置30可以为液晶显示(Liquid Crystal Display,LCD)面板、LCD电视、显示器、有机发光二极管(Organic Light-Emitting Diode,OLED)面板、OLED电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件,本公开的实施例对此不作限制。显示装置30的技术效果可以参考上述实施例中关于移位寄存器单元10和栅极驱动电路20的相应描述,这里不再赘述。

[0094] 图10本公开一实施例提供的另一种显示装置的示意框图。参考图10,显示装置30包括显示面板3000、栅极驱动器3010、定时控制器3020和数据驱动器3030。显示面板3000包括根据多条扫描线GL和多条数据线DL交叉限定的多个像素单元P;栅极驱动器3010用于驱动多条扫描线GL;数据驱动器3030用于驱动多条数据线DL;定时控制器3020用于处理从显示装置30外部输入的图像数据RGB,向数据驱动器3030提供处理的图像数据RGB以及向栅极驱动器3010和数据驱动器3030输出扫描控制信号GCS和数据控制信号DCS,以对栅极驱动器3010和数据驱动器3030进行控制。

[0095] 例如,栅极驱动器3010包括上述任一实施例中提供的栅极驱动电路20。栅极驱动电路20中的多个移位寄存器单元的输出端Output与多条扫描线GL对应连接。多条扫描线GL与排列为多行的像素单元P对应连接。栅极驱动电路20中的各级移位寄存器单元的输出端Output依序输出信号到多条扫描线GL,以使显示面板3000中的多行像素单元P实现逐行扫描。例如,栅极驱动器3010可以实现为半导体芯片,也可以集成在显示面板3000中以构成GOA电路。

[0096] 例如,数据驱动器3030使用参考伽玛电压根据源自定时控制器3020的多个数据控制信号DCS将从定时控制器3020输入的数字图像数据RGB转换成数据信号。数据驱动器3030向多条数据线DL提供转换的数据信号。例如,数据驱动器3030可以实现为半导体芯片。

[0097] 例如,定时控制器3020对外部输入的图像数据RGB进行处理以匹配显示面板3000的大小和分辨率,然后向数据驱动器3030提供处理后的图像数据。定时控制器3020使用从显示装置30外部输入的同步信号(例如点时钟DCLK、数据使能信号DE、水平同步信号Hsync以及垂直同步信号Vsync)产生多条扫描控制信号GCS和多条数据控制信号DCS。定时控制器3020分别向栅极驱动器3010和数据驱动器3030提供产生的扫描控制信号GCS和数据控制信号DCS,以用于栅极驱动器3010和数据驱动器3030的控制。

[0098] 该显示装置30还可以包括其他部件,例如信号解码电路、电压转换电路等,这些部件例如可以采用已有的常规部件,这里不再详述。

[0099] 本公开至少一实施例还提供一种移位寄存器单元的驱动方法,可以用于驱动本公开任一实施例提供的移位寄存器单元。利用该驱动方法,不需要额外的信号即可实现预充电的功能,且采用的电路结构简化,有利于实现窄边框和高分辨率,例如,在至少一个实施例中,不需要额外的信号即可以实现双向扫描功能。

[0100] 例如,在一个示例中,在移位寄存器单元10包括第二输出下拉电路700的情形下,该移位寄存器单元10的驱动方法包括如下操作:

[0101] 第一阶段,第一输入电路100响应于第一时钟信号对上拉节点PU充电至第一电平,输出电路200输出第二时钟信号的低电平至输出端Output;

[0102] 第二阶段,输出电路200输出第二时钟信号的高电平至输出端Output;

[0103] 第三阶段,输出电路200输出第二时钟信号的高电平至输出端Output;

[0104] 第四阶段,输出电路200输出第二时钟信号的低电平至输出端Output,且第一输出下拉电路300响应于第三时钟信号对输出端Output进行降噪;

[0105] 第五阶段,第一输入电路100响应于第一时钟信号对上拉节点PU进行复位,第一输出下拉电路300响应于第三时钟信号对输出端Output进行降噪;

[0106] 第六阶段,第一输入电路100响应于第一时钟信号对上拉节点PU进行复位,第二输出下拉电路700在下拉节点PD的电平的控制下对输出端Output进行降噪。

[0107] 例如,在另一个示例中,在移位寄存器单元10还包括第二输入电路400的情况下,该移位寄存器单元10的驱动方法还包括:

[0108] 第七阶段,第二输入电路400响应于第四时钟信号对上拉节点PU进行降噪,第二输出下拉电路700在下拉节点PD的电平的控制下对输出端Output进行降噪。

[0109] 例如,第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号具有相同的周期,第二时钟信号的相位比第一时钟信号的相位晚四分之一周期,第四时钟信号的相位比第二时钟信号的相位晚四分之一周期,第三时钟信号的相位比第四时钟信号的相位晚四分之一周期。

[0110] 例如,在一个示例中,当采用该移位寄存器单元10的显示面板进行反向扫描时,在移位寄存器单元10包括第二输出下拉电路700的情形下,该移位寄存器单元10的驱动方法包括如下操作:

[0111] 第一阶段,第二输入电路400响应于第四时钟信号对上拉节点PU充电至第一电平,

输出电路200输出第二时钟信号的低电平至输出端Output;

[0112] 第二阶段,输出电路200输出第二时钟信号的高电平至输出端Output;

[0113] 第三阶段,输出电路200输出第二时钟信号的高电平至输出端Output;

[0114] 第四阶段,输出电路200输出第二时钟信号的低电平至输出端Output,且第一输出下拉电路300响应于第三时钟信号对输出端Output进行降噪;

[0115] 第五阶段,第二输入电路400响应于第四时钟信号对上拉节点PU进行复位,第一输出下拉电路300响应于第三时钟信号对输出端Output进行降噪;

[0116] 第六阶段,第二输入电路400响应于第四时钟信号对上拉节点PU进行复位,第二输出下拉电路700在下拉节点PD的电平的控制下对输出端Output进行降噪。

[0117] 例如,在另一个示例中,当采用该移位寄存器单元10的显示面板进行反向扫描时,该移位寄存器单元10的驱动方法还包括:

[0118] 第七阶段,第一输入电路100响应于第一时钟信号对上拉节点PU进行降噪,第二输出下拉电路700在下拉节点PD的电平的控制下对输出端Output进行降噪。

[0119] 例如,当采用该移位寄存器单元10的显示面板进行反向扫描时,第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号具有相同的周期,第一时钟信号的相位比第二时钟信号的相位晚四分之一个周期,第三时钟信号的相位比第一时钟信号的相位晚四分之一个周期,第四时钟信号的相位比第三时钟信号的相位晚四分之一个周期。

[0120] 需要说明的是,关于该驱动方法的详细描述以及技术效果可以参考本公开的实施例中对于移位寄存器单元10和栅极驱动电路20的相应描述,这里不再赘述。

[0121] 有以下几点需要说明:

[0122] (1) 本公开实施例附图只涉及到本公开实施例涉及到的结构,其他结构可参考通常设计。

[0123] (2) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0124] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,本公开的保护范围应以所述权利要求的保护范围为准。

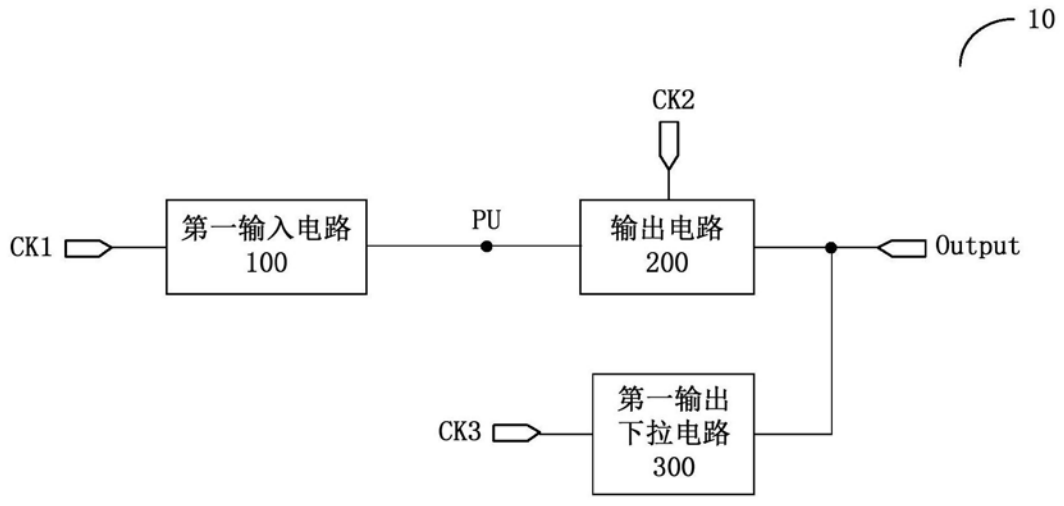


图1

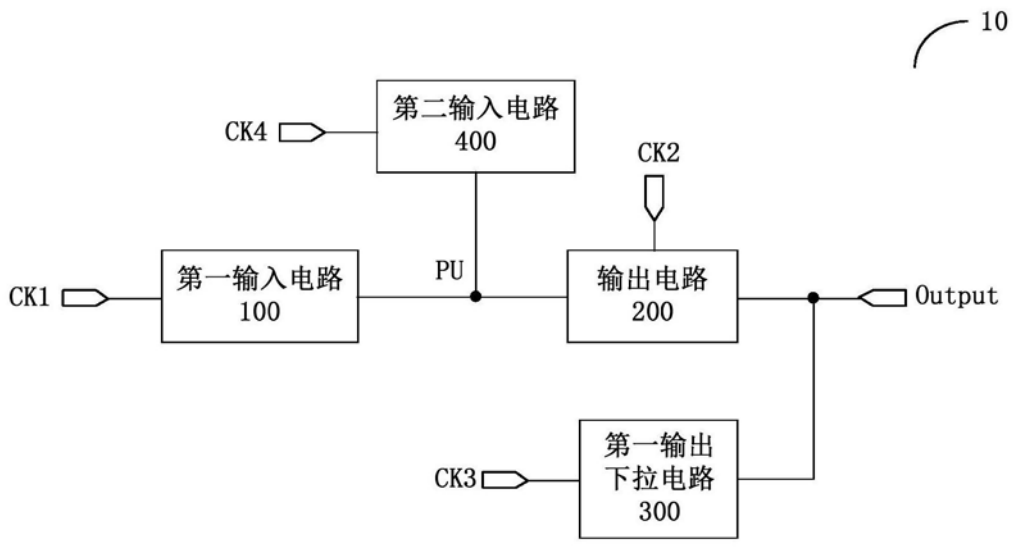


图2

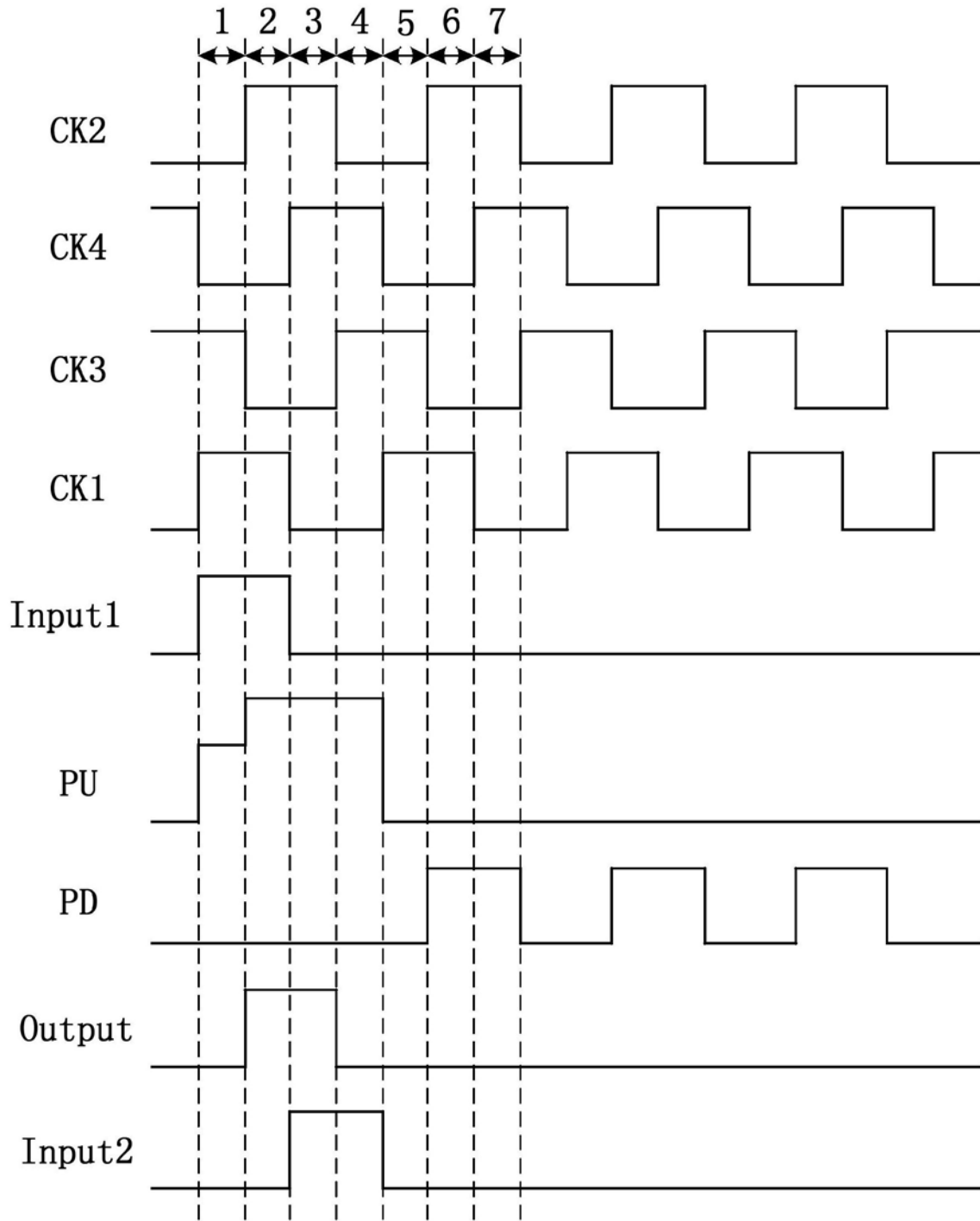


图5

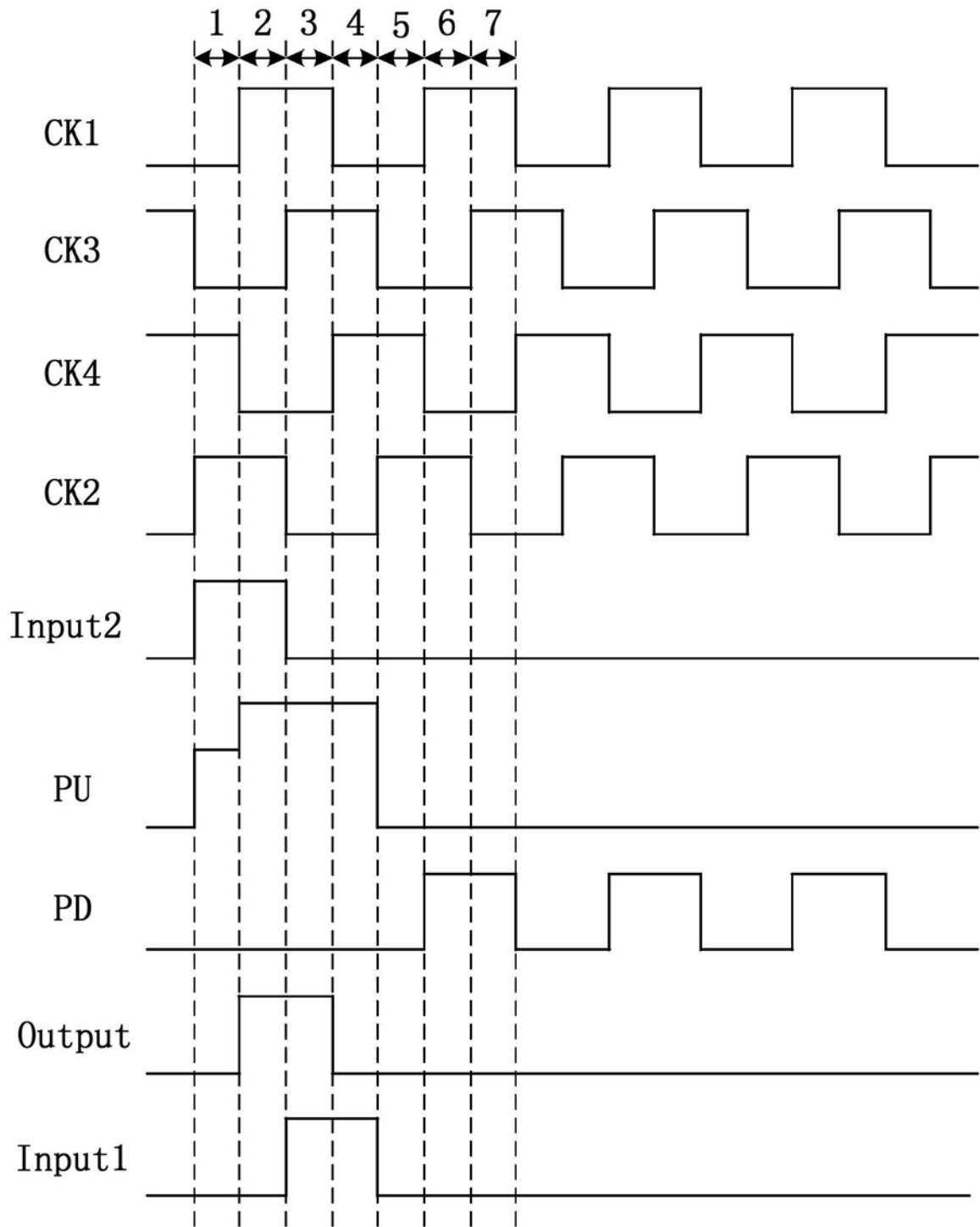


图6

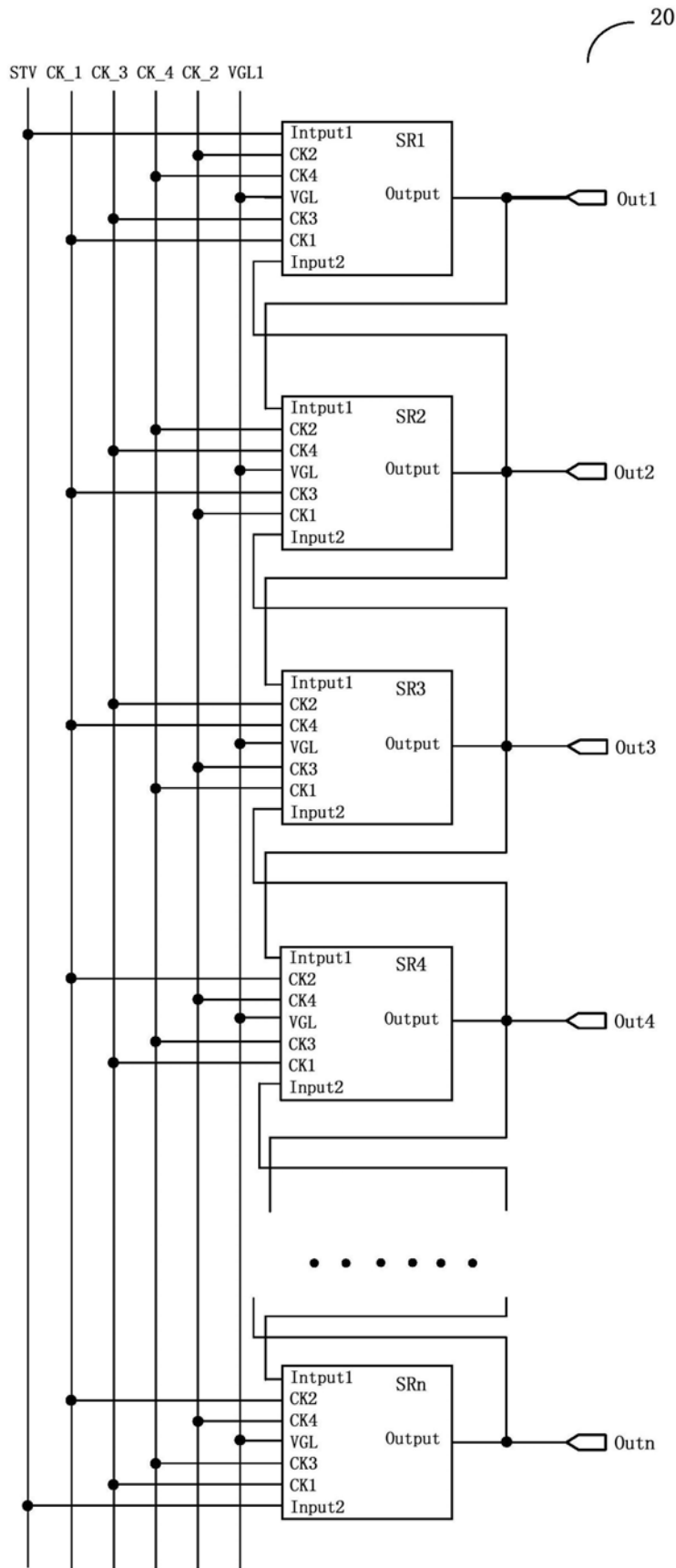


图7

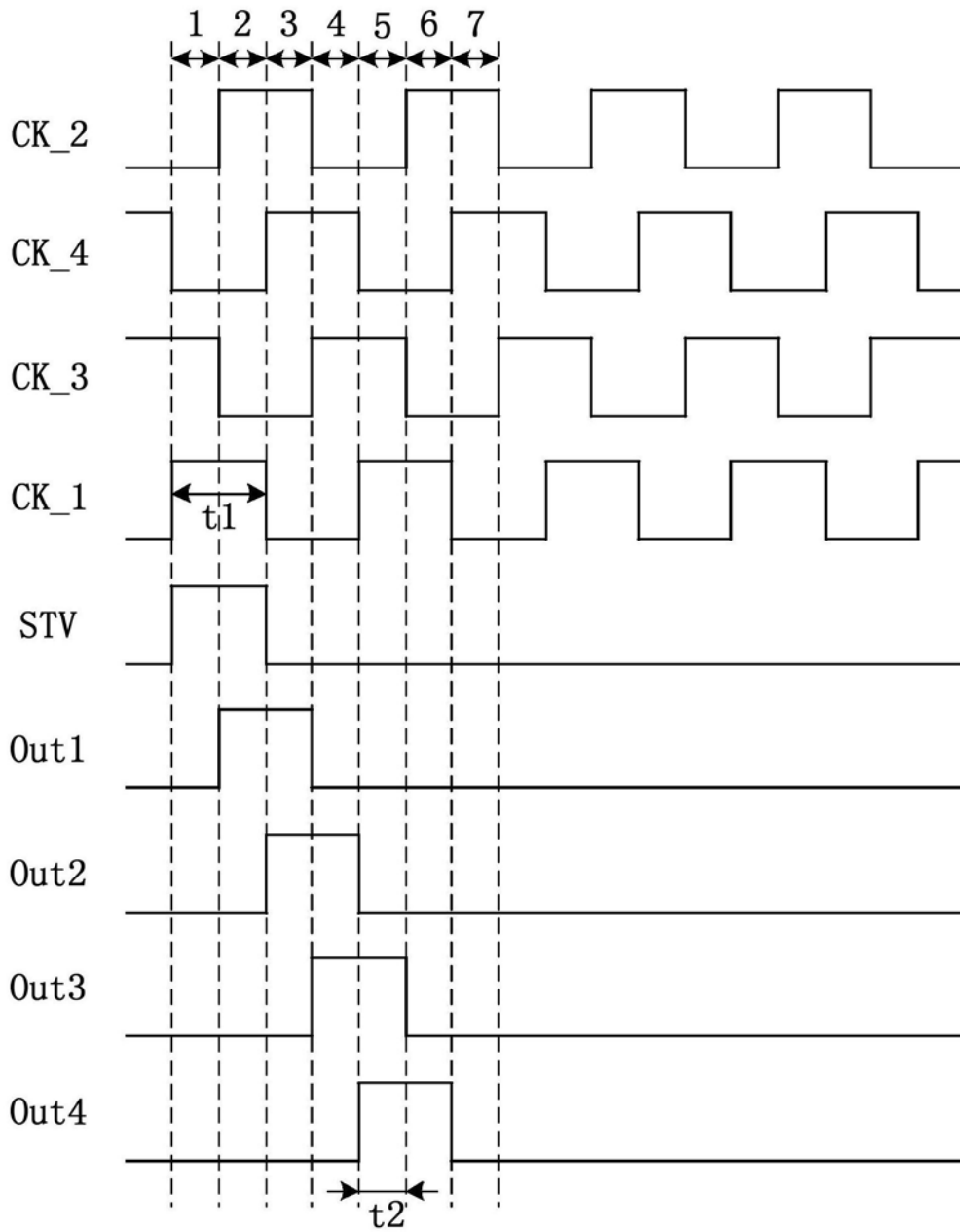


图8

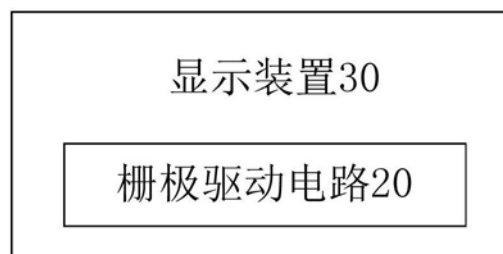


图9

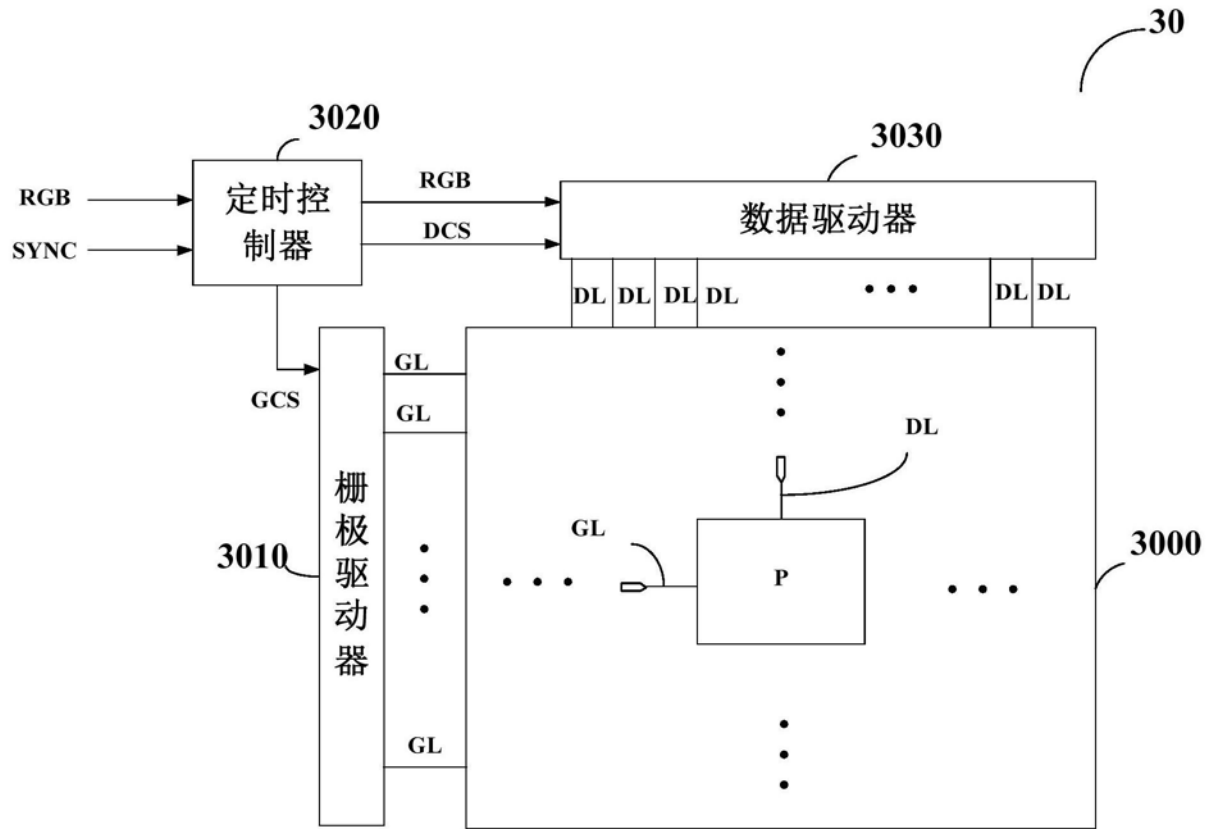


图10