

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3634089号
(P3634089)

(45) 発行日 平成17年3月30日(2005.3.30)

(24) 登録日 平成17年1月7日(2005.1.7)

(51) Int.Cl.⁷

F I

G O 2 F 1/1368

G O 2 F 1/1368

G O 2 F 1/1343

G O 2 F 1/1343

請求項の数 8 (全 12 頁)

(21) 出願番号	特願平8-253817	(73) 特許権者	000153878
(22) 出願日	平成8年9月4日(1996.9.4)		株式会社半導体エネルギー研究所
(65) 公開番号	特開平10-78593		神奈川県厚木市長谷398番地
(43) 公開日	平成10年3月24日(1998.3.24)	(72) 発明者	張 宏勇
審査請求日	平成15年8月28日(2003.8.28)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	寺本 聡
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	井口 猶二
		(56) 参考文献	特開平06-148684(JP,A)
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

アクティブマトリクス型の表示装置であって、
 チャンネル領域と、ドレイン領域と、ソース領域とを有する活性層と、
前記活性層上に形成されたゲイト絶縁膜と、
前記ゲイト絶縁膜を介して、前記チャンネル領域上に重なるように形成されたゲイト線と、
前記ゲイト線上に形成された第1の層間絶縁膜と、
前記第1の層間絶縁膜上に形成され、前記ソース領域に電氣的に接続されたソース線と、
前記ソース線上に形成された第2の層間絶縁膜と、
前記第2の層間絶縁膜上であって、前記ソース線及び前記ゲイト線を覆うように形成され 10
た透明導電膜でなる電極パターンと、
前記電極パターン上に形成された第3の層間絶縁膜と、
前記第3の層間絶縁膜上であって、前記ドレイン領域に電氣的に接続された画素電極とを
有し、
前記画素電極の縁が前記ソース線及び前記ゲイト線と重なって、前記ソース線及び前記ゲ
イト線がブラックマトリクスとして機能し、
前記電極パターンは一定の電位に保たれた格子状のパターンであり、
前記画素電極の縁は前記電極パターンと重なって、補助容量が形成されていることを特徴
 とする表示装置。

【請求項2】

対向する一対の基板を有するアクティブマトリクス型の表示装置であって、
チャンネル領域と、ドレイン領域と、ソース領域とを有する活性層と、
前記活性層上に形成されたゲイト絶縁膜と、
前記ゲイト絶縁膜を介して、前記チャンネル領域上に重なるように形成されたゲイト線と、
前記ゲイト線上に形成された第１の層間絶縁膜と、
前記第１の層間絶縁膜上に形成され、前記ソース領域に電氣的に接続されたソース線と、
前記ソース線上に形成された第２の層間絶縁膜と、
前記第２の層間絶縁膜上であって、前記ソース線及び前記ゲイト線を覆うように形成され
た透明導電膜でなる電極パターンと、
前記電極パターン上に形成された第３の層間絶縁膜と、
前記第３の層間絶縁膜上であって、前記ドレイン領域に電氣的に接続された画素電極とが
、前記基板の一方に設けられ、
前記基板の他方には、前記画素電極と対向する対向電極と、前記対向電極に電氣的に接続
された電極とが設けられ、
前記画素電極の縁が前記ソース線及び前記ゲイト線と重なって、前記ソース線及び前記ゲ
イト線がブラックマトリクスとして機能し、
前記電極パターンは格子状のパターンであり、かつ前記他方の基板に設けられた前記電極
に電氣的に接続されて、前記対向電極と同じ一定の電位に保たれ、
前記画素電極の縁は前記電極パターンと重なって、補助容量が形成されていることを特徴
とする表示装置。

10

20

【請求項３】

請求項１又は２において、
前記活性層と前記ゲイト線は２カ所で重なり、前記活性層には、前記チャンネル領域が２つ
存在することを特徴とする表示装置。

【請求項４】

請求項１乃至請求項３のいずれかーにおいて、
前記電極パターンはＩＴＯでなることを特徴とする表示装置。

【請求項５】

請求項１乃至請求項４のいずれかーにおいて、
前記第１の層間絶縁膜として樹脂膜が形成されていることを特徴とする表示装置。

30

【請求項６】

請求項１乃至請求項５のいずれかーにおいて、
前記第１の層間絶縁膜は窒化珪素膜とポリイミド膜とでなる積層膜であることを特徴とす
る表示装置。

【請求項７】

請求項１乃至請求項６のいずれかーにおいて、
前記第２の層間絶縁膜としてポリイミド膜が形成されていることを特徴とする表示装置。

【請求項８】

請求項１乃至請求項７のいずれかーにおいて、
前記第３の層間絶縁膜としてポリイミド膜が形成されていることを特徴とする表示装置。

40

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本明細書で開示する発明は、透過型の液晶表示装置の構成に関する。またはその作製方法に関する。

【０００２】

【従来の技術】

液晶表示装置に代表されるフラットパネルディスプレイが知られている。光が液晶パネルを透過し、その透過光を液晶パネルでもって光学変調する形式を有する透過型の液晶表示装置においては、画素の輪郭を明確にするためにブラックマトリクスと呼ばれる遮光手段

50

が必要とされている。具体的には画素電極の周辺部を遮光性の枠で覆うような構成が必要とされている。

【0003】

特に微細な動画表示が求められるような場合、このブラックマトリクスが重要な役割を果たす。

【0004】

しかしながら、ブラックマトリクスは画素の有効面積（この割合を開口率という）を減少させるものであり、画面を暗くするというデメリットがある。

【0005】

近年、低消費電力型の携帯機器（携帯型のビデオカメラや携帯型の情報端末）にフラット 10
パネルディスプレイを利用することが試みられている。

【0006】

ここで問題となるのは、携帯機器に必要とされる低消費電力特性である。即ち、画面表示に用いられる電力消費を低減する構成が必要とされる。

【0007】

透過型の液晶表示装置の場合、液晶パネルの裏側から光を照射するバックライトが消費する電力をいかに削減するかが問題となる。バックライトの消費電力を低減するには、画素の開口率を高めることにより、バックライトの明るさを小さくすればよい。

【0008】

他方、液晶表示装置の場合、各画素において液晶が有する容量を補うために補助容量と呼ば 20
れる容量を配置することが必要となる。この補助容量は、所定の時間間隔をもって書き換えられる画素電極に書き込まれた情報（電荷量に対応する）を次の書換えまで保持する機能を有している。この補助容量の値が小さいと表示のチラツキや色ムラ（特にカラー表示時に顕在化する）が発生してしまう。

【0009】

しかし、各画素に補助容量を設けることは、ブラックマトリクスを配置する場合と同様に画素の開口率を低下させる要因となる。

【0010】

【発明が解決しようとする課題】

上述のように、画質を高めるためにブラックマトリクスを配置することや補助容量を配置 30
することは、画素の開口率を低下させる要因となる。この開口率の低下は別の意味で画質の低下を招く。

【0011】

即ち、明確な画像表示を求めること（ブラックマトリクスの作用）と明るい画像を得ること（開口率のアップ）とは矛盾する要求事項となる。

【0012】

また、表示のチラツキ感の抑制や色ムラを抑制する（補助容量の作用）と明るい画像を得ること（開口率のアップ）とも矛盾する要求事項となる。

【0013】

本明細書で開示する発明は、上記矛盾する要求事項を解決する技術を提供することを課題 40
とする。

【0014】

【課題を解決するための手段】

本明細書で開示する発明の一つは、
アクティブマトリクス型の表示装置であって、
ソース及びゲート線と画素電極との間に透明導電膜でなる電極パターンが配置され、
該電極パターンと画素電極との間で補助容量が形成されていることを特徴とする。

【0015】

他の発明の構成は、
アクティブマトリクス型の表示装置であって、

ソース及びゲイト線と画素電極との間に透明導電膜でなる電極パターンが配置され、前記画素電極の縁はソース及びゲイト線と重なって配置され、前記透明導電膜でなる電極パターンと画素電極との間で補助容量が形成されていることを特徴とする。

【0016】

上記2つの発明の構成において、透明導電膜でなる電極パターンは、ソース及びゲイト線と画素電極とを電氣的に遮蔽するシールド膜として機能する。

【0017】

他の発明の構成は、

アクティブマトリクス型の表示装置であって、

ソース及びゲイト線を覆うように透明導電膜でなる電極パターンが配置されていることを特徴とする。

10

【0018】

上記構成において、透明導電膜でなる電極パターンは一部で画素電極と重なっており補助容量を形成している。また、透明導電膜でなる電極パターンは、ソース及びゲイト線と画素電極とを電氣的に遮蔽するシールド膜として機能する。

【0019】

【発明の実施の形態】

本明細書で開示する発明の具体的な一例は、図1にその画素構造を示すように、ソース線105及びゲイト線104と画素電極107との間に透明導電膜でなる電極パターン106が配置され、該電極パターン106と画素電極107との間で補助容量が形成されていることを特徴とする。

20

【0020】

【実施例】

〔実施例1〕

図1～図3に本実施例の構成を示す。図1～図3に示すのは、透過型の形式を有するアクティブマトリクス型の液晶表示装置の1画素の部分を上面から拡大した状態を示している。

【0021】

図1～図3は同じものを示している。まず図1を用いてその構成を説明する。図1において、101が薄膜トランジスタの活性層を構成するパターンである。活性層101は結晶性珪素膜で構成されている。

30

【0022】

102は活性層101の一部であり、ドレイン領域と呼ばれる領域である。103はソース領域と呼ばれる領域である。これらの領域は、Nチャネル型であればN型、Pチャネル型であればP型を有している。

【0023】

104がゲイト線のパターンである。このゲイト線104と活性層101が重なる部分における活性層101の領域がチャンネル領域となる。またゲイト線104の活性層101と重なる領域がゲイト電極として機能する。

40

【0024】

105はソース線である。ソース線105は、コンタクト111を介して、ソース領域103にコンタクトしている。

【0025】

活性層101とゲイト線104との上下方向の位置関係は以下のようになっている。即ち、活性層101上に図示しないゲイト絶縁膜が形成され、さらにその上にゲイト線104が形成されている。

【0026】

そしてゲイト線104上には図示しない層間絶縁膜が形成されており、その上にソース線105が形成されている。

50

【 0 0 2 7 】

1 0 6 で示される斜線領域は、容量を形成するための I T O でなる電極パターンである。この電極パターンはアクティブマトリクス領域全体で見ると、格子状のパターンを有している。

【 0 0 2 8 】

この容量を形成するための I T O でなる電極パターン 1 0 6 は、適当な一定電位（基準電位）に保たれる構成となっている。具体的には、図示しないアクティブマトリクス回路の端部において、対向基板の電極（この電極は対向電極に接続されている）にコンタクトする構成となっている。こうして、対向電極と同じ電位となるようになっている。

【 0 0 2 9 】

補助容量を形成するための電極パターン 1 0 6 の形状は、図 1 に示されるような形状に限定されるものでない。電極パターン 1 0 6 は I T O（または適当な透明導電膜）で構成されているので、その形状に大きな自由度がある。

【 0 0 3 0 】

1 0 7 で示されるのは、画素電極を構成する I T O でなるパターンである。このパターン 1 0 7 の縁は、1 0 8 の破線で示される。即ち、画素電極 1 0 7 の縁は、ソース 1 0 5 及びゲイト線 1 0 4 と一部が重なったものとなっている。

【 0 0 3 1 】

画素電極 1 0 7 のパターンを斜線部として強調した図を図 2 に示す。即ち、図 2 において、斜線で示される領域が画素電極 1 0 7 である。

【 0 0 3 2 】

この画素電極 1 0 7 は、容量を形成するための I T O でなる電極パターン 1 0 6 上に形成された図示しない第 2 の層間絶縁膜上に形成されている。

【 0 0 3 3 】

図 1 に示すように、画素電極 1 0 7 は、コンタクト 1 1 0 を介して、活性層パターン 1 0 1 のドレイン領域 1 0 2 にコンタクトしている。

【 0 0 3 4 】

図 1 及び図 2（特に図 2）から明らかなように、画素電極 1 0 7 は、ゲイト線 1 0 4 及びソース線 1 0 5 とその縁が重なるように配置されている。この画素電極 1 0 7 とソース線 1 0 4 及びゲイト線 1 0 5 とが重なった領域が、画素電極の縁周辺を遮光するブラックマトリクスとなる。

【 0 0 3 5 】

また、図 1 に斜線で示される容量を形成するための電極パターン 1 0 6 と図 2 に斜線で示される画素電極パターン 1 0 7 とは、図 3 の斜線部 1 0 9 で示される領域において重なる。

【 0 0 3 6 】

この 2 つの I T O 電極パターンが重なった領域で補助容量が形成される。即ち、液晶と対向電極との間に形成される容量と並列に接続された容量（この容量を補助容量と称する）が形成される。

【 0 0 3 7 】

図 4 以下に図 1 の A - A' で切った断面の作成工程を示す。また図 9 以下に対応する断面の作製工程を示す。

【 0 0 3 8 】

まず図 9（A）に示すように、ガラス基板（または石英基板）9 0 1 上に下地膜として酸化珪素膜 9 0 2 をスパッタリング法によって 3 0 0 0 の厚さに成膜する。なお、図 4 の B - B' で切った断面が図 9（A）に対応する。

【 0 0 3 9 】

次に図示しない非晶質珪素膜を減圧熱 C V D 法により、5 0 0 の厚さに成膜する。この非晶質珪素膜は後に薄膜トランジスタの活性層を構成する出発膜となる。

【 0 0 4 0 】

図示しない非晶質珪素膜を成膜したら、レーザー光の照射を行う。このレーザー光の照射を行うことにより、非晶質珪素膜は結晶化され、結晶性珪素膜が得られる。

【0041】

次に得られた結晶性珪素膜をパターニングし、図4及び図9(A)の101でそのパターンが示される活性層101を形成する。後の工程において、この活性層中にソース/ドレイン領域やチャネル領域が形成される。

【0042】

こうして図4及び図9(A)に示す状態を得る。次に図9(B)に示すようにゲイト絶縁膜として機能する酸化珪素膜903をプラズマCVD法により、1000の厚さに成膜する。(図4には図示せず)

10

【0043】

次に図5に示すようにゲイト線104を形成する。このゲイト線104はアルミニウムをもって形成する。また図からは明らかでないが、アルミニウムの表面には陽極酸化膜を保護膜して形成する。なお、図9にはゲイト線104は示されていない。(即ち、図9の切断面にはゲイト線は存在しない)

【0044】

ここで、ゲイト線104と活性層101とが重なる活性層の領域がチャネル領域となる。即ち、図5の501と502で示される領域がチャネル領域となる。本実施例の場合、チャネル領域が2つ存在している。この構成は、等価的に2つの薄膜トランジスタが直列に接続された構造となる。

20

【0045】

このような構成は、1つの薄膜トランジスタに加わる電圧がそれぞれのトランジスタ部に分圧されるので、逆方向リーク電流や劣化の度合いを小さくすることができる。

【0046】

ゲイト線104を形成したら、図5の状態において、不純物のドーピングを行う。ここでは、Nチャネル型の薄膜トランジスタを作製するために、P(リン)元素のドーピングをプラズマドーピング法でもって行う。

【0047】

この不純物のドーピング工程において、ゲイト線104がマスクとなり、自己整合的にソース領域103とドレイン領域102が形成される。また2つのチャネル領域501と502の位置も自己整合的に決定される。

30

【0048】

不純物のドーピングが終了したら、レーザー光の照射を行うことにより、ドーピングされた元素の活性化とドーピング時の活性層の損傷のアニールとを行う。この活性化はランプ照射や加熱処理によって行ってもよい。

【0049】

ゲイト線104を形成したら、窒化珪素膜904とポリイミド膜905でなる積層膜を形成する。この積層膜は第1の層間絶縁膜として機能する。こうして図9(B)に示す状態を得る。

【0050】

ポリイミド等の樹脂膜を層間絶縁膜として利用した場合、その表面を平坦なものとすることができる。

40

【0051】

次に図9(C)に示すように、904と905の積層体でなる第1の層間絶縁膜にコンタクトホール111を形成する。そして、図6及び図9(C)に示すようにソース線105を形成する。

【0052】

ソース線105は、コンタクトホール111を介してソース領域103とコンタクトした状態となる。なお、図6のC-C'で切った断面が図9(C)に対応する。

【0053】

50

次に図 9 (D) 及び図 7 に示すように、第 2 の層間絶縁膜として、ポリイミド膜 9 0 6 を形成する。

【 0 0 5 4 】

さらに I T O でなるパターン (補助容量を形成するためのパターン) 1 0 6 を形成する。ここで、図 7 の D - D ' で切った断面が図 9 (D) に対応する。

【 0 0 5 5 】

次に図 8 及び図 1 0 に示すように、第 3 の層間絶縁膜としてポリイミド膜 9 0 7 を形成する。さらに I T O でなる画素電極 1 0 7 を形成する。

【 0 0 5 6 】

ここで前述したように、画素電極 1 0 7 とソース線 1 0 5 (及びゲイト線) とが重なった領域がブラックマトリクスとなる。また、I T O 電極 1 0 6 と画素電極 1 0 7 とが重なった領域 9 0 8 が補助容量となる。

【 0 0 5 7 】

図 1 0 に示されるような断面構造とすることにより、以下のような有意性を得ることができる。

【 0 0 5 8 】

(その 1)

画素電極 1 0 7 の縁をソース線及びゲイト線と重ねることで、この重なった領域をブラックマトリクスとして機能させることができる。このようにすることにより、開口率を最大限高めることができる。

【 0 0 5 9 】

(その 2)

図 1 0 の 9 0 8 で示される I T O でなるパターン 1 0 6 と画素電極 1 0 7 との間で 9 0 8 で示される補助容量を形成することで、開口率の低下をきたすことなく、必要とする容量値を得ることができる。特に必要とする容量を得るために、画素電極に重ねて形成する I T O パターンの自由度を高めることができる。

【 0 0 6 0 】

(その 3)

図 1 0 から明らかなように、補助容量を形成するための I T O パターン 1 0 6 をソース線 1 0 5 より大きな面積を有するパターンとし、また適当な基準電位に保持する。こうすることにより、I T O パターン 1 0 6 を電氣的に画素電極 1 0 7 とソース線 1 0 5 とを遮蔽するシールド膜とすることができる。そして、ソース線 1 0 5 と画素電極 1 0 7 との間におけるクロストークを抑制することができる。この効果は、画素電極とゲイト線との間においても同様に得られる。

【 0 0 6 1 】

〔 実施例 2 〕

本実施例は、実施例 1 を変形した構成に関する。実施例 1 に示した構成は、ソース線及びゲイト線と画素電極とを重ね、その重なった領域を B M (ブラックマトリクス) として機能させている。

【 0 0 6 2 】

実施例 1 の構成は、開口率を最大限大きくする上で有用な構成である。しかし、要求される画質や表示方法によっては、ブラックマトリクスの面積をより大きくした構成が求められる場合もある。

【 0 0 6 3 】

本実施例は、このような場合に利用できる構成に関する。図 1 1 に本実施例の画素部分の断面を示す。図 1 1 は図 1 0 に対応するもので、図 1 0 と同じ符号は同じ箇所を示す。

【 0 0 6 4 】

本実施例においては、チタン膜やクロム膜 (また適当な金属膜) でなるブラックマトリクスを構成する膜 1 1 0 2 が配置され、その一部と I T O でなる画素電極 1 0 7 の縁の部分とが重なる構成となっている。

10

20

30

40

50

【 0 0 6 5 】

1 1 0 1 は、補助容量の値をさらに大きくするためにブラックマトリクス 1 1 0 2 を覆って、それよりさらに大きな面積を有する I T O パターンである。この補助容量を形成するための I T O パターンは、その面積を大きくしても開口率を低下させることがない。

【 0 0 6 6 】

【 発明の効果 】

本明細書で開示する発明を採用することで、画素の開口率を下げることなくブラックマトリクスを設けることができる。

【 0 0 6 7 】

また、画素の開口率を低下させることなく必要とする補助容量を設けることができる。 10

【 0 0 6 8 】

また、補助容量を形成する透明電極によって、ソース線及びゲイト線と画素電極とのクロストークを抑制する構成とすることができる。

【 図面の簡単な説明 】

【 図 1 】 発明を利用したアクティブマトリクス回路の上面図。

【 図 2 】 発明を利用したアクティブマトリクス回路の上面図。

【 図 3 】 発明を利用したアクティブマトリクス回路の上面図。

【 図 4 】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【 図 5 】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【 図 6 】 発明を利用したアクティブマトリクス回路の作製工程上面図。 20

【 図 7 】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【 図 8 】 発明を利用したアクティブマトリクス回路の作製工程上面図。

【 図 9 】 発明を利用したアクティブマトリクス回路の作製工程断面図。

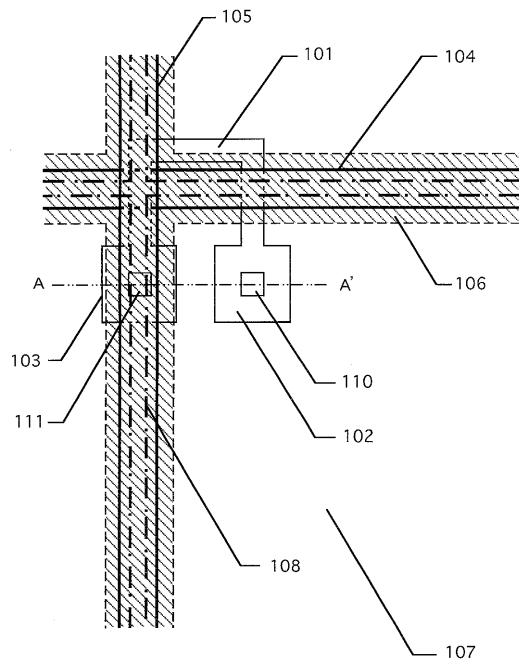
【 図 1 0 】 発明を利用したアクティブマトリクス回路の作製工程断面図。

【 図 1 1 】 発明を利用したアクティブマトリクス回路の作製工程断面図。

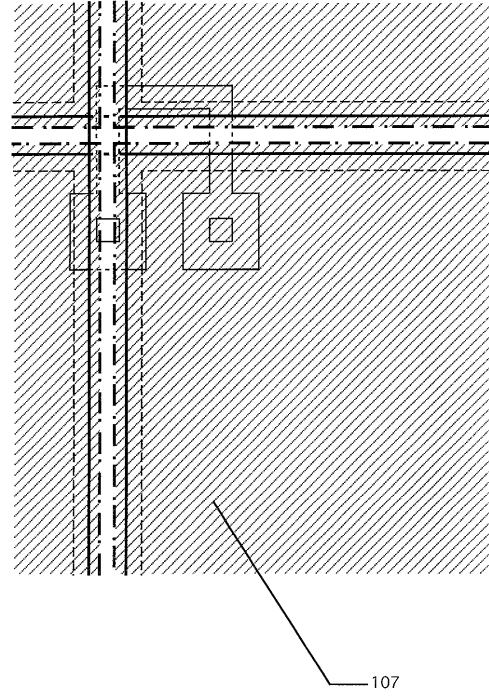
【 符号の説明 】

1 0 1	薄膜トランジスタの活性層	
1 0 2	ドレイン領域	
1 0 3	ソース領域	
1 0 4	ゲイト線	30
1 0 5	ソース線	
1 0 6	補助容量形成用の I T O 電極	
1 0 7	画素電極を構成する I T O 電極	
1 0 8	画素電極の縁	
1 0 9	補助容量形成用の I T O 電極と画素電極を構成する I T O 電極とが重なる領域	
5 0 1、5 0 2	チャネル領域	
1 1 1	ソース領域へのコンタクト部（コンタクトホール）	
1 1 0	ドレイン領域へのコンタクト部（コンタクトホール）	
9 0 1	ガラス基板	40
9 0 2	下地膜（酸化珪素膜）	
9 0 3	ゲイト絶縁膜（酸化珪素膜）	
9 0 4	第 1 の層間絶縁膜を構成する窒化珪素膜	
9 0 5	第 1 の層間絶縁膜を構成するポリイミド膜	
9 0 6	第 2 の層間絶縁膜を構成するポリイミド膜	
9 0 7	第 3 の層間絶縁膜を構成するポリイミド膜	
9 0 8	補助容量の形成部	
1 1 0 1	補助容量を構成する I T O 電極	
1 1 0 2	ブラックマトリクスを構成する金属電極	

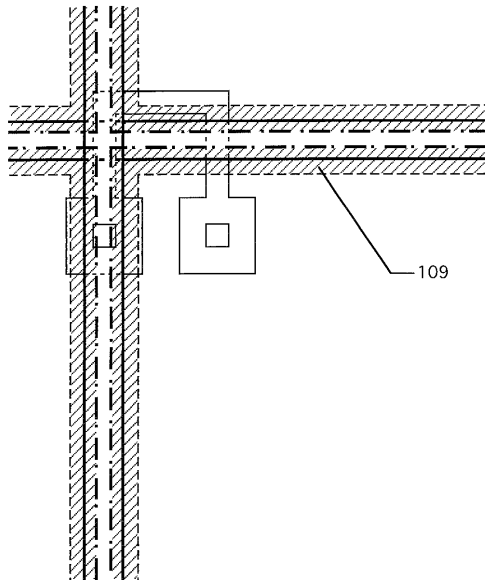
【 図 1 】



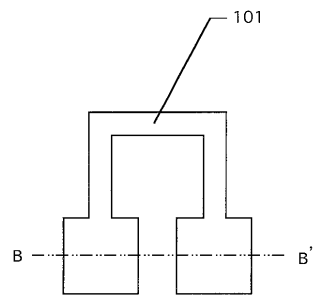
【 図 2 】



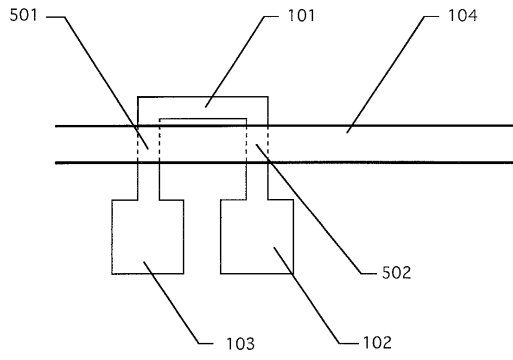
【 図 3 】



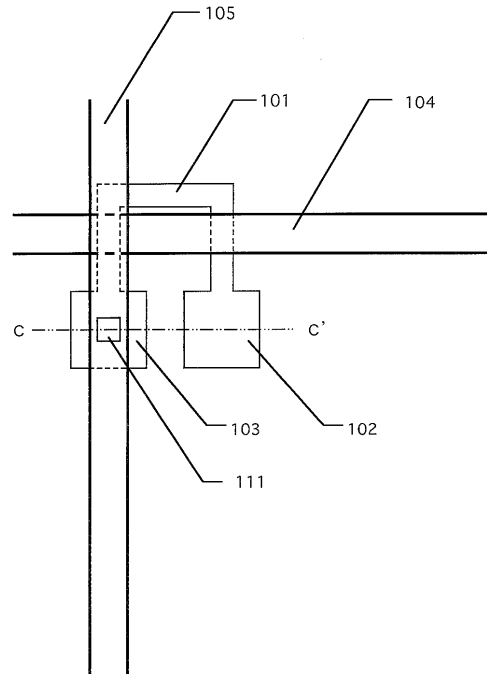
【 図 4 】



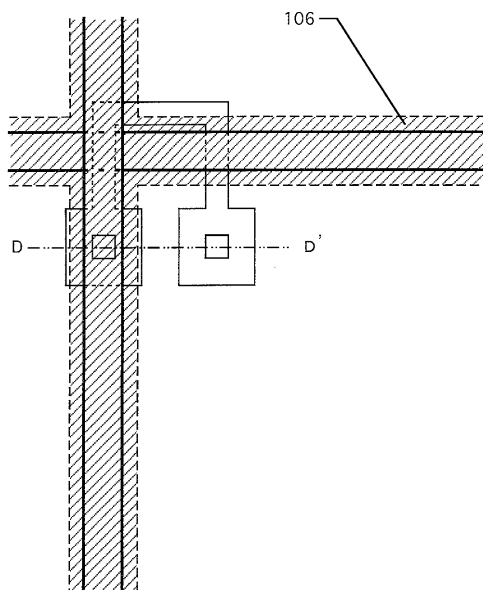
【図 5】



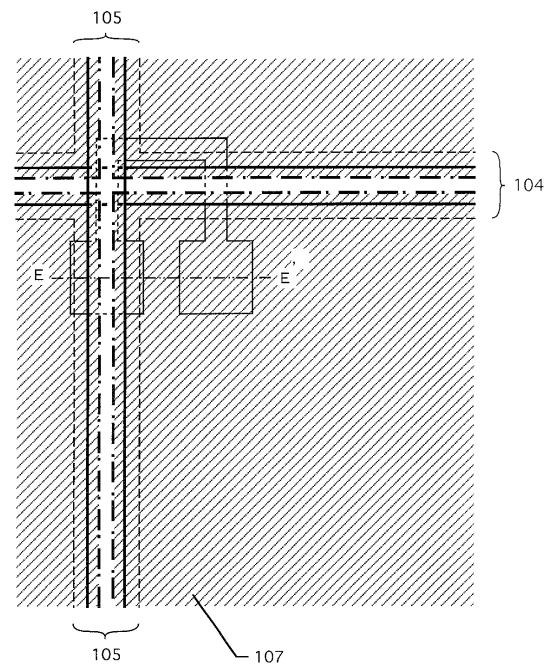
【図 6】



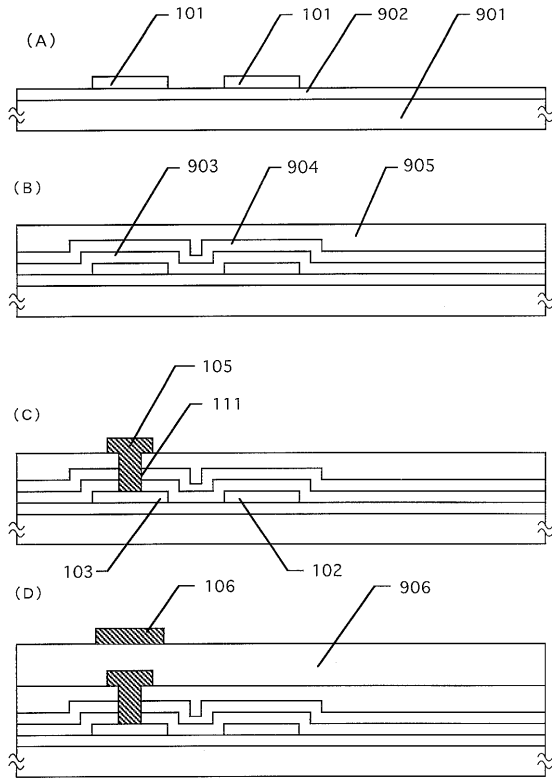
【図 7】



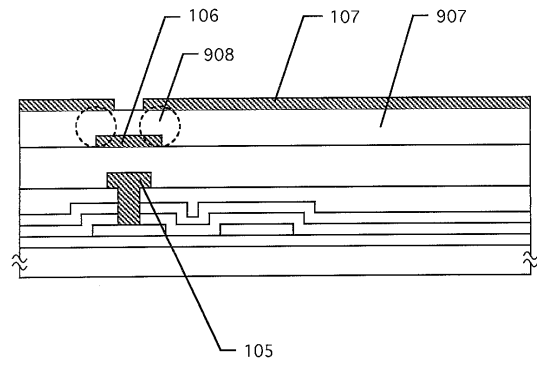
【図 8】



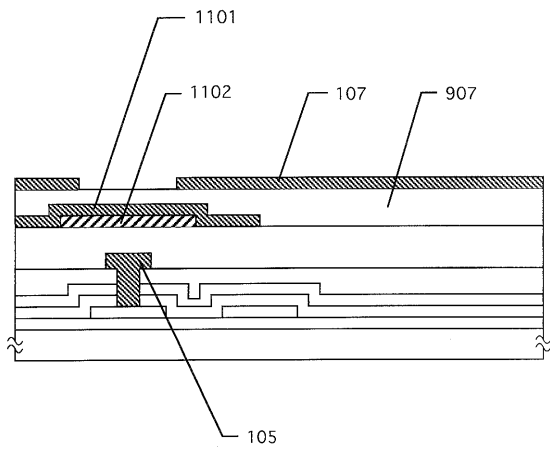
【図 9】



【図 10】



【図 11】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, D B 名)

G02F 1/1368

G02F 1/1343