

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5949879号
(P5949879)

(45) 発行日 平成28年7月13日(2016. 7. 13)

(24) 登録日 平成28年6月17日(2016. 6. 17)

(51) Int.Cl. F I
G 1 O H 1/34 (2006.01) G 1 O H 1/34
G 1 O H 1/18 (2006.01) G 1 O H 1/18 1 O 1

請求項の数 4 (全 22 頁)

(21) 出願番号	特願2014-232343 (P2014-232343)	(73) 特許権者	000001443
(22) 出願日	平成26年11月17日(2014. 11. 17)		カシオ計算機株式会社
(62) 分割の表示	特願2012-61882 (P2012-61882) の分割	(72) 発明者	坂田 吾朗
原出願日	平成24年3月19日(2012. 3. 19)		東京都羽村市栄町3丁目2番1号 カシオ
(65) 公開番号	特開2015-64595 (P2015-64595A)		計算機株式会社羽村技術センター内
(43) 公開日	平成27年4月9日(2015. 4. 9)	審査官	千本 潤介
審査請求日	平成27年3月13日(2015. 3. 13)		

最終頁に続く

(54) 【発明の名称】 タッチ検出装置、タッチ検出方法及び電子楽器

(57) 【特許請求の範囲】

【請求項 1】

押鍵操作に応答して順次オンされる第1接点及び第2接点のうち、前記第1接点がオンされてから予め定められたバイアス時間経過後から前記第2接点がオンされるまでのペロシテイ時間に対応するカウント値をカウントする第1カウンタと、

前記第2接点がオンされた時点からカウントを開始する第2カウンタと、

前記第2カウンタでカウントされたカウント値が、前記第1カウンタのカウント値に応じて設定された設定値に一致した時に、前記第1カウンタのカウント値に応じたタッチ情報を含み、発音制御部に対して発音を指示する発音情報を送信するコントローラと、

を有することを特徴とするタッチ検出装置。

10

【請求項 2】

前記第1カウンタはさらに、前記第1接点がオンされてからカウントを開始し、前記バイアス時間到達時に当該カウントをリセットしてから再度カウントを開始する、請求項1に記載のタッチ検出装置。

【請求項 3】

第1カウンタと、第2カウンタと、コントローラとを備えたタッチ検出回路にて用いられるタッチ検出方法であって、

押鍵操作に応答して順次オンされる第1接点及び第2接点のうち、前記第1接点がオンされてから予め定められたバイアス時間経過後から前記第2接点がオンされるまでのペロシテイ時間に対応するカウント値を前記第1カウンタでカウントし、

20

前記第 2 接点がオンされた時点から前記第 2 カウンタのカウントを開始し、

前記コントローラが、前記第 2 カウンタでカウントされたカウント値が、前記第 1 カウンタのカウント値に応じて設定された設定値に一致した時に、前記第 1 カウンタのカウント値に応じたタッチ情報を含み、発音制御部に対して発音を指示する発音情報を送信する、タッチ検出方法。

【請求項 4】

請求項 1 に記載のタッチ検出装置と、

複数の鍵と、

前記複数の鍵毎に設けられ、押鍵操作に応じて順次オンされるとともに、当該オン検出信号を前記タッチ検出装置に出力する第 1 接点及び第 2 接点と、

前記タッチ検出装置から送信された発音情報に基づいて発音するための発音制御を実行する発音制御部と、

を備えたことを特徴とする電子楽器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、タッチ検出装置、タッチ検出方法及び電子楽器に関する。

【背景技術】

【0002】

従来、電子楽器において再生される音の強弱を示すベロシティ情報は、例えば電子ピアノであれば、次のようにして検出される。即ち、電子ピアノの各鍵下には、鍵の押下量が相互に異なる状態でオンする第 1 接点と第 2 接点とが設けられている。電子ピアノは、第 1 接点と第 2 接点との各オンタイミングの時間差を計測し、この時間差に基づいてベロシティ情報を検出する。

その後即座に、電子ピアノは、このベロシティ情報に基づいて、音源から発音させる。

このため、電子ピアノの発音開始タイミングは、ベロシティ情報を検出した直後、即ち、ほぼ第 2 接点のオンタイミングとなる。この第 2 接点は、鍵の下限よりも幾分上側に設置される。つまり、従来の電子ピアノは、鍵が下限まで押し切られる前に発音を開始される。

【0003】

図 18 は、従来の電子ピアノにおける、押鍵されてから発音されるまでのタイミングを説明する図である。

図 18 に示すように、従来の電子ピアノは、第 2 接点がオンとなると発音処理を開始するため、鍵が下限まで押し切られる前に発音されていた。

【0004】

本来、電子ピアノの発音タイミングは、アコースティックピアノの発音タイミングと一致するのが理想である。ところが、アコースティックピアノでは、鍵が押下されると、その動きがアクションに伝達され、ハンマーを動かし、ヘッドが打弦し、その弦振動がピアノのブリッジ、板を通じて発音される。アコースティックピアノにおける、鍵の押下量と発音の関係は、調整されているものの、上記のとおり構造的に複雑である。このため、第 2 接点のオンタイミングで発音される従来の電子ピアノと、アコースティックピアノとは構造が異なるため、各々の発音タイミングが異なる。

また、電子ピアノとアコースティックピアノとの発音タイミングの相違は、発音される音の音高、或いは押鍵の強さによっても異なる。

【0005】

更に、従来の電子ピアノにおいては、本体の重量の増加防止、鍵の戻り時間による連打性の維持、複雑なアクション構造による故障回避等の観点から、アコースティックピアノと比べ、静止状態における鍵の重さが軽く、押鍵時における鍵の慣性モーメントが低い。静止状態における鍵の重さは、静止状態から押鍵を開始するときの反力となり、ごく弱い押鍵操作に対して影響を与える。また、鍵の慣性モーメントは、押鍵操作時の反力となり

10

20

30

40

50

、強い押鍵操作に対して影響を与える。

図19は、従来の電子ピアノにおける発音タイミングとアコースティックピアノにおける発音タイミングとの相違を説明する図である。

図19は、電子ピアノとアコースティックピアノとにおいて、同じ強さで押鍵した場合における、両者の発音タイミングを示している。

上記のとおり、電子ピアノは、アコースティックピアノと比べ鍵の重さが軽く押鍵時における鍵の慣性モーメントが低いため、アコースティックピアノと同じ強さで押鍵された場合でも、より早く押し切られてしまう。このため、電子ピアノの発音タイミングは、目指すべきアコースティックピアノの発音タイミングより早くなってしまう。

【0006】

10

そこで、特許文献1には、CPU(Central Processing Unit)が実行する時差発音処理により、発音指示情報を検出した後、実際に楽音を生成させるまでの時間を、発音する音の音高情報や音色情報に応じた時間だけ遅延させる電子楽器が開示されている。

また、特許文献2には、CPUが実行する発音タイミング補正処理により、ペロシティと遅延時間とが対応付けられたテーブルを用いて、遅延時間を設定し、当該遅延時間の経過後に発音する電子ピアノが提案されている。

特許文献1の電子楽器や特許文献2の電子ピアノによれば、CPUがソフトウェアによる処理を実行することで、押鍵されてから発音するまでの時間を調整できる。

【先行技術文献】

20

【特許文献】

【0007】

【特許文献1】特開平8-234733号公報

【特許文献2】特開平7-92971号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、近年、電子楽器は、同一タイミングで多くの音を発生させるため、搭載するCPUの処理負担が増大している。このため、特許文献1や2のようにCPUがソフトウェアを実行させることによる処理を単に採用しただけでは、発音タイミングの遅延時間を正確に管理することは困難な状態になっている。

30

図20は、ソフトウェアによる処理で発音タイミングを遅延させる従来の電子ピアノにおける、押鍵されてから発音されるまでのタイミングを説明する図である。

ソフトウェアによる処理で発音タイミングを遅延させる従来の電子ピアノは、第2接点がオンされてから、発音タイミングを遅延させるための補正時間をカウントし、補正時間経過後に発音する。

ところが、当該電子ピアノのCPUの処理負担は、同一タイミングで発生させる音の数によって増減する。このため、CPUの処理負担の増減により、図20に示すように、補正時間のカウントにぶれが生じ、結果として、発音タイミングもぶれが生じる。この「ぶれ」は、CPUの処理負担の増減により変動するので、演奏者が調整できず、演奏の妨げになる。

40

【0009】

本発明は、このような状況に鑑みてなされたものであり、電子楽器において、同一タイミングで多くの音を発生させる場合でも、各鍵の押鍵に対して正確なタイミングで発音をすることを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するため、本発明の一態様のタッチ検出装置は、

押鍵操作に応答して順次オンされる第1接点及び第2接点のうち、前記第1接点がオンされてから予め定められたバイアス時間経過後から前記第2接点がオンされるまでのペロ

50

シテイ時間に対応するカウント値をカウントする第 1 カウンタと、

前記第 2 接点がオンされた時点からカウントを開始する第 2 カウンタと、

前記第 2 カウンタでカウントされたカウント値が、前記第 1 カウンタのカウント値に応じて設定された設定値に一致した時に、前記第 1 カウンタのカウント値に応じたタッチ情報を含み、発音制御部に対して発音を指示する発音情報を送信するコントローラと、
を有することを特徴とする。

【発明の効果】

【 0 0 1 1 】

本発明によれば、電子楽器において、同じタイミングで多くの音を発生させる場合でも、鍵の押鍵に対して正確なタイミングで発音可能となる。

10

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明の実施形態に係るタッチ検出装置が適用された電子楽器のハードウェアの構成を示すブロック図である。

【図 2】本発明の実施形態に係るタッチ検出装置のハードウェアの構成を示すブロック図である。

【図 3】図 2 のタッチ検出装置のカウントメモリのフォーマットを説明する図である。

【図 4】図 2 のタッチ検出装置の動作タイミングを説明する図である。

【図 5】図 2 のタッチ検出装置によるタッチ検出動作処理が実行された場合における、押鍵されてから発音されるまでのタイミングを説明する図である。

20

【図 6】図 2 のタッチ検出装置が実行するタッチ検出動作処理の流れを説明するフローチャートである。

【図 7】図 2 のタッチ検出装置が実行するタッチ検出動作処理の流れを説明するフローチャートである。

【図 8】図 2 のタッチ検出装置が実行するタッチ検出動作処理の流れを説明するフローチャートである。

【図 9】図 2 のタッチ検出装置が実行するタッチ検出動作処理の流れを説明するフローチャートである。

【図 10】図 2 のタッチ検出装置が実行するタッチ検出動作処理の流れを説明するフローチャートである。

30

【図 11】本発明の実施形態の第 1 応用例に係るタッチ検出ユニットにおける、第 1 タッチ検出装置と第 2 タッチ検出装置との接続を示すブロック図である。

【図 12】本発明の実施形態の第 1 応用例に係るタッチ検出ユニットが適用された電子楽器における、発音及び消音のタイミングを説明する図である。

【図 13】本発明の実施形態の第 2 応用例に係るタッチ検出ユニットにおける、第 1 タッチ検出装置と第 2 タッチ検出装置との接続を示すブロック図である。

【図 14】本発明の実施形態の第 2 応用例に係るタッチ検出ユニットが適用された電子楽器における、発音及び消音のタイミングを説明する図である。

【図 15】本発明の実施形態の第 3 応用例に係るタッチ検出ユニットにおける、第 1 タッチ検出装置と第 2 タッチ検出装置との接続を示すブロック図である。

40

【図 16】本発明の実施形態の第 3 応用例に係るスイッチユニットの構成を示す回路図である。

【図 17】本発明の実施形態の第 3 応用例に係るタッチ検出ユニットが適用された電子楽器における、発音及び消音のタイミングの一例を説明する図である。

【図 18】従来の電子ピアノにおける、押鍵されてから発音されるまでのタイミングを説明する図である。

【図 19】従来の電子ピアノにおける発音タイミングとアコースティックピアノにおける発音タイミングとの相違を説明する図である。

【図 20】ソフトウェアによる処理で発音タイミングを遅延させる従来の電子ピアノにおける、押鍵されてから発音されるまでのタイミングを説明する図である。

50

【発明を実施するための形態】**【0013】**

以下、図面に基づいて、本発明の実施形態に係るタッチ検出装置を説明する。

【0014】

図1は、本発明の実施形態に係るタッチ検出装置50が適用された電子楽器1のハードウェアの構成を示すブロック図である。

図1において、電子楽器1は、CPU11と、ROM(Read Only Memory)12と、RAM(Random Access Memory)13と、バス14と、入出力インターフェース15と、入力部16と、出力部17と、記憶部18と、MIDI(Musical Instrument Digital Interface)インターフェース部19と、ドライブ20と、タッチ検出装置50と、を備えている。

10

【0015】

CPU11は、ROM12に記録されているプログラム、又は、記憶部18からRAM13にロードされたプログラムに従って各種の処理を実行する。例えばCPU11は、タッチ検出装置50から送信された発音情報(詳細については後述する)に基づいて発音するための制御、即ち発音制御を実行する。

RAM13には、CPU11が各種の処理を実行する上において必要なデータ等が適宜記憶される。

【0016】

CPU11、ROM12、RAM13、及び後述のタッチ検出装置50は、バス14を介して相互に接続されている。このバス14にはまた、入出力インターフェース15も接続されている。入出力インターフェース15には、入力部16、出力部17、記憶部18、MIDIインターフェース部19、及びドライブ20が接続されている。

20

【0017】

入力部16は、複数種類の音が夫々対応付けられた複数の鍵(例えば、88個の鍵)を有するMIDIキーボードを含む。電子楽器1において、複数の鍵に対応付けられた複数種類の音は、ノートナンバにより識別される。この鍵の押離鍵操作は、後述するタッチ検出装置50に検出される。

【0018】

具体的には、入力部16は、複数の鍵毎に設けられ、押鍵操作に応じて、順次オンされる第1接点160a及び第2接点160bが、マトリクス状に接続された鍵スイッチマトリクス160を備える。

30

鍵スイッチマトリクス160は、タッチ検出装置50から送信されたコモン側スイッチ入力信号(KC)に応じて、オンされた第1接点160a又は第2接点160bを検出する。そして、鍵スイッチマトリクス160は、オンされた第1接点160aを示す第1接点オン信号又はオンされた第2接点160bを示す第2接点オン信号をタッチ検出装置50に送信する。

一方、鍵スイッチマトリクス160は、鍵が押切られた状態からの離鍵操作に応じて、第2接点160b、第1接点160aの順にオフされたことを検出する。そして、鍵スイッチマトリクス160は、オフされた第1接点160aを示す第1接点オフ信号又はオフされた第2接点160bを示す第2接点オフ信号をタッチ検出装置50に送信する。

40

【0019】

また、入力部16は、各種情報を入力するためのスイッチを備えている。そして、入力部16は、ユーザによって入力された各種情報をCPU11に出力する。

出力部17は、ディスプレイや、スピーカ及びD/A変換回路等を有しており、画像や音声を出力する。

記憶部18は、ハードディスク或いはDRAM(Dynamic Random Access Memory)等で構成され、電子楽器1の制御のための各種プログラムを記憶する。

【0020】

50

MIDIインターフェース部19は、楽音を発生する音源41と発音制御部としてのCPU11とを接続するインターフェースである。音源41は、入力部16の複数の鍵に夫々対応付けられた複数種類の音を識別するノートナンバに対応付けた音源データを記憶し、CPU11の制御により、音源データを読み出し楽音を出力する。

【0021】

ドライブ20には、磁気ディスク、光ディスク、光磁気ディスク、或いは半導体メモリ等よりなる、リムーバブルメディア31が適宜装着される。ドライブ20によってリムーバブルメディア31から読み出されたプログラムは、必要に応じて記憶部18にインストールされる。また、リムーバブルメディア31は、記憶部18に記憶されている各種データも、記憶部18と同様に記憶することができる。

10

【0022】

次に、図2を参照して、本実施形態に係るタッチ検出装置50のハードウェアの構成について説明する。

図2は、本発明の一実施形態に係るタッチ検出装置50のハードウェア構成を示すブロック図である。

タッチ検出装置50は、制御回路としてのコントローラ51と、イベントフラグセット回路52（以下、「EVフラグセット回路52」とも呼ぶ）と、ステータス増加回路53と、第1カウンタ54と、第2カウンタ55と、カウンタメモリ56と、到達時間メモリ57と、比較回路58と、反転回路59と、ベロシティレジスタ61と、ノートナンバレジスタ62と、を備える。

20

【0023】

コントローラ51は、鍵スイッチマトリクス160の第1接点160a又は第2接点160bと接続され、第1接点オン信号又は第2接点オン信号を受信する。

また、コントローラ51は、タッチ検出装置50におけるその他のハードウェアを制御し、発音制御部としてのCPU11による発音の契機となる発音情報を生成し、バス14を介して発音制御部に送信する。

【0024】

本実施形態において、「発音情報」は、CPU11の処理に対する割り込み情報、入力部16の鍵が押下された場合におけるその鍵のノートナンバ、及び鍵の押下の強さを示すタッチ情報としてのベロシティ値を含む。

30

なお、発音制御部としてのCPU11は、発音情報を受信したときには、音源41と協働して、当該発音情報に含まれるノートナンバに対応する音を、ベロシティに応じた強さで発音する制御を実行する。

【0025】

また、コントローラ51は、鍵スイッチマトリクス160にコモン側スイッチ入力信号(KC)を送信し、鍵スイッチマトリクス160から、第1接点オン信号又は第2接点オン信号を受信する。

【0026】

また、コントローラ51は、イベントフラグ（以下、「EV」とも呼ぶ）及びステータスフラグ（以下、「ST」とも呼ぶ）に応じて、タッチ検出装置50を構成する上記回路や加算器を制御する。

40

本実施形態において、EVの値としては、“0”又は“1”が取り得る。

EVの値“0”は、いずれの鍵も押鍵又は離鍵されていない状態であることを示す。

EVの値“1”は、いずれかの鍵が押鍵又は離鍵されている状態であることを示す。

【0027】

また、本実施形態において、STの値は、“0”、“1”、“2”、“3又は“4”が取り得る。

STの値“0”は、押鍵待ち状態であることを示す。

STの値“1”は、後述するバイアス時間をカウント中であることを示す。

STの値“2”は、後述するベロシティ測定値をカウント中であることを示す。

50

ＳＴの値“３”は、後述する補正時間用カウンタ値をカウント中であることを示す。

ＳＴの値“４”は、離鍵待ちの状態であることを示す。

【００２８】

コントローラ５１は、これらＥＶ及びＳＴの値を、カウンタメモリ５６に記憶し、適宜参照するとともに、ＥＶフラグセット回路５２及びステータス増加回路５３を制御して更新させる。

【００２９】

図３は、本実施形態に係るカウンタメモリ５６のフォーマットを説明する図である。

カウンタメモリ５６は、複数の鍵の夫々対応した複数のアドレス、具体的には本実施形態では８８個の鍵の夫々に対応した８８個のアドレスを有する。各アドレスには、対応付けられた鍵におけるＥＶの値、ＳＴの値、第１カウンタ値としてのペロシティカウンタ値、及び第２カウンタ値としての補正時間用カウンタ値が記憶されている。詳しくは後述するが、ペロシティカウンタ値（以下、「ＶＣ」とも呼ぶ）は第１カウンタ５４により加算され、補正時間用カウンタ値（以下、「ＴＣ」とも呼ぶ）は第２カウンタ５５により加算される。

また、各アドレスには、鍵に対応付けられたノートナンバ（図示せず）が記憶されている。

【００３０】

ＥＶフラグセット回路５２は、コントローラ５１の制御により、カウンタメモリ５６に記憶されたＥＶの値を更新する。

ステータス増加回路５３は、コントローラ５１の制御により、カウンタメモリ５６に記憶されたＳＴの値を更新する。

【００３１】

第１カウンタ５４は、コントローラ５１の制御により、第１接点１６０ａがオンされてから第２接点１６０ｂがオンされるまでの時間を、カウンタメモリ５６のＶＣにおいて加算する。また、第１カウンタ５４は、コントローラ５１の制御により、カウンタメモリ５６のＶＣをリセットする。

ここで、カウンタメモリ５６のＶＣは、ＳＴの値“１”のときはバイアス時間を示し、ＳＴの値“２”のときはペロシティ測定値を示す。即ち、ペロシティ測定値は、第１接点１６０ａがオンされてから第２接点１６０ｂがオンされるまでの時間から、予め設定されたバイアス時間が除外された時間を示す値である。

【００３２】

第２カウンタ５５は、コントローラ５１の制御により、第１カウンタ５４による加算が完了してからの時間を、カウンタメモリ５６のＴＣにおいて加算する。また、第２カウンタ５５は、コントローラ５１の制御により、カウンタメモリ５６のＴＣをリセットする。

【００３３】

到達時間メモリ５７は、ＶＣのペロシティ測定値に応じて、予め設定された第２カウンタ５５による加算終了時間を示す到達時間値を記憶する。

比較回路５８は、到達時間メモリ５７に記憶された到達時間値とＴＣとを比較し、到達時間値とＴＣとが一致した時に、一致信号をコントローラ５１に送信する。

反転回路５９は、カウンタメモリ５６に記憶されたＶＣ（ペロシティ測定値）を読み込み、反転処理によりペロシティ値を算出し、ペロシティレジスタ６１に格納する。

【００３４】

次に、図４を参照して、本実施形態に係るタッチ検出装置５０を構成するハードウェアの動作タイミングについて説明する。

図４は、本実施形態に係るタッチ検出装置５０を構成するハードウェアの動作タイミングを説明する図である。

まず、図４に示すグラフの左下において、演奏者による鍵の押鍵操作が開始される。このとき、カウンタメモリ５６に記憶されたＥＶの値は、“０”である。

更に押鍵され、第１接点１６０ａがオンされると、鍵スイッチマトリクス１６０は、第

10

20

30

40

50

1 接点オン信号をコントローラ 5 1 に送信する。

【 0 0 3 5 】

ここで、コントローラ 5 1 は、第 1 接点オン信号を受信すると、当該第 1 接点オン信号が送信された鍵を特定し、カウンタメモリ 5 6 (図 3 参照) において、特定した鍵のアドレスに記憶された各種値を更新させる制御を実行する。また、コントローラ 5 1 は、特定した鍵のノートナンバをノートナンバレジスタ 6 2 に格納する。

【 0 0 3 6 】

そして、コントローラ 5 1 は、第 1 接点オン信号を受信すると、E V フラグセット回路 5 2 に E V の値 “ 1 ” をセットさせ、ステータス増加回路 5 3 に S T の値 “ 1 ” をセットさせ、第 1 カウンタ 5 4 に V C をリセットさせてからカウントを開始させ V C を加算させる。この間におけるカウンタメモリ 5 6 の V C は、バイアス時間を示す。

10

【 0 0 3 7 】

次に、コントローラ 5 1 は、カウンタメモリ 5 6 における V C の値がバイアス時間として予め設定された所定値となった場合には、ステータス増加回路 5 3 に S T の値 “ 2 ” をセットさせ、第 1 カウンタ 5 4 に V C をリセットさせてからカウントを開始させ V C を加算させる。この間における V C は、ペロシティ測定値を示す。

【 0 0 3 8 】

更に押鍵され、第 2 接点 1 6 0 b がオンされると、鍵スイッチマトリクス 1 6 0 は、第 2 接点オン信号をコントローラ 5 1 に送信する。

そして、コントローラ 5 1 は、第 2 接点オン信号を受信すると、ステータス増加回路 5 3 に S T の値 “ 3 ” をセットさせ、第 1 カウンタ 5 4 に V C のカウントを終了させ、第 2 カウンタ 5 5 に T C をリセットさせてからカウントを開始させ T C を加算させる。この間における T C は、補正時間を示す。

20

また、この間において、反転回路 5 9 は、カウンタメモリ 5 6 に記憶された V C (ペロシティ測定値) を読み込み、反転処理によりペロシティ値を算出し、ペロシティレジスタ 6 1 に格納する。そして、コントローラ 5 1 は、割り込み信号、ノートナンバレジスタ 6 2 に格納されたノートナンバ及びペロシティレジスタ 6 1 に格納されたペロシティ値を含む発音情報を生成する。

【 0 0 3 9 】

次に、比較回路 5 8 は、到達時間メモリ 5 7 に予め設定され記憶された到達時間値と T C とを比較し、到達時間値と T C とが一致した時に、一致信号をコントローラ 5 1 に送信する。コントローラ 5 1 は、一致信号を受信すると、発音制御部としての C P U 1 1 に、ペロシティ値を含む発音情報を送信する。

30

そして、C P U 1 1 は、コントローラ 5 1 から送信された発音情報に基づく音を発音する発音処理を実行する。

なお、以上のタッチ検出装置 5 0 が実行する一連の処理を、以下、「タッチ検出動作処理」と呼ぶ。

【 0 0 4 0 】

図 5 は、本発明の一実施形態に係るタッチ検出装置 5 0 によるタッチ検出動作処理が行われた場合における、押鍵されてから発音されるまでのタイミングを説明する図である。

40

図 4 に示すタイミングで、タッチ検出装置 5 0 の各ハードウェアが動作することで、電子楽器 1 は、図 5 に示すように発音する。詳細には、押鍵され第 1 接点 1 6 0 a がオンされると、バイアス時間が加算され、次にペロシティ測定値が加算される。そして、更に押鍵され第 2 接点 1 6 0 b がオンされると、ペロシティ測定値に応じた補正時間が加算され、この補正時間経過後に発音制御部において発音処理が実行される。これにより、鍵が押し切られたタイミングで発音される。

【 0 0 4 1 】

次に、図 6 から図 1 0 を参照して、本実施形態に係るタッチ検出装置 5 0 を構成するハードウェアのタッチ検出動作処理について説明する。

50

図 6 乃至図 10 は、本実施形態に係るタッチ検出装置 50 のタッチ検出動作処理の流れを説明するフローチャートである。

【0042】

図 6 に示すように、ステップ S1 において、コントローラ 51 は、カウンタメモリ 56 の EV の値が “1” であるか否かを判定し、EV の値が “1” であると判定した場合はステップ S2 に処理を移し、EV の値が “1” でないと判定した場合はステップ S5 に処理を移す。

【0043】

ステップ S2 において、反転回路 59 は、カウンタメモリ 56 に記憶された VC (ベロシティ測定値) を読み込み、反転処理によりベロシティ値を算出し、ベロシティレジスタ 61 に格納する。

10

【0044】

ステップ S3 において、コントローラ 51 は、第 1 接点オン信号又は第 2 接点オン信号を受信した鍵のノートナンバをノートナンバレジスタ 62 に格納する。

ステップ S4 において、EV フラグセット回路 52 は、カウンタメモリ 56 に記憶された EV の値を “0” に更新する。

【0045】

ステップ S5 において、コントローラ 51 は、カウンタメモリ 56 の ST の値が “0” であるか否かを判定し、ST の値が “0” であると判定した場合はステップ S6 に処理を移し、ST の値が “0” でないと判定した場合はステップ S10 に処理を移す。

20

【0046】

ステップ S6 において、コントローラ 51 は、第 1 接点オン信号を受信したか否かを判定し、第 1 接点オン信号を受信したと判定した場合はステップ S7 に処理を移し、第 1 接点オン信号を受信していないと判定した場合はタッチ検出動作を終了させる。

【0047】

ステップ S7 において、ステータス増加回路 53 は、カウンタメモリ 56 に記憶された ST の値を “1” に更新する。

ステップ S8 において、第 1 カウンタ 54 は、カウンタメモリ 56 の VC をリセットする。

ステップ S9 において、第 1 カウンタ 54 は、カウンタメモリ 56 の VC (バイアス時間) の加算を開始する。

30

【0048】

図 7 に示すように、ステップ S10 において、コントローラ 51 は、カウンタメモリ 56 の ST の値が “1” であるか否かを判定し、ST の値が “1” であると判定した場合はステップ S11 に処理を移し、ST の値が “1” でないと判定した場合はステップ S21 に処理を移す。

【0049】

ステップ S11 において、コントローラ 51 は、第 1 接点オン信号を受信したか否かを判定し、第 1 接点オン信号を受信したと判定した場合はステップ S12 に処理を移し、第 1 接点オン信号を受信していないと判定した場合はタッチ検出動作を終了させる。

40

【0050】

図 8 に示すように、ステップ S12 において、コントローラ 51 は、第 2 接点オン信号を受信したか否かを判定し、第 2 接点オン信号を受信したと判定した場合はステップ S13 に処理を移し、第 2 接点オン信号を受信していないと判定した場合はステップ S16 に処理を移す。

【0051】

図 9 に示すように、ステップ S13 において、ステータス増加回路 53 は、カウンタメモリ 56 に記憶された ST の値を “3” に更新する。

ステップ S14 において、第 2 カウンタ 55 は、カウンタメモリ 56 の TC をリセットする。

50

ステップ S 1 5 において、第 2 カウンタ 5 5 は、カウンタメモリ 5 6 の T C の加算を開始する。

【 0 0 5 2 】

図 8 に戻って、ステップ S 1 6 において、コントローラ 5 1 は、カウンタメモリ 5 6 の V C が予め設定されたバイアス時間と一致するか否かを判定し、一致すると判定した場合はステップ S 1 7 に処理を移し、一致しないと判定した場合はステップ S 2 0 に処理を移す。

【 0 0 5 3 】

ステップ S 1 7 において、ステータス増加回路 5 3 は、カウンタメモリ 5 6 に記憶された S T の値を “ 2 ” に更新する。

10

ステップ S 1 8 において、第 1 カウンタ 5 4 は、カウンタメモリ 5 6 の V C をリセットする。

【 0 0 5 4 】

ステップ S 1 9 において、第 1 カウンタ 5 4 は、カウンタメモリ 5 6 の V C (ペロシテ ィ測定値) の加算を開始する。

ステップ S 2 0 において、第 1 カウンタ 5 4 は、カウンタメモリ 5 6 の V C の加算を継続する。

【 0 0 5 5 】

図 7 に戻って、ステップ S 2 1 において、コントローラ 5 1 は、カウンタメモリ 5 6 の S T の値が “ 2 ” であるか否かを判定し、S T の値が “ 2 ” であると判定した場合はステップ S 2 2 に処理を移し、S T の値が “ 2 ” でないと判定した場合はステップ S 2 5 に処理を移す。

20

【 0 0 5 6 】

ステップ S 2 2 において、コントローラ 5 1 は、第 1 接点オン信号を受信したか否かを判定し、第 1 接点オン信号を受信したと判定した場合はステップ S 2 3 に動作を移し、第 1 接点オン信号を受信していないと判定した場合はステップ S 2 4 に動作を移す。

【 0 0 5 7 】

図 8 に示すように、ステップ S 2 3 において、コントローラ 5 1 は、第 2 接点オン信号を受信したか否かを判定し、第 2 接点オン信号を受信したと判定した場合はステップ S 1 3 に動作を移し、第 2 接点オン信号を受信していないと判定した場合はステップ S 2 0 に動作を移す。

30

ステップ S 2 4 において、ステータス増加回路 5 3 は、カウンタメモリ 5 6 に記憶された S T の値を “ 0 ” に更新する。

【 0 0 5 8 】

図 1 0 に示すように、ステップ S 2 5 において、コントローラ 5 1 は、カウンタメモリ 5 6 の S T の値が “ 3 ” であるか否かを判定し、S T の値が “ 3 ” であると判定した場合はステップ S 2 6 に処理を移し、S T の値が “ 3 ” でないと判定した場合はステップ S 2 9 に処理を移す。

【 0 0 5 9 】

ステップ S 2 6 において、比較回路 5 8 は、到達時間メモリ 5 7 に記憶された到達時間値と、カウンタメモリ 5 6 の T C と、を比較し、到達時間値と T C とが一致するか否かを判定し、一致すると判定した場合はステップ S 2 7 に処理を移し、一致しないと判定した場合はステップ S 2 8 に処理を移す。

40

【 0 0 6 0 】

ステップ S 2 7 において、E V フラグセット回路 5 2 は、カウンタメモリ 5 6 に記憶された E V の値を “ 1 ” に更新する。

ステップ S 2 8 において、第 2 カウンタ 5 5 は、カウンタメモリ 5 6 の T C の加算を継続する。

【 0 0 6 1 】

ステップ S 2 9 において、コントローラ 5 1 は、カウンタメモリ 5 6 の S T の値が “ 4

50

”であるか否かを判定し、S Tの値が“ 4 ”であると判定した場合はステップS 3 0に処理を移し、S Tの値が“ 4 ”でないと判定した場合はタッチ検出動作を終了させる。

【 0 0 6 2 】

ステップS 3 0において、コントローラ5 1は、第1接点オフ信号を受信したか否かを判定し、第1接点オフ信号を受信したと判定した場合はタッチ検出動作を終了させ、第1接点オフ信号を受信していないと判定した場合はステップS 3 1に処理を移す。

【 0 0 6 3 】

ステップS 3 1において、コントローラ5 1は、第2接点オフ信号を受信したか否かを判定し、第2接点オフ信号を受信したと判定した場合はタッチ検出動作を終了させ、第2接点オフ信号を受信していないと判定した場合はステップS 3 2に処理を移す。

ステップS 3 2において、ステータス増加回路5 3は、カウンタメモリ5 6に記憶されたS Tの値を“ 0 ”に更新する。

【 0 0 6 4 】

以上説明したように、本実施形態のタッチ検出装置5 0は、コントローラ5 1と、第1接点1 6 0 a及び第2接点1 6 0 bと、第1カウンタ5 4と、第2カウンタ5 5と、カウンタメモリ5 6と、到達時間メモリ5 7と、比較回路5 8と、を備える。

コントローラ5 1は、鍵スイッチマトリクス1 6 0の第1接点1 6 0 a及び第2接点1 6 0 bと接続され、第1接点オン信号又は第2接点オン信号を受信する。

第1接点1 6 0 a及び第2接点1 6 0 bは、複数の鍵毎に設けられ、押鍵操作に応じて、順次オンされる。

第1カウンタ5 4は、第1接点1 6 0 aがオンされてから第2接点1 6 0 bがオンされるまでの時間を、カウンタメモリ5 6のV Cにおいて加算する。

第2カウンタ5 5は、第1カウンタ5 4による加算が完了してからの時間を、カウンタメモリ5 6のT Cにおいて加算する。

カウンタメモリ5 6は、複数の鍵毎に夫々対応したアドレスを有する。各アドレスには、対応付けられた鍵における第1カウンタ値としてのペロシティカウンタ値及び第2カウンタ値としての補正時間用カウンタ値が記憶されている。

比較回路5 8は、到達時間メモリ5 7に記憶された到達時間値とT Cとを比較し、到達時間値とT Cとが一致した時に、一致信号をコントローラ5 1に送信する。

そして、コントローラ5 1は、一致信号を受信すると、発音制御部としてのC P U 1 1に、ペロシティ値を含む発音情報を送信する。

【 0 0 6 5 】

このようにして、第1カウンタ5 4により、ペロシティ値を算出するためのペロシティ測定値がカウントされる。第2カウンタ5 5により、発音タイミングを鍵が押し切られるタイミングに合わせるための補正時間がカウントされる。そして、補正時間経過後に、コントローラ5 1により、ペロシティ値を含む発音情報が、発音制御部としてのC P U 1 1に送信される。

このため、発音制御部としてのC P U 1 1とは別に設けられたタッチ検出装置5 0により、ペロシティ値を含む発音情報を、正確な発音タイミングで、発音制御部としてのC P U 1 1に送信できる。

【 0 0 6 6 】

よって、ペロシティ値の測定や、発音タイミングを押鍵操作に合わせるための時間のカウント等による制御負荷を、発音制御部としてのC P U 1 1にかけることがない。

従って、電子楽器において、同一のタイミングで多くの音を発生させる場合でも、鍵の押鍵に対して正確なタイミングで発音が可能となる。

更に、発音制御部(C P U 1 1)とは別にタッチ検出装置5 0が設けられているので、発音制御部としてはC P U 1 1等の従来のものをそのまま流用できるため、開発にかかる工数やコストを削減できる。また、カウンタメモリ5 6において、ペロシティカウンタ値及び補正時間用カウンタ値を記憶するので、これらの値を夫々別のメモリに記憶した場合に比べ、メモリを含む部品数を抑えることができる。

10

20

30

40

50

【 0 0 6 7 】

また、到達時間メモリ 5 7 は、V C のペロシティ測定値に応じて、予め設定された第 2 カウンタ 5 5 による加算終了時間を示す到達時間値を記憶する。

比較回路 5 8 は、到達時間メモリ 5 7 に記憶された到達時間値と T C とを比較する。

これにより、到達時間メモリに記憶された到達時間値を書き換えることで、発音するまでの補正時間を調整できる。このため、ユーザの趣向や、音色によって、補正時間の変更が適宜可能となる。

【 0 0 6 8 】

次に、本実施形態の応用例として、第 1 応用例、第 2 応用例及び第 3 応用例について説明する。以下、本実施形態の応用例について説明するが、本実施形態と同一構成要件については同一符号を付し、その説明を省略若しくは簡略化する。

【 0 0 6 9 】

第 1 応用例、第 2 応用例及び第 3 応用例の電子楽器は、本実施形態のタッチ検出装置 5 0 を 2 つ有するタッチ検出ユニットを備える。具体的には、第 1 応用例、第 2 応用例及び第 3 応用例のタッチ検出ユニットは、第 1 タッチ検出装置 5 0 A と、第 2 タッチ検出装置 5 0 B と、を備える。これにより、押鍵操作に応じて、最大で 4 つの接点の信号を処理できる。なお、第 1 タッチ検出装置 5 0 A 及び第 2 タッチ検出装置 5 0 B は、上記実施形態のタッチ検出装置 5 0 と同様のハードウェア構成を備える。

【 0 0 7 0 】

まず、第 1 応用例について説明する。

第 1 応用例の電子楽器 1 A は、発音時間を延長するダンパー機能を有する。電子楽器 1 A は、このダンパー機能をオフ（以降、ダンパーオフとも言う）にすることで、鍵が連打されても各音を消音せずに、連続して発音する。また、電子楽器 1 A は、ダンパー機能をオン（以降、ダンパーオンとも言う）にすることで、全音消音する。

【 0 0 7 1 】

電子楽器 1 A は、鍵スイッチマトリクスにおいて、第 1 接点及び第 2 接点に加え、第 3 接点を有する。電子楽器 1 A は、第 3 接点がオンされることでダンパーオフとなり、第 3 接点がオフされることでダンパーオンとなる。

図 1 1 は、本発明の実施形態の第 1 応用例に係るタッチ検出ユニット 5 0 0 における、第 1 タッチ検出装置 5 0 A と第 2 タッチ検出装置 5 0 B との接続を示すブロック図である。

図 1 1 において、K C は、コモン側のスイッチ入力を示し、F I は鍵スイッチマトリクスからの第 1 接点から出力された信号を示し、S I は鍵スイッチマトリクスからの第 2 接点から出力された信号を示す。

【 0 0 7 2 】

タッチ検出ユニット 5 0 0 において、第 1 タッチ検出装置 5 0 A は、上記実施形態のタッチ検出装置 5 0 と同様に、F I 及び S I に基づき、ペロシティ値の測定や、発音タイミングを押鍵操作に合わせるための補正時間のカウントを行い、発音情報を生成し、発音情報を C P U 1 1 に送信する。一方、第 2 タッチ検出装置 5 0 B は、F I 及び S I の端子がショートされて、第 3 接点と接続され、この第 3 接点から出力された信号を受信する。

【 0 0 7 3 】

図 1 2 は、本発明の実施形態の第 1 応用例に係るタッチ検出ユニット 5 0 0 が適用された電子楽器 1 A における、発音及び消音のタイミングを説明する図である。

図 1 2 に示すように、電子楽器 1 A は、第 2 タッチ検出装置 5 0 B が第 3 接点から出力された信号を受信することでダンパーオフとなる。そして、電子楽器 1 A は、第 1 タッチ検出装置 5 0 A により、ペロシティ値を測定し、補正時間のカウントを行い、鍵が押し切られたタイミングで音を発音する。そして、図 1 2 に示すように、第 1 接点と第 2 接点のオンとオフが繰り返された場合、夫々鍵が押し切られたタイミングで音を発音するが、ダンパーオフなので、各音を消音せずに、連続して発音する。そして、電子楽器 1 A は、第 2 タッチ検出装置 5 0 B が再度第 3 接点から出力された信号を受信することでダンパーオ

ンとなり、全音が消音する。

【0074】

このように、タッチ検出ユニット500は、第1タッチ検出装置50Aと第2タッチ検出装置50Bとを備える。

第1タッチ検出装置50Aは、発音情報を生成し、発音情報を発音制御部としてのCPU11に送信する。

第2タッチ検出装置50Bは、第1接点又は前記第2接点と接続が切断され、第1接点及び第2接点とショートされ、第3接点と接続されている。

これにより、例えば、第3接点がダンパーのオン又はオフのスイッチであれば、同じタイミングで多くの音を発生させる場合でも、鍵の押鍵に対して正確なタイミングで発音可能な電子楽器において、ダンパーのオン又はオフが可能となる。

10

【0075】

次に、第2応用例について説明する。

第2応用例の電子楽器1Bは、タッチ検出ユニット501によりオフペロシティ値を測定し、このオフペロシティ値に基づき、適切なタイミングで発音した音を消音する。

【0076】

図13は、本発明の実施形態の第2応用例に係るタッチ検出ユニット501における、第1タッチ検出装置50Aと第2タッチ検出装置50Bとの接続を示すブロック図である。

図13において、KCは、コモン側のスイッチ入力を示し、FIは鍵スイッチマトリクスからの第1接点から出力された信号を示し、SIは鍵スイッチマトリクスからの第2接点から出力された信号を示す。

20

【0077】

タッチ検出ユニット501において、第1タッチ検出装置50Aは、上記実施形態のタッチ検出装置50と同様に、FI及びSIに基づき、ペロシティ値の測定や、発音タイミングを押鍵操作に合わせるための補正時間のカウントを行う。一方、第2タッチ検出装置50Bは、FIを反転した信号及びSIを反転した信号に基づき、オフペロシティ値を測定し、消音タイミングを離鍵操作に合わせるために、オフペロシティ値に基づく補正時間のカウントを行う。そして、第2タッチ検出装置50Bは、補正時間経過後、消音情報を、発音制御部としてのCPU11に送信する。この消音情報を受信した発音制御部としてのCPU11は、発音していた音を消音する制御を行う。

30

【0078】

図14は、本発明の実施形態の第2応用例に係るタッチ検出ユニット501が適用された電子楽器1Bにおける、発音及び消音のタイミングを説明する図である。

図14に示すように、電子楽器1Bは、第1タッチ検出装置50Aにより、ペロシティ値を測定し、補正時間のカウントを行い、鍵が押し切られたタイミングで発音する。そして、電子楽器1Bは、第2タッチ検出装置50Bにより、オフペロシティ値を測定し、補正時間のカウントを行い、離鍵操作に伴う適宜なタイミングで消音する。

【0079】

このように、タッチ検出ユニット501は、第1タッチ検出装置50Aと第2タッチ検出装置50Bとを備える。

40

第1タッチ検出装置50Aは、発音情報を生成し、発音情報を発音制御部としてのCPU11に送信する。

第2タッチ検出装置50Bは、第1接点又は第2接点からの信号を夫々反転した信号に基づき消音情報を生成し、この消音情報を発音制御部としてのCPU11に送信する。

これにより、同じタイミングで多くの音を発生させる場合でも、鍵の押鍵に対して正確なタイミングで発音可能な電子楽器において、鍵の離鍵に対して正確なタイミングで消音可能となる。

【0080】

次に、第3応用例について説明する。

50

第3応用例の電子楽器1Cは、タッチ検出ユニット503を備える。

図15は、本発明の実施形態の第3応用例に係るタッチ検出ユニット503における、第1タッチ検出装置50Aと第2タッチ検出装置50Bとの接続を示すブロック図である。

第3応用例のタッチ検出ユニット503は、第1タッチ検出装置50Aと、第2タッチ検出装置50Bと、電子楽器1CのCPU11(図1参照)により制御され、押鍵操作に応じて、順次オンされる上記第1接点及び第2接点を含む4つの接点と第1タッチ検出装置50Aと第2タッチ検出装置50Bとの接続を適宜切り替えるスイッチユニット165を備える。

【0081】

図16は、本発明の実施形態の第3応用例に係るスイッチユニット165の構成を示す回路図である。

スイッチユニット165は、CPU11により制御され、最大4つの接点のいずれか2つの接点からの信号を第1タッチ検出装置50Aに送信し、他の2つの接点を第2タッチ検出装置50Bに送信するように、回路を切り替える。第1タッチ検出装置50A又は第2タッチ検出装置50Bに送信される接点からの2つの信号の組み合わせは、CPU11の制御により決定される。なお、スイッチユニット165は、回路をショートすることで、例えば、第1応用例の電子楽器1Aのように、第1タッチ検出装置50Aには2つの接点からの信号を送信可能とし、第2タッチ検出装置50Bには1つの接点から信号を送信可能とすることができる。

【0082】

図17は、本発明の実施形態の第3応用例に係るタッチ検出ユニット502が適用された電子楽器1Cにおける、発音及び消音のタイミングの一例を説明する図である。

図17に示す例では、スイッチユニット165は、第3接点及び第4接点と第1タッチ検出装置50Aとを接続し、第1接点及び第2接点と第2タッチ検出装置50Bとを接続している。これにより、電子楽器1Cは、第1タッチ検出装置50Aにより、ペロシティ測定値1を測定し、第2タッチ検出装置50Bにより、ペロシティ測定値2を測定し、ペロシティ測定値1及びペロシティ測定値2からペロシティ値を算出し、補正時間のカウントを行い、鍵が押し切られたタイミングで発音する。

【0083】

このように、タッチ検出ユニット502は、第1タッチ検出装置50Aと第2タッチ検出装置50Bと、スイッチユニット165と、を備える。

スイッチユニット165は、第1タッチ検出装置50A及び第2タッチ検出装置50Bと第1接点及び第2接点を含む4つの接点との接続を切り替える。

これにより、同じタイミングで多くの音を発生させる場合でも、鍵の押鍵に対して正確なタイミングで発音可能な電子楽器において、1つのハードウェア構成で、第1応用例に係る電子楽器1Aのようにダンパーのオン又はオフが可能であり、第2応用例に係る電子楽器1Bのように鍵の離鍵に対して正確なタイミングで消音可能であり、図17に示す例のように、複数のペロシティ測定値からペロシティ値を算出可能となる。

【0084】

なお、本発明は、上述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

【0085】

例えば、上述の実施形態では、鍵の数を88個とし、カウンタメモリに88個の特定のアドレスを設けたが、これに限らず、例えば、カウンタメモリの特定のアドレスは、鍵の数以上であれば任意の数としてもよい。

【0086】

また、上述の実施形態では、カウンタメモリと到達時間メモリとを夫々設けたが、これに限らず、例えば、カウンタメモリと到達時間メモリとを含む1つのメモリを設けてもよい。

10

20

30

40

50

【 0 0 8 7 】

また、上述の実施形態の応用例では、タッチ検出ユニットにおける２つのタッチ検出装置を同様の構成としているが、これに限らず、例えば、いずれか一方のタッチ検出装置の比較回路が用いる到達時間値を一定とすることで、到達時間メモリを設けないこともできる。

【 0 0 8 8 】

また、上述の実施形態では、本発明に係るタッチ検出装置が適用される電子楽器は、電子ピアノを例として説明したが、特にこれに限定されない。

例えば、本発明は、タッチ検出機能を有する電子機器一般に適用することができる。具体的には、例えば、本発明は、ノート型のパーソナルコンピュータ、プリンタ、テレビジョン受像機、ビデオカメラ、携帯型ナビゲーション装置、携帯電話機、ポータブルゲーム機等に適用可能である。

換言すると、図１のハードウェア構成は例示に過ぎず、特に限定されない。

【 0 0 8 9 】

以上、本発明のいくつかの実施形態について説明したが、これらの実施形態は、例示に過ぎず、本発明の技術的範囲を限定するものではない。本発明はその他の様々な実施形態を取ることが可能であり、更に、本発明の要旨を逸脱しない範囲で、省略や置換等種々の変更を行うことができる。これら実施形態やその変形は、本明細書等に記載された発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 0 0 9 0 】

以下に、本願の出願当初の特許請求の範囲に記載された発明を付記する。

〔 付 記 １ 〕

複数種類の音が夫々対応付けられた複数の鍵と、前記複数の鍵毎に設けられ、押鍵操作に応じて、順次オンされる第１接点及び第２接点と、前記鍵の押鍵操作に応じて所定種類の音を発音させる発音制御部と、を備えた電子楽器のタッチ検出装置であって、

前記第１接点又は前記第２接点のオン検出信号を受信する制御回路と、

前記制御回路の制御により、前記第１接点及び前記第２接点の夫々のオン検出信号に基づいて、前記第１接点がオンされてから前記第２接点がオンされるまでの時間をカウントする第１カウンタと、

前記制御回路の制御により、前記第１カウンタによるカウントが完了してからの時間をカウントする第２カウンタと、

複数の前記鍵に夫々対応した複数のアドレスを有し、前記複数のアドレスに、前記第１カウンタによりカウントされた時間を示す第１カウンタ値と、前記第２カウンタによりカウントされた時間を示す第２カウンタ値と、を記憶するカウンタメモリと、

予め設定された到達時間値と前記第２カウンタ値とを比較し、前記到達時間値と前記第２カウンタ値とが略一致した時に、一致信号を前記制御回路に送信する比較回路と、

を備え、

前記制御回路は、前記比較回路から前記一致信号を受信した時に、前記第１カウンタ値に応じたタッチ情報を含み、前記発音制御部による発音を指示する発音情報を、前記発音制御部に送信する、

ことを特徴とするタッチ検出装置。

〔 付 記 ２ 〕

前記第１カウンタ値に応じて、予め設定された前記第２カウンタによるカウント終了時間を示す到達時間値を記憶する到達時間メモリを、更に備え、

前記比較回路は、前記到達時間メモリに記憶された前記到達時間値と前記第２カウンタ値とを比較する、

ことを特徴とする付記１に記載のタッチ検出装置。

〔 付 記 ３ 〕

付記１又は２に記載のタッチ検出装置を２つ備えるタッチ検出ユニットであって、

一方の前記タッチ検出装置は、前記発音情報を生成し、前記発音情報を前記発音制御部に送信し、

他方の前記タッチ検出装置は、前記第1接点又は前記第2接点と接続が切断され、前記電子楽器に設けられた第3接点と接続される、

ことを特徴とするタッチ検出ユニット。

[付記4]

付記1又は2に記載のタッチ検出装置を2つ備えるタッチ検出ユニットであって、

一方の前記タッチ検出装置は、前記発音情報を生成し、前記発音情報を前記発音制御部に送信し、

他方の前記タッチ検出装置は、前記第1接点又は前記第2接点からの信号を夫々反転した信号に基づき消音情報を生成し、前記消音情報を前記発音制御部に送信する、

ことを特徴とするタッチ検出ユニット。

[付記5]

付記1又は2に記載のタッチ検出装置を2つと、

2つの前記タッチ検出装置と前記電子楽器に設けられた前記第1接点及び前記第2接点を含む4つの接点との接続を切り替えるスイッチユニットと、

を備えることを特徴とするタッチ検出ユニット。

[付記6]

複数種類の音が夫々対応付けられた複数の鍵と、前記複数の鍵毎に設けられ、押鍵操作に応じて、順次オンされる第1接点及び第2接点と、前記鍵の押鍵操作に応じて所定種類の音を発音させる発音制御部と、を備えた電子楽器のタッチ検出装置が実行するタッチ検出方法において、

前記第1接点及び前記第2接点の夫々のオン検出信号に基づいて、前記第1接点がオンされてから前記第2接点が発音されるまでの時間をカウントする第1カウンタステップと、

前記第1カウンタステップの処理によるカウントが完了してからの時間をカウントする第2カウンタ加算ステップと、

複数の前記鍵に夫々対応した複数のアドレスを有し、前記複数のアドレスに、前記第1カウンタステップの処理により加算された時間を示す第1カウンタ値と、前記第2カウンタステップの処理により加算された時間を示す第2カウンタ値と、を記憶するカウンタメモリを用いて、予め設定された到達時間値と前記第2カウンタ値とを比較し、前記到達時間値と前記第2カウンタ値とが略一致した時に、一致信号を送信する比較ステップと、

前記比較ステップの処理によって前記一致信号が送信されたときに、前記第1カウンタ値に応じたタッチ情報を含み、前記発音制御部による発音を指示する発音情報を、前記発音制御部に送信する送信ステップと、

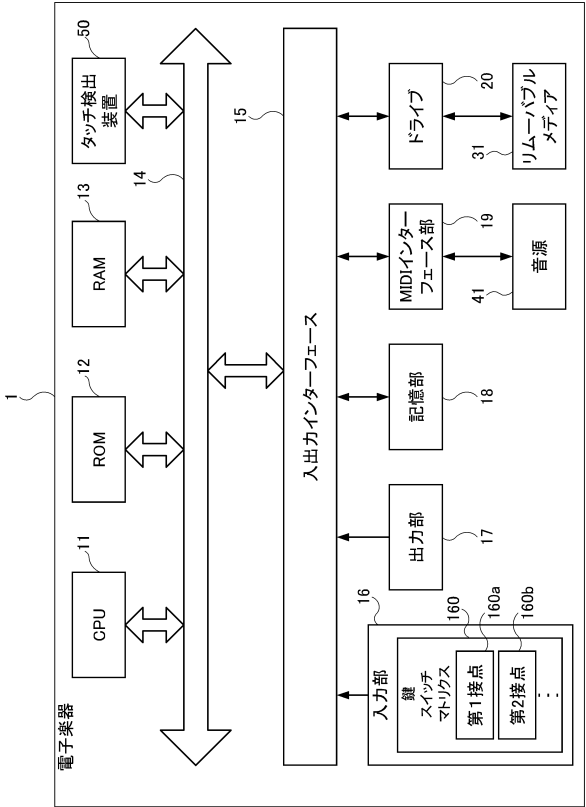
を含むことを特徴とするタッチ検出方法。

【符号の説明】

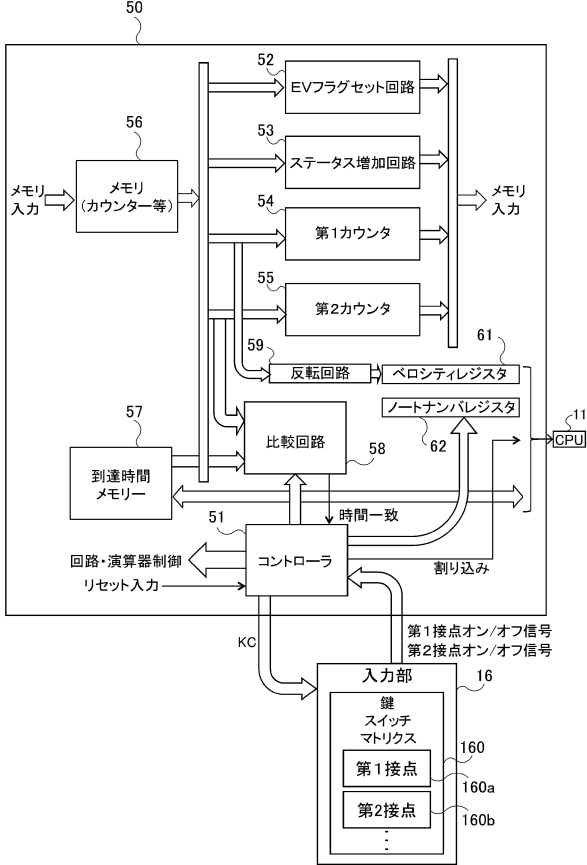
【0091】

1, 1A, 1B, 1C・・・電子楽器、11・・・CPU、12・・・ROM、13・・・RAM、14・・・バス、15・・・入出力インターフェース、16・・・入力部、17・・・出力部、18・・・記憶部、19・・・MIDIインターフェース部、20・・・ドライブ、31・・・リムーバブルメディア、41・・・音源、50・・・タッチ検出装置、50A・・・第1タッチ検出装置、50B・・・第2タッチ検出装置、51・・・コントローラ、52・・・EVフラグセット回路、53・・・ステータス増加回路、54・・・第1カウンタ、55・・・第2カウンタ、56・・・カウンタメモリ、57・・・到達時間メモリ、58・・・比較回路、59・・・反転回路、61・・・ペロシティレジスタ、62・・・ノートナンバレジスタ、160・・・鍵スイッチマトリクス、160a・・・第1接点、160b・・・第2接点、165・・・スイッチユニット、500, 501, 502, 503・・・タッチ検出ユニット

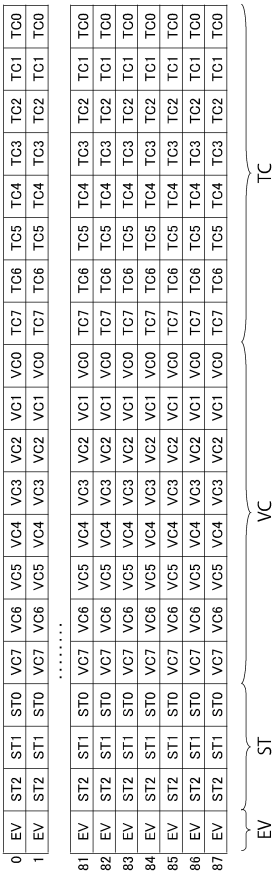
【図 1】



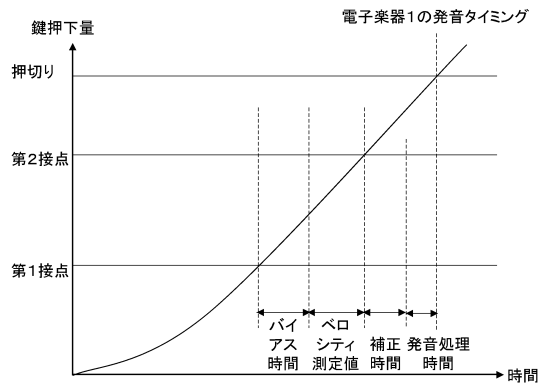
【図 2】



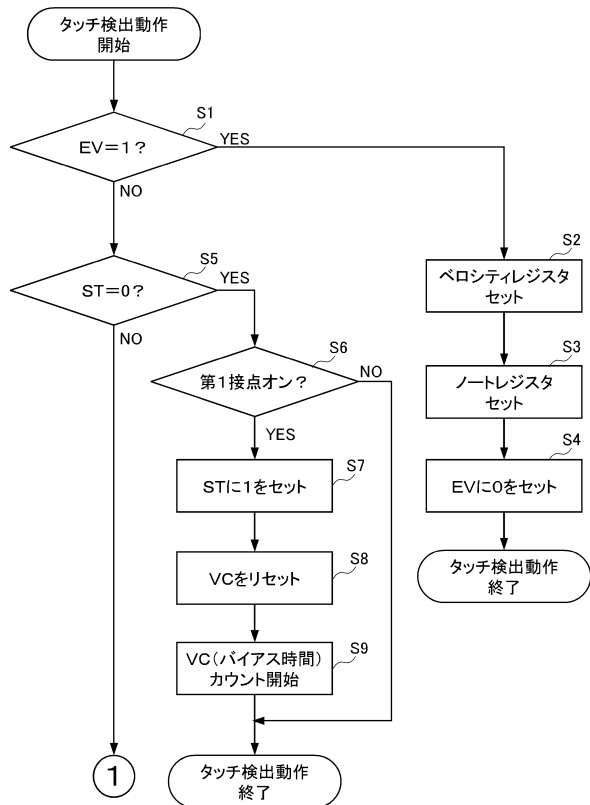
【図 3】



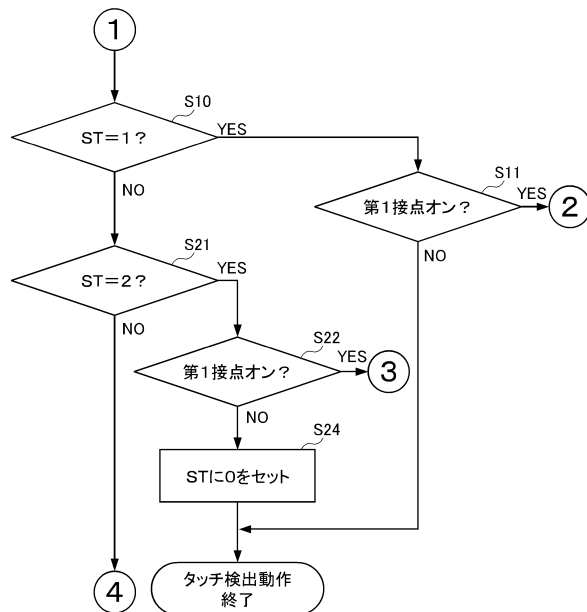
【図5】



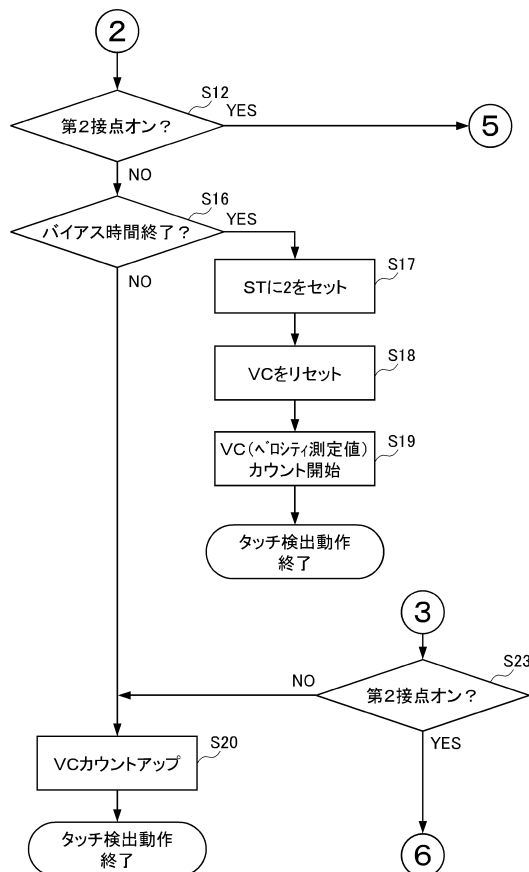
【図6】



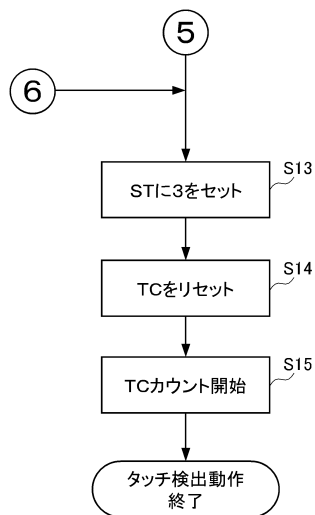
【図7】



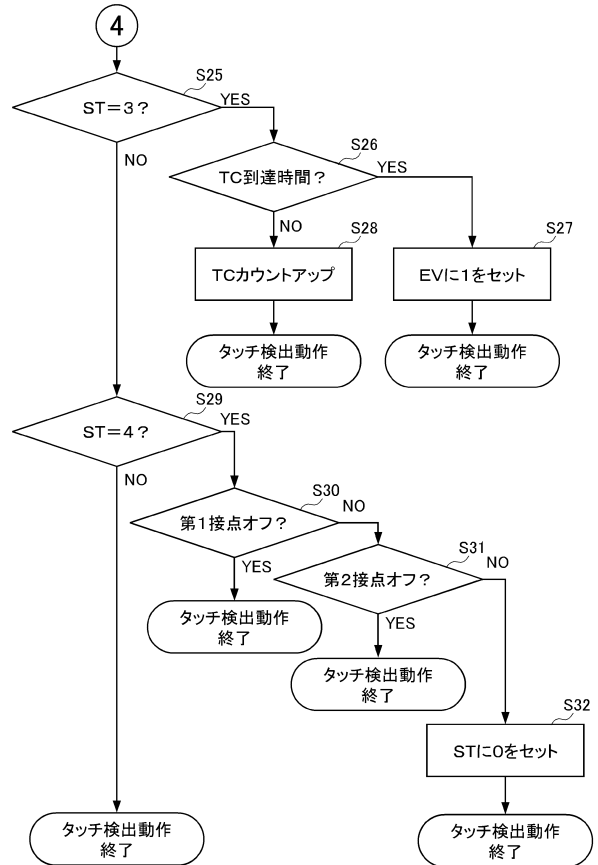
【図8】



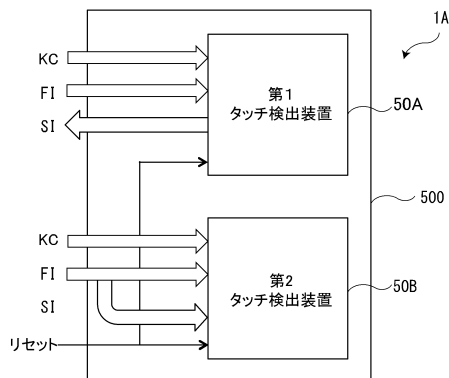
【図 9】



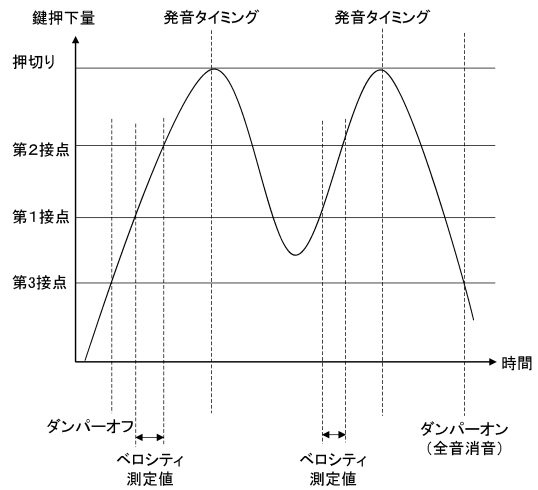
【図 10】



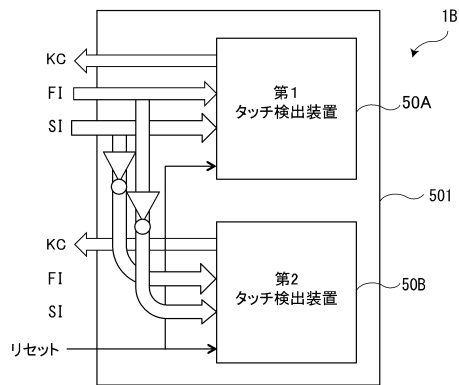
【図 11】



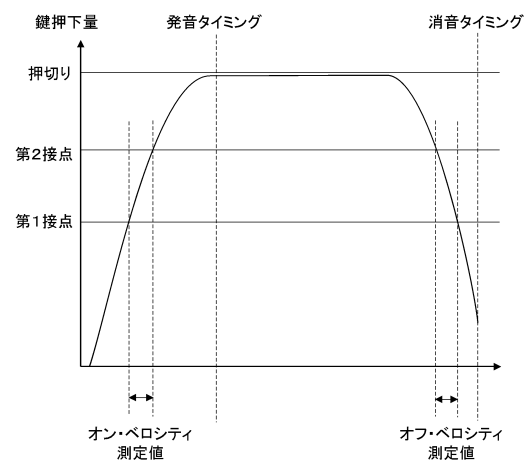
【図 12】



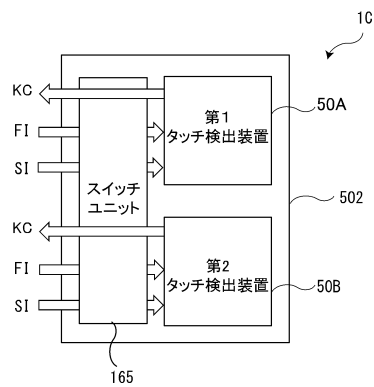
【図 13】



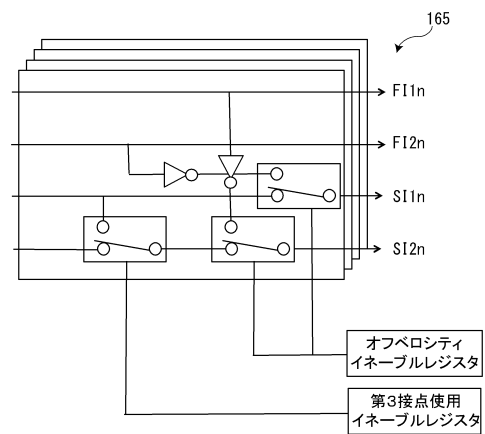
【図 14】



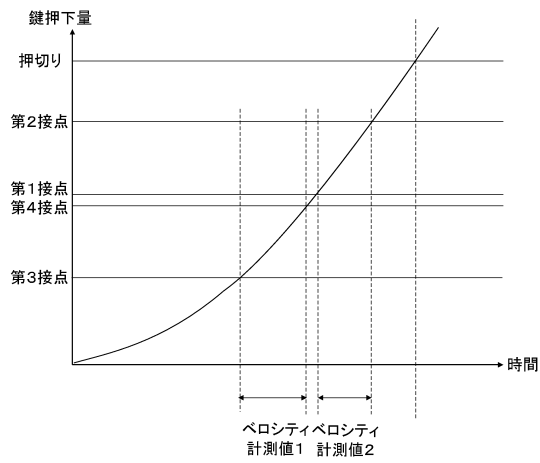
【図 15】



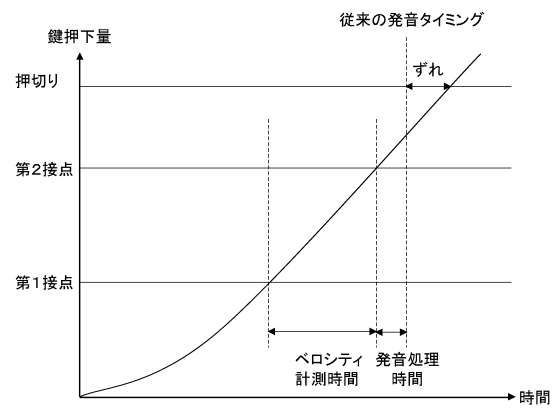
【図 16】



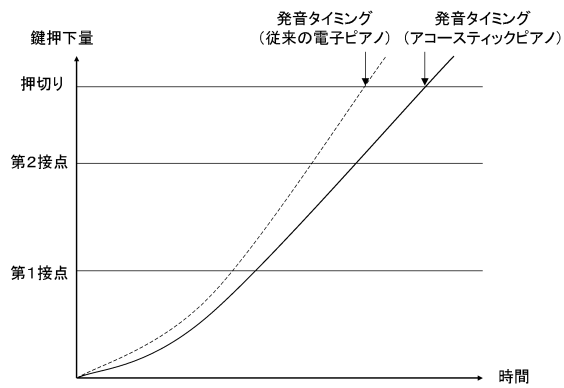
【図 17】



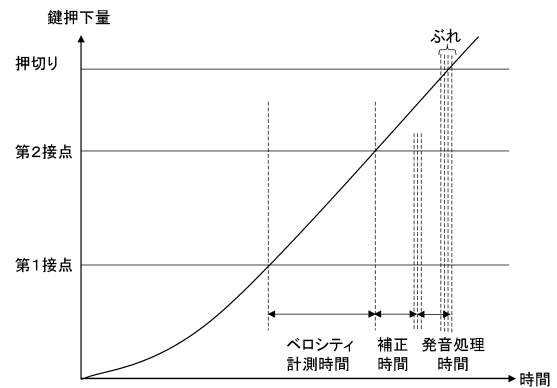
【図 18】



【図 19】



【図 20】



フロントページの続き

(56)参考文献 特許第5652415(JP, B2)
特開2011-064728(JP, A)
特開2008-046249(JP, A)
米国特許第05824938(US, A)

(58)調査した分野(Int.Cl., DB名)
G10H 1/34
G10H 1/18