



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0063840
(43) 공개일자 2023년05월09일

(51) 국제특허분류(Int. Cl.)
B81B 7/00 (2017.01) B81B 1/00 (2017.01)
B81B 7/02 (2017.01) B81C 1/00 (2006.01)
(52) CPC특허분류
B81B 7/0029 (2013.01)
B81B 1/004 (2013.01)
(21) 출원번호 10-2022-0069665
(22) 출원일자 2022년06월08일
심사청구일자 2022년06월08일
(30) 우선권주장
1020210148872 2021년11월02일 대한민국(KR)

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
신흥주
울산광역시 울주군 언양읍 유니스트길 50
김범상
울산광역시 울주군 언양읍 유니스트길 50
곽종현
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 무한

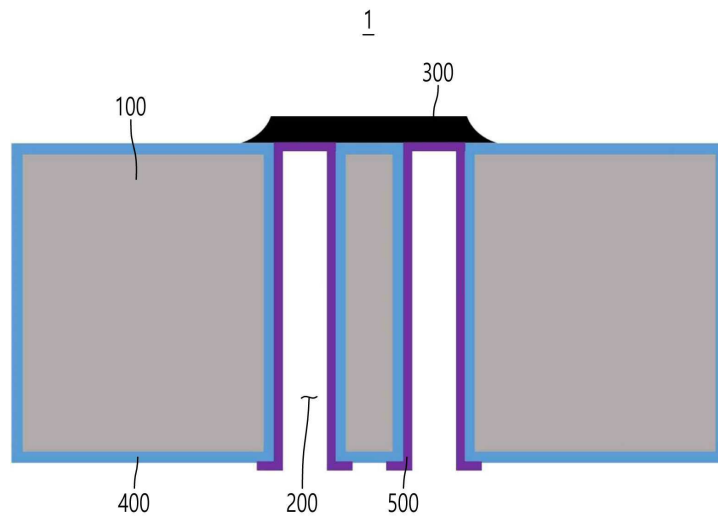
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 고온공정을 포함한 MEMS 제작공정에 적합한 실리콘 관통 전극 및 이의 제조방법

(57) 요약

본 발명은 실리콘 관통 전극 및 이의 제조방법에 관한 것으로서, 본 발명의 일 실시예에 따른 실리콘 관통 전극은 실리콘 기판, 실리콘 기판을 관통하도록 형성되는 하나 이상의 비아, 및 비아의 일 말단을 덮도록 형성되는 전도성 탄소 박막을 포함할 수 있다. 본 발명의 일 실시예에 따른 실리콘 관통 전극은, 고온을 동반하는 소자제작공정이 요구되는 MEMS 기반 디바이스에 적용이 가능할 수 있다.

대표도 - 도1



(52) CPC특허분류

B81B 7/007 (2013.01)
B81B 7/0074 (2013.01)
B81B 7/02 (2013.01)
B81C 1/00087 (2013.01)
B81C 1/00777 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345348792
과제번호	2020R1A6A1A03040570
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학술연구기반구축
연구과제명	환경감시 자율무인시스템 연구센터
기 여 율	5/10
과제수행기관명	울산과학기술원
연구기간	2022.03.01 ~ 2023.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1415181703
과제번호	00144157
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	시장선도를 위한 한국 주도형 K-Sensor 기술개발(R&D)
연구과제명	다중센서의 융복합 및 초소형화를 위한 센서 플랫폼 기술 개발
기 여 율	3/10
과제수행기관명	울산과학기술원
연구기간	2022.04.01 ~ 2022.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711126212
과제번호	2018-0-00756-004
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	차세대초소형IoT기술개발(R&D)
연구과제명	Disposable IoT 환경 및 생체신호 나노센서 개발
기 여 율	2/10
과제수행기관명	울산과학기술원
연구기간	2021.01.01 ~ 2021.12.31

명세서

청구범위

청구항 1

실리콘 기판;
상기 실리콘 기판을 관통하도록 형성되는 하나 이상의 비아; 및
상기 비아의 일 말단을 덮도록 형성되는 전도성 탄소 박막;을 포함하는,
실리콘 관통 전극.

청구항 2

제1항에 있어서,
상기 비아는, 지름이 5 μm 내지 100 μm 이고, 길이가 50 μm 내지 1 mm인 것인,
실리콘 관통 전극.

청구항 3

제1항에 있어서,
상기 전도성 탄소 박막의 두께는, 500 nm 내지 20 μm 인 것인,
실리콘 관통 전극.

청구항 4

제1항에 있어서,
상기 전도성 탄소 박막의 전기 전도율은, 1,000 S/m 내지 65,000 S/m인 것인,
실리콘 관통 전극.

청구항 5

제1항에 있어서,
상기 비아의 측면으로 금속 박막층이 형성되는 것이고,
상기 금속 박막층은, 크로뮴, 티타늄, 텅스텐, 구리, 니켈, 금, 백금, 알루미늄 및 은 중 적어도 하나를 포함하
는 것인,
실리콘 관통 전극.

청구항 6

실리콘 기판을 준비하는 단계;
상기 실리콘 기판을 식각하여 상기 실리콘 기판을 관통하도록 하나 이상의 비아를 형성하는 단계;

상기 비아의 일 말단을 덮도록 상기 실리콘 기판에 고분자 실링을 형성하는 단계; 및
상기 고분자 실링을 열분해하여 전도성 탄소 박막을 형성하는 단계;를 포함하는,
실리콘 관통 전극의 제조방법.

청구항 7

제6항에 있어서,
상기 실리콘 기판을 준비하는 단계는 습식 실리콘 에칭을 통한 트렌치 구조를 더 포함하는,
실리콘 관통 전극의 제조방법.

청구항 8

제6항에 있어서,
상기 비아를 형성하는 단계는, 건식 실리콘 식각공정을 통해 수행되는 것인, 실리콘 관통 전극의 제조방법.

청구항 9

제6항에 있어서,
상기 비아는 깊이 방향으로 지름이 일정하거나, 증가하는 형태인 것인,
실리콘 관통 전극의 제조방법.

청구항 10

제6항에 있어서,
상기 고분자 실링의 두께는, 1 μm 내지 50 μm 인 것인,
실리콘 관통 전극의 제조방법.

청구항 11

제6항에 있어서,
상기 고분자 실링의 열분해 공정은, 600 $^{\circ}\text{C}$ 내지 1,200 $^{\circ}\text{C}$ 에서 수행되는 것인,
실리콘 관통 전극의 제조방법.

발명의 설명

기술 분야

본 발명은 실리콘 관통 전극 및 이의 제조 방법에 관한 것이다.

배경 기술

MEMS 및 IC 디바이스의 3D 패키징은 성능과 집적도 향상 측면에서 그 중요도가 갈수록 증가하고 있다. 그 중 TSV(through silicon via) 기술은 실리콘 기판을 관통하는 전기적 통로인 비아(via)를 제작하여 배선을 연결하

[0001]

[0003]

는 것으로, 디바이스의 집적도와 신호 전달 성능 측면의 장점으로 많은 주목을 받고 있는 패키징 방법이다.

- [0004] 하지만 금속 전기도금법이나 전도성 폴리머의 충전법을 활용하여 제작된 기존의 TSV 구조들은 고온을 동반하는 소자제작공정에 호환되지 않을 수 있다는 단점이 있었다. 이러한 이유로 기존 TSV 기술을 적용하기 어려운 대표적인 MEMS 기술로 C-MEMS가 있다. C-MEMS는 패터닝된 폴리머 구조를 고온 열분해하여 전도성 3D 마이크로/나노 탄소 구조를 저비용으로 간단히 제작하는 방법으로 전극 제작이나 센서 구조체로서 활용도가 높은 기술이다. 그러나, 이러한 장점에도 C-MEMS를 형성하기 위해서는 고온 열분해 공정을 수반하여야 하기 때문에 기존 TSV 기술을 활용할 수 없다는 제한이 있다.
- [0005] TSV를 MEMS 디바이스 패키징에 적용함에 있어 비아의 형성 시점에 따른 분류로는, via first 방식과 via last 방식 등이 있다. Via first 방식의 경우, 비아 내부에 전도성 소재를 코팅 및 충전한 뒤 목표 디바이스를 제작하는 것으로서, 비아 내부의 전도성 코팅재, 충전재가 고온 공정에 직접적으로 노출된다. 이 때, 금속층의 경우 높은 열팽창으로 인한 TSV의 파손 및/또는 금속의 재용융이 일어날 수 있다. 금속층이 아닌 전도성 폴리머 타입의 충전재 역시 고온에서 열변형이 발생할 수 있다. 내열성이 있는 폴리 실리콘을 충전재로서 이용하는 경우에도, 금속에 비해 낮은 전기전도도 및 공정 비용이 높아 적용하기 어려울 수 있다.
- [0006] Via last 방식의 경우 디바이스를 제작한 뒤 마지막에 TSV를 집적하는 것으로서, 실리콘 기판을 관통하는 비아의 제작 이후 실리콘 절연층 제작 시 문제가 발생할 수 있다. 일반적으로 실리콘 절연층을 제작하기 위해 수행되는 산화 공정 또는 LPCVD 공정 등을 수행하기 전, SPM 세정(황산 및 과산화수소 등으로 기판 상의 불순물을 제거하는 세정법) 및/또는 BOE 세정(실리콘 기판 상의 실리콘 산화막을 제거하는 공정)을 충분히 진행하기 어렵다. 또한 센서와 같은 민감한 MEMS 디바이스의 경우 차후의 TSV 집적과정에서 기계적/화학적 손상의 가능성이 높기에 기술의 적용이 부적합할 수 있다.
- [0007] 이를 해결하기 위해 전기적 절연층이 형성된 비아를 형성한 뒤 MEMS 디바이스를 집적한 뒤 전도성 물질을 충전하는 방법도 고려되고 있다. 그러나, MEMS 디바이스 집적 시 비아 내부로 오염 물질이 침투하여 오염 및 블로킹되는 문제가 발생할 수 있다.
- [0008] 전술한 배경기술은 발명자가 본원의 개시 내용을 도출하는 과정에서 보유하거나 습득한 것으로서, 반드시 본 출원 전에 일반 공중에 공개된 공지기술이라고 할 수는 없다.

발명의 내용

해결하려는 과제

- [0010] 본 발명은 실리콘 기판의 하단 전극과 MEMS 기반 디바이스가 집적된 실리콘 기판의 상단을 전기적으로 연결하는 실리콘 관통 전극(TSV)을 제공하고자 한다.
- [0011] 본 발명에 따르면, 내열성 및 내화학성을 가지는 전도성 탄소 박막이 비아의 실링(sealing)으로서 기능할 수 있고 이를 통해 실리콘 기판 상에 고온소자 공정을 통해 제작되는 MEMS 디바이스를 TSV 패키징하고자 한다.
- [0012] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 기술분야의 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 본 발명의 일 실시예에 따른 실리콘 관통 전극은, 실리콘 기판, 상기 실리콘 기판을 관통하도록 형성되는 하나 이상의 비아, 및 상기 비아의 일 말단을 덮도록 형성되는 전도성 탄소 박막을 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 따르면, 상기 비아는, 지름이 5 μm 내지 100 μm 이고, 길이가 50 μm 내지 1 mm인 것일 수 있다.
- [0016] 본 발명의 일 실시예에 따르면, 상기 전도성 탄소 박막의 두께는, 500 nm 내지 20 μm 인 것일 수 있다.
- [0017] 본 발명의 일 실시예에 따르면, 상기 전도성 탄소 박막의 전기 전도율은, 1,000 S/m 내지 65,000 S/m인 것일 수 있다.

- [0018] 본 발명의 일 실시예에 따르면, 상기 비아의 측면으로 금속 박막층이 형성되는 것이고, 상기 금속 박막층은, 크로뮴, 티타늄, 텅스텐, 구리, 니켈, 금, 백금, 알루미늄 및 은 중 적어도 하나를 포함하는 것일 수 있다.
- [0019] 본 발명의 다른 실시예에 따른 실리콘 관통 전극의 제조방법은, 실리콘 기판을 준비하는 단계, 상기 실리콘 기판을 식각하여 상기 실리콘 기판을 관통하도록 하나 이상의 비아를 형성하는 단계, 상기 비아의 일 말단을 덮도록 상기 실리콘 기판에 고분자 실링을 형성하는 단계 및 상기 고분자 실링을 열분해하여 전도성 탄소 박막을 형성하는 단계를 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따르면, 상기 실리콘 기판을 준비하는 단계는 습식 실리콘 에칭을 통한 트렌치 구조를 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 따르면, 상기 비아를 형성하는 단계는, 건식 실리콘 식각공정을 통해 수행되는 것일 수 있다.
- [0022] 본 발명의 일 실시예에 따르면, 상기 비아는 깊이 방향으로 지름이 일정하거나, 증가하는 형태인 것일 수 있다.
- [0023] 본 발명의 일 실시예에 따르면, 상기 고분자 실링의 두께는, 1 μm 내지 50 μm 인 것일 수 있다.
- [0024] 본 발명의 일 실시예에 따르면, 상기 고분자 실링의 열분해 공정은, 600 $^{\circ}\text{C}$ 내지 1,200 $^{\circ}\text{C}$ 에서 수행되는 것일 수 있다.

발명의 효과

- [0026] 본 발명에 따른 실리콘 관통 전극은, 비아의 일 말단을 덮는 전도성 탄소 박막을 통해 고온 공정과 여러 MEMS 디바이스 집적 공정에 적용 가능할 수 있다.
- [0027] 또한, 본 발명의 실리콘 관통 전극(TSV) 기술을 이용하여 고온 소자공정을 통해 제작되는 다양한 MEMS 기반 디바이스들의 고밀도 집적 및 신호전달성능 향상과 같은 효과를 기대할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 실리콘 관통 전극의 개념도이다.
- 도 2는 본 발명의 일 실시예에 따른 실리콘 관통 전극의 개념도이다.
- 도 3은 본 발명의 일 실시예에 따른 실리콘 관통 전극의 개념도이다.
- 도 4는 본 발명의 일 실시예에 따른 MEMS 디바이스의 제조 공정 흐름도이다.
- 도 5는 본 발명의 일 실시예에 따른 실리콘 관통 전극의 주사전자현미경 촬영 이미지이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하에서, 첨부된 도면을 참조하여 실시예들을 상세하게 설명한다. 그러나, 실시예들에는 다양한 변경이 가해질 수 있어서 특허출원의 권리 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 실시예들에 대한 모든 변경, 균등물 내지 대체물이 권리 범위에 포함되는 것으로 이해되어야 한다.
- [0031] 실시예에서 사용한 용어는 단지 설명을 목적으로 사용된 것으로, 한정하려는 의도로 해석되어서는 안된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0032] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적

인 의미로 해석되지 않는다.

- [0033] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성요소는 동일한 참조부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 실시예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0034] 또한, 실시예의 구성요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 접속될 수 있지만, 각 구성요소 사이에도 다른 구성요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0035] 어느 하나의 실시예에 포함된 구성요소와, 공통적인 기능을 포함하는 구성요소는, 다른 실시 예에서 동일한 명칭을 사용하여 설명하기로 한다. 반대되는 기재가 없는 이상, 어느 하나의 실시 예에 기재한 설명은 다른 실시 예에도 적용될 수 있으며, 중복되는 범위에서 구체적인 설명은 생략하기로 한다.
- [0037] 이하 본 발명에 따른 실리콘 관통 전극을 설명한다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 실리콘 관통 전극의 개념도이다.
- [0039] 본 발명의 일 실시예에 따른 실리콘 관통 전극(1)은, 실리콘 기판(100), 실리콘 기판(100)을 관통하도록 형성되는 하나 이상의 비아(200), 실리콘 기판(100)과 비아(200)의 표면에 형성되는 실리콘 절연층(400) 비아(200)의 일 말단을 덮도록 형성되는 전도성 탄소 박막(300), 및 비아 내부에 충전/코팅 된 금속층(500)을 포함할 수 있다. 일 실시예에 따르면, 실리콘 기판(100)을 관통하는 하나 이상의 비아(200)는 깊이 방향으로 지름이 일정하거나, 하단으로 갈수록 직경이 넓어지는 구조로(예: 도 5의 c) 형성될 수 있다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 실리콘 관통 전극의 개념도이다.
- [0042] 앞서 설명한 바와 같이 도 1과 같이 실리콘 기판을 수직으로 관통하는 비아를 제조할 수 있으나, 상대적으로 공정비용이 높은 건식 실리콘 식각량을 줄이고자 도2와 같은 방식으로 TSV 를 제조할 수 있다.
- [0043] 본 발명의 일 실시예에 따른 실리콘 관통 전극(2)은, 실리콘 기판(100), 실리콘 기판(100)을 관통하도록 형성되는 하나 이상의 비아(200), 및 비아(200)의 일 말단을 덮도록 형성되는 전도성 탄소 박막(300), 실리콘 기판(100)과 비아(200)의 표면에 형성되는 실리콘 절연층(400), 비아 내부에 충전/코팅 된 금속층(500), 그리고 실리콘 기판(100)을 국부적으로 경박화시키는 트렌치(600) 구조를 포함할 수 있다.
- [0044] 일반적으로 실리콘 관통 전극(TSV, through silicon via) 기술은, 실리콘 기판을 관통하는 비아(via)를 형성한 후 내부를 금속과 같은 전도성 물질로 코팅 및 충전하여 기판의 상하단 사이를 전기적으로 연결하는 기술이다. 와이어 본딩과 같은 종래의 칩 패키징 방식에 비해, 실리콘 관통 전극 기술은, 실리콘 기판의 상하단을 관통하여 배선을 연결함으로써 디바이스의 집적 밀도와 신호 전달 성능을 높일 수 있는 장점이 있다.
- [0045] 본 발명의 일 실시예에 따르면, 실리콘 관통 전극(1)은, 실리콘 기판(100)을 관통하도록 하나 이상의 비아(200)를 식각할 수 있다. 다음으로 비아(200)를 포함한 실리콘 기판의 표면에 절연층(400)을 형성한다. 이후에 비아(200)의 일 말단을 덮도록 포토레지스트 폴리머로 패터닝한 뒤 고온 열분해 공정을 수행하여 전도성 탄소 박막(300)으로 변환시킴으로써, 비아(200)의 일 말단이 전도성 탄소 박막(300)으로 실링(sealing)될 수 있다.
- [0046] 일 실시예에 따르면, 전도성 탄소 박막(300)은 실리콘 기판 상에 다양한 디바이스 (예: 도 3의 MEMS 디바이스(800)와 이의 기판 상단부 배선(700))를 집적함에 있어서 비아 내부가 오염되지 않도록 보호할 수 있다.
- [0047] 일 실시예에 따르면, 전도성 탄소 박막(300)은 열적, 화학적으로 상당히 안정하고, 실리콘 기판(100)과 높은 접착성을 가지고 있어 추후의 MEMS 디바이스(예: 도 2의 MEMS 디바이스(800)와 이의 기판 상단부 배선(700)) 제조 공정 상 발생 가능한 오염 및 블로킹 현상으로부터 비아(200)를 효과적으로 보호할 수 있다.
- [0048] 일 실시예에 따르면, 전도성 탄소 박막(300)은 높은 전기전도성을 가질 수 있다. 예를 들어, 전도성 탄소 박막(300)은 약 59,000 S/m의 전도율을 나타낼 수 있고, 추후 형성 가능한 비아(200) 내부의 금속층(도 2의 금속 박막층(500))과 전기적으로 연결 가능할 수 있다.

- [0049] 일 실시예에 따르면, 전도성 탄소 박막(300)의 전기 전도율은, 1,000 S/m 내지 65,000 S/m; 1,000 S/m 내지 50,000 S/m; 1,000 S/m 내지 30,000 S/m; 1,000 S/m 내지 10,000 S/m; 1,000 S/m 내지 5,000 S/m; 3,000 S/m 내지 65,000 S/m; 3,000 S/m 내지 50,000 S/m; 3,000 S/m 내지 30,000 S/m; 3,000 S/m 내지 10,000 S/m; 3,000 S/m 내지 5,000 S/m; 5,000 S/m 내지 65,000 S/m; 5,000 S/m 내지 50,000 S/m; 5,000 S/m 내지 30,000 S/m; 5,000 S/m 내지 10,000 S/m; 10,000 S/m 내지 65,000 S/m; 10,000 S/m 내지 50,000 S/m; 10,000 S/m 내지 30,000 S/m; 30,000 S/m 내지 65,000 S/m; 30,000 S/m 내지 50,000 S/m; 40,000 S/m 내지 65,000 S/m; 40,000 S/m 내지 50,000 S/m; 또는 50,000 S/m 내지 65,000 S/m;일 수 있다.
- [0050] 일 실시예에 따르면, 비아(200)는, 지름이 5 μm 내지 100 μm ; 5 μm 내지 80 μm ; 5 μm 내지 50 μm ; 5 μm 내지 30 μm ; 5 μm 내지 10 μm ; 10 μm 내지 100 μm ; 10 μm 내지 80 μm ; 10 μm 내지 50 μm ; 10 μm 내지 30 μm ; 50 μm 내지 100 μm ; 50 μm 내지 80 μm ; 또는 80 μm 내지 100 μm ;이고, 길이가 50 μm 내지 1 mm; 50 μm 내지 800 μm ; 50 μm 내지 500 μm ; 50 μm 내지 300 μm ; 50 μm 내지 100 μm ; 100 μm 내지 1 mm; 100 μm 내지 800 μm ; 100 μm 내지 500 μm ; 100 μm 내지 300 μm ; 300 μm 내지 1 mm; 300 μm 내지 800 μm ; 300 μm 내지 500 μm ; 500 μm 내지 1 mm; 500 μm 내지 800 μm ; 또는 800 μm 내지 1 mm;일 수 있다.
- [0051] 일 실시예에 따르면, 전도성 탄소 박막(300)은 비아(200)의 일 말단을 덮도록 형성되는 것으로서, 비아(200)를 실링하기 위해 비아(200)의 직경보다 더 크게 형성되어 실리콘 기판(100)의 적어도 일부와 접촉된 것일 수 있다. 일 실시예에 따르면, 전도성 탄소 박막(300)은 실리콘 기판(100)과 접촉되어 비아(200)의 일 말단을 완전히 덮는 것일 수 있다.
- [0052] 일 실시예에 따르면, 전도성 탄소 박막(300)의 두께는, 500 nm 내지 20 μm ; 500 nm 내지 10 μm ; 500 nm 내지 1 μm ; 800 nm 내지 20 μm ; 800 nm 내지 10 μm ; 800 nm 내지 1 μm ; 1 μm 내지 20 μm ; 1 μm 내지 10 μm ;일 수 있다.
- [0054] 도 3은 본 발명의 일 실시예에 따른 실리콘 관통 전극의 개념도이다.
- [0055] 본 발명의 일 실시예에 따른 실리콘 관통 전극(3)은,, 비아(200)의 측면으로 금속 박막층(500)이 형성될 수 있다.
- [0056] 일 실시예에 따르면, 금속 박막층(500)은, DC 스퍼터링, RF 스퍼터링, E-beam evaporation 등의 금속 박막 증착 방법을 통해 형성될 수 있다.
- [0057] 일 실시예에 따르면, 금속 박막층(500)은, 크로뮴, 티타늄, 텅스텐, 구리, 니켈, 금, 백금, 알루미늄 및 은 중 적어도 하나를 포함할 수 있다.
- [0058] 일 실시예에 따르면, 금속 박막층(500)의 두께는, 약 1 μm 이하일 수 있다. 예를 들어, 금속 박막층(500)의 두께는, 0.3 μm 내지 1 μm 일 수 있다.
- [0059] 일 실시예에 따르면, 실리콘 기판(100) 상에 실리콘 절연층(400)이 형성될 수 있다. 일 실시예에 따르면, 실리콘 기판(100) 및 전도성 탄소 박막(300) 사이에 실리콘 절연층(400)으로 실리콘 산화층, Si_3N_4 , 및 알루미늄 산화층(Al_2O_3) 중 적어도 하나가 형성될 수 있다. 일 실시예에 따르면, 실리콘 절연층(400)은, 실리콘 기판(100)을 산화 공정을 수행하여 실리콘 기판(100)의 표면에 실리콘 산화층이 형성되는 것일 수 있다.
- [0060] 일 실시예에 따르면, 전도성 탄소 박막(300) 상에 MEMS 디바이스(800)와 이의 기판 상단부 배선(700)가 추가적으로 형성될 수 있다. 일 실시예에 따르면, 전도성 탄소 박막(300) 및/또는 실리콘 기판(100) 상에 MEMS 디바이스(800)가 추가적으로 형성될 수 있다. 일 실시예에 따르면, MEMS 디바이스(800)는, C-MEMS 기반 디바이스인 것일 수 있다. 일 실시예에 따르면, MEMS 디바이스(800)는 기판 상단부 배선(700)를 통해 전도성 탄소 박막(300)과 전기적으로 연결된 것일 수 있다.
- [0062] 본 발명의 일 측면에 따른 실리콘 관통 전극의 제조방법은, 실리콘 기판을 준비하는 단계, 실리콘 기판을 식각하여 실리콘 기판을 관통하도록 하나 이상의 비아를 형성하는 단계, 비아의 일 말단을 덮도록 실리콘 기판에 고분자 실링을 형성하는 단계 및 고분자 실링을 열분해하여 전도성 탄소 박막을 형성하는 단계를 포함할 수 있다.
- [0063] 일 실시예에 따르면, 실리콘 기판을 식각하기 위해 건식 식각, 습식 식각 또는 이 둘 모두의 공정이 수행될 수

있다. 일 실시예에 따르면, 실리콘 기관의 원하는 지점에 비아를 형성하기 위해 포토리소그래피(photolithography)를 이용할 수 있다. 이를 위해 실리콘 기관 상에 감광제를 스핀코팅한 뒤 빛을 조사하고 현상하여 원하는 크기 및/또는 형태로 비아를 형성할 수 있다. 이 때, 감광제는 포토레지스트 물질일 수 있고, 빛을 조사한 뒤 현상함으로써 구조체를 원하는 형태로 형성시킬 수 있다. 일 실시예에 따르면, 비아를 형성하는 단계는, 건식 실리콘 식각공정을 통해 수행되는 것일 수 있다. 건식 실리콘 식각공정은, 반응성 이온 에칭 뿐만 아니라 펄스 레이저 ablation 등 여러 방법이 있다.

[0064] 예를 들어, 비아를 형성하는 단계는, 반응성 이온 에칭을 통해 수행될 수 있다.

[0065] 일 실시예에 따르면, 고분자 실링의 두께는, 1 μm 내지 50 μm ; 1 μm 내지 40 μm ; 1 μm 내지 30 μm ; 1 μm 내지 20 μm ; 1 μm 내지 10 μm ; 10 μm 내지 50 μm ; 10 μm 내지 40 μm ; 10 μm 내지 30 μm ; 10 μm 내지 20 μm ; 20 μm 내지 50 μm ; 20 μm 내지 40 μm ; 20 μm 내지 30 μm ; 30 μm 내지 50 μm ; 30 μm 내지 40 μm ; 또는 40 μm 내지 50 μm ; 일 수 있다.

[0066] 일 실시예에 따르면, 열분해를 통해 고분자 실링의 두께는 상당히 감소할 수 있는데, 열분해를 통해 형성된 전도성 탄소 박막의 두께는, 500 nm 내지 20 μm ; 500 nm 내지 10 μm ; 500 nm 내지 1 μm ; 500 nm 내지 800 nm; 500 nm 내지 20 μm ; 500 nm 내지 10 μm ; 500 nm 내지 1 μm ; 500 nm 내지 800 nm; 800 nm 내지 20 μm ; 800 nm 내지 10 μm ; 800 nm 내지 1 μm ; 1 μm 내지 20 μm ; 일 수 있다.

[0067] 일 실시예에 따르면, 고분자 실링의 열분해 공정은, 600 $^{\circ}\text{C}$ 내지 1,200 $^{\circ}\text{C}$ 에서 수행될 수 있다.

[0068] 본 발명의 일 측면에 따른 실리콘 관통 전극을 포함하는 MEMS 디바이스의 제조방법은, (a) 실리콘 기관을 준비하는 단계, (b) 실리콘 기관 상에 실리콘 산화막을 형성하는 단계, (c) 실리콘 기관 상에 감광제를 스핀코팅하는 단계, (d) 감광제에 자외선을 조사하는 단계, (e) 감광제를 현상하는 단계, (f) 현상되어 제거된 감광제 영역과 인접한 실리콘 산화막을 식각하는 단계, (g) 제거된 실리콘 산화막과 인접한 실리콘을 습식 식각하여 실리콘 기관 상에 트렌치 구조를 형성하는 단계, (h) 실리콘 기관 상에 감광제를 스핀코팅하는 단계, (i) 감광제에 자외선을 조사하는 단계, (j) 감광제를 현상하는 단계, (k) 현상되어 제거된 감광제 영역과 인접한 실리콘 산화막을 식각하는 단계, (l) 제거된 실리콘 산화막과 인접한 실리콘 기관을 건식 식각하여 하나 이상의 비아를 형성하는 단계, (m) 실리콘 기관을 세정한 뒤 실리콘 산화막을 습식 식각하는 단계, (n) 실리콘 절연층을 형성하는 단계, (o) 실리콘 기관 상에 감광제를 스핀코팅하는 단계, (p) 감광제에 자외선을 조사하는 단계, (q) 감광제를 현상하여 고분자 실링을 형성하는 단계, (r) 고온 진공 상태의 가열로 내부에서 고분자 실링을 열분해하여 전도성 탄소 박막을 형성하는 단계, (s) 실리콘 기관 상에 MEMS 디바이스를 집적하는 단계, 및 (t) 비아 내부에 금속층을 형성하는 단계를 포함할 수 있다.

[0070] 이하, 실시예 및 비교예에 의하여 본 발명을 더욱 상세히 설명하고자 한다.

[0071] 단, 하기 실시예는 본 발명을 예시하기 위한 것일 뿐, 본 발명의 내용이 하기 실시예에 한정되는 것은 아니다.

[0073] 제조예

[0074] 이하 도 4를 참조하여 하기 제조예를 설명하도록 한다.

[0075] 도 4는 본 발명의 일 실시예에 따른 MEMS 디바이스의 제조 공정 흐름도이다.

[0077] 1. 실리콘 기관의 준비

[0078] 6 inch의 직경 및 675 μm 의 두께를 가지는 웨이퍼를 준비하였다(도 4(a)). 습식 산화 공정을 통해 실리콘 기관 상에 실리콘 산화막(SiO_2)을 형성하였다(도 4(b)). 이 때, 실리콘 산화막의 두께는 약 1 μm 였다. 이후 실리콘 기관 상에 감광제를 스핀코팅하고(도 4(c)) 식각하고자 하는 부분을 포토마스크를 이용하여 노광한 뒤(도 4(d)) 현상하여(도 4(e)) 식각하고자 하는 실리콘 산화막의 표면을 노출시켰다.

[0079] 반응성 이온 식각 장비(dielectric ICP RIE 장비)를 이용하여 실리콘 산화막을 국부적으로 건식 식각하였으며(약 1 μm)(도 4(f)), TMAH(tetramethylammonium hydroxide) 용액을 사용하여 실리콘 기관을 국부적으로 습식 식각하여(약 575 μm)(도 4(g)) 큰 부피의 실리콘을 제거함으로써 건식 식각 깊이를 최소화하고자 하였다. 이

때, TMAH 용액은 약 10 중량%의 용액을 이용하였으나, KOH(potassium hydroxide) 용액과 같이 다양한 습식 식각 용액을 이용할 수 있다.

2. 비아의 형성

상기 준비된 실리콘 기판 상에 감광제를 스핀코팅하고(도 4(h)) 식각하고자 하는 부분을 포토마스크를 이용하여 노광한 뒤(도 4(i)) 현상하여(도 4(j)) 식각하고자 하는 실리콘 산화막의 표면을 노출시켰다. 이후, 반응성 이온 식각 장비(dielectric ICP RIE 장비)를 이용하여 실리콘 산화막을 국부적으로 건식 식각하였으며(약 1 μm) (도 4(k)), 반응성 이온 식각 장비를 이용하여 실리콘 기판을 수직으로 비등방성 건식 식각을 수행하였다(도 4(l)). 이후 SPM 세정 공정 및 BOE(buffered oxide etchant) 세정을 수행하여 실리콘 기판 표면의 산화막과 오염 물질을 제거하였다(도 4(m)). 이후 고온 습식 산화 공정을 통해 실리콘 산화막(전기 절연층)을 실리콘 기판 및 비아 표면에 형성하였다(도 4(n)).

3. 전도성 탄소 박막의 형성

비아가 형성된 실리콘 기판 상에 감광제를 스핀코팅하고(도 4(o)) 비아를 덮는 영역을 노광한 뒤(도 4(p)) 현상하여(도 4(q)) 비아의 일 말단을 실링하는 고분자 실링(폴리머 구조체)을 형성하였다. 상기 고분자 실링을 전기로(furnace)에서 고온(약 1,000 $^{\circ}\text{C}$) 진공 상태에서 열분해(pyrolysis)하여 비아를 실링하는 전도성 탄소 박막(두께 약 500 nm 내지 약 20 μm)을 제조하였다(도 4(r)).

도 5는 본 발명의 일 실시예에 따른 실리콘 관통 전극의 주사전자현미경 촬영 이미지이다.

도 5(b)는 비아가 형성된 실리콘 기판 상에 비아의 일 말단을 덮도록 고분자 실링이 형성된 실리콘 관통 전극의 SEM 이미지이다. 이를 열분해 공정을 통해 도 5(d)와 같이 전도성 탄소 박막이 비아를 덮고 있는 실리콘 관통 전극을 형성할 수 있으며, 도 5(a)는 실리콘 관통 전극의 SEM 단면 이미지로서, 나타나 있는 비아 중 일부를 확대하면 도 5(c)의 이미지와 같다.

4. MEMS 디바이스의 집적 및 전기적 연결의 완성

전도성 탄소 박막이 형성된 실리콘 기판의- 상단에 MEMS 센서를 집적하였다(도 4(s)). 다만, 집적 가능한 디바이스는 이에 제한되는 것이 아니고, 다양한 MEMS 디바이스가 기판 상에 집적될 수 있으며, 상기 센서는 일 실시예로서 기능한다. 상기 디바이스의 집적은 고온 공정 및 일반적인 MEMS 공정을 통해 수행될 수 있다. 일반적인 MEMS 공정으로는 건식 증착, 습식 증착, 식각 공정, 포토리소그래피, 스프레이 코팅을 포함할 수 있다.

이후, 스퍼터링을 통해 비아 내부에 크롬 금속 박막층을 코팅하여 실리콘 기판의 상하단 간 전기적 연결을 완성하였다(도 4(t), 도 4(u)). 이 때, 금속 박막의 두께는, 실리콘 기판의 경우 약 1 μm , 비아 내부의 경우 약 300 nm 내지 1 μm 가 되도록 하였다.

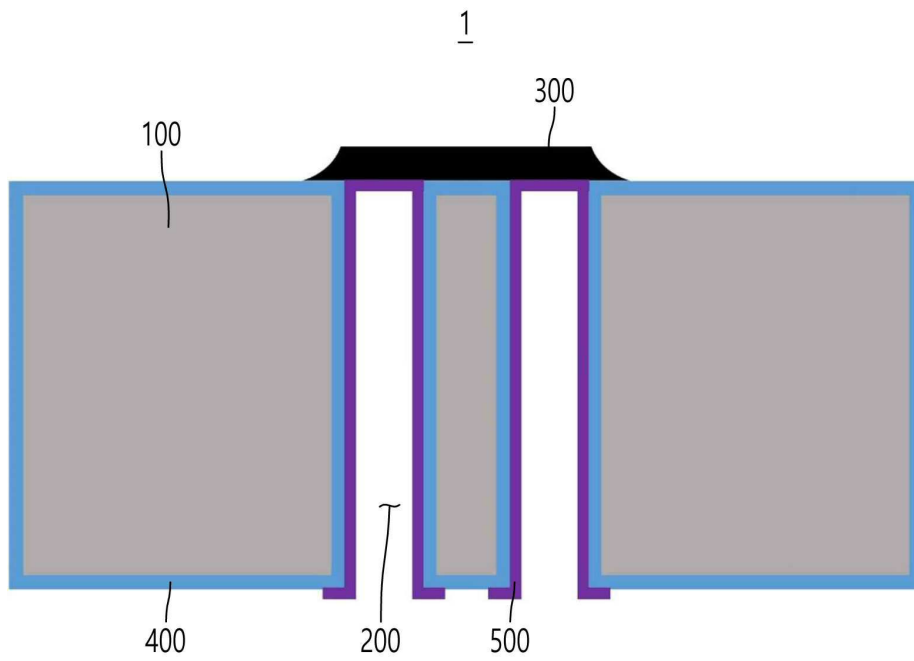
이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 청구범위의 범위에 속한다.

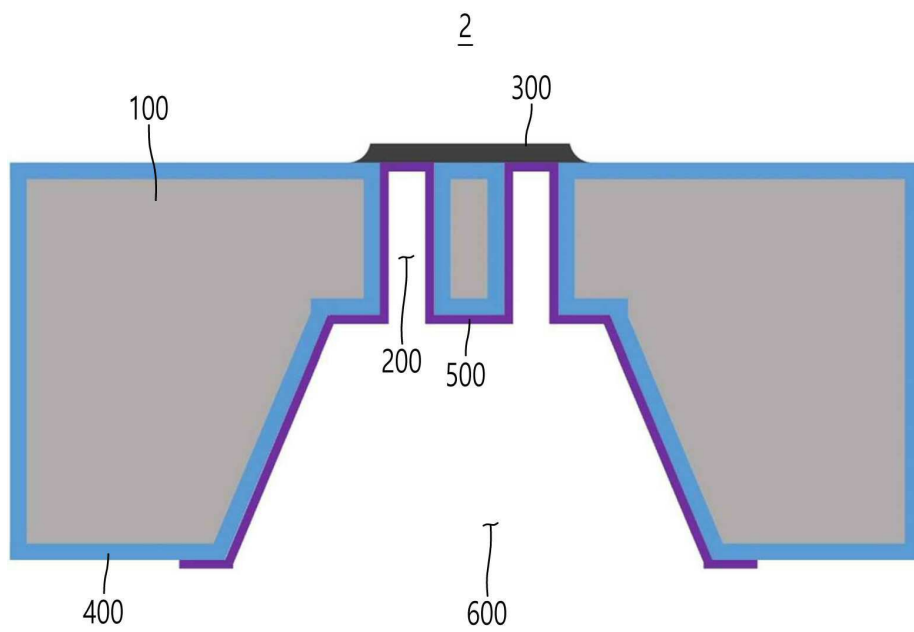
부호의 설명

도면

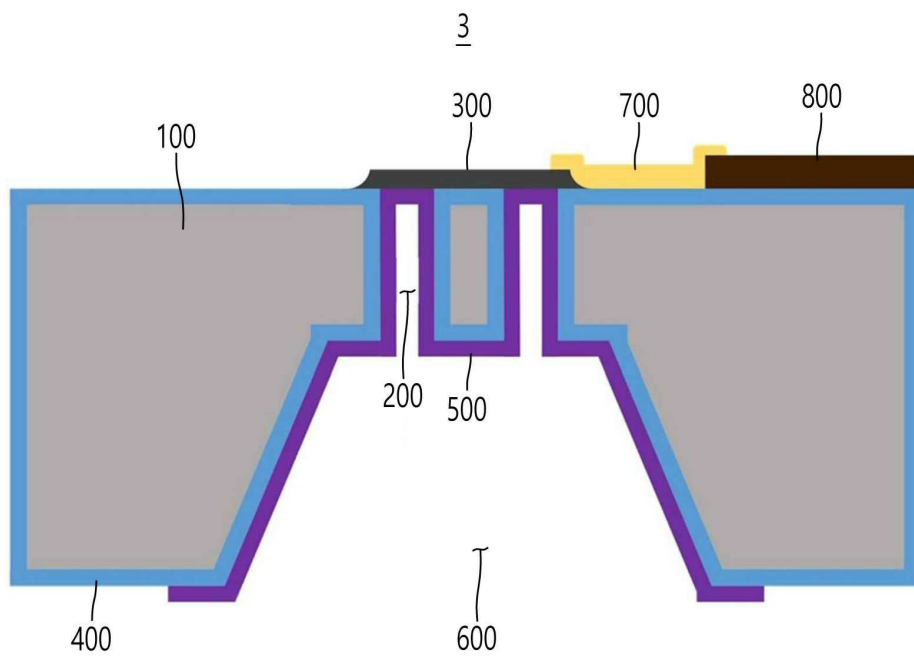
도면1



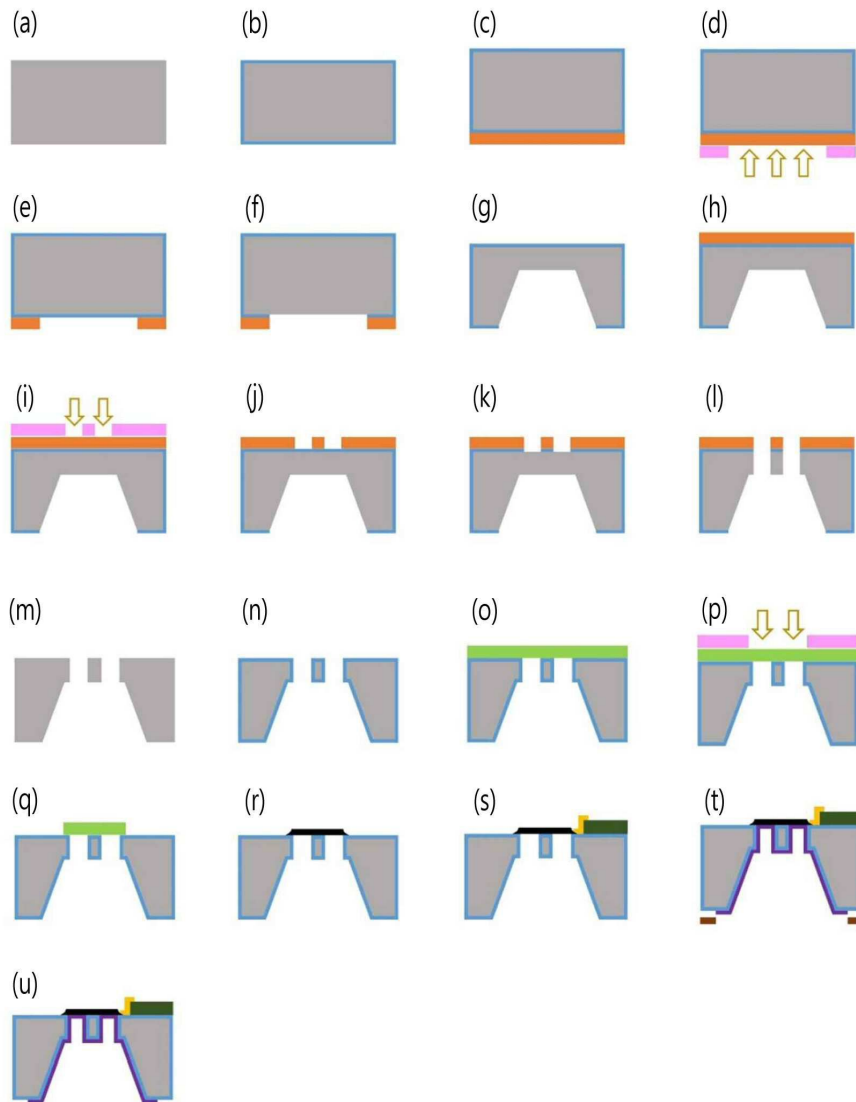
도면2



도면3



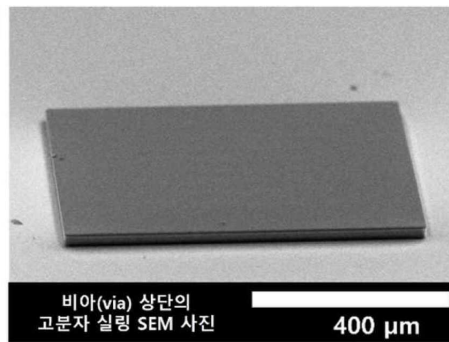
도면4



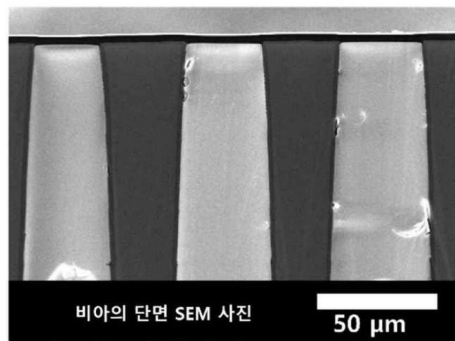
도면5



(a)



(b)



(c)



(d)