



(12) 发明专利

(10) 授权公告号 CN 109617552 B

(45) 授权公告日 2024. 05. 31

(21) 申请号 201910007945.9

(22) 申请日 2019.01.04

(65) 同一申请的已公布的文献号
申请公布号 CN 109617552 A

(43) 申请公布日 2019.04.12

(73) 专利权人 国睿科技有限公司
地址 610000 四川省成都市高新区天宇路2号

(72) 发明人 袁东 谷义龙 王倩

(74) 专利代理机构 南京苏高专利商标事务所
(普通合伙) 32204
专利代理师 柏尚春

(51) Int. Cl.
H03M 1/12 (2006.01)

(56) 对比文件

CN 103364602 A, 2013.10.23

CN 104644156 A, 2015.05.27

CN 209517099 U, 2019.10.18

US 7382751 B1, 2008.06.03

审查员 王苏

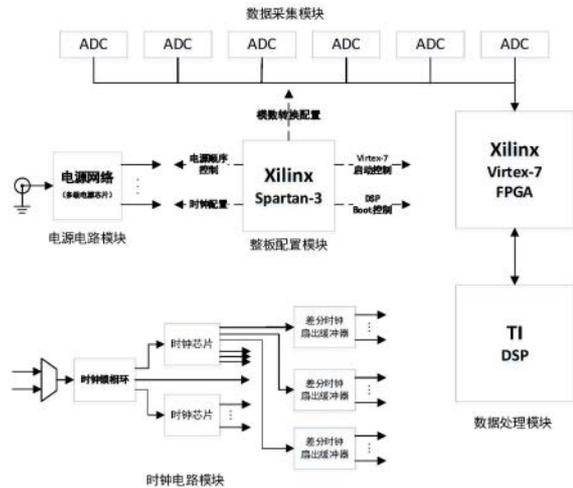
权利要求书1页 说明书4页 附图3页

(54) 发明名称

多通道模数转换系统及其转换方法

(57) 摘要

本发明公开多通道模数转换系统,包括数据采集模块、数据处理模块、时钟电路模块、电源电路模块和整板配置模块,其中,所述的数据处理模块包括一现场可编程门阵列和一信号处理器;所述的数据采集模块通过模数转换器支持的高速数据传输标准接口与现场可编程门阵列相连接;所述的数据采集模块包括若干个模数转换器,其若干个模数转换器在同频同相的时钟驱动下工作,并同时复位;所述的整板配置模块分别控制电源电路模块中电源的启动顺序;时钟电路模块中时钟的输出频率、输出相位以及输出开关,并可进行复位控制;数据处理模块的启动上电顺序;本发明实现了各通道间数据采样同步和数据传输同步,确保所有通道间对模拟采样信号的相位一致性。



1. 多通道模数转换系统,其特征在于:该系统包括数据采集模块、数据处理模块、时钟电路模块、电源电路模块和整板配置模块,其中,所述的数据处理模块包括一现场可编程门阵列和一信号处理器;所述的数据采集模块通过模数转换器支持的高速数据传输标准接口与现场可编程门阵列相连接;所述的数据采集模块包括若干个模数转换器,其若干个模数转换器在同频同相的时钟驱动下工作,并同时复位;所述的时钟电路模块分别给模数转换器、现场可编程门阵列、信号处理器、电源电路模块提供时钟信号;所述的整板配置模块分别控制电源电路模块中电源的启动顺序;时钟电路模块控制时钟的输出频率、输出相位以及输出开关,并可进行复位控制;控制数据处理模块的启动上电顺序;控制数据采集模块的模数转换器的工作模式、采样率,并进行同步复位;以及控制延迟现场可编程门阵列的上电顺序;所述的电源电路模块分别为数据采集模块、数据处理模块、时钟电路模块以及整板配置模块提供电压信号;

时钟源输出同频同相的系统参考信号,同步模数转换器的接口发送端和现场可编程门阵列的接口接收端之间的帧时钟和多帧时钟;现场可编程门阵列的接口接收端拉低同步信号,发起码组同步请求,数模转换器的发送端接收到请求后,连续发送控制字符,当接收端连续正确接收四个控制字符后,将同步信号拉高;码组同步后进入初始通道对齐序列阶段,模数转换器的接口发送端发送四个多重帧数据,现场可编程门阵列的接口接收端对收到的多重帧数据用FIFO时延到下一个多重帧时钟边沿,得到各通道确定的时延,后续数据按照该时延传输。

2. 根据权利要求1所述的多通道模数转换系统,其特征在于:所述的现场可编程门阵列和信号处理器之间通过I/O引脚、16位EMIF总线以及四路配置的串行互联总线连接。

3. 根据权利要求1所述的多通道模数转换系统,其特征在于:所述的现场可编程门阵列还包括对外的交互接口、千兆以太网以及UART接口。

4. 根据权利要求1所述的多通道模数转换系统,其特征在于:所述的时钟电路模块包括一锁相环、两个时钟芯片、以及若干个差分时钟扇出缓冲器;单端参考时钟经过锁相环芯片缓冲后分成三路单端时钟,一路直接供给整板配置模块,另外两路单端时钟分别输出给时钟芯片;时钟芯片输出的时钟经若干个差分时钟扇出缓冲器输出多路不同用途的差分时钟,分别给模数转换器和数字传输电路提供时钟信号。

5. 根据权利要求4所述的多通道模数转换系统,其特征在于:所述的若干个模数转换器的每一模数转换器接收到的差分时钟信号在PCB上的走线长度相同;每两个模数转换器接收的复位控制信号的信号时钟差小于一个时钟周期。

6. 根据权利要求1所述的多通道模数转换系统的转换方法,其特征在于:整板配置模块分别为每一模数转换器提供复位控制信号,各个模数转换器在该复位控制信号的同一个边沿复位。

多通道模数转换系统及其转换方法

技术领域

[0001] 本发明属于数字阵列雷达的中频采样电路技术领域,具体涉及多通道模数转换系统及其转换方法。

背景技术

[0002] 高性能雷达系统对有源数字阵列天线的需求越来越迫切,是未来雷达发展的一个必然趋势。以接收天线为例,数字阵列天线的特征是对每个单元天线接收的射频信号进行放大滤波和下变频,变换到适合模数转换的中频,这样对每个中频模拟信号进行数字化和正交变换,在数字基带对阵元接收信号的幅度和相位进行加权求和得到相应的数字波束。数字阵列天线具有同时形成独立多波束,每个天线波束可以实现快速扫描和任意形状赋形,方便的通过采用自适应波束形成算法生成方向图零陷,实现空域干扰抑制。

[0003] 随着阵列规模的增大以及工作频段的提高,对中频采样电路的通道数量和集成度提出了越来越高的要求,对基于高集成度高速模数转换和波束形成电路的需求越来越高。比如对于Ku频段(波长2cm)的 8×12 结构的数字阵列,阵元间距按照半波长计算,其前端天线和射频电路尺寸为 $8\text{cm} \times 12\text{cm}$,后端的中频采样和处理电路就需要把96通道的高速模数变换和波束形成集成在 $8\text{cm} \times 12\text{cm}$ 的有限体积的PCB电路内,并且每个通道的采样率都要满足较高的要求,通道间的同步如果不进行有效的控制,每次上电工作时通道间会引入不确定的相位关系。因此,高集成度高速多通道中频模数转换和波束形成电路的优化设计至关重要。

发明内容

[0004] 发明目的:本发明提供一种多通道模数转换的数据采样同步和数据传输同步的多通道模数转换系统。

[0005] 技术方案:所述的多通道模数转换系统,该系统包括数据采集模块、数据处理模块、时钟电路模块、电源电路模块和整板配置模块,其中,所述的数据处理模块包括一现场可编程门阵列和一信号处理器;所述的数据采集模块通过模数转换器支持的高速数据传输标准接口与现场可编程门阵列相连接;所述的数据采集模块包括若干个模数转换器,其若干个模数转换器在同频同相的时钟驱动下工作,并同时复位;所述的时钟电路模块分别给模数转换器、现场可编程门阵列、信号处理器、电源电路模块提供时钟信号;所述的整板配置模块分别控制电源电路模块中电源的启动顺序;时钟电路模块中时钟的输出频率、输出相位以及输出开关,并可进行复位控制;数据处理模块的启动上电顺序;控制数据采集模块的模数转换器的工作模式、采样率,并进行同步复位;以及延迟现场可编程门阵列的上电顺序;所述的电源电路模块分别为数据采集模块、数据处理模块、时钟电路模块以及整板配置模块提供电压信号。

[0006] 进一步,所述的现场可编程门阵列和信号处理器之间通过I/O引脚、16位EMIF总线以及四路配置的串行互联总线连接。

[0007] 进一步,所述的现场可编程门阵列还包括对外的交互接口、千兆以太网以及UART接口。

[0008] 进一步,所述的时钟电路模块包括一锁相环、两个时钟芯片、以及若干个差分时钟扇出缓冲器;单端参考时钟经过锁相环芯片缓冲后分成三路单端时钟,一路直接供给整板配置模块,另外两路单端时钟分别输出给时钟芯片;时钟芯片输出的时钟经若干个差分时钟扇出缓冲器输出多路不同用途的差分时钟,分别给模数转换器和数字传输电路提供时钟信号。

[0009] 进一步,所述的若干个模数转换器的每一模数转换器接收到的差分时钟信号在PCB上的走线长度相同;两两模数转换器接收的复位控制信号的信号时钟差小于一个时钟周期。

[0010] 本发明还给出一种多通道模数转换系统的转换方法,该方法为:时钟源输出同频同相的系统参考信号,同步模数转换器的接口发送端和现场可编程门阵列的接口接收端之间的帧时钟和多帧时钟;现场可编程门阵列的接口接收端拉低同步信号,发起码组同步请求,数模转换器的发送端接收到请求后,连续发送控制字符,当接收端连续正确接收四个控制字符后,将同步信号拉高;码组同步后进入初始通道对齐序列阶段,模数转换器的接口发送端发送四个多重帧数据,现场可编程门阵列的接口接收端对收到的多重帧数据用FIFO时延到下一个多重帧时钟边沿,得到各通道确定的时延,后续数据按照该时延传输。

[0011] 进一步,整板配置模块分别为每一模数转换器提供复位控制信号,各个模数转换器在该复位控制信号的同一个边沿复位。

[0012] 有益效果:本发明的多通道模数转换系统,实现了各通道间数据采样同步和数据传输同步,确保所有通道间对模拟采样信号的相位一致性;实现了中频采样电路的多通道高速模数转换和高度集成,满足了数字阵列雷达对体积和功耗的要求,解决了大规模和高工作频段阵列天线给中频采样电路带来的难题。

附图说明

[0013] 图1为本发明的高集成度高速模数转换系统的框图;

[0014] 图2为本发明的多个模数转换器采样同步的框图;

[0015] 图3为本发明的多个模数转换器的数据传输同步的框图;

[0016] 图4为本发明的系统参考信号、帧时钟和多重帧时钟的时序图;

[0017] 图5为本发明的同步信号和时钟的时序图;

[0018] 图6为本发明的各通道数据传输的时序图。

具体实施例

[0019] 下面结合实施例对本发明做进一步的说明。

[0020] 如图1所示,本发明的高集成度高速模数转换系统包括数据采集模块、数据处理模块、时钟电路模块、电源电路模块和整板配置模块五个模块。其中,数据采集模块包括6片模数转换器ADC,该转换器,采用型号为ADS52J90,该6片模数转换器在同频同相的时钟驱动下工作,同时进行复位,实现6片ADS52J90的采样同步。数据采集模块接收96通道中频模拟信号,该中频模拟信号通过4个UMCB101接插件传输到数据采集模块;在模数转换器

进行信号转换前,需用ETC1-1-13集总变压器将输入的中频模拟单端信号转换为差分信号,再模数转换。模数转换器完成模拟信号采集、转换为数字信号之后,需要将数字信号传输到数据处理模块。JESD204是为数据转换器的数字信号传输问题设计的一种新型接口标准,目前最新版本是JESD204B,数模转换器支持JESD204B标准接口,具有链路层同步机制,可以实现多通道数据传输的同步,其数据传输速率可以达到Gbps级别。

[0021] 所述的数据处理模块包括:一现场可编程门阵列和一信号处理器,数据采集模块的通过JESD204B标准接口与现场可编程门阵列连接;现场可编程门阵列和信号处理器之间通过通用I/O引脚(GPIO)、16位EMIF总线以及四路配置的串行互联总线(SRIOx4)连接。现场可编程门阵列选用Xilinx Virtex-7FPGA,信号处理器选用TITMS320C6678DSP。现场可编程门阵列还包括对外的交互接口,该接口为对外的LRM高速数字接插件、用作高速数字接插件的UMCB101接插件以及UART串口;现场可编程门阵列还包括对外的千兆以太网与UART接口。

[0022] 所述的时钟电路模块的单端参考时钟源可以是板载有源晶振产生的时钟,或从同轴线接入外部时钟,其两者的频率均须为100MHz。时钟电路模块包括一锁相环、两个时钟芯片、以及若干个差分时钟扇出缓冲器。单端参考时钟经过锁相环芯片缓冲后分成三路单端时钟,一路直接供给整板配置模块,另外两路单端时钟分别输出给时钟芯片。时钟芯片输出的时钟经差分时钟扇出缓冲器输出多路不同用途的差分时钟,分别给AD转换器和相关的数字传输电路提供时钟信号。其中,时钟电路模块分别给模数转换器提供50MHz时钟信号,给JESD204B标准接口的系统参考信号SYSREF提供10MHz~20MHz时钟信号,给连接器提供100MHz时钟信号。差分时钟扇出缓冲器优选采用CDCLVP1208型号的差分时钟扇出缓冲器,经CDCLVP1208后可以输出最多8路频率不变、偏斜很小的差分时钟。

[0023] 所述的电源电路模块包括可编程数字PWM控制芯片、数字双通道同步降压电源芯片、开关电源芯片、大功率开关电源芯片和线性电源芯片,该电源电路模块可满足多种功耗各异、工作在不同电压下的器件的电源需求。为模数转换器、现场可编程门阵列、信号处理器、整板配置模块提供数字电压,以及高速收发器提供模拟电压。

[0024] 所述的整板配置模块分别控制电源电路模块中各个电源的启动顺序;控制时钟电路模块中各个时钟的输出频率、输出相位以及输出开关,并可进行复位控制;控制数据处理模块的启动上电顺序;控制数据采集模块的工作模式、采样率等参数,并进行同步复位;同时延迟现场可编程门阵列的上电顺序。

[0025] 多通道模数转换的数据同步,包括采样同步和数据传输同步。

[0026] 采样同步:多个模数转化器ADC在同频同相的时钟驱动下工作,并且同时进行复位。同源的差分采样时钟分别为每一模数转化器提供时钟信号,为保证时钟信号同步到达模数转换器,其每一时钟信号在PCB上的时钟信号走线长度相等。整板配置模块分别为每一模数转化器提供复位控制信号,复位控制信号的走线长度及其长度差要进行控制,使得整板配置模块同时驱动多个复位信号时,复位信号到达模数转化器ADC的时间差小于一个时钟周期,若整板配置模块在采样时钟的一个有效边沿同时驱动多个复位信号,这样可以确保模数转化器ADC在同步时钟的同一个边沿复位,从而实现多片模数转化器ADC的采样同步,如图2所示。

[0027] 数据传输同步:模数转化器与接收采样数据的现场可编程门阵列之间使用JESD204B标准接口连接,如图3所示,JESD204B接口具有链路层同步机制,多通道数据在不

等长的数据传输物理层路径上,可以实现多通道数据的同步。时钟源输出一DEVCLK时钟信号给JESD04B接口,系统参考信号SYSREF、同步信号SYNC~用于通道间数据传输同步。同步过程:(1)时钟源输出SYSREF信号给每一模数转换器,并SYSREF信号在PCB板上的走线的长度相等;以保证各个收发端同步采样到SYSREF信号,实现JESD04B的收发端的帧时钟和多重帧时钟同步,如图4所示;(2)FPGA JESD204B接收端拉低同步信号SYNC~信号,发起码组同步请求,ADC JESD204B发送端接收到请求后,连续发送/K28.5/字符,一旦接收端连续正确接收四个/K28.5/字符后,将SYNC~信号拉高,如图5所示;(3)码组同步后进入初始通道对齐序列阶段,发送端发送四个特定多重帧数据,对收到的多重帧数据用FIFO时延到下一个多重帧时钟边沿,得到各通道确定的时延,后续数据按照该时延传输,则实现各通道数据传输同步,如图6所示。

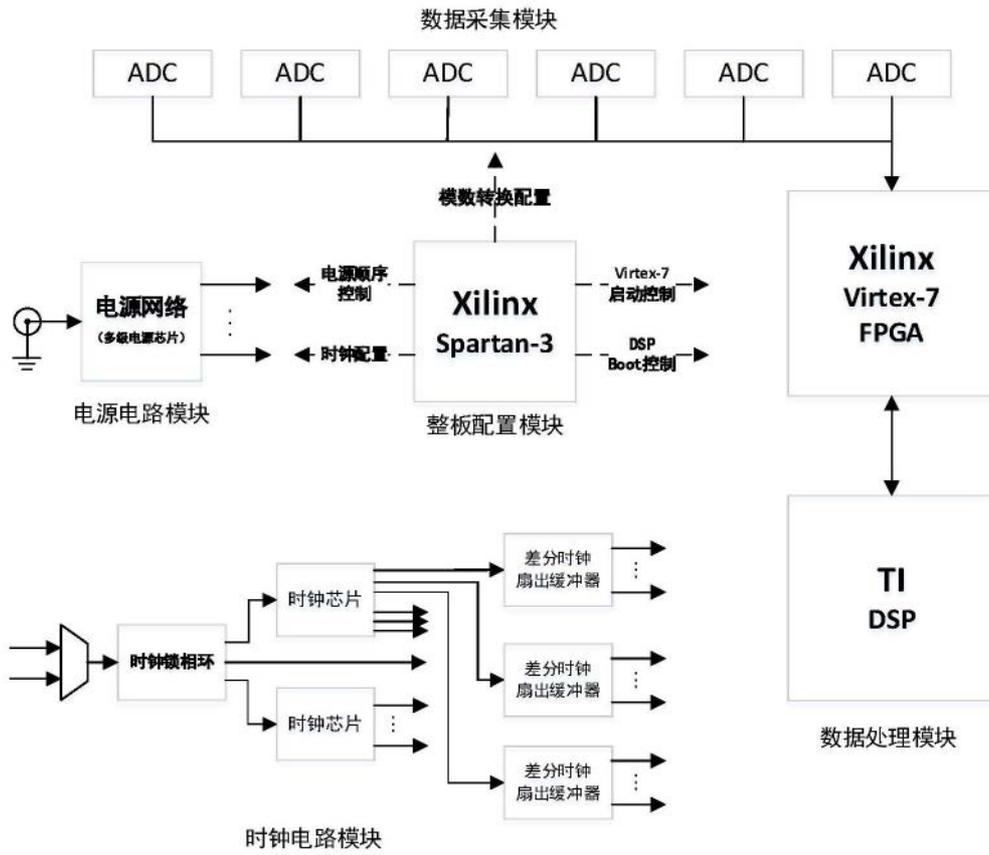


图1

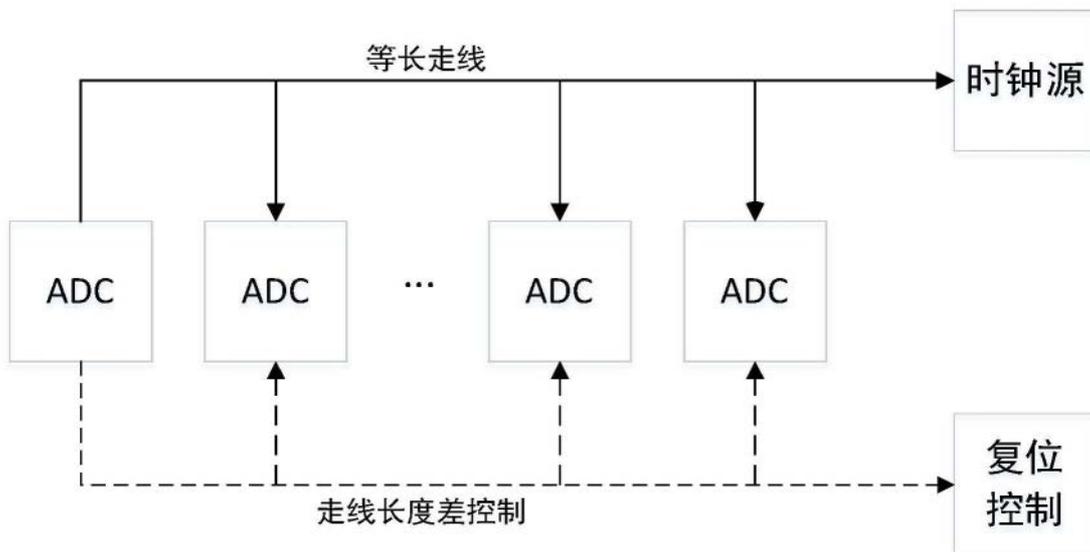


图2

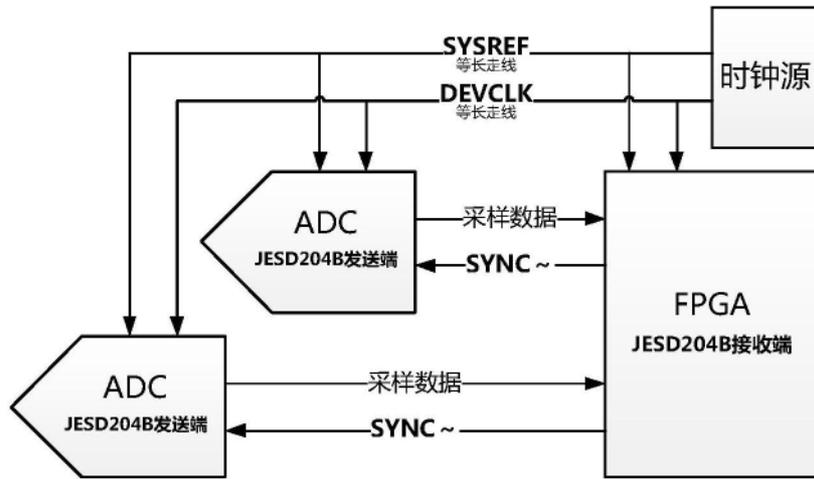


图3

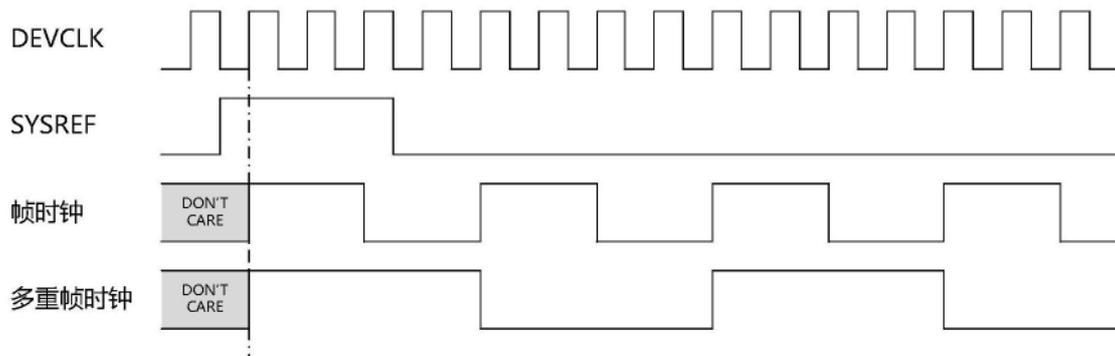


图4

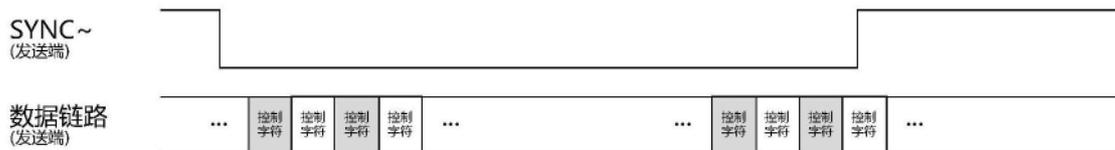


图5

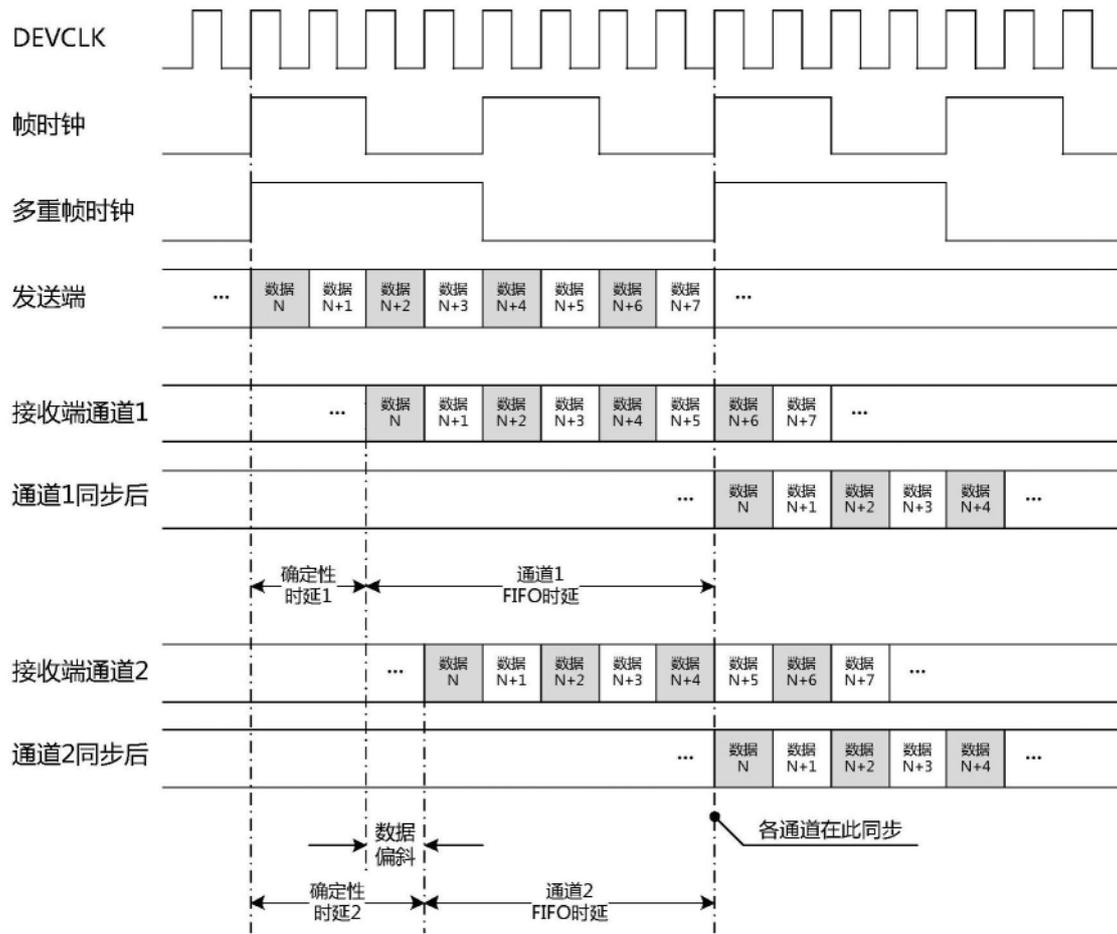


图6