

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-159149

(P2009-159149A)

(43) 公開日 平成21年7月16日(2009.7.16)

(51) Int.Cl.
H03M 1/78 (2006.01)

F I
H03M 1/78

テーマコード (参考)
5 J 0 2 2

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2007-333220 (P2007-333220)
(22) 出願日 平成19年12月25日 (2007.12.25)

(71) 出願人 000003193
凸版印刷株式会社
東京都台東区台東1丁目5番1号
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100108578
弁理士 高橋 詔男
(74) 代理人 100089037
弁理士 渡邊 隆
(74) 代理人 100094400
弁理士 鈴木 三義
(74) 代理人 100108453
弁理士 村山 靖彦

最終頁に続く

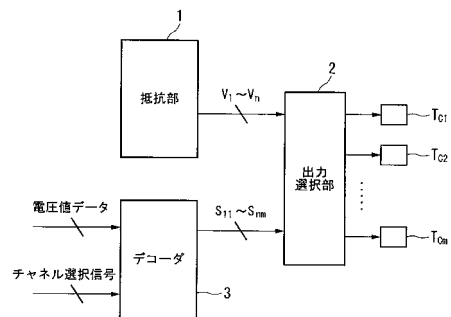
(54) 【発明の名称】 多チャンネルD/Aコンバータ

(57) 【要約】

【課題】 製造バラツキによるチャンネル間の電圧変動を無くし、従来例に比較してチップサイズを低減するD/Aコンバータを提供する。

【解決手段】 本発明の多チャンネルD/Aコンバータは、分解能に応じた複数の電圧値を出力する抵抗部と、チャンネルに対応して入力される電圧データにより、抵抗部の出力するいずれかの電圧値を、前記チャンネルよりD/A変換結果として出力する出力選択部とを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

分解能に応じた複数の電圧値を出力する抵抗部と、
チャンネルに対応して入力される電圧データにより、抵抗部の出力するいずれかの電圧値を、前記チャンネルより D / A 変換結果として出力する出力選択部と
を有する多チャンネル D / A コンバータ。

【請求項 2】

前記出力選択部が前記チャンネル毎に、前記抵抗部の各電圧値を出力する電圧出力端子各々と、前記チャンネルの出力端子とを接続させるスイッチを有することを特徴とする請求項 1 記載の多チャンネル D / A コンバータ。

10

【請求項 3】

前記抵抗部がラダー抵抗にて形成されており、各抵抗の接続点が前記電圧出力端子であることを特徴とする請求項 2 に記載の多チャンネル D / A コンバータ。

【請求項 4】

前記電圧データ及び入力されるチャンネルデータにより、前記出力選択部の電圧出力端子と、チャンネルデータに対応する前記出力チャンネルの出力端子とを接続するスイッチを選択するデコーダをさらに有することを特徴とする請求項 2 または請求項 3 に記載の多チャンネル D / A コンバータ。

【発明の詳細な説明】**【技術分野】**

20

【0001】

本発明は、半導体集積回路に形成される D / A コンバータであり、特に複数チャンネルの出力を有する D / A コンバータに関する。

【背景技術】**【0002】**

従来から D / A コンバータは、入力されたデジタルデータを、このデジタルデータが示す電圧のアナログ信号に変換するために用いられている。

近年、半導体試験装置などのように、複数の電圧値を出力する用途などにおいて、複数の出力を有する多チャンネル D / A コンバータが必要とされている（例えば、特許文献 1 参照）。

30

この特許文献 1 の構成においては、図 3 に示すように、抵抗部をチャンネル毎に設け、D / A 変換を各チャンネルの出力に対して 1 対 1 にて行い、アンプ A1 ~ Am (mチャンネル) を介して出力している。

【特許文献 1】特開平 09 - 326700 号公報

【発明の開示】**【発明が解決しようとする課題】****【0003】**

しかしながら、上記特許文献 1 に示すコンバータにあっては、チャンネル毎に設けられた抵抗部間の製造バラツキが生じ、各チャンネルから出力されるアナログ信号の間にバラツキが生じてしまい、高い精度にてチャンネル間のアナログ信号の電圧値を制御することができないという問題がある。

40

また、特許文献 1 に示す D / A コンバータにあっては、チャンネルが増加していく場合、そのチャンネルの数だけ抵抗部を設ける必要があり、チップサイズが大きくなり、生産コストが増加するという問題がある。

【0004】

本発明は、このような事情に鑑みてなされたもので、製造バラツキによるチャンネル間の電圧変動を無くし、従来例に比較してチップサイズを低減する D / A コンバータを提供することを目的とする。

【課題を解決するための手段】**【0005】**

50

本発明の多チャンネルD/Aコンバータは、分解能に応じた複数の電圧値を出力する抵抗部と、チャンネルに対応して入力される電圧データにより、抵抗部の出力するいずれかの電圧値を、前記チャンネルよりD/A変換結果として出力する出力選択部とを有する。

【0006】

本発明の多チャンネルD/Aコンバータは、前記出力選択部が前記チャンネル毎に、前記抵抗部の各電圧値を出力する電圧出力端子各々と、前記チャンネルの出力端子とを接続させるスイッチを有することを特徴とする。

【0007】

本発明の多チャンネルD/Aコンバータは、前記抵抗部がラダー抵抗にて形成されており、各抵抗の接続点が前記電圧出力端子であることを特徴とする。

10

【0008】

本発明の多チャンネルD/Aコンバータは、前記電圧データ及び入力されるチャンネルデータにより、前記出力選択部の電圧出力端子と、チャンネルデータに対応する前記出力チャンネルの出力端子とを接続するスイッチを選択するデコーダをさらに有することを特徴とする。

【発明の効果】

【0009】

以上説明したように、本発明によれば、1つの抵抗部から出力される複数の電圧値のいずれかを、いずれのチャンネルかを示すチャンネルデータと電圧データ(デジタル値)とにより選択し、かつチャンネルデータに対応するチャンネルの出力端子に出力する構成のため、同一、すなわち共通の抵抗部から、各チャンネルに対して電圧値を出力選択部にて選択して出力するため、複数の抵抗部を用いて形成された多チャンネルD/Aコンバータのように、各チャンネル間にて電圧値のバラツキが無く、高精度な多チャンネルD/Aコンバータを構成することができる。

20

【0010】

また、本発明によれば、チャンネル数が増加しても、そのチャンネルに対応するスイッチを設けるのみで構成できるため、従来のようにチャンネル数が増加しても、1つの抵抗部を共通に用いるため、チップ面積を大幅に増加させず、生産コストを低下させることができる。

【発明を実施するための最良の形態】

30

【0011】

以下、本発明の一実施形態による多チャンネルD/Aコンバータを図面を参照して説明する。図1は同実施形態による多チャンネルD/Aコンバータの構成例を示すブロック図である。

この図において、抵抗部1は、入力される電源電圧を分解能に応じて分圧することにより複数の電圧値を生成し、それぞれの電圧値の対応した電圧出力端子から、各電圧値の電圧信号を出力する。例えば、分解能nであれば、入力される電源電圧をn分圧し、それぞれの分圧した電圧値の電圧信号を、対応する電圧出力端子に出力する。

出力選択部2は、上記抵抗部1の各電圧値V1~Vnの電圧出力端子のいずれかと、各チャンネルの出力端子Tc1からTcm各々とを接続するスイッチ機能を有している。

40

【0012】

デコード3は、外部から入力されるデジタル値、例えばビット値により入力される電圧データと、その電圧データに対応する電圧値の電圧信号をいずれのチャンネルから出力するかを示すチャンネルデータとにより、上記抵抗部1の電圧出力端子と、チャンネルのチャンネル出力端子とを接続させる、出力選択部2におけるスイッチをオンオフ制御する制御信号S1,1~Sn,mを出力する。ここで、制御信号Sn,mのnは電圧値V1~Vnの電圧値のいずれかを意味し、mはチャンネルの出力端子Tc1からTcmのいずれかを意味する。例えば、制御信号S2,4が入力されると、出力選択部2は、電圧値V2を出力端子Tc4から出力する制御信号であり、電圧値V2の電圧出力端子を出力端子Tc2に接続するスイッチをオン状態とする。

50

【 0 0 1 3 】

図 2 に図 1 に示す抵抗部 1 と出力選択部 2 とを詳細に示すブロック図である。

抵抗部 1 は、抵抗 $R_1, R_2, R_3, R_4, \dots, R_{n-2}, R_{n-1}, R_n$ が直列に接続されたラダー構造をしており、各抵抗の接続点が電圧出力端子となっている。

ここで、電源電圧 V_H と電源電圧 V_L とが入力されており、電源電圧 V_H 及び V_L の差電圧が、抵抗 $R_1 \sim R_n$ により分圧され、分圧された電圧値 $V_1 \sim V_n$ がそれぞれ対応する電圧出力端子 $T_{v1} \sim T_{vn}$ から各々出力されている。

【 0 0 1 4 】

出力選択部 2 は、各抵抗の接続点に対応するスイッチ群 $S_{W1}, S_{W2}, S_{W3}, S_{W4}, \dots, S_{Wn-2}, S_{Wn-1}, S_{Wn}$ と、アンプ $A_1, A_2 \sim A_m$ とから構成されている。

そして、スイッチ群 $S_{W1}, S_{W2}, S_{W3}, S_{W4}, \dots, S_{Wn-2}, S_{Wn-1}, S_{Wn}$ 各々は、抵抗列の接続点である電圧出力端子 $T_{v1} \sim T_{vn}$ それぞれを、各チャンネル出力端子、 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。

すなわち、スイッチ群 S_{W1} は、スイッチ $S_{W1,1}, S_{W1,2}, \dots, S_{W1,m}$ から構成されている。ここで、スイッチ $S_{W1,1}, S_{W1,2}, \dots, S_{W1,m}$ 各々は、電圧出力端子 T_{v1} を、それぞれチャンネル出力端子、 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。

【 0 0 1 5 】

同様に、スイッチ群 S_{W2} はスイッチ $S_{W2,1}, S_{W2,2}, \dots, S_{W2,m}$ から構成され、スイッチ群 S_{W3} は $S_{W3,1}, S_{W3,2}, \dots, S_{W3,m}$ から構成され、スイッチ群 S_{W4} は $S_{W4,1}, S_{W4,2}, \dots, S_{W4,m}$ から構成され、 \dots 、スイッチ群 S_{Wn-2} は $S_{Wn-2,1}, S_{Wn-2,2}, \dots, S_{Wn-2,m}$ から構成され、スイッチ群 S_{Wn-1} は $S_{Wn-1,1}, S_{Wn-1,2}, \dots, S_{Wn-1,m}$ から構成され、スイッチ群 S_{Wn} はスイッチ $S_{Wn,1}, S_{Wn,2}, \dots, S_{Wn,m}$ から構成されている。

【 0 0 1 6 】

ここで、スイッチ $S_{W2,1}, S_{W2,2}, \dots, S_{W2,m}$ 各々は、電圧出力端子 T_{v2} を、それぞれチャンネル出力端子、 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。スイッチ $S_{W3,1}, S_{W3,2}, \dots, S_{W3,m}$ 各々は、電圧出力端子 T_{v3} を、それぞれチャンネル出力端子、 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。スイッチ $S_{W4,1}, S_{W4,2}, \dots, S_{W4,m}$ 各々は、電圧出力端子 T_{v4} を、それぞれチャンネル出力端子 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。スイッチ $S_{Wn-2,1}, S_{Wn-2,2}, \dots, S_{Wn-2,m}$ 各々は、電圧出力端子 T_{vn-2} を、それぞれチャンネル出力端子、 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。スイッチ $S_{Wn-1,1}, S_{Wn-1,2}, \dots, S_{Wn-1,m}$ 各々は、電圧出力端子 T_{vn-1} を、それぞれチャンネル出力端子、 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。スイッチ $S_{Wn,1}, S_{Wn,2}, \dots, S_{Wn,m}$ 各々は、電圧出力端子 T_{vn} を、それぞれチャンネル出力端子 $T_{c1}, T_{c2}, \dots, T_{cm}$ のいずれかとを接続させる。

【 0 0 1 7 】

アンプ $A_1 \sim A_m$ 各々は、それぞれのチャンネルに対応した出力端子 T_{c1} から T_{cm} に対応して設けられ、出力する電圧信号を電圧値を変化させずに、電流量を増幅し、すなわち電力増幅して出力する。

デコーダ 3 は、スイッチ群 $S_{W1}, S_{W2}, S_{W3}, S_{W4}, \dots, S_{Wn-2}, S_{Wn-1}, S_{Wn}$ 各々に対して、それぞれのスイッチ群において、スイッチ群が有するスイッチを選択するサブデコーダから構成され、それぞれのサブデコーダが対応するスイッチ群 $S_{W1}, S_{W2}, S_{W3}, S_{W4}, \dots, S_{Wn-2}, S_{Wn-1}, S_{Wn}$ 各々へ、制御信号 $S_1, S_2, S_3, \dots, S_{n-2}, S_{n-1}, S_n$ を出力する。このサブデコーダは、各々のチャンネル出力端子に対応して設けられたレジスタ（出力する電圧値を設定する）により制御される。

【 0 0 1 8 】

制御信号 S_1 は、制御信号 $S_{1,1}, S_{1,2}, \dots, S_{1,m}$ からなり、スイッチ $S_{W1,1}, S_{W1,2}, \dots, S_{W1,m}$ 各々をオン / オフのいずれの状態とするかの制御信号である。

制御信号 S_2 は、制御信号 $S_{2,1}, S_{2,2}, \dots, S_{2,m}$ からなり、スイッチ $S_{W2,1}, S_{W2,2}, \dots, S_{W2,m}$ 各々をオン / オフのいずれの状態とするかの制御信号である。

制御信号 S3は、制御信号 S3,1、S3,2、...、S3,mからなり、スイッチ SW3,1、SW3,2、...、SW3,m各々をオン/オフのいずれの状態とするかの制御信号である。

制御信号 S4は、制御信号 S4,1、S4,2、...、S4,mからなり、スイッチ SW4,1、SW4,2、...、SW4,m各々をオン/オフのいずれの状態とするかの制御信号である。

制御信号 Sn-2は、制御信号 Sn-2,1、Sn-2,2、...、Sn-2,mからなり、スイッチ SWn-2,1、SWn-2,2、...、SWn-2,m各々をオン/オフのいずれの状態とするかの制御信号である。

制御信号 Sn-1は、制御信号 Sn-1,1、Sn-1,2、...、Sn-1,mからなり、スイッチ SWn-1,1、SWn-1,2、...、SWn-1,m各々をオン/オフのいずれの状態とするかの制御信号である。

10

制御信号 Snは、制御信号 Sn,1、Sn,2、...、Sn,mからなり、スイッチ SWn,1、SWn,2、...、SWn,m各々をオン/オフのいずれの状態とするかの制御信号である。

【0019】

例えば、デコーダ3からスイッチ群 SW1に対して、スイッチ SW1,1及びSW1,2をオン状態とし、スイッチ SW1,3~SW1,mをオフ状態とする制御信号 S1を出力すると、スイッチ SW1,1及びSW1,2をオン状態とし、電圧出力端子 Tv1を、それぞれチャンネル出力端子 Tc1、Tc2へ接続し、チャンネル出力端子 Tc1、Tc2から電圧 V1が出力される。一方、スイッチ SW1,3~SW1,mはオフ状態となるため、電圧出力端子 Tv1と、チャンネル出力端子 Tc3~Tcmとは接続されていない。

他のスイッチ群 SW2~SWnに対しても、それぞれ同様とする。

20

【0020】

ここで、デコーダ3は、外部から入力される電圧データとチャンネル選択信号とから、出力選択部2におけるスイッチ群 SW1~SWnの各スイッチを制御する制御信号 S1~Snを出力する。

上記デコーダ3には、各チャンネル出力端子 Tc1~Tcmに対応したレジスタが設けられており、各チャンネル出力端子 Tc1~Tcmに対応したレジスタに、出力する電圧値、すなわち D/A変換を行うデジタルデータを書き込むことにより、各チャンネル出力端子に接続されているスイッチをオン状態あるいはオフ状態とするかを示す制御信号 Sn,mからなる制御信号 S1~Snが生成されて出力される。

【0021】

すなわち、デコーダ3は、上記各チャンネルに対応するレジスタにデジタルの電圧値が書き込まれると、各スイッチ群に1つずつ含まれる上記レジスタに対応するチャンネルのチャンネル出力端子に接続されたスイッチのグループが特定され、この電圧値によりグループにおいて対応する電圧の電圧値出力端子に接続されたスイッチを選択する。

これにより、デコーダ3は、それぞれのチャンネル出力端子に対応するレジスタに、電圧値が書き込まれることにより、対応するチャンネルのチャンネル出力端子と電圧値出力端子との間に介挿されたスイッチを選択し、オン状態とする制御信号 SWn,mを生成して出力する。

30

【0022】

ここで、デコーダ3は、上記スイッチグループにてオン状態とする、レジスタに設定された電圧値の示すスイッチ以外のスイッチを全てオフ状態とする制御信号 SWn,mを生成して出力する。

40

例えば、チャンネル2のチャンネル出力端子 Tc2に対応するレジスタに対して、デジタルの電圧値 V1を書き込むと、デコーダ3は、抵抗部1における電圧値 V1の電圧出力端子 Tv1と、チャンネル出力端子 Tc2とを接続させるため、電圧出力端子 Tv1に対応するスイッチ群 SW1におけるスイッチ SW1,2をオン状態とさせる情報を含む制御信号 S1を、また、他のスイッチ群 SW2~SWnにおけるスイッチ SW2,2、...、SW2,nをオフ状態とする情報を含む制御信号 S2~Snを生成し、それぞれスイッチ群 SW2~SWnに対して出力する。

【0023】

50

上述したように、例えば、チャンネル出力端子 Tc2 に対応するレジスタに電圧値を書き込むことにより、デコーダ 3 は、チャンネル出力端子 Tc2 及び電圧値 V1 の電圧出力端子 Tv1 を接続するスイッチ SW1,2 と、チャンネル出力端子 Tc2 及び電圧値 V2 の電圧出力端子 Tv2 を接続するスイッチ SW2,2 と、チャンネル出力端子 Tc2 及び電圧値 V3 の電圧出力端子 Tv3 を接続するスイッチ SW3,2 と、...、チャンネル出力端子 Tc2 及び電圧値 Vn の電圧出力端子 Tvn を接続するスイッチ SWn,2 とのいずれをオン状態とし、他をオフ状態とするかを設定する制御信号 S1,2 を、設定された電圧値に応じて生成する。

すなわち、デコーダ 3 は、各スイッチ群それぞれに 1 個ずつ含まれる同一のチャンネル出力端子に接続されたスイッチ SW のグループにおいて、上記レジスタに設定された電圧データにより、この電圧データが示す電圧値に対応する電圧出力端子に対し、チャンネル出力端子を接続するスイッチ SW を選択してオン状態とする制御信号を出力する。

【0024】

例えば、電圧値 V3 の電圧信号を、チャンネル 2 の出力端子 Tc2 から出力させる制御信号 Sn,m を生成させる場合、チャンネル 2 を選択するチャンネル選択信号を入力し、電圧値 V3 を示す電圧データを、多チャンネル D/A コンバータのデコーダ 3 へ入力する。

これにより、デコーダ 3 は、チャンネル 2 に対応するレジスタに電圧値 V3 を示す電圧データを書き込む。

このチャンネル 2 に対応するレジスタは、チャンネル出力端子 Tc2 と、電圧値 V1 ~ 電圧値 Nn それぞれとを接続するスイッチ SW1,2、SW2,2、SW3,2、SW4,2、...、SWn-2,2、SWn-1,2、SWn,2 のグループに対応した制御信号 S1,2、S2,2、S3,2、S4,2、...、Sn-2,2、Sn-1,2、Sn,2 のいずれかを出力するデコーダに対応している。

【0025】

そして、上記レジスタに入力された電圧値 V3 を示す電圧データにより、デコーダは、上記スイッチ SW1,2、SW2,2、SW3,2、SW4,2、...、SWn-2,2、SWn-1,2、SWn,2 から、スイッチ SW3,2 をオン状態とする制御信号 S3,2 を選択して出力することとなる。また、電圧値 V4 の電圧信号を、チャンネル 2 の出力端子 Tc2 から出力させるため、チャンネル 2 を選択するチャンネル選択信号を入力し、電圧値 V4 を示す電圧データを、多チャンネル D/A コンバータのデコーダ 3 へ入力すると、チャンネル 2 に対応するレジスタに電圧値 V4 を示す電圧データが書き込まれる。

これにより、上記デコーダは、制御信号 S3,2 を選択して出力することとなるため、制御信号 S3,2 の出力が無くなり、スイッチ SW3,2 がオフ状態となり、スイッチ SW4,2 がオン状態となり、出力端子 Tc2 から電圧値 V4 の電圧信号が出力される。

【図面の簡単な説明】

【0026】

【図 1】本発明の一実施形態による多チャンネル D/A コンバータの構成例を示すブロック図である。

【図 2】図 1 における抵抗部 1 及び出力選択部 2 の構成例を詳細に示すブロック図である。

【図 3】従来の多チャンネル D/A コンバータの構成を示すブロック図である。

【符号の説明】

【0027】

1 ... 抵抗部

2 ... 出力選択部

3 ... デコーダ

A1, A2, Am... アンプ

R1, R2, R3, R4, Rn-2, Rn-1, Rn... 抵抗

SW1,1, SW1,2, SW1,m, SW2,1, SW2,2, SW2,m... スイッチ

SW3,1, SW3,2, SW3,m, SW4,1, SW4,2, SW4,m... スイッチ

SWn-2,1, SWn-2,2, SWn-2,m, SWn-1,1, SWn-1,2, SWn-1,m... スイッチ

SWn,1, SWn,2, SWn,m... スイッチ

10

20

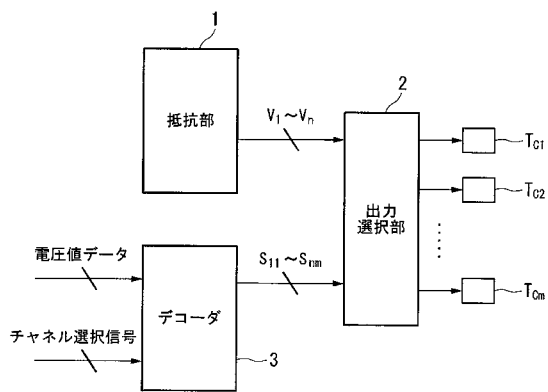
30

40

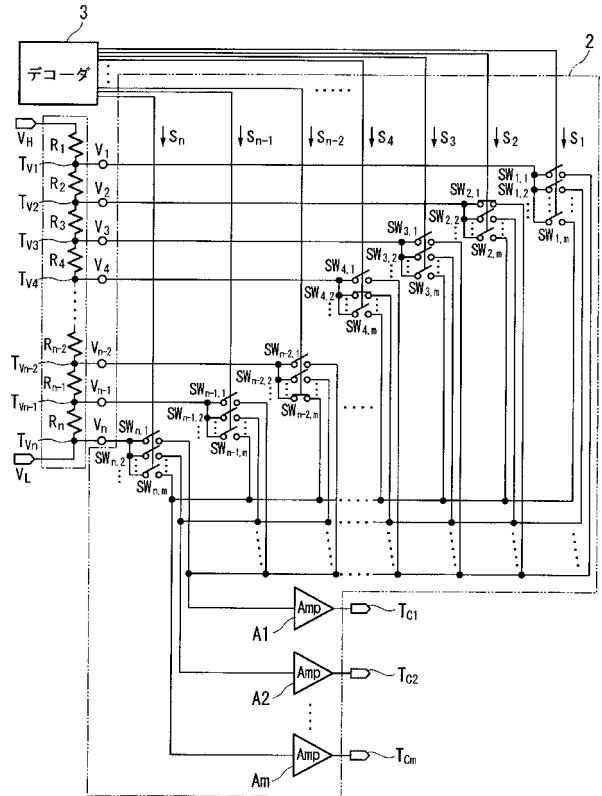
50

Tc1, Tc2, Tcm... 出力端子

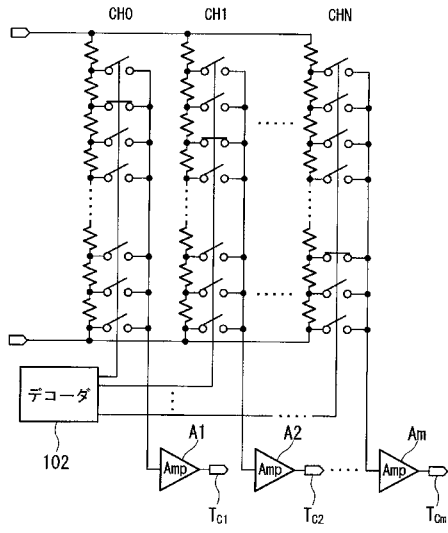
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(72)発明者 井上 裕孝

東京都台東区台東 1丁目5番1号 凸版印刷株式会社内

(72)発明者 藤崎 聡

東京都台東区台東 1丁目5番1号 凸版印刷株式会社内

Fターム(参考) 5J022 AB02 BA01 BA06 CB02 CD03 CF08