

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 29/00

(45) 공고일자 2001년01월 15일
(11) 등록번호 10-0274921
(24) 등록일자 2000년09월 18일

(21) 출원번호	10-1997-0050905	(65) 공개번호	특1998-0079393
(22) 출원일자	1997년10월02일	(43) 공개일자	1998년11월25일
(30) 우선권주장	97-076161	1997년03월27일	일본(JP)
(73) 특허권자	미쓰비시덴키 가부시카가이샤 다니구찌 이찌로오, 기타오카 다카시		
(72) 발명자	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 츠크데 마사키		
(74) 대리인	일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내 모리시타 후카시 김창세		

심사관 : 이철희

(54) 반도체 집적 회로 장치

요약

본 발명은 고속 동작 및 저소비 전류를 실현하고 또한 신뢰성 평가를 확실하게 실행할 수 있는 반도체 집적 회로 장치를 제공한다.

전원 패드(30a, 30p) 각각에 대하여, 서로 전압 레벨이 다른 기준 전압을 발생하는 기준 전압 발생 회로(34a, 34p)를 마련하고, 또한 각 기준 전압 발생 회로에 대응하여, 대응하는 외부 전원 패드의 전원 전압을 대응하는 기준 전압 레벨로 강하하여 대응하는 내부 전원선(37a, 37p)에 전달하는 전압 강하 회로(36a, 38a, 38p, 36p)를 마련한다. 또한, 기준 전압 발생 회로의 출력 노드에, 스트레스 가속 모드시 도통 상태로 되어 대응하는 외부 전원 패드를 대응하는 기준 전압 발생 회로의 출력 노드에 접속하는 스위칭 트랜지스터(39a, 39p)를 마련한다.

대표도

도3

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1에 따르는 반도체 집적 회로 장치의 전체의 구성을 개략적으로 도시한 도면.
- 도 2는 도 1에 도시하는 반도체 집적 회로 장치의 주요부의 구성을 개략적으로 도시한 도면.
- 도 3은 도 1에 도시하는 내부 전원 전압 발생 회로의 구성을 도시한 도면.
- 도 4는 도 3에 도시하는 비교 회로의 구성의 일례를 개략적으로 도시한 도면.
- 도 5는 도 3에 도시하는 기준 전압 발생 회로의 구성의 일례를 도시한 도면.
- 도 6은 본 발명의 실시예 1의 변경예에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면.
- 도 7은 스트레스 가속 모드 지시 신호 발생부의 구성의 일례를 도시한 도면.
- 도 8은 도 7에 도시하는 회로의 동작을 도시하는 신호 파형도.
- 도 9는 도 7에 도시하는 수퍼 VIH 검지 회로의 구성의 일례를 도시한 도면.
- 도 10은 도 9에 도시하는 회로의 동작을 도시하는 신호 파형도.
- 도 11은 도 7에 도시하는 테스트 모드 엔트리 신호 및 테스트 모드 종료 신호 발생부의 구성을 개략적으로 도시한 도면.
- 도 12는 도 11에 도시하는 CBR 검출 회로의 구성의 일례를 도시한 도면.
- 도 13은 도 12에 도시하는 CBR 검출 회로의 동작을 도시하는 신호 파형도.
- 도 14는 본 발명의 실시예 2에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면.

도 15는 도 14에 도시하는 내부 전원 전압 발생 회로의 효과를 설명하기 위한 도면.

도 16은 본 발명의 실시예 3에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면.

도 17a 및 도 17b는 도 16에 도시하는 내부 전원 전압 발생 회로의 외부 전원선의 접속 형태를 도시한 도면.

도 18은 본 발명의 실시예 4에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면.

도 19는 본 발명의 실시예 5에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면.

도 20은 종래의 반도체 집적 회로 장치의 전체의 구성을 개략적으로 도시한 도면.

도 21은 도 20에 도시하는 전압 강하 회로의 구성을 개략적으로 도시한 도면.

도 22는 도 20에 도시하는 메모리 회로의 구성을 개략적으로 도시한 도면.

도 23은 도 22에 도시하는 메모리 어레이부의 구성을 개략적으로 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

1 : 반도체 집적 회로 장치	2 : 메모리 셀 어레이
4 : 어드레스 버퍼	5 : 행 디코더
6 : 열 디코더	7 : 센스 앰프
9 : 입출력 회로	11 : 입력 버퍼
12 : 출력 버퍼	14 : 클럭 발생 회로
20a, 20p : 외부 전원 단자	22 : 내부 전원 전압 발생 회로
22a, 22p : 전압 강하 회로	30a, 30p : 전원 패드
32, 32a, 32p : 외부 전원선	34a, 34p : 기준 전압 발생 회로
39a, 39p : p채널 MOS 트랜지스터	
36, 36a, 36p : 비교 회로(차동 증폭 회로)	
45 : 정전류원	90a, 90p : 차동 증폭부
95a : 어레이계 회로	95p : 주변계 회로
96 : p채널 MOS트랜지스터	100 : n채널 MOS 트랜지스터
20aa, 20ab, 20pa, 20pb : 외부 전원 단자	
30aa, 30ab, 30pa, 30pb : 전원 패드	
22aa, 22ab, 22pa, 22pb : 전압 강하 회로	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치에 관한 것으로, 특히, 외부 전원 전압을 내부에서 강압하고 내부 전원 전압을 발생하는 내부 강압 회로를 구비하는 반도체 집적 회로 장치에 관한 것이다. 보다 특정적으로는, 본 발명은 내부 강압 회로를 갖는 반도체 집적 회로 장치의 신뢰성 평가 시험을 위한 구성에 관한 것이다.

반도체 기억 장치의 기억 용량의 증대에 따라, 그 구성 요소인 MOS 트랜지스터(절연 게이트형 전계 효과 트랜지스터)도 미세화되고 있다. 이러한 미세화된 소자의 신뢰성, 고속 동작 및 소비 전력의 저감 등의 관점에서, 동작 전원 전압을 낮게 하는 것이 바람직하다. 그러나, 이러한 반도체 기억 장치를 이용하는 시스템에 있어서는 프로세서 등의 전원 전압 및 전(前)세대의 기억 장치와의 호환성 등으로부터, 시스템 전원 전압은 이러한 반도체 기억 장치의 동작 전원 전압보다도 높다. 이러한, 예를 들면 시스템 전원 전압인 외부 전원 전압으로부터 반도체 기억 장치의 필요한 전압 레벨인 내부 전원 전압을 공급하기 위해서, 반도체 기억 장치 내부에서 외부 전원 전압을 강하시켜 메모리 동작에 필요한 내부 전원 전압을 발생하는 회로는 전압 강하 회로라고 불린다. 이러한 전압 강하 회로를 이용하는 것에 의해, 반도체 기억 장치의 소비 전력을 저감하고, 또한 장치의 신뢰성을 보증한다.

도 20은 종래의 반도체 집적 회로 장치의 전체의 구성을 개략적으로 도시한 도면이다. 도 20에 있어서, 반도체 집적 회로 장치로서, 반도체 기억 장치(900)가 일례로서 도시된다. 이 반도체 기억 장치(900)는 외부 전원 단자(901)를 거쳐서 외부 전원선(902)상에 인가된, 예를 들면 시스템 전원 전압인 외부 전원 전압 extVcc를 소정의 전압 레벨로 강압하여 내부 전원선(904)상에 내부 전원 전압 intVcc를 생성하는 전압 강하 회로(905)와, 내부 전원선(904)상의 내부 전원 전압 intVcc와 접지 단자(906)를 거쳐서 접지선(907)에 인가되는 접지 전압 Vss를 양쪽의 동작 전원 전압으로 하여 동작하는 메모리 회로(908)를 포함한다. 이 메모리 회로(908)는 각각이 정보를 기억하는 복수의 메모리 셀 및 이 메모리 셀로의 액세스

세스를 실행하는 주변 회로를 포함한다.

이 전압 강하 회로(905)에 의해, 외부 전원 전압 extVcc를 강압하여 내부 전원 전압 intVcc를 생성하는 것에 의해, 메모리 회로(908)를 안정하게 또한 저소비 전력으로 동작시킬 수 있다.

도 21은 도 20에 도시하는 전압 강하 회로(905)의 구성을 개략적으로 도시한 도면이다. 도 21에 있어서, 전압 강하 회로(905)는 외부 전원 전압 extVcc에 대한 의존성이 작은 기준 전압 Vref를 발생하는 기준 전압 발생 회로(905a)와, 외부 전원선(902)상의 전압 전압 extVcc를 한쪽의 동작 전원 전압으로 하여 동작하고, 기준 전압 Vref와 내부 전원선(904)상의 내부 전원 전압 intVcc를 비교하는 비교 회로(905b)와, 외부 전원선(902)과 내부 전원선(904)의 사이에 마련되고, 이 비교 회로(905b)의 출력 신호에 따라서 외부 전원선(902)으로부터 내부 전원선(904)으로 전류를 공급하는 p채널 MOS 트랜지스터(905c)를 포함한다. 비교 회로(905b)는 차동 증폭기에 의해 구성되고, 그 정(正)입력에서 내부 전원 전압 intVcc를 받고, 부(負)입력에서 기준 전압 Vref를 받는다.

전압 강하 회로(905)는 또한, 스트레스 가속 모드 지시 신호(stress acceleration mode designating signal) /STR의 활성화에 응답하여 외부 전원선(902)과 기준 전압 발생 회로(905a)의 출력 노드(905ab)를 전기적으로 접속하는 p채널 MOS 트랜지스터(905d)를 포함한다. 이 스트레스 가속 모드에 대해서는 뒤에 설명한다.

외부 전원선(902) 및 내부 전원선(904)에는 각각 전압을 안정화하기 위한 안정화 용량(909a 및 909b)이 마련된다. 다음에 동작에 대하여 간단히 설명한다.

내부 전원 전압 intVcc가 기준 전압 Vref보다도 높은 경우에는 비교 회로(905b)의 출력 신호는 H레벨이고, p채널 MOS 트랜지스터(905c)는 비도통 상태에 있어, 외부 전원선(902)으로부터 내부 전원선(904)으로의 전류 경로는 차단된다.

한편, 내부 전원 전압 intVcc가 기준 전압 Vref보다도 낮은 경우에는 이 비교 회로(905b)의 출력 신호의 전압 레벨이 저하하여, p채널 MOS 트랜지스터(905c)의 콘덕턴스가 커져, 외부 전원선(902)으로부터 내부 전원선(904)에 전류가 공급된다. 이 p채널 MOS 트랜지스터(905c)의 콘덕턴스는 내부 전원 전압 intVcc와 기준 전압 Vref의 차가 크게 될수록 커진다. 따라서, 이 내부 전원 전압 intVcc의 저하에 따라서, 외부 전원선(902)으로부터 내부 전원선(904)에 전류가 공급되어, 저하한 내부 전원 전압 intVcc가 고속으로, 소정의 전압 레벨로 복귀한다.

따라서, 이 내부 전원선(904)상의 내부 전원 전압 intVcc는 거의 기준 전압 Vref의 전압 레벨로 유지된다. 이 기준 전압 Vref는 스트레스 가속 모드 지시 신호 /STR가 H레벨의 비활성 상태에 있어, p채널 MOS 트랜지스터(905d)가 비도통 상태일 때에는 외부 전원 전압 extVcc에 의존하지 않는 일정한 전압 레벨이다. 즉, 이 비교 회로(905b) 및 p채널 MOS 트랜지스터(905c)의 피드백 루프(feedback loop)에 의해, 내부 전원 전압 intVcc도 일정한 전압 레벨로 유지된다.

다음에, 이 스트레스 가속 모드 지시 신호 /STR가 L레벨의 활성화 상태로 되는 동작 모드에 대하여 설명한다. 이 스트레스 가속 모드 지시 신호는 예를 들면 번인(burn-in) 테스트시에 활성화된다. 번인 테스트는 반도체 집적 회로 장치의 신뢰성 평가를 위해 실행된다. 일반적으로, 반도체 장치의 고장은 3가지 기간, 즉 시간의 경과에 따라서 초기 고장 기간, 우발(偶發) 고장 기간 및 마모 고장 기간으로 크게 구별된다. 초기 고장은 장치의 사용 직후에 발생하는 고장으로서, 반도체 장치 제작시에 존재한 결함이 현재화(顯在化)한 것이다. 이 초기 고장의 비율은 시간이 경과함에 따라 급속히 감소해 간다. 그 후는 낮은 고장율이 어떤 일정 기간동안 오래 계속되는 우발 고장 기간으로 된다. 이 반도체 장치는 내용 수명(耐用壽命)에 가까이 가면, 마모 고장 기간으로 되어 급격히 고장율이 증대한다. 반도체 장치는 우발 고장 기간 내에서 사용하는 것이 바람직하여, 이 기간이 내용 기간(耐用期間)으로 된다.

따라서, 반도체 집적 회로 장치의 신뢰성을 높게 하기 위해서는 우발(偶發) 고장이, 낮은 일정한 고장율로 발생하고 또한 이 우발 고장 기간이 오래 계속되는 것이 요구된다. 한편, 초기 고장을 미리 제거하기 위해서, 반도체 장치에 일정시간의 가속 동작 에이징(aging)을 실행하여, 초기 고장을 발생시키는 결함을 현재화시켜, 이러한 초기 고장 원인을 갖는 불량품을 제거하는 스크리닝(screening)을 해야 한다. 이 스크리닝을 단기간에 효과적으로 실행하기 위해서는, 스크리닝에 의해 반도체 장치의 초기 고장율이 시간에 대하여 급속히 감소하여 일찌감치 우발 고장 기간으로 들어 가는 것이 바람직하다. 현재, 이러한 스크리닝 방법의 1개로서, 일반적으로, 스트레스 가속 시험으로서의 고온 동작 시험(번인 시험)을 실행하고 있다. 번인 시험은 고온 환경하에서 수십 시간 내지 수일간 연속적으로 반도체 장치를 동작시키는 시험으로, 제품으로 되는 반도체 장치를 이용하여 그 내부에 포함되는 MOS 트랜지스터의 게이트 절연막 및 반도체 기억 장치의 경우의 메모리 셀 캐패시터의 유전체막의 신뢰성을 직접 평가할 수 있고 또 알루미늄 배선의 마이그레이션(migration)(일렉트로 마이그레이션(electro migration) 및 스트레스 마이그레이션(stress migration))을 비롯하여 모든 불량 요인을 고온의 또한 고전계의 스트레스(고온/고전압 동작 조건)를 인가하여 현재화시키는 시험이다. 특히, 온도 가속 중에 반도체 장치를 동작시켜, 가속성을 높이면 효과적으로 된다.

이 스크리닝을 실행하기 위해서, 도 21에 도시하는 바와 같이 스트레스 가속모드 지시 신호 /STR를 이 스트레스 가속 시험시에 활성화 상태로 하여 p채널 MOS 트랜지스터(905d)를 도통시켜, 기준 전압 Vref를 외부 전원 전압 extVcc 레벨로 설정한다. 이 상태에 있어서는 비교 회로(905b) 및 p채널 MOS 트랜지스터(905c)에 의해, 내부 전원 전압 intVcc는 외부 전원 전압 extVcc 레벨로 되어, 반도체 집적 회로 장치 내부의 메모리 회로에 외부 전원 전압 extVcc를 인가할 수 있다. 이 외부 전원 전압 extVcc의 전압 레벨을 높게 함으로써, 전압 가속을 실행하여, 효과적으로 스크리닝 테스트를 실행할 수 있다.

발명이 이루고자 하는 기술적 과제

도 22는 도 20에 도시하는 메모리 회로(908)의 구성을 개략적으로 도시한 도면이다. 도 22에 있어서, 메모리 회로(908)는 행렬 형상으로 배열되는 복수의 메모리 셀을 갖는 메모리 셀 어레이(908a)와, 어드레스 버퍼(도시하지 않음)로부터 인가되는 내부 행 어드레스 신호를 디코드하여, 메모리 셀 어레이(908a)의

어드레스 지정된 행을 선택 상태로 구동하는 행 디코더(908b)와, 마찬가지로, 도시하지 않은 어드레스 버퍼로부터의 내부 열 어드레스 신호를 디코드하여, 메모리 셀 어레이(908a)의 열을 지정하는 열 선택 신호를 발생하는 열 디코더(908c)와, 메모리 셀 어레이(908a)의 각 열에 대응하여 마련되고, 활성화시 대응하는 열 상에 판독된 메모리 셀 데이터의 검지 및 증폭을 실행하는 센스 앰프(908d)를 포함한다. 메모리 셀 어레이(908a)에서는, 각 행에 대응하여 워드선이 배치되어 있고, 이들 워드선에는 대응하는 행의 메모리 셀이 접속된다. 행 디코더(908b)는 어드레스 지정된 행에 대응하여 배치된 워드선을 선택 상태로 구동한다. 또한, 메모리 셀 어레이(908a)에서는 메모리 셀 열의 각각에 대하여 비트선쌍이 배치되어 있고, 이 비트선쌍에 대응하는 열의 메모리 셀이 접속된다. 열 디코더(908c)는 이 어드레스 지정된 열에 대응하여 배치된 비트선쌍을 선택하는 신호를 발생한다. 센스 앰프(908d)는 각 비트선쌍에 대응하여 마련되고, 이 비트선쌍 상에 판독된 메모리 셀 데이터를 차동적으로 증폭하는 센스 앰프 회로를 포함한다.

이 메모리 회로는 또한, 외부에서 인가되는 로우 어드레스 스트로브 신호 /RAS, 컬럼 어드레스 스트로브 신호 /CAS 및 기입 인에이블 신호 /WE에 따라서, 각종 내부 동작에 필요한 내부 제어 신호를 발생하는 주변 제어 회로(908e)를 포함한다. 로우 어드레스 스트로브 신호 /RAS는 메모리 사이클의 개시를 나타내는 신호로서, 이 로우 어드레스 스트로브 신호 /RAS의 활성화(L레벨)에 응답하여 로우 디코드 동작이 시작된다. 컬럼 어드레스 스트로브 신호 /CAS는 열 선택 동작 개시를 지정하고, 이 컬럼 어드레스 스트로브 신호 /CAS의 활성화(L레벨)에 따라서 도시하지 않은 어드레스 버퍼가 내부 열 어드레스 신호를 발생하여 열 디코더(908c)에 인가한다. 기입 인에이블 신호 /WE는 데이터 기입 동작을 나타내는 신호로서, 컬럼 어드레스 스트로브 신호 /CAS 및 기입 인에이블 신호 /WE가 함께 L레벨의 활성 상태로 되면, 내부에서 선택 메모리 셀로의 데이터 기입이 실행된다.

도 23은 도 20에 도시하는 메모리 셀 어레이의 1열에 관련되는 부분의 구성을 개략적으로 도시한 도면이다. 도 23에 있어서는 비트선 BL과 워드선 WL의 교차부에 대응하여 배치되는 메모리 셀 MC를 대표적으로 도시한다. 워드선 WL에는 1행의 메모리 셀이 접속되고, 비트선쌍 BL 및 /BL에는 1열의 메모리 셀이 접속된다. 메모리 셀 MC는 정보를 기억하는 캐패시터 MQ와, 워드선 WL 상의 신호 전위에 응답하여 메모리 캐패시터 MQ를 비트선 BL에 접속하는 n채널 MOS 트랜지스터로 구성되는 액세스 트랜지스터 MT를 포함한다.

센스 앰프(908d)에 포함되는 센스 앰프 회로는 게이트와 드레인이 교차 결합되는 p채널 MOS 트랜지스터 P1 및 P2와, 게이트 및 드레인이 교차 결합되는 n채널 MOS 트랜지스터 N1 및 N2를 포함한다. 즉, p채널 MOS 트랜지스터 P1은 그 드레인이 비트선 BL에 접속되고, 그 게이트가 비트선 /BL에 접속된다. p채널 MOS 트랜지스터 P2는 그 드레인이 비트선 /BL에 접속되고, 또한 게이트가 비트선 BL에 접속된다. p채널 MOS 트랜지스터 P1 및 P2의 소스는 함께, 센스 앰프 활성화 신호 Φ_{SP} 의 활성화(L레벨)에 응답하여 도통하는 p채널 MOS 트랜지스터 P3를 거쳐서 내부 전원선(904a)에 결합된다.

n채널 MOS 트랜지스터 N1은 그 드레인이 비트선 BL에 접속되고 또한 그 게이트가 비트선 /BL에 접속된다. n채널 MOS 트랜지스터 N2는 그 드레인이 비트선 /BL에 접속되고, 또한 그 게이트가 비트선 BL에 접속된다. 이들 n채널 MOS 트랜지스터 N1 및 N2의 소스는 센스 앰프 활성화 신호 Φ_{SN} 의 활성화시(H레벨) 도통하는 n채널 MOS 트랜지스터 N3를 거쳐서 접지선(907a)에 결합된다.

비트선 BL 및 /BL에 대하여, 또한, 비트선 이퀄라이즈 지시 신호 Φ_{EQ} 에 응답하여 비트선 BL 및 /BL을 전기적으로 단락하는 n채널 MOS 트랜지스터 N4와, 이 비트선 이퀄라이즈 지시 신호 Φ_{EQ} 의 활성화에 응답하여 도통하고, 비트선 BL 및 /BL에 소정의 중간 전압 레벨의 프리차지 전압 V_{b1} 을 전달하는 n채널 MOS 트랜지스터 N5 및 N6을 포함한다. 이 비트선 이퀄라이즈 지시 신호 Φ_{EQ} 는 반도체 집적 회로 장치로서의 반도체 기억 장치(이하, 간단히 반도체 기억 장치라 한다)가 스탠바이 상태(로우 어드레스 스트로브 신호 /RAS가 H레벨의 비활성 상태)일 때, 활성 상태의 H레벨로 된다.

액티브 사이클시(신호 /RAS가 L레벨)에 있어서는 비트선 이퀄라이즈 지시 신호 Φ_{EQ} 가 L레벨로 되고, 비트선 BL 및 /BL이 소정의 프리차지 전압 V_{b1} 의 전압 레벨로서 플로팅 상태로 된다. 이 상태에 있어서, 워드선 WL이 선택되고, 메모리 셀 MC의 기억 데이터가 비트선 BL에 전달된다. 이어서, 센스 앰프 활성화 신호 Φ_{SP} 및 Φ_{SN} 이 활성화되어, p채널 MOS 트랜지스터 P1 및 P2가 비트선 BL 및 /BL의 고전위의 비트선을 내부 전원선(904a) 상의 내부 전원 전압 $intV_{cc}$ 레벨까지 풀업(pull up)하고, 한편, n채널 MOS 트랜지스터 N1 및 N2가 이 비트선 BL 및 /BL의 저전위의 비트선을 접지 전압 GND 레벨까지 방전한다.

이 센스 동작시에서는 메모리 셀 어레이(908a)의 선택 워드선 WL에 접속되는 1행의 메모리 셀의 센스 동작이 실행된다. 따라서, 동시에 수많은 센스 앰프 회로가 동작하여 각 비트선쌍의 총방전이 실행된다. 따라서, 센스 앰프(908d)의 센스 동작시에서의 소비 전류는 커서, 다른 주변 제어 회로(908e), 행 디코더(908b) 및 열 디코더(908c)에 비해서 큰 전류 소비원으로 된다.

이 반도체 기억 장치의 소비 전력을 저감하기 위해서, 전압 강하 회로(905)로부터 발생하는 내부 전원 전압 $intV_{cc}$ 의 전압 레벨을 작게 한다. 이에 따라, 비트선쌍의 전압 진폭이 작아지고, 따라서 소비 전류가 작아져서 저소비 전력화를 도모할 수 있다. 그러나, 전압 강하 회로(905)는 내부 전원선(904)상에 1종류의 내부 전원 전압 $intV_{cc}$ 를 발생하고 있을 뿐이다. 따라서, 주변 회로로서의 주변 제어 회로(908e), 행 디코더(908b) 및 열 디코더(908c)로도, 이 낮은 내부 전원 전압 $intV_{cc}$ 가 전달된다. MOS 트랜지스터는 그 게이트 전압에 의해 동작 속도가 규정된다(MOS 트랜지스터의 드레인 전류는 게이트 전압의 2승 함수로 인가된다(포화 영역에서 동작할 때)). 따라서, 이 경우에는 고속 동작하는 반도체 기억 장치를 실현할 수가 없게 된다.

한편, 고속 동작을 실현하기 위해서, 내부 전원 전압 $intV_{cc}$ 의 전압 레벨을 높게 하여 행 디코더(908b), 열 디코더(908c) 및 주변 제어 회로(908e) 등에 인가하는 것을 고려한다. 그러나, 이 경우에 있어서도, 높게 된 내부 전원 전압 $intV_{cc}$ 가 메모리 셀 어레이의 각 열에 대응하여 마련된 센스 앰프(908d)에 인가되어, 각 비트선의 전압 진폭이 커져, 소비 전류를 저감할 수가 없게 된다.

따라서, 종래의 반도체 기억 장치에 있어서는 1종류의 내부 전원 전압을 발생하는 전압 강하 회로밖에 마

련되어 있지 않아, 고속 동작 및 저소비 전력을 함께 실현하는 것은 곤란하게 된다는 문제가 발생한다.

그러므로, 본 발명의 목적은 고속 동작 및 저소비 전력을 함께 실현할 수 있는 반도체 집적 회로 장치를 제공하는 것이다.

본 발명의 다른 목적은 고속 동작 및 저소비 전력을 함께 실현할 수 있음과 동시에, 유효한 신뢰성 평가 시험을 실행할 수 있는 반도체 집적 회로 장치를 제공하는 것이다.

발명의 구성 및 작용

청구항 1에 관한 반도체 집적 회로 장치는 제 1 전원 노드에 결합되고, 이 제 1 전원 노드로부터 전류가 공급되어 제 1 기준 전압을 발생하는 제 1 기준 전압 발생 회로와, 제 2 전원 노드에 결합되고, 이 제 2 전원 노드로부터 전류가 공급되어, 제 1 기준 전압과 레벨이 다른 제 2 기준 전압을 발생하는 제 2 기준 전압 발생 회로와, 제 1 전원 노드의 전압을 한쪽의 동작 전원 전압으로 하여 동작하고, 이 제 1 기준 전압 발생 회로의 출력 노드의 전압과 제 1 내부 전원선 상의 전압을 비교하는 제 1 비교 회로와, 제 1 전원 노드와 제 2 내부 전원선과의 사이에 결합되어, 제 1 비교 회로의 출력 신호에 따라서 제 1 전원 노드로부터 제 1 내부 전원선으로 전류를 공급하는 제 1 전류 드라이브 소자와, 제 1 전원 노드와 제 1 기준 전압 발생 회로의 출력 노드와의 사이에 결합되고, 스트레스 가속 모드 지시 신호의 활성화에 응답하여, 제 1 기준 전압 발생 회로의 출력 노드와 제 1 전원 노드를 전기적으로 결합하는 제 1 스위칭 소자와, 제 2 기준 전압 발생 회로의 출력 노드의 전압과 제 1 내부 전원선과 별도로 마련되는 제 2 내부 전원선의 전압을 비교하는 제 2 비교 회로와, 제 2 전원 노드와 제 2 내부 전원선과의 사이에 결합되고, 제 2 비교 회로의 출력 신호에 따라서 제 2 전원 노드로부터 제 2 내부 전원선으로 전류를 공급하는 제 2 전류 드라이브 소자와, 제 2 전원 노드와 제 2 기준 전압 발생 회로의 출력 노드와의 사이에 결합되고, 스트레스 가속 모드 지시 신호의 활성화에 응답하여 제 2 전원 노드와 제 2 기준 전압 발생 회로의 출력 노드를 전기적으로 결합하는 제 2 스위칭 소자를 구비한다.

청구항 2에 관한 반도체 집적 회로 장치는 복수의 내부 전원선과, 이들 복수의 내부 전원선의 각각에 대응하여 마련되고, 서로 전압 레벨이 다른 복수의 기준 전압을 발생하는 기준 전압 발생 수단과, 이들 복수의 기준 전압 발생 수단의 각각에 대응하여 마련되고, 대응하는 기준 전압과 대응하는 내부 전원선상의 전압을 차동 증폭하여, 이 증폭 결과에 따라서 대응하는 내부 전원선상의 전압을 조정하고, 대응하는 내부 전원선상의 전압을 대응하는 기준 전압 출력 노드상의 전압 레벨로 유지하는 복수의 내부 전압 발생 수단과, 스트레스 가속 모드 지시 신호에 응답하여 기준 전압 발생 수단의 각 기준 전압 출력 노드를 외부 전원 전압 공급 노드에 결합하는 수단을 구비한다.

복수의 전압 레벨이 다른 기준 전압의 각각에 따라서 내부 전원 전압을 생성하는 것에 의해, 반도체 집적 회로 장치내에서, 저소비 전력성이 중시되는 내부 회로부 및 고속 동작성이 요구되는 회로부로 각각 최적의 내부 전원 전압을 인가할 수 있어, 고속 동작 및 저소비 전류의 반도체 집적 회로 장치를 실현할 수 있다.

또한, 스트레스 가속 모드시에, 기준 전압 출력 노드를 외부 전원 전압 공급 노드에 결합하는 것에 의해, 기준 전압을 외부에서 조정할 수 있고, 이 전압 강하 회로를 외부 전원 전압에 따라서 동작시킬 수 있어, 이 내부 전원 전압을 발생하는 회로, 즉 전압 강하 회로의 스트레스 가속 테스트를 실행할 수 있어, 확실하게, 이 반도체 집적 회로 장치의 신뢰성 평가를 실행할 수 있다.

(발명의 실시예)

(실시예 1)

도 1은 본 발명의 실시예 1에 따르는 반도체 기억 장치의 전체의 구성을 개략적으로 도시한 도면이다. 도 1에 있어서, 반도체 기억 장치(1)는 행렬 형상으로 배열되는 복수의 메모리 셀을 갖는 메모리 셀 어레이(2)와, 어드레스 입력 단자(3)에 인가된 어드레스 신호를 받아, 내부 행 어드레스 신호 RA 및 내부 열 어드레스 신호 CA를 발생하는 어드레스 버퍼(4)와, 어드레스 버퍼(4)로부터 인가되는 내부 행 어드레스 신호 RA를 디코딩하고, 메모리 셀 어레이(2)의 어드레스 지정된 행을 선택 상태로 구동하는 행 디코더(5)와, 어드레스 버퍼(4)로부터 인가되는 내부 어드레스 신호 CA를 디코딩하고, 메모리 셀 어레이(2)의 어드레스 지정된 열을 선택하기 위한 열 선택 신호를 발생하는 열 디코더(6)와, 메모리 셀 어레이(2)의 각 열에 대응하여 마련되고, 활성화시 대응하는 열의 메모리 셀의 데이터의 검지, 증폭 및 래치를 실행하는 센스 앰프(7)와, 메모리 셀 어레이(2)의 선택된 메모리 셀과 내부 데이터 버스(8)의 사이에서 데이터의 입출력을 실행하는 입출력 회로(9)를 포함한다. 메모리 셀 어레이(2)에 있어서는 앞의 도 23에 도시하는 구성과 마찬가지로, 각 행에 대응하여 워드선이 배치되고, 각 워드선에 대응하는 행의 메모리 셀이 접속된다. 메모리 셀 어레이(2)의 각 열에는 비트선쌍이 마련되고, 각 비트선쌍에는 대응하는 열의 메모리 셀이 접속된다.

행 디코더(5)는 이 어드레스 지정된 행에 대응하는 워드선을 선택 상태로 구동한다. 이 행 디코더(5)와 선택 상태로 구동되어야 하는 워드선의 사이에는 뒤에 설명하는 내부 전원 전압보다 높은 승압 전압을 전달하는 워드선 드라이브 회로가 마련된다. 열 디코더(6)는 이 메모리 셀 어레이(2)의 어드레스 지정된 열에 대응하여 마련된 비트선쌍을 선택하는 열 선택 신호를 발생한다.

센스 앰프(7)는 도 23에 도시하는 구성과 마찬가지로, 교차 결합된 p채널 MOS 트랜지스터쌍 및 교차 결합된 n채널 MOS 트랜지스터쌍을 포함한다.

입출력 회로(9)는 데이터 판독시, 메모리 셀 어레이(2)의 선택된 메모리 셀의 데이터를 증폭하여 내부 데이터 입출력 버스(8)에 전달하는 프리 앰프와, 데이터 기입시에 활성화되고, 내부 데이터 버스(8)상에 전달된 데이터를 증폭하여 선택 메모리 셀로 전달하는 기입 드라이버를 포함한다.

반도체 기억 장치(1)는 또한, 데이터 입출력 단자(10a~10d)에 인가된 외부 기입 데이터 DQ1~DQ4를 증폭하여 내부 데이터 버스(8)에 전달하는 입력 버퍼(11)와, 데이터 판독 동작 모드시, 이 내부 데이터 버스

(8)상에 전달된 내부 판독 데이터를 증폭하여 외부 데이터 입출력 단자(10a~10d)에 출력하는 출력 버퍼(12)와, 제어 신호 입력 단자(13a)에 인가되는 컬럼 어드레스 스트로브 신호 /CAS와 제어 신호 입력 단자(13b)에 인가되는 로우 어드레스 스트로브 신호 /RAS에 따라서 각종 동작에 필요한 내부 제어 신호를 발생하는 클럭 발생 회로(14)와, 이 클럭 발생 회로(14)로부터의 내부 제어 신호와 제어 신호 입력 단자(13c)에 인가되는 기입 인에이블 신호 /WE를 받아 기입/판독 제어 신호를 발생하는 게이트 회로(15)를 포함한다.

클럭 발생 회로(14)는 어드레스 버퍼의 어드레스 페치 타이밍, 행 디코더(5)의 디코드 타이밍, 열 디코더(6)의 디코드 타이밍 및 출력 버퍼(12)의 활성화/비활성을 결정하기 위한 내부 제어 신호를 발생하고, 또한 센스 앰프(7)의 활성화 타이밍 및 입출력 회로(9)의 활성화 타이밍을 규정하는 내부 제어 신호를 발생한다.

게이트 회로(15)는 그 한쪽 입력에서, 클럭 발생 회로(14)로부터 컬럼 어드레스 스트로브 신호 /CAS 및 로우 어드레스 스트로브 신호 /RAS가 함께 활성화 상태일 때에 H레벨로 되는 신호를 받는다. 이 게이트 회로(15)는 기입 인에이블 신호 /WE가 L레벨의 활성화 상태로 되면, 입력 버퍼(11)를 활성화하고, 또한 출력 버퍼(12)의 내부 데이터 판독 동작을 정지시킨다. 출력 버퍼(12)는 이 기입 인에이블 신호 /WE가 비활성 상태에 있어 판독 동작 모드를 나타낼 때 작동 상태로 된다. 이 출력 버퍼(12)는 또한 단자(16)를 거쳐서 출력 인에이블 신호 /OE를 받는다. 이 출력 인에이블 신호 /OE는 출력 버퍼(12)의 출력 임피던스를 결정한다. 출력 버퍼(12)는 컬럼 어드레스 스트로브 신호 /CAS 및 출력 인에이블 신호 /OE가 함께 활성화 상태의 L레벨일 때에 출력 저(低)임피던스 상태로 되고, 내부 데이터 버스(8)상에 인가된 데이터를 증폭하고 데이터 입출력 단자(10a~10d)에 판독 데이터 DQ1~DQ4를 출력한다. 로우 어드레스 스트로브 신호 /RAS 및 컬럼 어드레스 스트로브 신호 /CAS가 함께 L레벨일 때에, 이 출력 인에이블 신호 /OE가 L레벨의 활성화 상태로 되면 출력 저임피던스 상태로 되어 데이터 출력 동작을 실행한다. 출력 버퍼(12)는 저임피던스 상태로 되면, 다음에 출력 인에이블 신호 /OE 또는 컬럼 어드레스 스트로브 신호 /CAS가 비활성 상태의 H레벨로 될 때까지 저임피던스 상태를 유지한다.

또한 게이트 회로(15)는 데이터 기입 동작시에 있어서, 이 출력 인에이블 신호 /OE가 활성화 상태에 있더라도 출력 버퍼(12)를 출력 하이(high) 임피던스 상태로 설정하는 기능을 구비한다.

이 반도체 기억 장치(1)는 또한, 전원 단자(20a 및 20p) 각각에 인가되는 외부 전원 전압 extVcc와 외부 접지 단자(21a 및 21p) 각각에 인가되는 접지 전압 Vss를 받아 동작하고, 서로 전압 레벨이 다른 내부 전원 전압 intVccP 및 intVccA를 발생하는 내부 전원 전압 발생 회로(22)를 포함한다. 내부 전원 전압 intVccA는 메모리 셀 어레이(2), 센스 앰프(7) 및 입출력 회로(9)로 인가된다. 한편, 내부 전원 전압 intVccP은 어드레스 버퍼(4), 행 디코더(5), 열 디코더(6), 입력 버퍼(11), 출력 버퍼(12) 및 클럭 발생 회로(14) 및 게이트 회로(15) 등의 주변 회로로 인가된다. 어레이용의 전원 전압 intVccA는 저소비 전력을 실현하기 위해서 그 전압 레벨이 낮게 되고, 한편, 주변 회로를 위한 내부 전원 전압 intVccP은 고속 동작실현을 위해 그 전압 레벨이 높게 된다.

메모리 셀 어레이(2)에 대하여, 내부 전원 전압 intVccA를 인가하는 것은, 센스 앰프 형성 영역에서의 p 채널 MOS 트랜지스터가 형성되는 N 웰에 바이어스 전압을 인가하기 위해서이다. 또한, 이 어레이용 내부 전원 전압 intVccA에서, 메모리 셀 캐패시터로 인가되는 셀 플레이트 전압 Vcp 및 비트선 프리차지 전압 Vb1이 생성되어 메모리 셀 어레이로 인가된다. 센스 앰프(7)는 이 어레이용 내부 전원 전압 intVccA를 한쪽의 동작 전원 전압으로 하여 동작한다.

도 2는 도 1에 도시하는 반도체 기억 장치의 1비트의 메모리 셀에 관련되는 부분의 구성을 개략적으로 도시한 도면이다. 도 2에 있어서, 어드레스 버퍼(4)는 주변용 내부 전원 전압 intVccP과 접지 전압 Vss를 동작 전원 전압으로 하여 동작하고, 외부에서 인가되는 어드레스 신호 비트 Ai를 받아, 상보인 내부 어드레스 신호 비트 Ai 및 /Ai를 발생하는 버퍼 회로(4a)를 포함한다. 이 어드레스 버퍼(4a)로부터의 상보 어드레스 신호 비트가 행 디코더(5) 및 열 디코더(6)에 인가된다. 행 디코더(5)는 주변 내부 전원 전압 intVccP을 한쪽의 동작 전원 전압으로 하여 동작하고, 어드레스 버퍼(4)로부터 인가되는 소정의 조합의 어드레스 신호 비트를 받는 NAND 회로(5a)와, 주변용 내부 전원 전압 intVccP을 한쪽의 동작 전원 전압으로 하여 동작하고, NAND 회로(5a)의 출력 신호를 반전하여 워드선 WL에 전달하는 인버터 회로(5b)를 포함한다. 이 행 디코더(5)와 워드선 WL의 사이에, 인버터 회로(5b)의 출력 신호에 따라서, 도시하지 않은 회로로부터 발생되는 워드선 구동 신호를 워드선 WL 상에 전달하는 워드선 드라이버 회로가 마련된다. 이 워드선 구동 신호는 어레이용 내부 전원 전압 intVccA에 기초하여 생성되는 승압 전압 Vpp 레벨이다.

워드선 WL과 비트선 BL의 교차부에 대응하여 메모리셀 MCI가 배치된다. 이 메모리 셀 MC는 정보를 기억하는 메모리 캐패시터 MQ와, 워드선 WL 상의 전위에 응답하여 이 캐패시터 MQ를 비트선 BL에 접속하는 액세스 트랜지스터 MT를 포함한다. 메모리 셀 캐패시터 MQ의 셀 플레이트 전극에는 어레이용 내부 전원 전압 intVccA의 1/2의 레벨의 중간 전압이 인가된다.

이 비트선 BL 및 /BL에 대하여 센스 앰프 회로(7a)가 마련된다. 이 센스 앰프 회로(7a)는 도 1에 도시하는 센스 앰프(7)에 포함된다. 센스 앰프 회로(7a)는 센스 앰프 활성화 신호 Φ_{SP} 및 Φ_{SN} 에 응답하여 활성화되고, 내부 전원선(25) 및 접지선(26) 상에 인가되는 어레이용 내부 전원 전압 intVccA 및 접지 전압 Vss를 양쪽의 동작 전원 전압으로 하여 동작하여, 비트선 BL 및 /BL의 전위를 차동적으로 증폭한다. 이 비트선 BL 및 /BL에는 비트선 BL 및 /BL의 전위를 소정의 중간 전압 레벨(어레이용 내부 전원 전압 intVccA의 1/2)로 이퀄라이즈하기 위한 비트선 이퀄라이즈 회로가 마련되어 있지만, 도 2에 있어서는 나타나 있지 않다.

센스 앰프 활성화 신호 Φ_{SP} 및 Φ_{SN} 은 클럭 발생 회로(14)에 포함되는 센스 제어 회로(14a)로부터 출력된다. 이 센스 제어 회로(14a)는 주변용 내부 전원 전압 intVccP을 한쪽의 동작 전원 전압으로 하여 동작하고, 로우 어드레스 스트로브 신호 /RAS에 따라서 소정의 타이밍으로 센스 앰프 활성화 신호 Φ_{SP} 및 Φ_{SN} 을 출력한다. 이 센스 제어 회로(14a)는 센스 앰프 활성화 신호 Φ_{SP} 및 Φ_{SN} 을, 어레이용 내부 전원 전압 intVccA의 전원 전압 레벨로 변환하는 레벨 변환 회로를 구비하고 있어도 좋다.

열 디코더(6)는 주변용 내부 전원 전압 $intV_{ccP}$ 을 한쪽의 동작 전원 전압으로 하여 동작하고, 어드레스 버퍼(4)로부터의 내부 열 어드레스 신호 비트의 소정의 조합을 받는 NAND 회로(6a)와, 내부 전원 전압 $intV_{ccP}$ 을 한쪽의 동작 전원 전압으로 하여 동작하고, NAND 회로(6a)의 출력 신호를 반전하는 인버터 회로(6b)를 포함한다. 이 인버터 회로(6b)의 출력 신호는 비트선 BL 및 /BL에 마련된 열 선택 게이트(27)로 인가된다. 열 선택 게이트(27)는 이 인버터 회로(6b)의 출력 신호(열 선택 신호)가 H레벨일 때에 도통하여 비트선 BL 및 /BL을 내부 데이터선쌍(28)에 접속한다. 이 열 디코더(6)에 있어서도, 인버터 회로(6b)는 어레이용 내부 전원 전압 $intV_{ccA}$ 의 전압 레벨의 열 선택 신호를 발생하는 레벨 변환 회로를 구비하고 있어도 좋다.

입출력 회로(9)는 어레이용 내부 전원 전압 $intV_{ccA}$ 를 한쪽의 동작 전원 전압으로 하여 동작하여 내부 데이터선쌍(28) 상의 데이터를 증폭하는 프리 앰프(9a)와, 어레이용 내부 전원 전압 $intV_{ccA}$ 를 한쪽의 동작 전원 전압으로 하여 동작하여 내부 데이터선쌍(28) 상에 상보인 내부 기입 데이터를 전달하는 기입 드라이버(9a)를 포함한다.

이 프리 앰프(9a)의 출력 신호는 내부 판독선(8a)을 거쳐서 출력 버퍼 회로(12a)로 인가된다. 기입 드라이버(9b)는 내부 기입 데이터선(8b)을 거쳐서 입력 버퍼 회로(11a)로부터 내부 기입 데이터를 받는다. 출력 버퍼 회로(12a) 및 입력 버퍼 회로(11a)는 주변 내부 전원 전압 $intV_{ccP}$ 을 한쪽의 동작 전원 전압으로 하여 동작한다. 이 출력 버퍼 회로(12a)는, 외부 단자(10)에 접속하는 최종단은 외부 전원 전압 $extV_{cc}$ 에 따라서 동작하여도 좋다. 입력 버퍼 회로(11a)는 이 데이터 입출력 단자(10)에 결합되는 입력 초단(初段)이 외부 전원 전압 $extV_{cc}$ 에 따라서 동작하도록 구성되어도 좋다.

도 1 및 도 2에 도시하는 바와 같이 주변 회로의 한쪽의 동작 전원 전압을 주변용 내부 전원 전압 $intV_{ccP}$ 으로 하고, 어레이 내부에 인가되는 전원 전압을 이것보다 낮은 내부 전원 전압 $intV_{ccA}$ 로 한다. 비트선 BL 및 /BL의 전압은 어레이용 내부 전원 전압 $intV_{ccA}$ 와 접지 전압 V_{ss} 의 사이에서 변화하고, 그 전압 진폭은 작아, 총방전 전류가 작아져서 소비 전류가 저감된다.

한편, 주변 회로에 대한 전원 전압 $intV_{ccP}$ 은 이 어레이용 내부 전원 전압 $intV_{ccA}$ 보다도 높은 전압 레벨로 설정하는 것에 의해, 주변 회로의 각 회로를 구성하는 MOS트랜지스터의 게이트 전압 레벨이 상승하고, 각 내부 출력 노드를 고속으로 총방전할 수 있어, 고속 동작이 실현된다.

도 3은 도 1에 도시하는 내부 전원 전압 발생 회로(22)의 구성을 개략적으로 도시한 도면이다. 도 3에 있어서, 내부 전원 전압 발생 회로(22)는 외부 전원 단자(20p)에 접속되는 전원 패드(30p) 상의 외부 전원 전압 $extV_{cc}$ 와 기준 전압 V_{refP} 로부터 주변용 내부 전원 전압 $intV_{ccP}$ 을 발생하는 주변용 전압 강하 회로(22p)와, 외부 전원 단자(20a)에 접속되는 패드(30a) 상의 외부 전원 전압 $extV_{cc}$ 와 기준 전압 V_{refA} 에 따라서 어레이용 내부 전원 전압 $intV_{ccA}$ 를 발생하는 어레이용 전압 강하 회로(22a)를 포함한다.

주변용 전압 강하 회로(22p)는, 전원 패드(30p) 상의 외부 전원 전압 $intV_{cc}$ 로부터 전류가 공급되어 이 외부 전원 전압 $extV_{cc}$ 에 대한 의존성이 지극히 작은 기준 전압 V_{refP} 을 발생하는 기준 전압 발생 회로(34p)와, 기준 전압 발생 회로(34p)의 출력 노드(35p) 상의 기준 전압 V_{refP} 과 주변용 내부 전원선(37p) 상의 내부 전원 전압 $intV_{ccP}$ 을 차동적으로 증폭하는 차동 증폭기로 구성되는 비교 회로(36p)와, 외부 전원 노드(30p)와 내부 전원선(37p)의 사이에 결합되고, 비교 회로(36p)의 출력 신호에 따라서 전원 패드에 접속되는 외부 전원선(32)로부터 전류를 내부 전원선(37p)에 공급하는 p채널 MOS 트랜지스터(38p)를 포함한다. 여기서, 외부 전원선(32)은 외부 전원 패드(30p) 및 (30a)를 상호 접속한다.

주변용 전압 강하 회로(22p)는 또한, 스트레스 가속 모드 지시 신호 /STR의 활성화시 도통하여 외부 전원선(32)과 기준 전압 발생 회로(34p)의 출력 노드를 전기적으로 접속하는 p채널 MOS 트랜지스터(39p)를 포함한다. 패드(30p)에 인접하여 외부 전원선(32)에 대해 안정화 용량(40p)이 마련된다.

어레이용 전압 강하 회로(22a)는 전원 패드(30a)로부터의 외부 전원 전압 $extV_{cc}$ 를 받아 이 외부 전원 전압 $extV_{cc}$ 에 대한 의존성이 지극히 작은 기준 전압 V_{refA} 를 발생하는 기준 전압 발생 회로(34a)와, 기준 전압 V_{refA} 와 내부 전원선(37a) 상의 내부 전원 전압 $intV_{ccA}$ 를 차동적으로 증폭하는 차동 증폭기로 구성되는 비교 회로(36a)와, 외부 전원선(32)과 내부 전원선(37a)의 사이에 결합되고, 비교 회로(36a)의 출력 신호에 따라서 외부 전원선(32)으로부터 내부 전원선(37a)에 전류를 공급하는 p채널 MOS 트랜지스터(38a)를 포함한다. 비교 회로(36a)는 이 외부 전원선(32)상의 외부 전원 전압 $extV_{cc}$ 를 한쪽의 동작 전원 전압으로 하여 동작한다. 이것은 비교 회로(36p)도 마찬가지이다.

어레이용 전압 강하 회로(22a)는 또한, 스트레스 가속 모드 지시 신호 /STR의 활성화시 도통하여, 외부 전원선(32)과 기준 전압 발생 회로(34a)의 출력 노드(35a)를 전기적으로 접속하는 p채널 MOS 트랜지스터(39a)를 포함한다. 전원 패드(30a)에 인접하여, 외부 전원선(32)에 대한 안정화 용량(40a)이 마련된다.

내부 전원선(37p) 및 (37a)는 따로따로 마련되고, 각각 주변 회로 및 어레이 회로에 동작 전원 전압을 공급한다.

주변용의 기준 전압 V_{refP} 은 어레이용의 기준 전압 V_{refA} 보다도 높은 전압레벨이다. MOS 트랜지스터(39p)가 비도통 상태일 때(스트레스 가속 모드 이외일 때), 비교 회로(36p) 및 p채널 MOS 트랜지스터(38p)에 의해, 내부 전원선(37p) 상의 주변용 내부 전원 전압 $intV_{ccP}$ 은 기준 전압 V_{refP} 의 전압 레벨로 유지된다. 마찬가지로, MOS 트랜지스터(39a)가 비도통 상태일 때, 내부 전원선(37a) 상의 어레이용 내부 전원 전압 $intV_{ccA}$ 는 기준 전압 발생 회로(34a)로부터 발생하는 기준 전압 V_{refA} 의 전압 레벨로, 비교 회로(36a) 및 p채널 MOS 트랜지스터(38a)의 피드백 루프에 의해 유지된다.

번인 모드 등의 스트레스 가속 모드시에 있어서는 스트레스 가속 모드 지시 신호 /STR가 L레벨의 활성화 상태로 되어, MOS 트랜지스터(39a) 및 (39p)가 도통하여, 기준 전압 V_{refP} 및 V_{refA} 는 외부 전원선(32) 상의 외부 전원 전압 $extV_{cc}$ 의 전압 레벨로 된다. 이 상태에 있어서는 비교 회로(36p) 및 (36a)는 외부 전원 전압 $extV_{cc}$ 와 내부 전원 전압 $intV_{ccP}$ 및 $intV_{ccA}$ 를 차동 증폭한다. 따라서, 내부 전원 전압 $intV_{ccP}$ 및 $intV_{ccA}$ 는 외부 전원 전압 $extV_{cc}$ 에 따라서 변화한다. 내부 전원선(37p)은 주변 회로에 대한

한쪽의 동작 전원 전압을 인가하고, 내부 전원선(37a)은 센스 앰프 및 입출력 회로에 대한 한쪽의 동작 전원 전압을 공급한다. 따라서, 스트레스 가속 모드시에 있어서, 이들 각 회로에 대한 동작 전원 전압을 외부 전원 전압 extVcc에 따라서 변화시켜, 전압 스트레스를 가속할 수 있다.

또한, 이 기준 전압 발생 회로(34p) 및 (34a)의 출력 노드(35p) 및 (35a)를 각각, 외부 전원선(32)에 접속하는 것에 의해, 비교 회로(36p) 및 (36a)의 각 구성 요소에 대해서도 전압 스트레스가 가속되어, 이들 전압 강하 회로에 있어서의 비교 회로(36p, 36a, 38p, 38a)에 대한 스트레스 가속을 실행할 수 있어, 전압 강하 회로의 신뢰성 평가를 확실히 실행할 수 있다.

도 4는 도 3에 도시하는 비교 회로(36p) 및 (36a)의 구성의 일례를 도시한 도면이다. 도 4에 도시하는 바와 같이 비교 회로(36(36p,36a))는 기준 전압 Vref와 내부 전원 전압 intVcc를 비교하는 비교단을 구성하는 n채널 MOS트랜지스터 Q1 및 Q2와, 이들 MOS 트랜지스터 Q1 및 Q2에 외부 전원선(32)으로부터 전류를 공급하는 커런트 미러(current mirror)단을 구성하는 p채널 MOS 트랜지스터 Q3 및 Q4를 포함한다. MOS 트랜지스터 Q1 및 Q3의 접속 노드가 전류 드라이브용 p채널 MOS 트랜지스터(38)의 게이트에 접속된다. 스트레스 가속 모드시에 있어서는 기준 전압 Vref가 외부 전원 전압 extVcc의 전압 레벨로 설정된다. 이 상태에 있어서, 내부 전원 전압 intVcc가 외부 전원 전압 extVcc 레벨로 변화한다. 따라서, 이 비교 회로(36)는 MOS 트랜지스터 Q1 및 Q2의 게이트에 외부 전원 전압 extVcc가 인가되고, 따라서 그 내부 노드가 외부 전원 전압 extVcc의 레벨로 변화하여, 비교 회로(36)의 각 트랜지스터에 대한 전압 스트레스를 가속할 수 있어, 비교 회로의 신뢰성 평가를 실행할 수 있다.

또한, 기준 전압 발생 회로(34p) 및 (34a)는 각각 외부 전원 패드(30p) 및 (30a)에 결합되어 있고, 따라서, 이들 기준 전압 발생 회로(34p) 및 (34a)도, 인가 전압 스트레스가 가속되고 있으며, 따라서, 이 전압 강하 회로(22p) 및 (22a)의 전압 스트레스를 가속할 수 있다. 이에 따라, 전압 강하 회로의 신뢰성 평가를 실행할 수 있다.

도 5는 도 3에 도시하는 기준 전압 발생 회로(34a) 및 (34p)의 구체적 구성의 일례를 도시한 도면이다. 도 5에 있어서는 외부 전원 전압 extVcc를 한쪽의 동작 전원 전압으로서 동작하여 이 외부 전원 전압 extVcc에 의존하지 않는 전류를 발생하는 정전류원(45)이 기준 전압 발생 회로(34a) 및 (34p)에 공통으로 마련된다.

정전류원(45)은 외부 전원 노드와 내부 노드 Dx의 사이에 접속되는 저항 소자(45a)와, 외부 전원 노드와 내부 노드 Dy의 사이에 접속되고 또한 그 게이트가 내부 노드 Dy에 접속되는 p채널 MOS 트랜지스터(45b)와, 내부 노드 Dx와 내부 노드 Dz의 사이에 접속되고 또한 그 게이트가 내부 노드 Dy에 접속되는 p채널 MOS 트랜지스터(45c)와, 내부 노드 Dy와 접지 노드의 사이에 접속되고 또한 그 게이트가 내부 노드 Dz에 접속되는 n채널 MOS 트랜지스터(45d)와, 내부 노드 Dz와 접지 노드의 사이에 접속되고 또한 그 게이트가 내부 노드 Dz에 접속되는 n채널 MOS 트랜지스터(45e)를 포함한다. MOS 트랜지스터(45c)의 전달 계수 β 는 MOS 트랜지스터(45b), (45d) 및 (45e)의 전달 계수 β 보다도 충분히 크며, 예를 들면 10배의 크기로 설정된다.

MOS 트랜지스터(45b) 및 (45c)는 커런트 미러 회로를 구성하고, 또한 MOS 트랜지스터(45e) 및 (45d)는 커런트 미러 회로를 구성한다. MOS 트랜지스터(45c)에서 MOS 트랜지스터(45e)로 공급되는 전류와 같은 크기의 전류가 MOS 트랜지스터(45d)를 흐른다. 이 MOS 트랜지스터(45d)에는 MOS 트랜지스터(45b)로부터 전류가 공급된다. 따라서, MOS 트랜지스터(45c) 및 (45b)에 같은 크기의 전류가 흐른다. MOS 트랜지스터(45c)의 전달 계수 β 는 MOS 트랜지스터(45b)보다도 충분히 크게 되어 있다. 따라서, 이 MOS 트랜지스터(45b)의 게이트-소스 사이 전압은 MOS 트랜지스터(45c)의 소스-게이트 사이 전압보다도 커진다. 이 MOS 트랜지스터(45b) 및 (45c)의 전달 계수 β 의 차이에 의해, 내부 노드 Dx의 전압 레벨은 외부 전원 전압 extVcc보다도 조금 낮은 전압 레벨로 된다. 이 외부 전원 전압 extVcc와 내부 노드 Dx의 전압차가 저항 소자(45a)에 의해 전류로 변환된다. 이 내부 노드 Dx의 전압은, 따라서, MOS 트랜지스터(45b) 및 (45c)의 전달 계수 β 의 차이에 의해 결정된다. 따라서, 이 저항 소자(45a)를 흐르는 전류치는 저항 소자(45a)의 저항치와 MOS 트랜지스터(45b) 및 (45c)의 전달 계수에 의해 결정되는 값으로 되어, 외부 전원 전압 extVcc에 의존하지 않는 전류치로 된다.

기준 전압 발생 회로(34a)는 외부 전원 노드 extVcc와 출력 노드(35a)의 사이에 접속되고 또한 그 게이트가 내부 노드 Dy에 접속되는 p채널 MOS 트랜지스터(34aa)와, 출력 노드(35a)와 접지 노드의 사이에 직렬로 접속되고 또한 각각의 게이트가 접지 노드에 접속되는 p채널 MOS트랜지스터(34ab), (34ac), (34ad)를 포함한다.

p채널 MOS 트랜지스터(34aa)는 정전류원(45)의 p채널 MOS 트랜지스터(45b)와 커런트 미러 회로를 구성하고 있고, 따라서, 이 MOS 트랜지스터(34aa)에는 MOS 트랜지스터(45b)를 거쳐서 흐르는 전류의 미러 전류가 흐른다. MOS 트랜지스터(34ab, 34ac 및 34ad)의 각각의 게이트는 접지 노드에 접속되어 있고, 이들 MOS트랜지스터(34ab~34ad)의 각각은 그 채널 저항에 의해 저항 소자로서 동작한다. 이들 MOS 트랜지스터(34ab~34ad)는 전류 소비를 충분히 작게 하기 위해서 그 저항치는 충분히 크게 되어 있다. 이 MOS 트랜지스터(34ab~34ad)가 갖는 채널 저항과 MOS 트랜지스터(34aa)에서 인가되는 전류에 의해, 기준 전압 VrefA가 생성된다. MOS 트랜지스터(34aa)를 거쳐서 흐르는 전류는 외부 전원 전압 extVcc에 의존하지 않는 일정한 전류이다. 따라서 기준 전압 VrefA는 외부 전원 전압 extVcc에 의존하지 않는 일정한 전압 레벨로 된다(외부 전원 전압 extVcc가 소정 전압 레벨 이상일 때).

이 기준 전압 VrefA가 비교 회로(36a)로 인가되어, 이 비교 회로(36a)의 제어하에 p채널 MOS 트랜지스터(38a)가 외부 전원 노드로부터 내부 전원선(37a)으로 전류를 공급한다. 따라서, 내부 전원 전압 intVcc는 기준 전압 VrefA의 전압 레벨로 된다(스트레스 가속 모드 이외의 동작 모드일 때).

기준 전압 발생 회로(34p)는 외부 전원 노드와 출력 노드(35p)의 사이에 접속되고 또한 그 게이트가 정전류원(45)의 내부 노드 Dy에 접속되는 p채널 MOS 트랜지스터(34pa)와, 출력 노드(35p)와 접지 노드의 사이에 서로 직렬로 접속되고 또한 각각의 게이트가 접지 노드에 접속되는 p채널 MOS트랜지스터(34pb, 34pc 및 34pd)를 포함한다. MOS 트랜지스터(34pb~34pd)의 각각은 저항 모드에서 동작하고, 그 채널 저항에 따라서, MOS 트랜지스터(34pa)에서 공급되는 전류를 전압으로 변환한다. MOS 트랜지스터(34pa)는

정전류원(45)의 MOS 트랜지스터(45b)와 커런트 미러 회로를 구성하고 있다. 따라서, 이 기준 전압 발생 회로(34p)에서도, 출력 노드(35p)로부터의 기준 전압 V_{refP} 은 정전류원(45)이 공급하는 정전류와 MOS 트랜지스터(34pb~34pd)가 갖는 채널 저항의 곱에 의해 결정되는 전압 레벨로 되어, 외부 전원 전압 $extV_{cc}$ 에 의존하지 않는 일정한 전압 레벨로 된다. 비교 회로(36p)가 내부 전원 전압 $intV_{ccP}$ 과 그 기준 전압 V_{refP} 을 비교하고, 비교 결과에 따라서 p채널 MOS 트랜지스터(38p)의 콘덕턴스를 조정한다.

이 MOS 트랜지스터(34ab~34ad)의 채널 저항과 MOS 트랜지스터(34pb~34pd)의 채널 저항을 조정하는 것에 의해, 기준 전압 V_{refA} 및 V_{refP} 의 전압 레벨을 서로 다르게 할 수 있다. 이 채널 저항의 상위(相違)는 예를 들면 각 MOS 트랜지스터의 채널 영역으로의 불순물 주입에 의해 실현된다. 또한 단지, 이들 저항 모드에서 동작하는 MOS 트랜지스터(34ab~34ad 및 34pb~34pd)의 개수를 다르게 한 것에 의해 기준 전압 V_{refA} 및 V_{refP} 의 레벨 조정은 용이하게 실현될 수 있다.

도 5에 있어서는 나타나 있지 않지만, 이 출력 노드(35a) 및 (35p)에, 각각 스트레스 가속 모드시에 외부 전원 전압을 전달하는 MOS 트랜지스터가 마련된다. MOS 트랜지스터(34ab~34ad 및 34pb~34pd)는 소비 전류 저감을 위해, 그 임피던스는 충분히 크게 되고 또 전류 구동력도 작게 되어 있다. 따라서, 도 30에 도시하는 MOS 트랜지스터(39a) 및 (39p)의 채널폭을 예를 들어 수십 μm 정도의 넓이로 설정하면, 이 기준 전압 발생 회로(34a) 및 (34p) 동작시에서도, 이들 출력 노드(35a) 및 (35p)를 외부 전원 전압 $extV_{cc}$ 레벨로 설정할 수 있다.

[전압 강하 회로의 변경예]

도 6은 전압 강하 회로의 변경예의 구성을 도시한 도면이다. 도 6에 있어서는 주변용 전압 강하 회로 및 어레이용 전압 강하 회로가 동일한 회로 구성을 갖고 있기 때문에(기준 전압 레벨이 다를 뿐이기 때문에), 1개의 전압 강하 회로의 구성만을 도시한다.

도 6에 있어서, 전압 강하 회로는 내부 전원선(50)상의 내부 전원 전압 $intV_{cc}$ 와 기준 전압 V_{ref} 을 비교하는 비교 회로(52)와, 일정한 전압 레벨의 바이어스 전압 V_{ias} 를 게이트에서 받아, 비교 회로(52)의 전류원으로서 작용하는 전류원 트랜지스터(54)와, 비교 회로(52)의 출력 신호에 따라서 그 콘덕턴스가 조정되고, 외부 전원 노드로부터 내부 전원선(50)에 전류를 공급하는 p채널 MOS 트랜지스터(56)를 포함한다. 이 비교 회로(52), 전류원 트랜지스터(54) 및 MOS 트랜지스터(56)는 항상 동작하고, 기준 전압 V_{ref} 와 내부 전원 전압 $intV_{cc}$ 의 차에 따라서 외부 전원 노드로부터 내부 전원선(50)에 전류를 공급하여, 내부 전원 전압 $intV_{cc}$ 의 전압 레벨을 일정하게 유지한다. 이 항상 동작하는 회로 부분은 소비 전류를 저감하기 위해서, 그 전류 구동력은 작게 되어 있다(MOS 트랜지스터(54)의 전류 공급력이 작게 된다).

전압 강하 회로는 또한, 활성화시 기준 전압 V_{ref} 와 내부 전원 전압 $intV_{cc}$ 를 비교하는 비교 회로(62)와, 활성화 신호 ACT의 활성화시 동통하고, 비교 회로(62)의 외부 전원 노드와 접지 노드의 사이에 전류 경로를 형성하는 전류원 트랜지스터(64)와, 비교 회로(62)의 출력 신호에 따라서 그 콘덕턴스가 조정되고, 외부 전원 노드로부터 내부 전원 노드(50)에 전류를 공급하는 p채널 MOS 트랜지스터(66)와, 활성화 신호 ACT의 비활성화시, 비교 회로(62)의 출력 노드를 외부 전원 전압 $extV_{cc}$ 레벨로 설정하는 p채널 MOS 트랜지스터(68)를 포함한다.

활성화 신호 ACT는, 예를 들면 로우 어드레스 스트로브 신호 /RAS에 동기하여 발생되고, 반도체 기억 장치가 스탠바이 상태일 때에는 활성화 신호 ACT는 L레벨의 비활성 상태로 되고, 메모리 셀의 선택 동작이 행하여지는 액티브 사이클시 활성화 신호 ACT는 H레벨의 활성화 상태로 된다. 따라서, 활성화 신호 ACT가 비활성 상태일 때에는 MOS 트랜지스터(64)가 비도통 상태로 되어, 비교 회로(62)의 전류 경로(외부 전원 노드로부터 접지 노드상에 이르는 경로)가 차단되어, 비교 회로(62)가 비활성화되고, 한편, MOS 트랜지스터(68)가 도통하여 이 비교 회로(62)의 출력 노드를 외부 전원 전압 $extV_{cc}$ 레벨로 설정한다. 따라서, MOS 트랜지스터(66)는 비도통 상태를 유지한다. 즉, 이 비교 회로(62) 및 MOS 트랜지스터(66)의 전압 강하 회로부는 스탠바이 사이클시에 있어 비활성 상태로 되어, 전류 소비가 저감된다. 한편, 액티브 사이클시에 있어서는 활성화 신호 ACT가 H레벨로 되어, 비교 회로(62)가 외부 전원 노드로부터 접지 노드로의 전류 경로가 형성되어 활성화되고, 기준 전압 V_{ref} 와 내부 전원 전압 $intV_{cc}$ 를 비교하여, 그 비교 결과에 따라서 MOS 트랜지스터(66)의 콘덕턴스를 조정한다. MOS 트랜지스터(68)는 이 액티브 사이클시에 비도통 상태에 있다. 이 비교 회로(62) 및 MOS 트랜지스터(66)의 전류 구동력은 크게 되어, 액티브 사이클시에 있어서, 내부 회로 동작시에서의 내부 전원 전압 $intV_{cc}$ 의 변동을 고속으로 보상한다.

이 활성화 신호 ACT는 어레이용 전압 강하 회로의 경우, 전류가 크게 소비되는 것은 센스 앰프 동작시이고(센스 동작 완료후의 래치 상태시에 있어서는 큰 전류는 소비되지 않는다), 따라서 센스 앰프의 센스 동작시 센스 앰프 활성화 신호에 응답하여 활성화 상태로 되고, 센스 동작 완료후는 비활성 상태로 유지되어도 좋다. 주변용의 전압 강하 회로의 경우, 로우 어드레스 스트로브 신호 /RAS의 활성화시에 동작하는 회로에 대해서는 활성화 신호 ACT를 로우 어드레스 스트로브 신호 /RAS에 따라 변화시키고, 열 선택에 관련되는 회로에 대해서는 활성화 신호 ACT는 컬럼 어드레스 스트로브 신호 /CAS에 따라서 활성화/비활성화되더라도 좋다. MOS 트랜지스터(68)는 이 활성화 신호 ACT가 L레벨의 비활성 상태일 때에, 확실하게 비교 회로(62)의 출력 신호를 외부 전원 전압 $extV_{cc}$ 레벨로 설정하고, MOS 트랜지스터(66)를 비도통 상태로 설정하기 위해서 마련된다.

이 활성화 신호 ACT는, 전압 강하 회로가 내부 전원 전압을 인가하는 회로의 활성화기간에 따라 적당히 정해지면 좋다. 발생하는 내부 전원 전압의 전압 레벨이 같은 경우에 있어서도, 각 기능마다 그룹화된 회로군마다 전압 강하 회로를 마련하는 구성이 이용되어도 좋다. 이하의 설명에 있어서는 이 전압 강하 회로의 「차동 증폭부」는 항상 동작하는 비교 회로 및 대응하는 MOS 트랜지스터와, 액티브 사이클시에 활성화되는 비교 회로 및 이 비교 회로의 출력 신호에 따라서 전류를 공급하는 MOS 트랜지스터 양쪽을 포함하는 구성을 나타내는 것으로 한다.

도 7은 스트레스 가속 모드 지시 신호 발생부의 구성의 일례를 도시한 도면이다. 도 7에 있어서, 스트레스 가속 모드 지시 신호 발생부는 특정한 어드레스 신호 비트 $extA1$ 가 소정의 전압 레벨 이상의 고전압 레벨로 설정된 것을 검출하는 슈퍼(super) VIH 검지 회로(70a)와, 이 슈퍼 VIH 검지 회로(70a)의 출력 신호 SVIH와 테스트 모드 엔트리 신호 TENT를 받는 NAND 회로(70b)와, 테스트 모드 종료 신호 TEXT를 받

는 인버터 회로(70c)와, NAND 회로(70b)의 출력 신호를 한쪽 입력에서 받는 NAND 회로(70d)와, 인버터 회로(70c)의 출력 신호를 한쪽 입력에서 받는 NAND 회로(70e)와, NAND 회로(70d)의 출력 신호를 반전하여 스트레스 가속 모드 지시 신호 /STR를 출력하는 인버터 회로(70f)와, NAND 회로(70e)의 출력 신호를 반전하여 스트레스 가속 모드 지시 신호 STR를 출력하는 인버터 회로(70g)를 포함한다. NAND 회로(70d) 및 (70e)의 다른쪽 입력과 출력은 교차 결합된다.

수퍼 VIH 감지 회로(70a)는, 예를 들면 외부 어드레스 신호 비트 extA1인 특정한 어드레스 신호 비트 입력 단자에 인가되는 신호가 통상 동작 모드시에 인가되는 H레벨의 신호보다도 충분히 높은 전압 레벨로 설정됐을 때에, 그 출력 신호 SVIH를 H레벨의 활성 상태로 한다. 다음에, 이 도 7에 도시하는 스트레스 가속 모드 지시 신호 발생부의 동작에 대하여 설명한다.

테스트 모드에 있을 때, 테스트 모드 엔트리 신호 TENT가 H레벨로 설정된다. 특정한 어드레스 신호 비트 extA1가 통상의 전압 레벨 이하의 전압 레벨일 때, 이 수퍼 VIH 감지 회로(70a)의 출력 신호 SVIH가 L레벨이고, 또한 테스트 모드 종료 신호 TEXT도 L레벨이다. 이 상태에 있어서는 신호 /STR 및 STR는 리셋상태의 H레벨 및 L레벨을 각각 유지하고 있다.

어드레스 신호 비트 extA1가, 통상 동작시에 인가되는 전압 레벨보다도 충분히 높은 전압 레벨(외부 전원 전압 extVcc 레벨 이상)의 전압 레벨로 설정되면, 수퍼 VIH 감지 회로(70a)의 출력 신호 SVIH가 H레벨로 상승한다. 따라서, NAND 회로(70b)의 출력 신호가 L레벨로 되고, NAND 회로(70d)의 출력 신호가 H레벨로 된다. 따라서, 인버터 회로(70f)로부터의 스트레스 가속 모드 지시 신호 /STR가 L레벨로 하강한다. NAND 회로(70e)는 그 양쪽 입력에서 H레벨의 신호를 받아 L레벨의 신호를 출력하고, 이에 따라 인버터 회로(70g)로부터의 스트레스 가속 모드 지시 신호 STR가 H레벨로 상승한다.

이 상태는 테스트 모드 엔트리 신호 TENT가 H레벨로 유지되고 있는 동안 유지된다.

테스트 모드 완료시에 있어서, 테스트 모드 종료 신호 TEXT가 소정 기간 H레벨로 설정되고, 이에 따라 인버터 회로(70c)의 출력 신호가 L레벨로 하강한다. 이에 따라, NAND 회로(70e)의 출력 신호가 H레벨로 되고, 이에 따라 NAND 회로(70d)의 양쪽 입력이 H레벨로 되어, 그 출력 신호가 L레벨로 된다. 따라서, 인버터 회로(70g)로부터의 신호 STR가 L레벨로 하강하고, 또한 인버터 회로(70f)로부터의 신호 /STR가 H레벨로 상승한다. 이에 따라, 스트레스 가속 모드가 완료한다.

도 9는 도 7에 도시하는 수퍼 VIH 감지 회로(70a)의 구성의 일례를 도시한 도면이다. 도 9에 있어서, 수퍼 VIH 감지 회로(70a)는 어드레스 신호 비트 extA1를 받는 입력 보호 회로(72)와, 입력 보호 회로(72)를 거쳐서 인가되는 전압을 각각의 임계치 전압만큼 저하시켜서 전달하는 2개의 서로 직렬로 접속되고 또한 다이오드 접속된 n채널 MOS 트랜지스터(73a 및 73b)와, 그 게이트에 내부 전원 전압 intVccP을 받아, MOS 트랜지스터(73b)를 거쳐서 인가된 전압을 노드 NDa에 전달하는 p채널 MOS 트랜지스터(74)와, 노드 NDa 상의 신호 전위를 받는 인버터(75a)와, 인버터(75a)의 출력 신호를 반전하여 수퍼 VIH 감지 신호 SVIH를 출력하는 인버터 회로(75b)와, 노드 NDa와 접지 노드의 사이에 직렬로 접속되는 n채널 MOS 트랜지스터(76a~76n)를 포함한다. MOS 트랜지스터(76a~76n)의 게이트는 내부 전원 전압 intVccP을 받도록 결합된다. 이들 MOS 트랜지스터(76a~76n)의 채널 저항은 충분히 크게 되어 있고, 이들의 MOS 트랜지스터(76a~76n)은 풀 다운 저항으로서 작용한다.

수퍼 VIH 감지 회로(70a)는 또한, 로우 어드레스 스트로브 신호 /RAS의 상승에 응답하여 노드 NDa의 전위를 접지 전압 레벨에 의해 리셋하는 리셋 회로(77)를 포함한다. 이 리셋 회로(77)는 로우 어드레스 스트로브 신호 /RAS를 소정 시간 지연하고 또한 반전하여 출력하는 반전 지연 회로(77a)와, 반전 지연 회로(77a)의 출력 신호와 로우 어드레스 스트로브 신호 /RAS를 받는 NAND 회로(77b)와, NAND 회로(77b)의 출력 신호를 받는 인버터(77c)와, 노드 NDa와 접지 노드의 사이에 접속되고 또한 그 게이트가 인버터 회로(77c)의 출력 신호를 받도록 결합되는 n채널 MOS 트랜지스터(77d)를 포함한다. 다음에, 이 도 9에 도시하는 수퍼 VIH 감지 회로(70a)의 동작에 대하여, 도 10에 도시하는 신호 파형도를 참조하여 설명한다.

입력 보호 회로(72)는 저항 소자 및 클램프 소자를 포함하고, 이 어드레스 신호 입력 단자에 인가되는 신호가 이상(異常) 고전압으로 되었을 때에 내부의 구성 요소에 이상 고전압이 인가되는 것을 방지하고 또한 대전류가 흘러 들어 오는 것을 방지한다. 어드레스 신호 비트 extA1가 통상의 전압 레벨일 때, MOS 트랜지스터(73a 및 73b)는 비도통 상태에 있거나 또는 도통 상태일 때에 인가된 신호의 전압 레벨을 그 임계치 전압만큼 저하시켜서 전달한다. p채널 MOS트랜지스터(74)는 그 게이트에서 내부 전원 전압 intVccP을 받고 있고, MOS 트랜지스터(73b)를 거쳐서 인가되는 신호의 전압 레벨이 이 내부 전원 전압 intVccP보다도 낮은 경우에는 비도통 상태를 유지한다. 이 상태에 있어서는, 노드 NDa는 MOS 트랜지스터(76a~76n)에 의해 접지 전압 레벨로 풀 다운(pull-down)되어 있고, 신호 SVIH는 L레벨에 있다.

어드레스 신호 비트 extA1가 통상의 전원 전압 레벨보다도 충분히 높은 전압 레벨로 설정되면, MOS 트랜지스터(73a 및 73b)가 도통하여, MOS 트랜지스터(74)의 소스에는 내부 전원 전압 intVccP보다도 충분히 높은 전압이 전달되고, MOS 트랜지스터(74)가 도통하여, MOS 트랜지스터(76a~76n)에 전류가 흘러, 노드 NDa에 H레벨의 전압이 전달된다. 이에 따라, 인버터(75b)로부터의 수퍼 VIH 감지 신호 SVIH가 H레벨로 상승한다.

어드레스 신호 비트 extA1가 통상의 전압 레벨 이하의 전압 레벨로 하강되어 p채널 MOS 트랜지스터(74)가 비도통 상태로 된 경우, 노드 NDa는 충분히 큰 저항치를 갖는 MOS 트랜지스터(76a~76n)를 거쳐서 느리게 방전된다. 다음에, 로우 어드레스 스트로브 신호 /RAS를 L레벨로부터 H레벨로 상승시키면, 이 로우 어드레스 스트로브 신호 /RAS의 상승에 응답하여, 노드 NDb에 원-샷(one shot)의 펄스신호가 발생되어, MOS 트랜지스터(77d)가 도통한다. MOS 트랜지스터(77d)의 전류 구동력은 MOS 트랜지스터(74)의 전류 구동력보다도 충분히 크게 되어 있다. 노드 NDa가 고속으로 접지 전압 레벨로 방전되고, 이에 따라 수퍼 VIH 감지 신호 SVIH가 L레벨로 하강한다. 이 로우 어드레스 스트로브 신호 /RAS는 수퍼 VIH 조건 설정시에 L레벨로 설정할 필요는 없다. 스트레스 가속 모드에 있어서 1개의 액티브 사이클이 실행되고, 그 완료시에 로우 어드레스 스트로브 신호 /RAS가 H레벨로 상승하기 때문에, 이 1개의 액티브 사이

클 완료시에 리셋 회로(77)가 활성화되어 노드 NDa를 접지 전압 레벨로 리셋하면 좋다.

도 11은 테스트 모드 제어 신호 발생부의 구성을 개략적으로 도시한 도면이다. 도 11에 있어서, 테스트 모드 제어 신호 발생부는 로우 어드레스 스트로브 신호 /RAS와 컬럼 어드레스 스트로브 신호 /CAS를 받아, CBR 조건이 만족된 것을 검출하는 CBR 검출 회로(80)와, 이 CBR 검출 회로(80)로부터의 CBR 검출 신호에 따라서 소정의 시간폭을 갖는 원-샷 펄스를 발생하는 원-샷 펄스 발생 회로(82)와, 로우 어드레스 스트로브 신호 /RAS와 컬럼 어드레스 스트로브 신호 /CAS와 기입 인에이블 신호 /WE를 받아, WCBR 조건이 만족된 것을 검출하는 WCBR 검출 회로(84)와, WCBR 검출 회로(84)로부터의 WCBR 검출 신호에 응답하여 셋트되고, 원-샷 펄스 발생 회로(82)로부터의 원-샷 펄스에 응답하여 리셋되는 셋트 우선형 셋트/리셋 플립플롭(86)을 포함한다. 원-샷 펄스 발생 회로(82)로부터 테스트 모드 종료 신호 TEXT가 출력되고, 셋트/리셋 플립플롭(86)의 출력 Q에서 테스트 모드 엔트리 신호 TENT가 출력된다.

CBR 조건은 로우 어드레스 스트로브 신호 /RAS의 하강보다도 빠른 타이밍으로 컬럼 어드레스 스트로브 신호 /CAS가 L레벨로 하강되는 상태를 나타낸다. WCBR 조건은 기입 인에이블 신호 /WE 및 컬럼 어드레스 스트로브 신호 /CAS가 함께 로우 어드레스 스트로브 신호 /RAS보다도 빠른 타이밍으로 L레벨로 설정되는 상태를 도시한다.

이 도 11에 도시하는 테스트 모드 제어부의 구성에 있어서는 WCBR 조건이 만족되면, 플립플롭(86)으로부터 출력되는 테스트 모드 엔트리 신호 TENT가 H레벨의 활성 상태로 된다. 이 상태에서, CBR 조건이 만족되면, 원-샷 펄스 발생 회로(82)로부터의 테스트 모드 종료 신호 TEXT가 H레벨의 활성 상태로 되고, 이에 따라 플립플롭(86)으로부터의 테스트 모드 엔트리 신호 TENT가 비활성 상태의 L레벨로 된다. WCBR 조건 설정시에, CBR 조건도 만족되지만, 셋트/리셋 플립플롭(86)은 셋트 우선형(set priority type)으로, 확실하게 WCBR 조건 설정시에 셋트된다. 신호 /WE를 CBR 검출 회로(80)에 인가하여도 좋다.

반도체 장치 등의 집적 회로 장치에 있어서는 반도체 칩의 패키징 후, 스트레스 가속 모드 이외의 통상의 기능 테스트 등을 해야 할 필요가 있다. 이 번인 모드 등의 스트레스 가속 모드 이외의 테스트 모드 동작을 실행하기 위해서, 이 WCBR 조건 및 CBR 조건으로, 테스트 모드 기간을 설정한다. 테스트 모드 엔트리 신호 TENT가 H레벨의 활성 상태일 때에, 예를 들면 특정한 어드레스 신호 비트 extA1가 수퍼 VIH 조건을 만족하는 상태로 설정되었을 때에, 스트레스 가속 모드가 실행된다.

도 12는 도 11에 도시하는 CBR 검출 회로(80)의 구성의 일례를 도시한 도면이다. 도 12에 있어서, CBR 검출 회로(80)는 컬럼 어드레스 스트로브 신호 /CAS를 받는 인버터 회로(80a)와, 로우 어드레스 스트로브 신호 /RAS를 받는 인버터 회로(80b)와, 인버터 회로(80a)의 출력 신호를 한쪽 입력에서 받는 NAND 회로(80c)와, 인버터 회로(80b)의 출력 신호를 한쪽 입력에서 받는 NAND 회로(80d)를 포함한다. NAND 회로(80c)의 다른쪽 입력은 NAND 회로(80d)의 출력에 결합되고, NAND 회로(80d)의 다른쪽 입력은 NAND 회로(80c)의 출력에 결합된다.

CBR 검출 회로(80)는 또한, NAND 회로(80c)의 출력 신호를 한쪽 입력에서 받는 NAND 회로(80e)와, 인버터 회로(80b)의 출력 신호를 한쪽 입력에서 받는 NAND 회로(80f)를 포함한다. NAND 회로(80e)의 다른쪽 입력은 NAND 회로(80f)의 출력에 결합되고, NAND 회로(80f)의 다른쪽 입력은 NAND 회로(80e)의 출력에 결합된다. 이 NAND 회로(80f)의 출력 신호를 받는 인버터 회로(80g)에서, CBR 검출 신호 Φ CBR가 출력된다. 다음에, 이 도 12에 도시하는 CBR 검출 회로(80)의 동작에 대하여, 도 13에 도시하는 파형도를 참조하여 설명한다.

시각 t0 이전에 있어서는, 로우 어드레스 스트로브 신호 /RAS 및 컬럼 어드레스 스트로브 신호 /CAS가 함께 H레벨에 있다. 이 상태에 있어서는 인버터 회로(80a 및 80b)의 각각의 출력 신호는 L레벨이고, NAND 회로(80c)의 출력 노드 NDc 및 NAND 회로(80d)의 출력 노드 NDd는 H레벨에 있다. 또한, NAND 회로(80f)의 출력 신호는 H레벨이고, NAND 회로(80e)의 양쪽 입력은 H레벨로 되어, 노드 NDe는 L레벨에 있다. 인버터 회로(80g)로부터의 CBR 검출 신호 Φ CBR는 L레벨에 있다.

시각 t0에 있어서, 컬럼 어드레스 스트로브 신호 /CAS가 L레벨로 하강되면, 이에 따라, 노드 NDc의 전압 레벨이 L레벨로 하강한다. 이 노드 NDc의 전압 레벨의 저하에 따라서, NAND 회로(80e)의 출력 노드 NDd의 전압 레벨이 H레벨로 상승한다. 이 상태에 있어서는 로우 어드레스 스트로브 신호 /RAS는 아직 H레벨이고, CBR 검출 신호 Φ CBR는 L레벨을 유지한다.

시각 t1에 있어서, 로우 어드레스 스트로브 신호 /RAS가 L레벨로 하강하면, 인버터 회로(80b)의 출력 신호가 H레벨로 되고, NAND 회로(80f)의 출력 신호가 L레벨로 되어, 이에 따라 CBR 검출 신호 Φ CBR가 H레벨로 상승한다.

시각 t2에 있어서, 컬럼 어드레스 스트로브 신호 /CAS가 L레벨로부터 H레벨로 상승하면, 인버터 회로(80a)의 출력 신호가 L레벨로 되고, 이에 따라 NAND 회로(80c)의 출력 노드 NDc의 전압 레벨이 H레벨로 상승한다. 이 노드 NDc의 전압 레벨의 상승에 응답하여, NAND 회로(80d)의 양쪽 입력이 H레벨로 되어, 노드 NDd의 전압 레벨이 L레벨로 하강한다. 이 상태에 있어서는 아직 노드 NDe의 전압 레벨은 변화하지 않고, 또한 CBR 검출 신호 Φ CBR는 H레벨을 유지한다.

시각 t3에 있어서, 로우 어드레스 스트로브 신호 /RAS를 H레벨로 상승시키면, 인버터 회로(80b)의 출력 신호가 L레벨로 하강하고, 노드 NDb의 전압 레벨이 H레벨로 상승한다. NAND 회로(80f)의 출력 신호가 H레벨로 되어, 노드 NDd의 전압 레벨이 L레벨로 하강하고, 또한 인버터 회로(80g)로부터의 CBR 검출 신호 Φ CBR가 L레벨로 하강한다.

도 12에 도시하는 WCBR 검출 회로(84)는 이 도 12에 도시하는 구성에 있어서, 기입 인에이블 신호 /WE와 컬럼 어드레스 스트로브 신호 /CAS를 받는 OR 회로의 출력 신호를 인버터 회로(80a)에 인가하면 실현된다. 원-샷 펄스 발생 회로(82)로서는, 도 9에 도시하는 리셋 회로(77)의 원-샷 펄스 발생 회로와 같은 구성을 이용할 수 있다.

상술한 바와 같이, 테스트 모드에 있어서 WCBR 조건 및 CBR 조건을 이용하고, 신뢰성 평가를 위한 스트레스 가속 모드 설정에, 특정한 어드레스핀 등의 외부 핀 단자의 수퍼 VIH 조건을 이용하는 것에 의해, 테

스트 전용의 여분의 핀 단자를 마련하는 일 없이, 필요한 테스트 모드를 설정할 수 있다.

이상과 같이, 본 발명의 실시예 1에 따르면, 각각의 전압 레벨이 다른 기준 전압을 발생하여, 이들 기준 전압에 따라서 각각 따로따로 마련되는 내부 전원선으로 이들의 기준 전압 레벨에 따른 내부 전원 전압을 전달하도록 구성하고 있기 때문에, 고속 동작해야 할 회로를 고속 동작시킬 수 있고, 또한 저소비 전류로 동작하는 회로를 저소비 전류로 동작시킬 수 있다. 또한, 이 기준 전압 발생 회로의 출력 노드에는 스트레스 가속 모드시, 외부 전원 전압을 공급하도록 구성하고 있기 때문에, 비교 회로 및 기준 전압 발생 회로의 전압 스트레스 가속을 실행할 수 있어, 전압 강하 회로의 스트레스 가속 모드 동작을 실행하여 신뢰성 평가를 실행할 수 있다.

또한, 별도로 마련되는 전원핀 단자에 접속되는 패드를 상호 접속하는 것에 의해, 이 패드에 따른 노이즈 및 서지(serge)전압을 이 외부 전원선 내에서 분산시켜 흡수할 수 있어, 노이즈 및 서지 내성에 우수한 전원선을 실행할 수 있다.

(실시예 2)

도 14는 본 발명의 실시예 2에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면이다. 도 14에 도시하는 구성에 있어서는 외부 전원 단자(20p)에 접속되는 전원 패드(30p)에 대하여 외부 전원선(32p)이 접속되고, 또한 외부 전원 단자(20a)에 접속되는 전원 패드(30a)에 대하여 외부 전원선(32a)이 접속된다. 이들 외부 전원선(32p 및 32a)은 서로 분리된다. 외부 전원선(32p 및 32a)에는 각각 안정화 용량(40p 및 40a)이 접속된다.

주변용 전압 강하 회로(22p)는 이 외부 전원선(32p)으로부터의 외부 전원 전압 extVcc를 한쪽의 동작 전원 전압으로 해서 동작하여 소정의 전압 레벨의 기준 전압 VrefP를 발생하는 기준 전압 발생 회로(34p)와, 이 기준 전압 발생 회로(34p)가 출력하는 기준 전압 VrefP와 내부 전원선(35p) 상의 내부 전원 전압 intVccP을 차동 증폭하여, 그 차동 증폭 결과에 따라서 내부 전원 전압 intVccP을 기준 전압 VrefP 레벨로 하는 차동 증폭부(90p)와, 스트레스 가속 모드 지시 신호 /STR의 활성화에 응답하여 도통하여, 기준 전압 발생 회로(34p)의 출력 노드를 외부 전원선(32p)에 접속하는 p채널 MOS 트랜지스터(39p)를 포함한다. 차동 증폭부(90p)는 도 6에 도시하는 구성을 가져서, 스탠바이 사이클시에 내부 전원 전압 intVccP을 기준 전압 레벨로 유지하는 회로와, 액티브 사이클시에 활성화되어 이 내부 전원 전압 intVccP을 기준 전압 VrefP로 유지하는 회로 부분을 포함한다.

어레이용 전압 강하 회로(22a)는, 이 외부 전원선(32a) 상의 외부 전원 전압을 한쪽의 동작 전원 전압으로 하여 동작하여 소정의 전압 레벨의 기준 전압 VrefA를 발생하는 기준 전압 발생 회로(34a)와, 기준 전압 VrefA와 내부 전원선(35a) 상의 내부 전원 전압 intVccA를 차동 증폭하여, 그 차동 증폭 결과에 따라서 외부 전원선(32a)에서 내부 전원선(35a)으로 전류를 공급하여, 내부 전원 전압 intVccA를 기준 전압 VrefA 레벨로 유지하는 차동 증폭부(90a)와, 스트레스 가속 모드 지시 신호 /STR의 활성화시 도통하여, 기준 전압 발생 회로(34a)의 출력 노드를 외부 전원선(32a)에 접속하는 p채널 MOS 트랜지스터(39a)를 포함한다. 이 차동 증폭부(90a)는 도 6에 도시하는 구성과 같은 구성을 구비한다. 내부 전원선(35p 및 35a)에는 각각 안정화 용량(41p 및 41a)이 접속된다.

이 도 14에 도시하는 내부 전원 전압 발생 회로의 구성은 도 3에 도시하는 내부 전원 전압 발생 회로와, 이 외부 전원선이 주변 회로용의 외부 전원선(32p)과 어레이 회로용의 외부 전원선(32a)으로 분할되는 점이 다를 뿐이고, 다른 구성은 실질적으로 동일하다.

이 도 14에 도시하는 구성에 따르면, 스트레스 가속 모드시, 이 외부 전원선(32p) 상의 외부 전원 전압 extVcc의 전압 레벨과 외부 전원선(32a) 상의 외부 전원 전압 extVcc를 서로 독립적으로 그 전압 레벨을 설정할 수 있다. 따라서, 도 15에 도시하는 바와 같이 스트레스 가속 모드시, 주변계 회로(95p)에 인가되는 외부 전원 전압 extVccP과 어레이계 회로(95a)에 인가되는 외부 전원 전압 extVccA의 전압 레벨을 독립적으로 설정하여, 이들 주변계 회로(95p) 및 어레이계 회로(95a)의 전압 스트레스 가속 조건을 동일하게 할 수 있어, 이 반도체 기억 장치의 신뢰성 평가를 정확히 실행할 수 있다.

여기서, 주변계 회로(95p)는 행 디코더, 열 디코더 및 클럭 발생 회로를 포함하고, 어레이계 회로는 센스 앰프 및 입출력 회로를 포함한다.

이상과 같이, 본 발명의 실시예 2에 따르면, 주변계 회로와 어레이계 회로에 대한 전원선을 따로따로 마련하였기 때문에, 스트레스 가속 모드시, 이들 주변계 회로 및 어레이계 회로에 인가되는 가속 전압을 서로 독립적으로 설정할 수 있어, 반도체 기억 장치내에서의 주변계 회로 및 어레이계 회로의 전압 스트레스 조건을 같은 비율로 가속할 수 있어, 번인 등의 성능 평가를 위한 테스트를 정확히 실행할 수 있다.

(실시예 3)

도 16은 본 발명의 실시예 3에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면이다. 이 도 16에 도시하는 내부 전원 전압 발생 회로의 구성은 도 14에 도시하는 구성과, 외부 전원선(32p 및 32a)의 사이에, 스트레스 가속 모드 지시 신호 /STR에 응답하는 p채널 MOS 트랜지스터(96)가 마련되어 있는 점이 다르게 되어 있다. 다른 구성은 도 14에 도시하는 구성과 동일하고, 대응하는 부분에는 동일한 참조 번호를 부여하고, 그 상세한 설명은 생략한다. 이 외부 전원선(32p 및 32a)에 마련된 p채널 MOS 트랜지스터(96)는 스트레스 가속 동작 모드시 비도통 상태로 되고, 그 이외의 동작 모드시에는 도통 상태로 된다.

도 17a에 도시하는 바와 같이 스트레스 가속 모드인 경우의 동작 모드시에 있어서는, 이 스트레스 가속 모드 지시 신호 /STR는 L레벨이어서, MOS 트랜지스터(96)는 도통 상태에 있다. 이 상태에 있어서, 외부 전원선(32p 및 32a)이 전기적으로 접속되어, 전원 패드(30p 및 30a)의 사이에 마련되는 외부 전원선의 용량은 커진다. 따라서, 예를 들면, 외부 전원 패드(30p)에 큰 서지 전압이 인가된 경우, 외부 전원선(32p 및 32a)에 그 전하를 분산시킬 수 있고, 따라서, 이 서지 전압에 의해 고전계가 외부 전원선(32p 및 32a)에 인가되는 것을 방지할 수 있어, 외부 전원선의 신뢰성이 확보된다. 또한, 안정화 용량(40p 및 40a)이 이들 외부 전원선(32p 및 32a)에 접속되어 있기 때문에, 이 서지 전압 등에 의해 인가된 전하

가 이들 용량(40p 및 40a)에 의해 흡수되고, 이에 따라 외부 전원선의 전압 레벨의 상승을 억제하고, 이에 따라 외부 전원선의 전계의 완화를 실행할 수 있다(전하 Q는 용량 C와 전압 V의 곱으로 주어진다. : $Q = C \cdot V$).

한편, 스트레스 가속 모드시에 있어서는 도 17b에 도시하는 바와 같이 스트레스 가속 모드 지시 신호 /STR가 H레벨로 되어, MOS 트랜지스터(96)가 비도통 상태로 된다. 이 상태에 있어서는 외부 전원선(32p 및 32a)이 서로 분리된다. 따라서, 전원 패드(30p 및 30a)에 각각 서로 전압 레벨이 다른 외부 전원 전압 extVccP 및 extVccA를 인가할 수 있다. 이에 따라, 실시예 2와 마찬가지로, 주변계 회로 및 어레이계 회로를 동일한 가속 조건으로 동작시킬 수 있어, 확실하게 신뢰성 평가를 실행할 수 있다.

이상과 같이, 본 발명의 실시예 3에 따르면, 주변계 회로를 위한 외부 전원선과 어레이계 회로를 위한 외부 전원선의 사이에, 스트레스 가속 모드 지시 신호에 응답하여 도통/비도통되는 MOS 트랜지스터를 배치하고 있기 때문에, 스트레스 가속 모드시에 있어서는 주변계 회로 및 어레이계 회로를 동일한 가속 조건으로 동작시킬 수 있어, 신뢰성이 높은 스트레스 가속 모드 테스트를 실행할 수 있다. 또한, 이 스트레스 가속 모드 이외일 때에는 이들의 전원선이 전기적으로 접속되어, 그 큰 기생용량에 의해, 고전압 서지가 예를 들어 인가되더라도, 이 서지 전압을 분산하여 흡수할 수 있어, 신뢰성이 높은 외부 전원선을 실현할 수 있다. 이것은 또 고전압 서지에 한정되지 않고, 통상의 노이즈가 외부 전원선에 발생한 경우에 있어서도 이 노이즈를 흡수할 수 있어, 외부 전원 전압의 변동이 작은 외부 전원선을 실현할 수 있다.

(실시예 4)

도 18은 본 발명의 실시예 4에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면이다. 이 도 18에 도시하는 내부 전원 전압 발생 회로의 구성에 있어서는 외부 전원 단자(20p 및 20a)에 접속되는 전원 패드(30p 및 30a)가 외부 전원선(32)에 의해 상호 접속된다. 또한, 어레이용 전압 강하 회로(22a)에서는 스트레스 가속 모드 지시 신호 /STR를 게이트에서 받는 p채널 MOS 트랜지스터(39a)와 외부 전원선(32)의 사이에, n채널 MOS 트랜지스터(100)가 마련된다. 이 n채널 MOS 트랜지스터(100)는 그 게이트가 외부 전원선(32)에 접속되어 다이오드로서 작용한다. 다른 부분은 도 16에 도시하는 구성과 동일하고, 대응하는 부분에는 동일한 참조 번호를 부여하고 상세한 설명은 생략한다.

이 도 18에 도시하는 구성에 있어서는 스트레스 가속 모드시, MOS 트랜지스터(100 및 39a)가 도통하고, 기준 전압 발생 회로(34a) 상의 전압 레벨은 extVcc-Vth로 된다. 여기서, Vth는 MOS 트랜지스터(100)의 임계치 전압을 나타낸다. 한편, 주변용 전압 강하 회로(22p)에서는 스트레스 가속 모드시, 기준 전압 발생 회로(34p)의 출력 노드는 p채널 MOS 트랜지스터(39p)에 의해, 외부 전원 전압 extVcc의 전압 레벨로 설정된다. 따라서, 예를 들면 이 MOS 트랜지스터(100)의 임계치 전압 Vth를 intVccP - intVccA와 동일하게 하면, 스트레스 가속 모드시, 주변계 회로의 전원 전압과 어레이계 회로의 전원 전압의 차를, 통상 동작 사이클의 그것과 동일하게 할 수 있어, 집적 회로 장치 내의 전압 스트레스 가속 조건을 거의 똑같이 할 수 있다. 특히, 가속 조건을, 통상 동작 모드시와 스트레스 가속 모드시의 전원 전압의 비로 나타내면, 임계치 전압 Vth를 다음식에 따라서 설정하면, 어레이계 회로와 주변계 회로의 전압 스트레스 조건의 가속도를 동일하게 할 수 있다.

$$V_{th} = extV_{cc} \cdot \left(1 - \frac{V_{ccA}}{V_{ccP}}\right)$$

이 도 18에 도시하는 구성에 있어서도, 외부 전원선(32)이 전원 패드(30p 및 30a) 사이에 걸쳐서 연장하여 배치되어 패드(30a 및 30p)를 상호 접속하고 있어, 노이즈에 강한 전원선을 실현할 수 있다.

또, MOS 트랜지스터(100)와 MOS 트랜지스터(39a)의 접속 위치가 교환되어도 좋다.

또한, 주변계 회로를 위한 내부 전원 전압 intVccP이, 외부 전원 전압 extVcc에 가까운 경우에는 이 MOS 트랜지스터(100)의 임계치 전압 Vth를 내부 전원 전압 intVccP 및 intVccA의 차로 설정하더라도, 이 주변계 회로 및 어레이계 회로의 전압 스트레스 가속 조건을 동일하게 할 수 있다.

이상과 같이, 본 발명의 실시예 4에 따르면, 스트레스 가속 모드시, 외부 전원 전압을 저하하여 이 어레이계 회로의 기준 전압 발생 회로의 출력 노드로 전달하도록 구성하고 있기 때문에, 스트레스 가속 모드시에 있어서의 주변계 회로에 인가되는 전원 전압과 어레이계 회로에 인가되는 전원 전압의 차를 통상 동작 모드시의 그것과 거의 같게 할 수 있어, 장치내의 균일한 스트레스 가속을 실현할 수 있어, 신뢰성이 높은 신뢰성 평가 시험을 실행할 수 있다.

(실시예 5)

도 19는 본 발명의 실시예 5에 따르는 내부 전원 전압 발생 회로의 구성을 개략적으로 도시한 도면이다. 이 도 19에 있어서, 외부 전원 단자(20aa, 20ab, 20pa 및 20pb) 각각에 대하여, 전원 패드(30aa, 30ab, 30pa 및 30pb)가 마련된다. 이들 전원 패드(30aa, 30ab, 30pa 및 30pb)에 대응하여 전압 강하 회로(22aa, 22ab, 22pa 및 22pb)가 마련된다. 전압 강하 회로(22aa, 22ab, 22pa 및 22pb)의 구성은 이전의 실시예 1 내지 4에 도시한 구성중 어느 하나의 구성을 구비한다. 전압 강하 회로(22aa)가 어레이용의 내부 전원 전압 intVccA1을 발생하고, 전압 강하 회로(22ab)가 어레이용의 내부 전원 전압 intVccA2을 발생하며, 전압 강하 회로(22pa)가 어레이용의 내부 전원 전압 intVccP1을 발생하고, 전압 강하 회로(22pb)가 주변 회로용의 내부 전원 전압 intVccP2을 발생한다. 예를 들면, 어레이용 내부 전원 전압 intVccA1은 센스 앰프에 인가되고, 어레이용 내부 전원 전압 intVccA2은 입출력 회로에 인가된다. 내부 전원 전압 intVccP1은 클럭 발생 회로 및 열/행 디코더에 인가되고, 내부 전원 전압 intVccP2은 입출력 버퍼에 인가된다. 각 회로 특성에 따라서, 내부 전원 전압의 레벨을 조정하는 것에 의해, 저소비

전류 및 고속 동작성이 우수한 반도체 기억 장치를 실현할 수 있다.

이상과 같이, 본 발명의 실시예 5에 따르면, 여러개의 외부 전원 단자에 대하여 서로 전압 레벨이 다른 내부 전원 전압을 발생하는 전압 강하 회로를 마련하였기 때문에, 내부 회로의 동작 특성에 맞춰, 대응하는 내부 전원 전압 레벨을 최적의 값으로 설정할 수 있어, 고속 동작 및 저소비 전류를 실현할 수 있는 반도체 기억 장치를 실현할 수 있다.

(다른 적용예)

상술한 설명에 있어서는, 다이나믹·랜덤·액세스·메모리(DRAM)가 반도체 집적 회로 장치의 일례로서 나타나 있다. 그러나, 외부 전원 전압을 강압하여 내부 전원 전압을 발생하는 전압 강하 회로를 구비하는 집적 회로 장치이면, 본 발명을 적용하는 것이 가능하다.

또한, 스트레스 가속 모드로서는 번인 모드 및 수명 시험 등의 신뢰성 평가를 위한 시험이면 좋다.

발명의 효과

이상과 같이, 본 발명에 따르면, 외부 전원 패드 각각에 대응하여 서로 전압 레벨이 다른 내부 전원 전압을 발생하는 전압 강하 회로를 마련하고 또한 내부 전원 전압 레벨을 결정하는 기준 전압 발생 회로의 출력 노드를 스트레스 가속 모드시 대응하는 외부 전원 노드에 전기적으로 결합하도록 구성하였기 때문에, 내부 전원 전압 레벨을, 대응하는 내부 전원 전압을 이용하는 회로의 특성에 맞춰 설정할 수 있어, 고속 동작 및 저소비 전류 특성을 구비하는 반도체 집적 회로 장치를 실현할 수 있고, 또한 기준 전압 발생 회로의 출력 노드가 스트레스 가속 모드시 외부 전원 전압 노드에 결합되기 때문에, 전압 강하 회로의 스트레스 가속 시험을 겸해서 실행할 수 있어, 반도체 집적 회로 장치의 신뢰성 평가를 확실히 실행할 수 있다.

즉, 청구항 1에 관한 발명에 따르면, 제 1 및 제 2 전원 노드 각각에 대응하여 기준 전압과 대응하는 내부 전원선용의 전압을 비교하는 제 1 및 제 2 비교 회로와, 이들 제 1 및 제 2 비교 회로의 출력 신호에 따라서 각각 대응하는 제 1 및 제 2 전원 노드와 대응하는 전원 노드로부터 대응하는 내부 노드로 전류를 공급하는 제 1 및 제 2 전류 드라이브 트랜지스터를 마련하여, 스트레스 가속 모드시 이들 제 1 및 제 2 기준 전압 발생 회로의 출력 노드를 대응하는 전원 노드에 접속하도록 구성하였기 때문에, 내부 회로의 동작 특성에 맞춰서 내부 전원 전압을 최적 레벨로 설정할 수 있어, 고속 동작 및 저소비 전류를 실현할 수 있고, 또한 기준 전압 노드가 대응하는 외부 전원 노드에 전기적으로 접속되기 때문에, 스트레스 가속 모드시 비교 회로에 대한 전압 스트레스를 가속할 수 있어, 확실하게 전압 강하 회로의 신뢰성 평가를 실행할 수 있다.

청구항 2에 관한 발명에 따르면, 복수의 전원 전압 레벨이 다른 기준 전압을 발생하여, 이들 기준 전압에 따라서 서로 전압 레벨이 다른 내부 전원 전압을 대응하는 내부 전원선에 전달하고, 또한 기준 전압 발생 수단 각각의 출력 노드를 스트레스 가속 모드시, 외부 전원 전압 공급 노드에 결합하도록 구성하였기 때문에, 스트레스 가속 모드시 이 전압 발생 수단의 스트레스 가속을 실행할 수 있음과 동시에, 각 내부 회로의 동작 특성에 맞춘 최적의 전압 레벨의 내부 전원 전압을 발생할 수 있다.

(57) 청구의 범위

청구항 1

제 1 전원 노드에 결합되고, 상기 제 1 전원 노드로부터 전류가 공급되어 제 1 기준 전압을 발생하는 제 1 기준 전압 발생 회로,

제 2 전원 노드에 결합되고, 상기 제 2 전원 노드로부터 전류가 공급되어 상기 제 1 기준 전압과 레벨이 다른 제 2 기준 전압을 발생하는 제 2 기준 전압 발생 회로,

상기 제 1 전원 노드의 전압을 한쪽의 동작 전원 전압으로 하여 동작하고, 상기 제 1 기준 전압 발생 회로의 출력 노드의 전압과 제 1 내부 전원선상의 전압을 비교하는 제 1 비교 회로,

상기 제 1 전원 노드와 상기 제 1 내부 전원선과의 사이에 결합되고, 상기 제 1 비교 회로의 출력 신호에 따라서 상기 제 1 전원 노드로부터 상기 제 1 내부 전원선으로 전류를 공급하는 제 1 전류 드라이브 소자,

상기 제 1 전원 노드와 상기 제 1 기준 전압 발생 회로의 출력 노드와의 사이에 결합되고, 스트레스 가속 모드 지시 신호의 활성화에 응답하여, 상기 제 1 기준 전압 발생 회로의 출력 노드와 상기 제 1 전원 노드를 전기적으로 결합하는 제 1 스위칭 소자,

상기 제 2 기준 전압 발생 회로의 출력 노드의 전압과 상기 제 1 내부 전원선과는 별도로 마련되는 제 2 내부 전원선상의 전압을 비교하는 제 2 비교 회로,

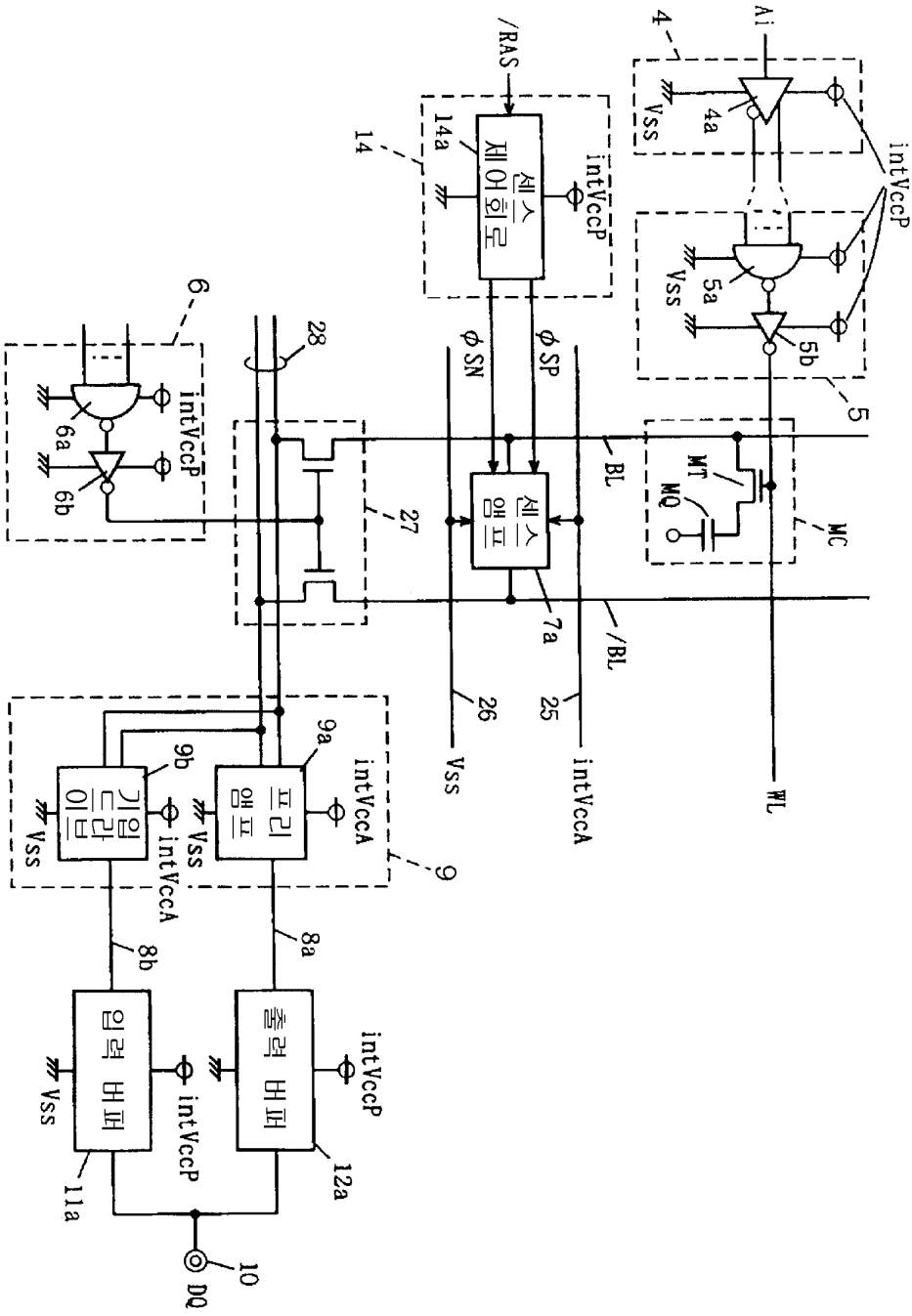
상기 제 2 전원 노드와 상기 제 2 내부 전원선과의 사이에 결합되고, 상기 제 2 비교 회로의 출력 신호에 따라서 상기 제 2 전원 노드로부터 상기 제 2 내부 전원선으로 전류를 공급하는 제 2 전류 드라이브 소자 및 상기 제 2 전원 노드와 상기 제 2 기준 전압 발생 회로의 출력 노드와의 사이에 결합되고, 상기 스트레스 가속 모드 지시 신호의 활성화에 응답하여 상기 제 2 전원 노드와 상기 제 2 기준 전압 발생 회로의 출력 노드를 전기적으로 결합하는 제 2 스위칭 소자를 포함하는 반도체 집적 회로 장치.

청구항 2

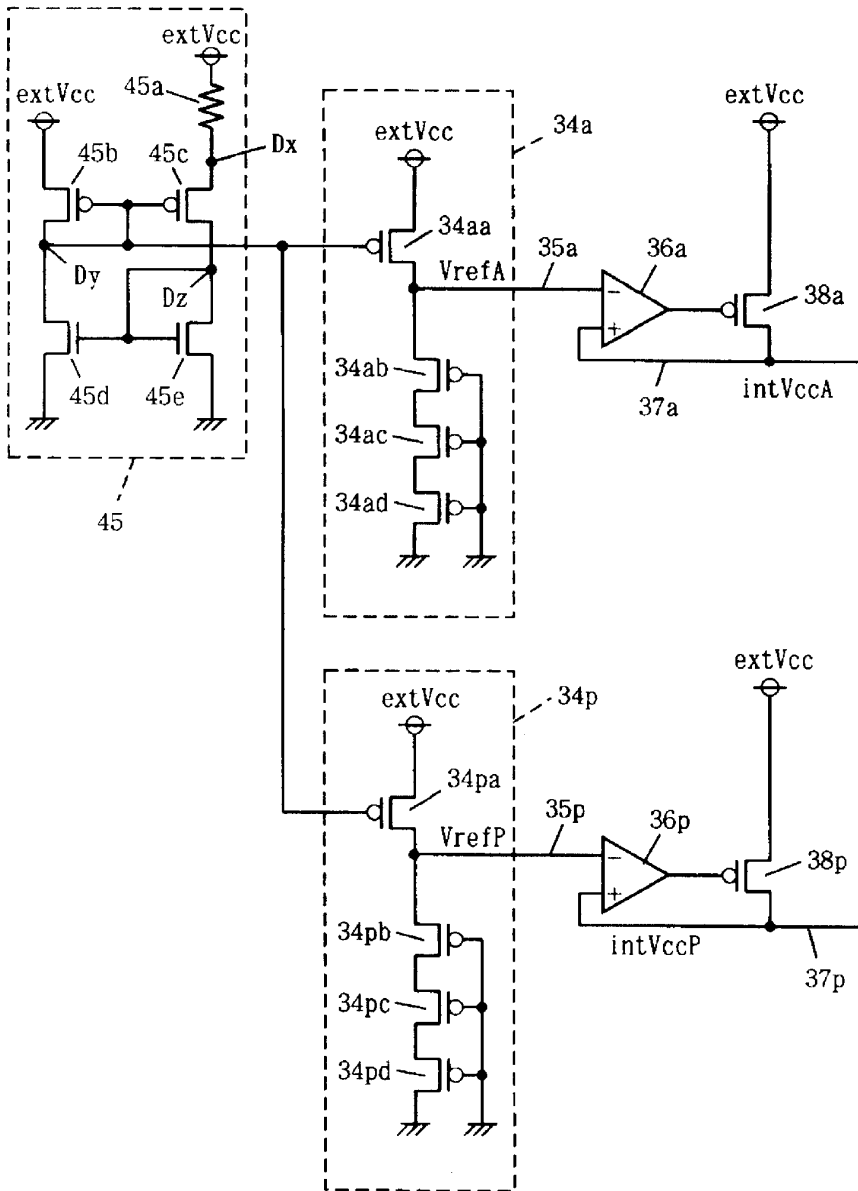
서로 분리하여 배치되는 복수의 내부 전원선,

상기 복수의 내부 전원선 각각에 대응하여 마련되고, 서로 전압 레벨이 다른 기준 전압을 발생하는 복수

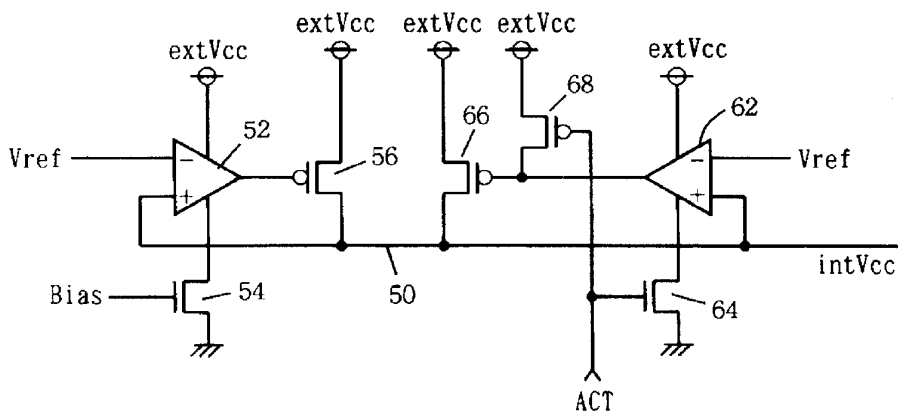
도면2



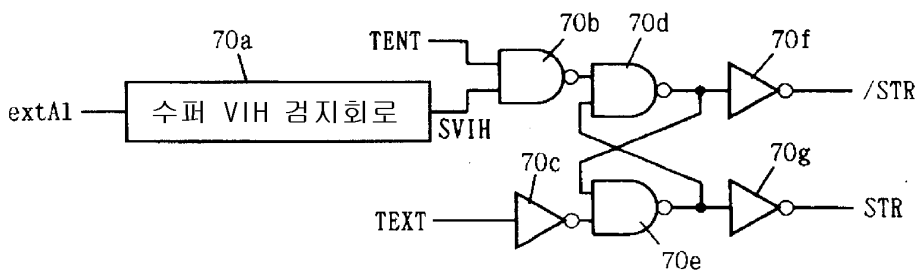
도면5



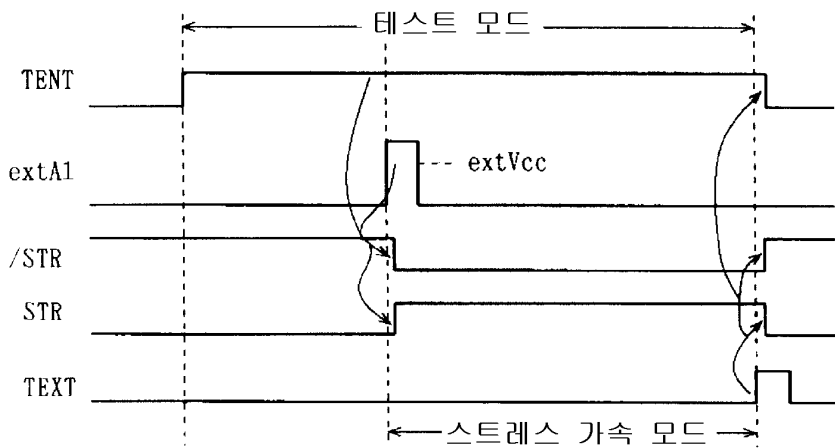
도면6



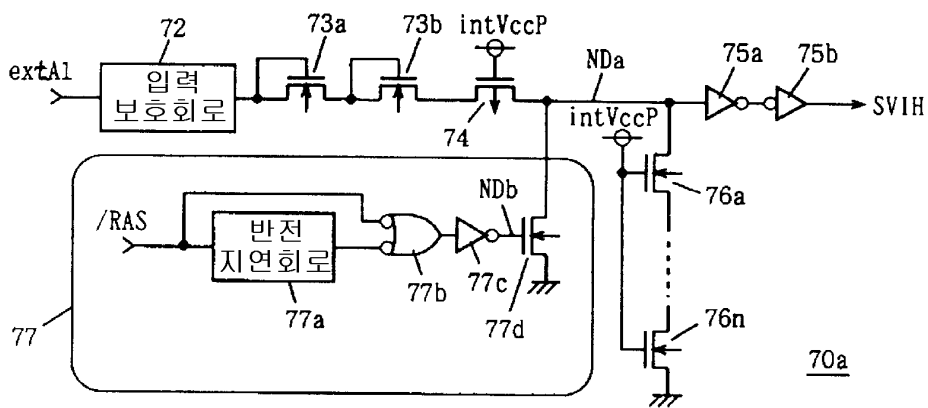
도면7



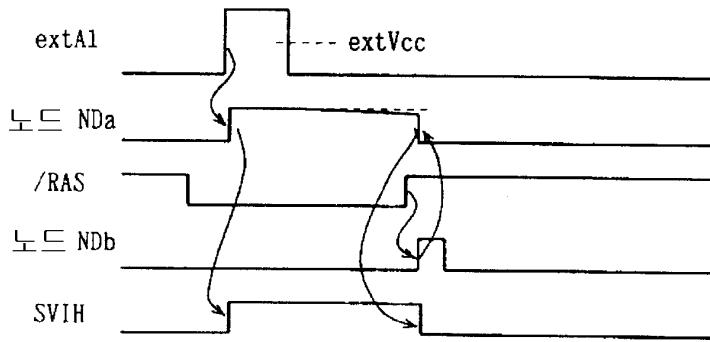
도면8



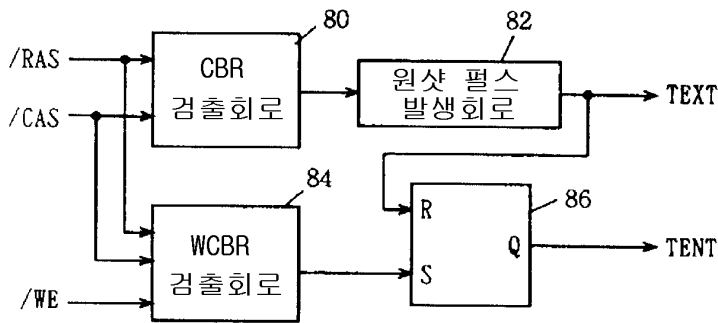
도면9



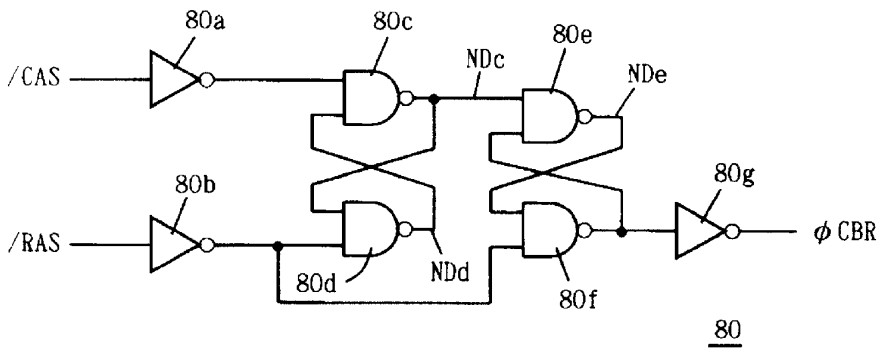
도면10



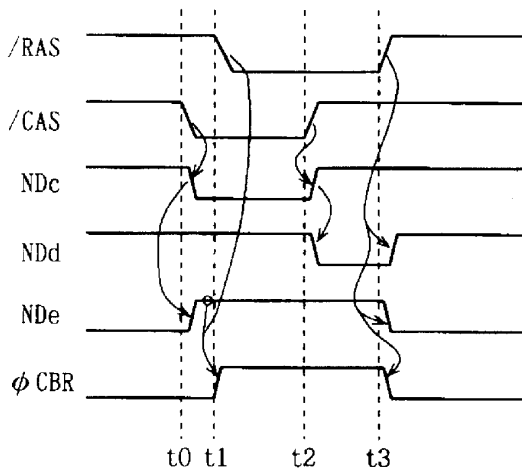
도면11



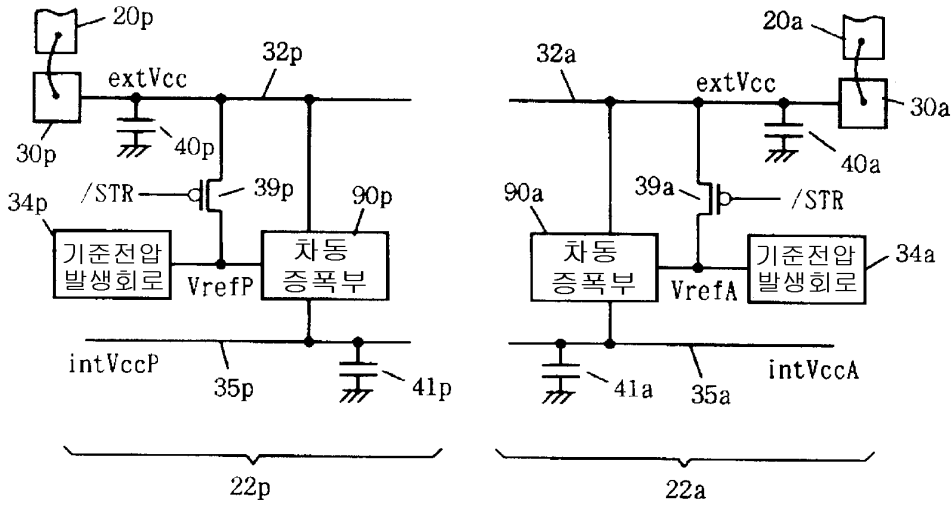
도면12



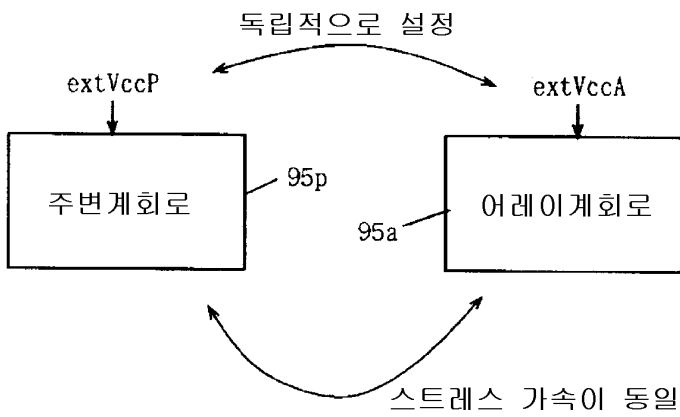
도면13



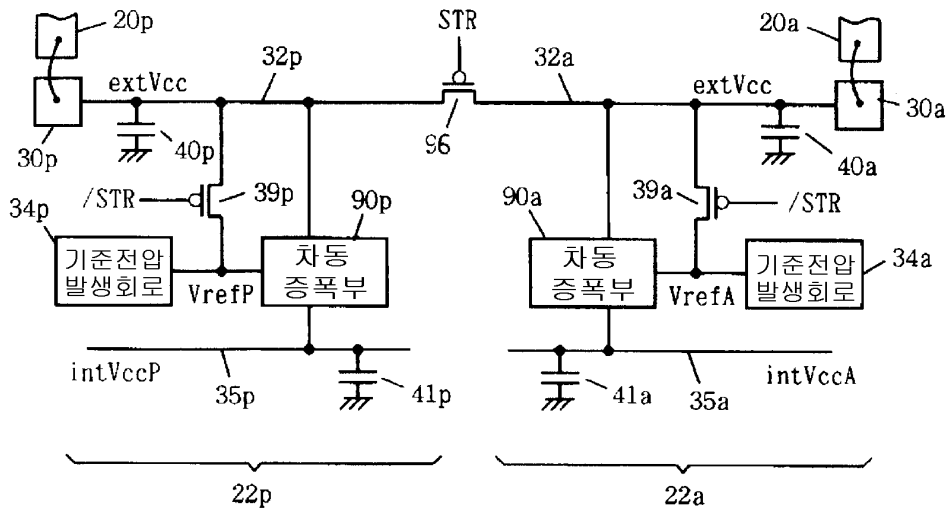
도면14



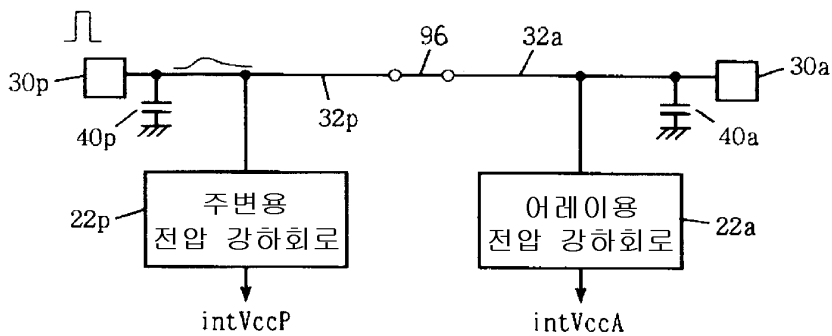
도면15



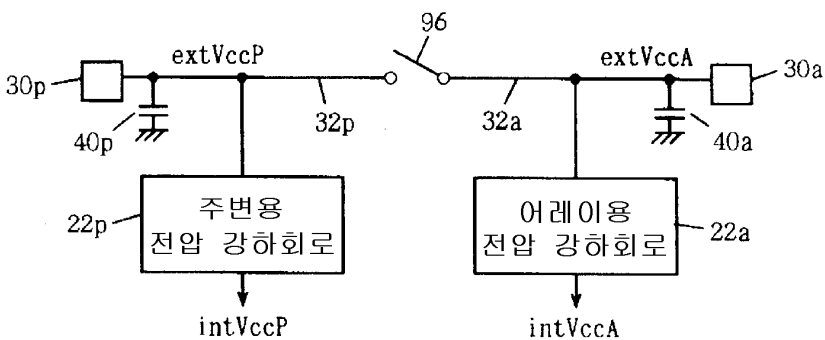
도면16



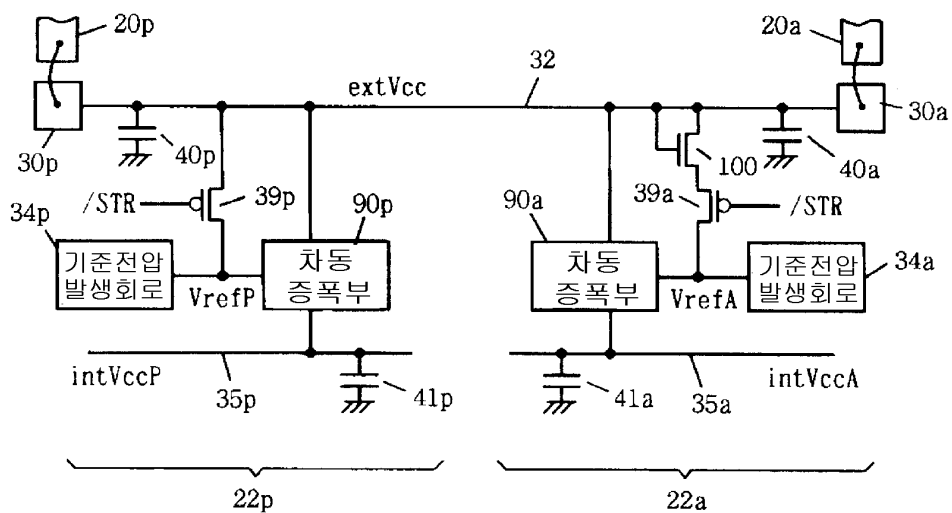
도면17a



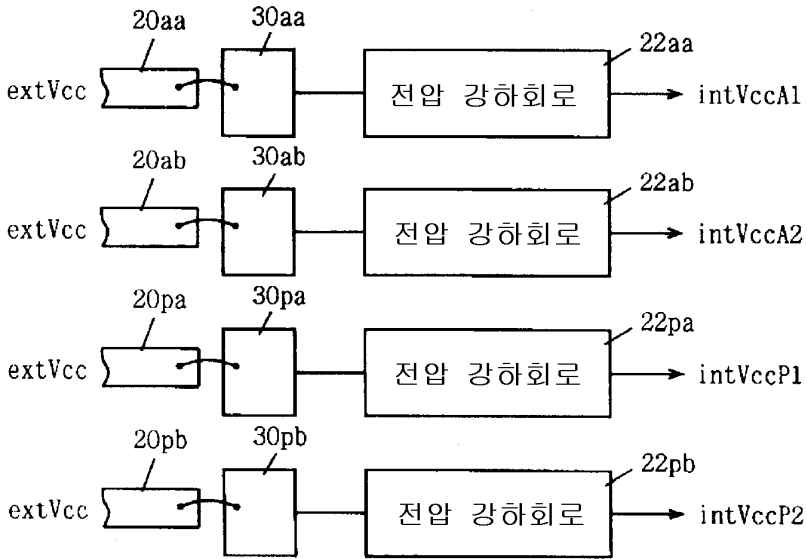
도면17b



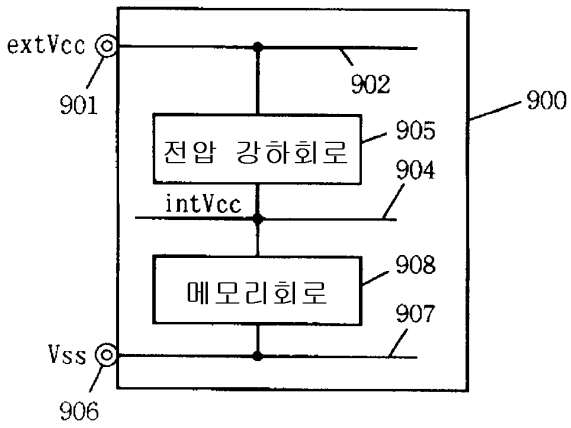
도면18



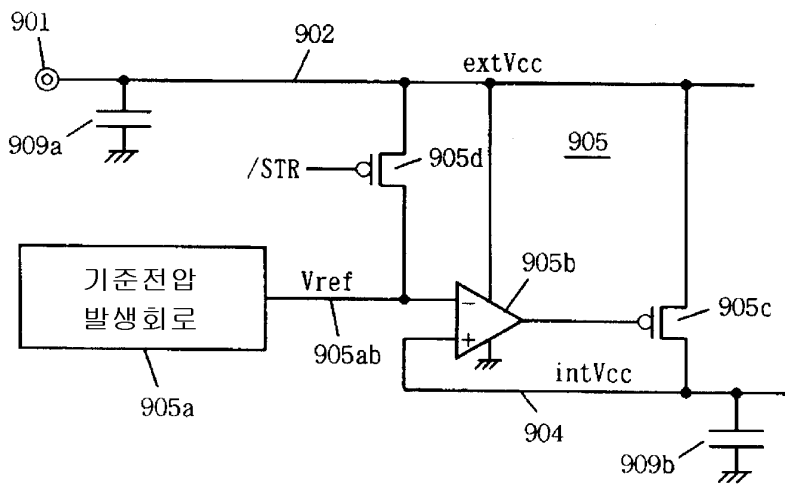
도면19



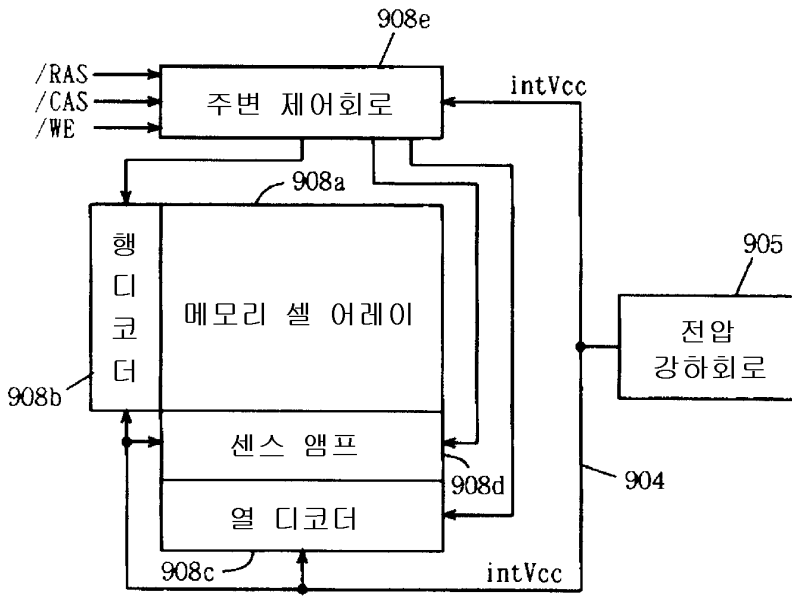
도면20



도면21



도면22



도면23

