

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2021년 4월 1일 (01.04.2021)

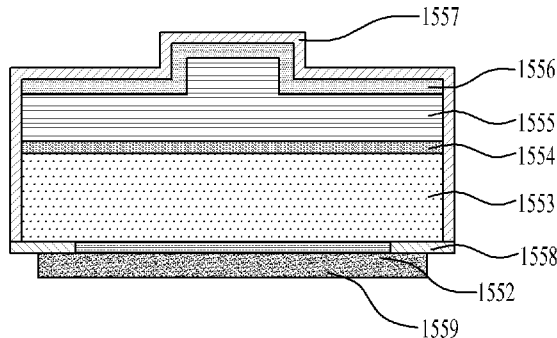


(10) 국제공개번호
WO 2021/060595 A1

- (51) 국제특허분류: *H01L 27/15* (2006.01) *H01L 21/768* (2006.01)
H01L 33/00 (2010.01) *H01L 21/28* (2006.01)
- (21) 국제출원번호: PCT/KR2019/012920
- (22) 국제출원일: 2019년 10월 2일 (02.10.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2019-0118593 2019년 9월 26일 (26.09.2019) KR
- (71) 출원인: 엘지전자 주식회사 (LG ELECTRONICS INC.) [KR/KR]; 07336 서울시 영등포구 여의대로 128, Seoul (KR).
- (72) 발명자: 박철근 (PARK, Chilkeun); 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR). 김정훈 (KIM, Junghoon); 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR). 임충현 (LIM, Chungyun); 06772 서울시 서초구 양재대로 11길 19 LG전자 특허센터, Seoul (KR).
- (74) 대리인: 특허법인(유한)케이비케이 (KBK & ASSOCIATES); 05556 서울특별시 송파구 올림픽로 82 (잠실현대빌딩 7층), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: DISPLAY DEVICE USING MICRO-LEDS AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 마이크로 LED를 이용한 디스플레이 장치 및 이의 제조 방법



(57) Abstract: The present specification provides a display device using semiconductor light-emitting diodes which are self-assembled in fluid, and a method for manufacturing same. Specifically, the semiconductor light-emitting diode comprises: a first-conductive-type electrode layer and a second-conductive-type electrode layer; a first-conductive-type semiconductor layer electrically connected to the first-conductive-type electrode layer; an active layer provided on the first-conductive-type semiconductor layer; and a second-conductive-type semiconductor layer provided on the active layer and electrically connected to the second-conductive-type electrode layer, wherein one surface of the second-conductive-type semiconductor layer comprises a mesa structure formed by etching a portion of the one surface, and the second-conductive-type electrode layer is provided on the one surface comprising the mesa structure of the second-conductive-type semiconductor layer.

(57) 요약서: 본 명세서에서는 유체 내에서 자가 조립되는 반도체 발광 소자를 이용한 디스플레이 장치 및 이의 제조 방법을 제공한다. 구체적으로 상기 반도체 발광 소자는, 제1 도전형 전극층 및 제2 도전형 전극층; 상기 제1 도전형 전극층과 전기적으로 연결되는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 상에 위치하는 활성층; 및 상기 활성층 상에 위치하고, 상기 제2 도전형 전극층과 전기적으로 연결되는 제2 도전형 반도체층을 포함하고, 상기 제2 도전형 반도체층의 일면은 상기 일면의 일부가 식각되어 형성되는 메사 구조를 포함하고, 상기 제2 도전형 전극층은 상기 제2 도전형 반도체층의 메사 구조를 포함하는 상기 일면 상에 위치하는 것을 특징으로 한다.

WO 2021/060595 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 마이크로 LED를 이용한 디스플레이 장치 및 이의 제조 방법

기술분야

- [1] 본 발명은 디스플레이 장치 관련 기술 분야에 적용 가능하며, 예를 들어 마이크로 LED(Light Emitting Diode)를 이용한 디스플레이 장치 및 이의 제조 방법에 관한 것이다.

배경기술

- [2] 최근에는 디스플레이 기술 분야에서 박형, 플렉서블 등의 우수한 특성을 가지는 디스플레이 장치가 개발되고 있다. 이에 반해, 현재 상용화된 주요 디스플레이는 LCD(Liquid Crystal Display)와 OLED(Organic Light Emitting Diodes)로 대표되고 있다.
- [3] 그러나, LCD의 경우에 빠르지 않은 반응 시간과, 플렉서블의 구현이 어렵다는 문제점이 있고, OLED의 경우에 수명이 짧고, 양산 수율이 좋지 않다는 문제점이 있다.
- [4] 한편, 발광 다이오드(Light Emitting Diode: LED)는 전류를 빛으로 변환시키는 것으로 잘 알려진 반도체 발광 소자로서, 1962년 GaAsP 화합물 반도체를 이용한 적색 LED가 상품화된 것을 시작으로 GaP:N 계열의 녹색 LED와 함께 정보 통신기기를 비롯한 전자장치의 표시 화상용 광원으로 이용되어 왔다. 따라서, 상기 반도체 발광 소자를 이용하여 디스플레이를 구현하여, 전술한 문제점을 해결하는 방안이 제시될 수 있다. 상기 반도체 발광 소자는 필라멘트 기반의 발광 소자에 비해 긴 수명, 낮은 전력 소모, 우수한 초기 구동 특성, 및 높은 진동 저항 등의 다양한 장점을 갖는다.
- [5] 이러한 반도체 발광 소자들을 이용한 디스플레이 장치를 구현하기 위해서는, 매우 많은 수의 반도체 발광 소자들이 기판에 장착되어야 한다. 최근에는 전사기판을 이용한 픽앤플레이스(Pick & Place) 방법이나 유체 내에서 반도체 발광 소자들을 기판에 조립하기 위한 방법들이 연구되고 있다.
- [6] 하지만 여전히 제조 비용 및 조립 속도, 발광 효율 관점에서는 개선해야 할 문제들이 많다.
- [7] 이에, 본 발명에서는 유체 내에서 자가 조립되는 고발광 효율을 가지는 새로운 형태의 반도체 발광 소자 및 이를 이용한 디스플레이 장치의 제조 방법을 제시한다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명의 일 실시예의 목적은, 반도체 발광 소자를 이용한 디스플레이 장치 및 제조 방법을 제공하는 것이다.

- [9] 본 발명의 일 실시예의 다른 목적은, 수직형 반도체 발광 소자를 이용하여 제조 비용을 절감시킬 수 있는 디스플레이 장치를 제공하는 것이다.
- [10] 본 발명의 일 실시예의 또 다른 목적은, 유체 내에서 자가 조립되는 발광 효율이 향상된 수직형 반도체 발광 소자 및 이를 이용한 디스플레이 장치를 제공하는 것이다.
- [11] 나아가, 본 발명의 일 실시예의 또 다른 목적은, 여기에서 언급하지 않은 다양한 문제점들도 해결하고자 한다. 당업자는 명세서 및 도면의 전 취지를 통해 이해할 수 있다.

과제 해결 수단

- [12] 상기 목적을 달성하기 위한 반도체 발광 소자를 이용한 디스플레이 장치에서, 상기 반도체 발광 소자는 상기 반도체 발광 소자의 양단에 분리되어 위치하는 제1 도전형 전극층 및 제2 도전형 전극층; 상기 제1 도전형 전극층과 전기적으로 연결되는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 상에 위치하는 활성층; 및 상기 활성층 상에 위치하고, 상기 제2 도전형 전극층과 전기적으로 연결되는 제2 도전형 반도체층을 포함하고, 상기 제2 도전형 반도체층의 일면은 상기 일면의 일부가 식각되어 형성되는 메사 구조를 포함하고, 상기 제2 도전형 전극층은 상기 제2 도전형 반도체층의 메사 구조를 포함하는 상기 일면 상에 위치하는 것을 특징으로 한다.
- [13] 실시예로서, 상기 제2 도전형 전극층은 투명 전극층인 것을 특징으로 한다.
- [14] 실시예로서, 상기 반도체 발광 소자는 상기 제1 도전형 전극층의 일면 상에 위치하는, 상기 제1 도전형 전극층과 전기적으로 연결되는 전도성 접합층을 더 포함한다.
- [15] 실시예로서, 상기 제1 도전형 전극층의 제1면적은 상기 전도성 접합층의 제2면적보다 작고, 상기 메사 구조의 상면의 제3 면적보다는 큰 것을 특징으로 한다.
- [16] 실시예로서, 상기 반도체 발광 소자는 상기 반도체 발광 소자의 상면 및 측면을 감싸는 제1 패시베이션층 및 상기 반도체 발광 소자의 하면의 일부를 감싸는 제2 패시베이션층을 포함하고, 상기 제2 패시베이션층은 상기 제1 도전형 반도체층 및 상기 전도성 접합층 사이의 영역에 위치하는 것을 특징으로 한다.
- [17] 실시예로서, 상기 조립기판은 전기장에 의해 반도체 발광 소자와의 관계에서 유전 영동력을 발생시키는 조립 전극을 구비하는 것을 특징으로 한다.
- [18] 실시예로서, 상기 메사 구조의 높이는 상기 조립기판이 상기 반도체 발광 소자에 작용하는 유전 영동력의 유효거리 이상인 것을 특징으로 한다.
- [19] 실시예로서, 상기 전도성 접합층 100도 내지 250도의 용융점을 가지는 저융점 금속층인 것을 특징으로 한다.
- [20] 실시예로서, 상기 반도체 발광 소자는 마이크로미터 단위의 크기를 가진 LED(Micro-LED)인 것을 특징으로 한다.

- [21] 본 발명의 다른 실시예에 따른 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법은, 성장기판에서 일면에 메사 형상을 구비하는 반도체 발광 구조를 형성하는 단계; 상기 반도체 발광 구조를 임시 기판으로 전사하는 단계; 상기 반도체 발광 구조에 도전형 전극층 및 전도성 접합층을 형성하여 수직형 반도체 발광 소자를 제작하는 단계; 및 상기 수직형 반도체 발광 소자를 유체 내에서 조립기판에 전기장과 자기장을 이용하여 조립하는 단계를 포함한다.
- [22] 실시예로서, 상기 반도체 발광 구조를 형성하는 단계는 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 적층하는 단계; 상기 제2 도전형 반도체층의 상면의 일부 영역을 식각하여 메사 형상을 형성하는 단계; 상기 메사 형상을 포함하는 제2 도전형 반도체층의 상면에 제2 도전형 전극층을 형성하는 단계; 식각 공정을 통해 개별 반도체 발광 구조를 정의하는 아이솔레이션(Isolation) 단계; 및 상기 반도체 발광 구조의 상면 및 측면에 제1 패시베이션층을 형성하는 단계를 포함한다.
- [23] 실시예로서, 상기 수직형 반도체 발광 소자를 제작하는 단계는 상기 전사하는 단계를 통해 노출된, 상기 제1 도전형 반도체층의 제1 영역에 제1 도전형 전극층을 형성하는 단계; 상기 전사하는 단계를 통해 노출된, 상기 제1 도전형 반도체층의 제2 영역에 제2 패시베이션층을 형성하는 단계를 포함한다.
- [24] 실시예로서, 상기 수직형 반도체 발광 소자를 제작하는 단계는 상기 제1 도전형 전극층 및 상기 제2 패시베이션층과 중첩되도록 전도성 접합층을 형성하는 단계를 더 포함한다.
- [25] 실시예로서, 상기 조립기판은 반도체 발광 소자가 조립되는 조립 홈을 포함하고, 상기 반도체 발광 소자의 전도성 접합층이 상기 조립 홈의 바닥 면과 접촉하는 것을 특징으로 한다.

발명의 효과

- [26] 본 발명의 일 실시예에 따르면, 반도체 발광 소자를 이용한 디스플레이 장치 및 제조 방법을 제공할 수 있다.
- [27] 구체적으로, 일면에 메사 구조를 포함하는 수직형 반도체 발광 소자를 제작하여, 유체 내에서 일방향 조립이 가능하도록 한다. 상기 메사 구조는 도전형 반도체층의 일부 영역을 식각하여 형성하고, 상기 메사 구조를 포함한 일면에 투명 전극층을 형성함으로써 반도체 발광 효율을 높일 수 있다.
- [28] 또한 수직형 반도체 발광 소자의 경우 수평형 반도체 발광 소자에 비해 동일 면적의 성장기판에서 생산할 수 있는 수량이 증가하므로, 이에 따라 디스플레이 장치의 제조 비용 절감이 가능하다.
- [29] 나아가, 본 발명의 또 다른 실시예에 따르면, 여기에서 언급하지 않은 추가적인 기술적 효과들도 있다. 당업자는 명세서 및 도면의 전 취지를 통해 이해할 수 있다.

도면의 간단한 설명

- [30] 도 1은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이다.
- [31] 도 2는 도 1의 A부분의 부분 확대도이다.
- [32] 도 3a 및 도 3b는 도 2의 라인 B-B 및 C-C를 따라 절단된 단면도들이다.
- [33] 도 4는 도 3의 플립 칩 타입 반도체 발광 소자를 나타내는 개념도이다.
- [34] 도 5a 내지 도 5c는 플립 칩 타입 반도체 발광 소자와 관련하여 컬러를 구현하는 여러 가지 형태를 나타내는 개념도들이다.
- [35] 도 6은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법을 나타낸 단면도들이다.
- [36] 도 7은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 다른 일 실시예를 나타내는 사시도이다.
- [37] 도 8은 도 7의 라인 D-D를 따라 절단된 단면도이다.
- [38] 도 9는 도 8의 수직형 반도체 발광 소자를 나타내는 개념도이다.
- [39] 도 10은 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법에 대해 개략적으로 나타내는 순서도이다.
- [40] 도 11은 반도체 발광 소자가 자가 조립 공정에 의해 기판에 조립되는 방법의 일 실시예를 나타내는 도면이다.
- [41] 도 12는 도 11의 E부분을 확대한 도면이다.
- [42] 도 13은 유체 내에서 자가 조립될 수 있는 수직형 반도체 발광 소자의 실시예들이다.
- [43] 도 14는 본 발명의 반도체 발광 소자를 제작하는 방법을 나타내는 순서도이다.
- [44] 도 15 내지 도 16은 본 발명의 반도체 발광 소자의 구조를 구체적으로 나타내는 도면들이다.
- [45] 도 17은 본 발명의 반도체 발광 소자의 다른 실시예들이다.
- [46] 도 18은 일면에 메사 형상을 구비하는 반도체 발광 구조를 형성하는 과정을 나타내는 순서도이다.
- [47] 도 19는 도 18의 형성 과정을 단면도로 나타내는 도면들이다.
- [48] 도 20은 도 19의 반도체 발광 구조를 임시 기판으로 전사하는 과정을 나타내는 단면도들이다.
- [49] 도 21은 도 20의 반도체 발광 구조에 대해 전극층 및 접합층을 형성하여 수직형 반도체 발광 소자를 제작하는 과정을 나타내는 순서도이다.
- [50] 도 22는 도 21의 제작 과정을 단면도로 나타내는 도면들이다.
- [51] 도 23은 조립 기판에 조립된 반도체 발광 소자를 나타내는 단면도이다.

발명의 실시를 위한 형태

- [52] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서

사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시예를 설명함에 있어서 관련된 공지기술에 대한 구체적인 설명이 본 명세서에 개시된 실시예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되는 것으로 해석되어서는 아니 됨을 유의해야 한다.

- [53] 나아가, 설명의 편의를 위해 각각의 도면에 대해 설명하고 있으나, 당업자가 적어도 2개 이상의 도면을 결합하여 다른 실시예를 구현하는 것도 본 발명의 권리범위에 속한다.
- [54] 또한, 층, 영역 또는 기판과 같은 요소가 다른 구성요소 "상(on)"에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있다는 것을 이해할 수 있을 것이다.
- [55] 본 명세서에서 설명되는 디스플레이 장치는 단위 화소 또는 단위 화소의 집합으로 정보를 표시하는 모든 디스플레이 장치를 포함하는 개념이다. 따라서 완성품에 한정하지 않고 부품에도 적용될 수 있다. 예를 들어 디지털 TV의 일 부품에 해당하는 패널도 독자적으로 본 명세서 상의 디스플레이 장치에 해당한다. 완성품으로는 휴대폰, 스마트 폰(smart phone), 노트북 컴퓨터(laptop computer), 디지털방송용 단말기, PDA(personal digital assistants), PMP(portable multimedia player), 네비게이션, 슬레이트 피씨(Slate PC), Tablet PC, Ultra Book, 디지털 TV, 데스크 탑 컴퓨터 등이 포함될 수 있다.
- [56] 그러나, 본 명세서에 기재된 실시예에 따른 구성은 추후 개발되는 새로운 제품 형태라도, 디스플레이가 가능한 장치에는 적용될 수도 있음을 본 기술 분야의 당업자라면 쉽게 알 수 있을 것이다.
- [57] 또한, 당해 명세서에서 언급된 반도체 발광 소자는 LED, 마이크로 LED 등을 포함하는 개념이며, 혼용되어 사용될 수 있다.
- [58] 도 1은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 일 실시예를 나타내는 개념도이다.
- [59] 도 1에 도시된 바와 같이, 디스플레이 장치(100)의 제어부(미도시)에서 처리되는 정보는 플렉서블 디스플레이(flexible display)를 이용하여 표시될 수 있다.
- [60] 플렉서블 디스플레이는, 예를 들어 외력에 의하여 휘어질 수 있는, 또는 구부러질 수 있는, 또는 비틀어질 수 있는, 또는 접힐 수 있는, 또는 말려질 수 있는 디스플레이를 포함한다.
- [61] 나아가, 플렉서블 디스플레이는, 예를 들어 기존의 평판 디스플레이의 디스플레이 특성을 유지하면서, 종이와 같이 휘어지거나, 또는 구부리거나, 또는 접을 수 있거나 또는 말 수 있는 얇고 유연한 기판 위에 제작되는 디스플레이가

될 수 있다.

- [62] 상기 플렉서블 디스플레이가 휘어지지 않는 상태(예를 들어, 무한대의 곡률반경을 가지는 상태, 이하 제1상태라 한다)에서는 상기 플렉서블 디스플레이의 디스플레이 영역이 평면이 된다. 상기 제1상태에서 외력에 의하여 휘어진 상태(예를 들어, 유한의 곡률 반경을 가지는 상태, 이하, 제2상태라 한다)에서는 상기 디스플레이 영역이 곡면이 될 수 있다. 도 1에 도시된 바와 같이, 상기 제2상태에서 표시되는 정보는 곡면상에 출력되는 시각 정보가 될 수 있다. 이러한 시각 정보는 매트릭스 형태로 배치되는 단위 화소(sub-pixel)의 발광이 독자적으로 제어됨에 의하여 구현된다. 상기 단위 화소는, 예를 들어 하나의 색을 구현하기 위한 최소 단위를 의미한다.
- [63] 상기 플렉서블 디스플레이의 단위 화소는 반도체 발광 소자에 의하여 구현될 수 있다. 본 발명에서는 전류를 빛으로 변환시키는 반도체 발광 소자의 일 종류로서 발광 다이오드(Light Emitting Diode: LED)를 예시한다. 상기 발광 다이오드는 작은 크기로 형성되며, 이를 통하여 상기 제2상태에서도 단위 화소의 역할을 할 수 있게 된다.
- [64] 상기 발광 다이오드를 이용하여 구현된 플렉서블 디스플레이에 대하여, 이하 도면들을 참조하여 보다 상세히 설명한다.
- [65] 도 2는 도 1의 A부분의 부분 확대도이다.
- [66] 도 3a 및 도 3b는 도 2의 라인 B-B 및 C-C를 따라 절단된 단면도들이다.
- [67] 도 4는 도 3의 플립 칩 타입 반도체 발광 소자를 나타내는 개념도이다.
- [68] 도 5a 내지 도 5c는 플립 칩 타입 반도체 발광 소자와 관련하여 컬러를 구현하는 여러 가지 형태를 나타내는 개념도들이다.
- [69] 도 2, 도 3a 및 도 3b에 도시된 바와 같이, 반도체 발광 소자를 이용한 디스플레이 장치(100)로서 패시브 매트릭스(Passive Matrix, PM) 방식의 반도체 발광 소자를 이용한 디스플레이 장치(100)를 예시한다. 다만, 이하 설명되는 예시는 액티브 매트릭스(Active Matrix, AM) 방식의 반도체 발광 소자에도 적용 가능하다.
- [70] 도 1에 도시된 디스플레이 장치(100)는, 도 2에 도시된 바와 같이 기관(110), 제1전극(120), 전도성 접착층(130), 제2전극(140) 및 적어도 하나의 반도체 발광 소자(150)를 포함한다.
- [71] 기관(110)은 플렉서블 기관일 수 있다. 예를 들어, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 기관(110)은 유리나 폴리이미드(PI, Polyimide)를 포함할 수 있다. 이외에도 절연성이 있고, 유연성 있는 재질이면, 예를 들어 PEN(Polyethylene Naphthalate), PET(Polyethylene Terephthalate) 등 어느 것이라도 사용될 수 있다. 또한, 상기 기관(110)은 투명한 재질 또는 불투명한 재질 어느 것이나 될 수 있다.
- [72] 상기 기관(110)은 제1전극(120)이 배치되는 배선기관이 될 수 있으며, 따라서 상기 제1전극(120)은 기관(110) 상에 위치할 수 있다.

- [73] 도 3a에 도시된 바와 같이 절연층(160)은 제1전극(120)이 위치한 기판(110) 상에 배치될 수 있으며, 상기 절연층(160)에는 보조전극(170)이 위치할 수 있다. 이 경우에, 상기 기판(110)에 절연층(160)이 적층된 상태가 하나의 배선기판이 될 수 있다. 보다 구체적으로, 절연층(160)은 폴리이미드(PI, Polyimide), PET, PEN 등과 같이 절연성이 있고, 유연성 있는 재질로, 상기 기판(110)과 일체로 이루어져 하나의 기판을 형성할 수 있다.
- [74] 보조전극(170)은 제1전극(120)과 반도체 발광 소자(150)를 전기적으로 연결하는 전극으로서, 절연층(160) 상에 위치하고, 제1전극(120)의 위치에 대응하여 배치된다. 예를 들어, 보조전극(170)은 닷(dot) 형태이며, 절연층(160)을 관통하는 전극홀(171)에 의하여 제1전극(120)과 전기적으로 연결될 수 있다. 상기 전극홀(171)은 비아홀에 도전물질이 채워짐에 의하여 형성될 수 있다.
- [75] 도 2 또는 도 3a에 도시된 바와 같이, 절연층(160)의 일면에는 전도성 접착층(130)이 형성되나, 본 발명은 반드시 이에 한정되는 것은 아니다. 예를 들어, 절연층(160)과 전도성 접착층(130)의 사이에 특정 기능을 수행하는 레이어가 형성되거나, 절연층(160)이 없이 전도성 접착층(130)이 기판(110)상에 배치되는 구조도 가능하다. 전도성 접착층(130)이 기판(110)상에 배치되는 구조에서는 전도성 접착층(130)이 절연층의 역할을 할 수 있다.
- [76] 상기 전도성 접착층(130)은 접착성과 전도성을 가지는 층이 될 수 있으며, 이를 위하여 상기 전도성 접착층(130)에서는 전도성을 가지는 물질과 접착성을 가지는 물질이 혼합될 수 있다. 또한 전도성 접착층(130)은 연성을 가지며, 이를 통하여 디스플레이 장치에서 플렉서블 기능을 가능하게 한다.
- [77] 이러한 예로서, 전도성 접착층(130)은 이방성 전도성 필름(anisotropy conductive film, ACF), 이방성 전도 페이스트(paste), 전도성 입자를 함유한 솔루션(solution) 등이 될 수 있다. 상기 전도성 접착층(130)은 두께를 관통하는 Z 방향으로서는 전기적 상호 연결을 허용하나, 수평적인 X-Y 방향으로서는 전기 절연성을 가지는 레이어로서 구성될 수 있다. 따라서 상기 전도성 접착층(130)은 Z축 전도층으로 명명될 수 있다(다만, 이하 '전도성 접착층'이라 한다).
- [78] 상기 이방성 전도성 필름은 이방성 전도매질(anisotropic conductive medium)이 절연성 베이스부재에 혼합된 형태의 필름으로서, 열 및 압력이 가해지면 특정 부분만 이방성 전도매질에 의하여 전도성을 가지게 된다. 이하, 상기 이방성 전도성 필름에는 열 및 압력이 가해지는 것으로 설명하나, 상기 이방성 전도성 필름이 부분적으로 전도성을 가지기 위하여 다른 방법이 적용될 수도 있다. 전술한 다른 방법은, 예를 들어 상기 열 및 압력 중 어느 하나만이 가해지거나 UV 경화 등이 될 수 있다.
- [79] 또한, 상기 이방성 전도매질은 예를 들어, 도전볼이나 전도성 입자가 될 수 있다. 예를 들어, 상기 이방성 전도성 필름은 도전볼이 절연성 베이스 부재에 혼합된 형태의 필름으로서, 열 및 압력이 가해지면 특정 부분만 도전볼에 의하여 전도성을 가지게 된다. 이방성 전도성 필름은 전도성 물질의 코어가 폴리머

재질의 절연막에 의하여 피복된 복수의 입자가 함유된 상태가 될 수 있으며, 이 경우에 열 및 압력이 가해진 부분이 절연막이 파괴되면서 코어에 의하여 도전성을 가지게 된다. 이때, 코어의 형태는 변형되어 필름의 두께방향으로 서로 접촉하는 층을 이룰 수 있다. 보다 구체적인 예로서, 열 및 압력은 이방성 전도성 필름에 전체적으로 가해지며, 이방성 전도성 필름에 의하여 접촉되는 상대물의 높이 차에 의하여 Z축 방향의 전기적 연결이 부분적으로 형성된다.

- [80] 다른 예로서, 이방성 전도성 필름은 절연 코어에 전도성 물질이 피복된 복수의 입자가 함유된 상태가 될 수 있다. 이 경우에는 열 및 압력이 가해진 부분이 전도성 물질이 변형되어(눌러 붙어서) 필름의 두께방향으로 전도성을 가지게 된다. 또 다른 예로서, 전도성 물질이 Z축 방향으로 절연성 베이스 부재를 관통하여 필름의 두께방향으로 전도성을 가지는 형태도 가능하다. 이 경우에, 전도성 물질은 뾰족한 단부를 가질 수 있다.
- [81] 상기 이방성 전도성 필름은 도전볼이 절연성 베이스 부재의 일면에 삽입된 형태로 구성되는 고정배열 이방성 전도성 필름(fixed array ACF)이 될 수 있다. 보다 구체적으로, 절연성 베이스 부재는 접착성을 가지는 물질로 형성되며, 도전볼은 상기 절연성 베이스 부재의 바닥 부분에 집중적으로 배치되며, 상기 베이스 부재에서 열 및 압력이 가해지면 상기 도전볼과 함께 변형됨에 따라 수직 방향으로 전도성을 가지게 된다.
- [82] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 상기 이방성 전도성 필름은 절연성 베이스 부재에 도전볼이 랜덤하게 혼입된 형태나, 복수의 층으로 구성되며 어느 한 층에 도전볼이 배치되는 형태(double-ACF) 등이 모두 가능하다.
- [83] 이방성 전도 페이스트는 페이스트와 도전볼의 결합 형태로서, 절연성 및 접착성의 베이스 물질에 도전볼이 혼합된 페이스트가 될 수 있다. 또한, 전도성 입자를 함유한 솔루션은 전도성 파티클 혹은 나노 입자를 함유한 형태의 솔루션이 될 수 있다.
- [84] 다시 도3a를 참조하면, 제2전극(140)은 보조전극(170)과 이격하여 절연층(160)에 위치한다. 즉, 상기 전도성 접착층(130)은 보조전극(170) 및 제2전극(140)이 위치하는 절연층(160) 상에 배치된다.
- [85] 절연층(160)에 보조전극(170)과 제2전극(140)이 위치된 상태에서 전도성 접착층(130)을 형성한 후에, 반도체 발광 소자(150)를 열 및 압력을 가하여 플립 칩 형태로 접속시키면, 상기 반도체 발광 소자(150)는 제1전극(120) 및 제2전극(140)과 전기적으로 연결된다.
- [86] 도 4를 참조하면, 상기 반도체 발광 소자는 플립 칩 타입(flip chiptype)의 발광 소자가 될 수 있다.
- [87] 예를 들어, 상기 반도체 발광 소자는 p형 전극(156), p형 전극(156)이 형성되는 p형 반도체층(155), p형 반도체층(155) 상에 형성된 활성층(154), 활성층(154) 상에 형성된 n형 반도체층(153) 및 n형 반도체층(153) 상에서 p형 전극(156)과

수평방향으로 이격 배치되는 n형 전극(152)을 포함한다. 이 경우, p형 전극(156)은 도3에 도시된, 보조전극(170)과 전도성 접착층(130)에 의하여 전기적으로 연결될 수 있고, n형 전극(152)은 제2전극(140)과 전기적으로 연결될 수 있다.

- [88] 다시 도 2, 도 3a 및 도 3b를 참조하면, 보조전극(170)은 일방향으로 길게 형성되어, 하나의 보조전극이 복수의 반도체 발광 소자(150)에 전기적으로 연결될 수 있다. 예를 들어, 보조전극을 중심으로 좌우의 반도체 발광 소자들의 p형 전극들이 하나의 보조전극에 전기적으로 연결될 수 있다.
- [89] 보다 구체적으로, 열 및 압력에 의하여 전도성 접착층(130)의 내부로 반도체 발광 소자(150)가 압입되며 이를 통하여 반도체 발광 소자(150)의 p형 전극(156)과 보조전극(170) 사이의 부분과, 반도체 발광 소자(150)의 n형 전극(152)과 제2전극(140) 사이의 부분에서만 전도성을 가지게 되고, 나머지 부분에서는 반도체 발광 소자의 압입이 없어 전도성을 가지지 않게 된다. 이와 같이, 전도성 접착층(130)은 반도체 발광 소자(150)와 보조전극(170) 사이 및 반도체 발광 소자(150)와 제2전극(140) 사이를 상호 결합시켜줄 뿐만 아니라 전기적 연결까지 형성시킨다.
- [90] 또한, 복수의 반도체 발광 소자(150)는 발광 소자 어레이(array)를 구성하며, 발광 소자 어레이에는 형광체층(180)이 형성된다.
- [91] 발광 소자 어레이는 자체 휘도 값이 상이한 복수의 반도체 발광 소자들을 포함할 수 있다. 각각의 반도체 발광 소자(150)는 단위 화소를 구성하며, 제1전극(120)에 전기적으로 연결된다. 예를 들어, 제1전극(120)은 복수 개일 수 있고, 반도체 발광 소자들은 예컨대 수 열로 배치되며, 각 열의 반도체 발광 소자들은 상기 복수 개의 제1전극 중 어느 하나에 전기적으로 연결될 수 있다.
- [92] 또한, 반도체 발광 소자들이 플립 칩 형태로 접속되므로, 투명 유전체 기판에 성장시킨 반도체 발광 소자들을 이용할 수 있다. 또한, 상기 반도체 발광 소자들은 예컨대 질화물 반도체 발광 소자일 수 있다. 반도체 발광 소자(150)는 휘도가 우수하므로, 작은 크기로도 개별 단위 화소를 구성할 수 있다.
- [93] 도3에 도시된 바와 같이, 반도체 발광 소자(150)의 사이에 격벽(190)이 형성될 수 있다. 이 경우, 격벽(190)은 개별 단위 화소를 서로 분리하는 역할을 할 수 있으며, 전도성 접착층(130)과 일체로 형성될 수 있다. 예를 들어, 이방성 전도성 필름에 반도체 발광 소자(150)가 삽입됨에 의하여 이방성 전도성 필름의 베이스 부재가 상기 격벽을 형성할 수 있다.
- [94] 또한, 상기 이방성 전도성 필름의 베이스 부재가 블랙이면, 별도의 블랙 절연체가 없어도 상기 격벽(190)이 반사 특성을 가지는 동시에 대비비(contrast)가 증가될 수 있다.
- [95] 다른 예로서, 상기 격벽(190)으로 반사성 격벽이 별도로 구비될 수 있다. 이 경우에, 상기 격벽(190)은 디스플레이 장치의 목적에 따라 블랙(Black) 또는 화이트(White) 절연체를 포함할 수 있다. 화이트 절연체의 격벽을 이용할 경우

반사성을 높이는 효과가 있을 수 있고, 블랙 절연체의 격벽을 이용할 경우, 반사 특성을 가지는 동시에 대비비(contrast)를 증가시킬 수 있다.

- [96] 형광체층(180)은 반도체 발광 소자(150)의 외면에 위치할 수 있다. 예를 들어, 반도체 발광 소자(150)는 청색(B) 광을 발광하는 청색 반도체 발광 소자이고, 형광체층(180)은 상기 청색(B) 광을 단위 화소의 색상으로 변환시키는 기능을 수행한다. 상기 형광체층(180)은 개별 화소를 구성하는 적색 형광체(181) 또는 녹색 형광체(182)가 될 수 있다.
- [97] 즉, 적색의 단위 화소를 이루는 위치에서, 청색 반도체 발광 소자 상에는 청색 광을 적색(R) 광으로 변환시킬 수 있는 적색 형광체(181)가 적층될 수 있고, 녹색의 단위 화소를 이루는 위치에서는, 청색 반도체 발광 소자 상에 청색광을 녹색(G) 광으로 변환시킬 수 있는 녹색 형광체(182)가 적층될 수 있다. 또한, 청색의 단위 화소를 이루는 부분에는 청색 반도체 발광 소자만 단독으로 이용될 수 있다. 이 경우, 적색(R), 녹색(G), 및 청색(B)의 단위 화소들이 하나의 화소를 이룰 수 있다. 보다 구체적으로, 제1전극(120)의 각 라인을 따라 하나의 색상의 형광체가 적층될 수 있다. 따라서, 제1전극(120)에서 하나의 라인은 하나의 색상을 제어하는 전극이 될 수 있다. 즉, 제2전극(140)을 따라서, 적색(R), 녹색(G) 및 청색(B)이 차례로 배치될 수 있으며, 이를 통하여 단위 화소가 구현될 수 있다.
- [98] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 형광체 대신에 반도체 발광 소자(150)와 퀀텀닷(QD)이 조합되어 적색(R), 녹색(G) 및 청색(B)의 단위 화소들을 구현할 수 있다.
- [99] 또한, 대비비(contrast) 향상을 위하여 각각의 형광체층들의 사이에는 블랙 매트릭스(191)가 배치될 수 있다. 즉, 이러한 블랙 매트릭스(191)는 명암의 대조를 향상시킬 수 있다.
- [100] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 청색, 적색, 녹색을 구현하기 위한 다른 구조가 적용될 수 있다.
- [101] 도 5a를 참조하면, 각각의 반도체 발광 소자(150)는 질화 갈륨(GaN)을 주재료로 하여, 인듐(In) 및/또는 알루미늄(Al)이 함께 첨가되어 청색을 비롯한 다양한 빛을 발광하는 고효율의 발광 소자로 구현될 수 있다.
- [102] 이 경우, 반도체 발광 소자(150)는 각각 단위 화소(sub-pixel)를 이루기 위하여 적색, 녹색 및 청색 반도체 발광 소자일 수 있다. 예컨대, 적색, 녹색 및 청색 반도체 발광 소자(R, G, B)가 교대로 배치되고, 적색, 녹색 및 청색 반도체 발광 소자에 의하여 적색(Red), 녹색(Green) 및 청색(Blue)의 단위 화소들이 하나의 화소(pixel)를 이루며, 이를 통하여 풀 칼라 디스플레이가 구현될 수 있다.
- [103] 도 5b를 참조하면, 반도체 발광 소자(150a)는 황색 형광체층이 개별 소자마다 구비된 백색 발광 소자(W)를 구비할 수 있다. 이 경우에는, 단위 화소를 이루기 위하여, 백색 발광 소자(W) 상에 적색 형광체층(181), 녹색 형광체층(182), 및 청색 형광체층(183)이 구비될 수 있다. 또한, 이러한 백색 발광 소자(W) 상에 적색, 녹색, 및 청색이 반복되는 컬러 필터를 이용하여 단위 화소를 이룰 수 있다.

- [104] 도 5c를 참조하면, 자외선 발광 소자(150b) 상에 적색 형광체층(184), 녹색 형광체층(185), 및 청색 형광체층(186)이 구비되는 구조도 가능하다. 이와 같이, 반도체 발광 소자는 가시광선뿐만 아니라 자외선(UV)까지 전 영역에 사용 가능하며, 자외선(UV)이 상부 형광체의 여기원(excitation source)으로 사용 가능한 반도체 발광 소자의 형태로 확장될 수 있다.
- [105] 본 예시를 다시 살펴보면, 반도체 발광 소자는 전도성 접착층 상에 위치되어, 디스플레이 장치에서 단위 화소를 구성한다. 반도체 발광 소자는 휘도가 우수하므로, 작은 크기로도 개별 단위 화소를 구성할 수 있다.
- [106] 이와 같은 개별 반도체 발광 소자(150)의 크기는 예를 들어, 한 변의 길이가 $80\mu\text{m}$ 이하일 수 있고, 직사각형 또는 정사각형 소자일 수 있다. 직사각형인 경우에는 $20 \times 80\mu\text{m}$ 이하의 크기가 될 수 있다.
- [107] 또한, 한 변의 길이가 $10\mu\text{m}$ 인 정사각형의 반도체 발광 소자(150)를 단위 화소로 이용하여도 디스플레이 장치를 이루기 위한 충분한 밝기가 나타난다.
- [108] 따라서, 단위 화소의 크기가 한 변이 $600\mu\text{m}$, 나머지 한 변이 $300\mu\text{m}$ 인 직사각형 화소인 경우를 예로 들면, 반도체 발광 소자의 거리가 상대적으로 충분히 크게 된다.
- [109] 따라서, 이러한 경우, HD화질 이상의 고화질을 가지는 플렉서블 디스플레이 장치를 구현할 수 있게 된다.
- [110] 상기에서 설명된 반도체 발광 소자를 이용한 디스플레이 장치는 새로운 형태의 제조방법에 의하여 제조될 수 있다. 이하, 도 6을 참조하여 상기 제조 방법에 대하여 설명한다.
- [111] 도 6은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법을 나타낸 단면도들이다.
- [112] 도 6에 도시된 바와 같이, 먼저, 보조전극(170) 및 제2전극(140)이 위치된 절연층(160) 상에 전도성 접착층(130)을 형성한다. 배선기판(110)에 절연층(160)이 적층되며, 상기 배선기판(110)에는 제1전극(120), 보조전극(170) 및 제2전극(140)이 배치된다. 이 경우에, 제1전극(120)과 제2전극(140)은 상호 직교 방향으로 배치될 수 있다. 또한, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 배선기판(110) 및 절연층(160)은 각각 유리 또는 폴리이미드(PI)를 포함할 수 있다.
- [113] 상기 전도성 접착층(130)은 예를 들어, 이방성 전도성 필름에 의하여 구현될 수 있으며, 이를 위하여 절연층(160)이 위치된 기판에 이방성 전도성 필름이 도포될 수 있다.
- [114] 다음에, 보조전극(170) 및 제2전극(140)들의 위치에 대응하고, 개별 화소를 구성하는 복수의 반도체 발광 소자(150)가 위치된 임시기판(112)을, 상기 반도체 발광 소자(150)가 보조전극(170) 및 제2전극(140)와 마주하도록 배치한다.
- [115] 이 경우에, 임시기판(112)은 반도체 발광 소자(150)를 성장시키는 성장기판으로서, 스파이어(spire) 기판 또는 실리콘(silicon) 기판이 될 수 있다.

- [116] 상기 반도체 발광 소자는 웨이퍼(wafer) 단위로 형성될 때, 디스플레이 장치를 이룰 수 있는 간격 및 크기를 가지도록 함으로써, 디스플레이 장치에 효과적으로 이용될 수 있다.
- [117] 그 다음에, 배선기판과 임시기판(112)을 열 압착한다. 예를 들어, 배선기판과 임시기판(112)은 ACF 프레스 헤드를 적용하여 열 압착할 수 있다. 상기 열 압착에 의하여 배선기판과 임시기판(112)은 본딩(bonding)된다. 열 압착에 의하여 전도성을 갖는 이방성 전도성 필름의 특성에 의해 반도체 발광 소자(150)와 보조전극(170) 및 제2전극(140)의 사이의 부분만 전도성을 가지게 되며, 이를 통하여 전극들과 반도체 발광 소자(150)는 전기적으로 연결될 수 있다. 이 때에, 반도체 발광 소자(150)가 상기 이방성 전도성 필름의 내부로 삽입되며, 이를 통하여 반도체 발광 소자(150) 사이에 격벽이 형성될 수 있다.
- [118] 그 다음에, 상기 임시기판(112)을 제거한다. 예를 들어, 임시기판(112)은 레이저 리프트 오프법(Laser Lift-off, LLO) 또는 화학적 리프트 오프법(Chemical Lift-off, CLO)을 이용하여 제거할 수 있다.
- [119] 마지막으로, 상기 임시기판(112)을 제거하여 반도체 발광 소자들(150)을 외부로 노출시킨다. 필요에 따라, 반도체 발광 소자(150)가 결합된 배선기판 상을 실리콘 옥사이드(SiO_x) 등을 코팅하여 투명 절연층(미도시)을 형성할 수 있다.
- [120] 또한, 상기 반도체 발광 소자(150)의 일면에 형광체층을 형성하는 단계를 더 포함할 수 있다. 예를 들어, 반도체 발광 소자(150)는 청색(B) 광을 발광하는 청색 반도체 발광 소자고, 이러한 청색(B) 광을 단위 화소의 색상으로 변환시키기 위한 적색 형광체 또는 녹색 형광체가 상기 청색 반도체 발광 소자의 일면에 레이어를 형성할 수 있다.
- [121] 이상에서 설명된 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법이나 구조는 여러 가지 형태로 변형될 수 있다. 그 예로서, 상기에서 설명된 디스플레이 장치에는 수직형 반도체 발광 소자도 적용될 수 있다.
- [122] 또한, 이하 설명되는 변형예 또는 실시예에서는 앞선 예와 동일 또는 유사한 구성에 대해서는 동일, 유사한 참조번호가 부여되고, 그 설명은 처음 설명으로 같음된다.
- [123] 도 7은 본 발명의 반도체 발광 소자를 이용한 디스플레이 장치의 다른 일 실시예를 나타내는 사시도이고, 도 8은 도 7의 라인 D-D를 따라 취한 단면도이며, 도 9은 도 8의 수직형 반도체 발광 소자를 나타내는 개념도이다.
- [124] 본 도면들을 참조하면, 디스플레이 장치는 패시브 매트릭스(Passive Matrix, PM) 방식의 수직형 반도체 발광 소자를 이용한 디스플레이 장치가 될 수 있다.
- [125] 상기 디스플레이 장치는 기판(210), 제1전극(220), 전도성 접착층(230), 제2전극(240) 및 적어도 하나의 반도체 발광 소자(250)를 포함한다.
- [126] 기판(210)은 제1전극(220)이 배치되는 배선기판으로서, 플렉서블(flexible) 디스플레이 장치를 구현하기 위하여 폴리이미드(PI)를 포함할 수 있다. 이외에도 절연성이 있고, 유연성 있는 재질이면 어느 것이라도 사용 가능할 것이다.

- [127] 제1전극(220)은 기판(210) 상에 위치하며, 일 방향으로 긴 바(bar) 형태의 전극으로 형성될 수 있다. 상기 제1 전극(220)은 데이터 전극의 역할을 하도록 이루어질 수 있다.
- [128] 전도성 접착층(230)은 제1전극(220)이 위치하는 기판(210)상에 형성된다. 플립 칩 타입(flip chip type)의 발광 소자가 적용된 디스플레이 장치와 같이, 전도성 접착층(230)은 이방성 전도성 필름(Anisotropy Conductive Film, ACF), 이방성 전도 페이스트(paste), 전도성 입자를 함유한 솔루션(solution) 등이 될 수 있다. 다만, 본 실시 예에서도 이방성 전도성 필름에 의하여 전도성 접착층(230)이 구현되는 경우를 예시한다.
- [129] 기판(210) 상에 제1전극(220)이 위치하는 상태에서 이방성 전도성 필름을 위치시킨 후에, 반도체 발광 소자(250)를 열 및 압력을 가하여 접촉시키면, 상기 반도체 발광 소자(250)가 제1전극(220)과 전기적으로 연결된다. 이 때, 상기 반도체 발광 소자(250)는 제1전극(220) 상에 위치되도록 배치되는 것이 바람직하다.
- [130] 상기 전기적 연결은 전술한 바와 같이, 이방성 전도성 필름에서 열 및 압력이 가해지면 부분적으로 두께방향으로 전도성을 가지기 때문에 생성된다. 따라서, 이방성 전도성 필름에서는 두께 방향으로 전도성을 가지는 부분과 전도성을 가지지 않는 부분으로 구획된다.
- [131] 또한, 이방성 전도성 필름은 접착 성분을 함유하기 때문에, 전도성 접착층(230)은 반도체 발광 소자(250)와 제1전극(220) 사이에서 전기적 연결뿐만 아니라 기계적 결합까지 구현한다.
- [132] 이와 같이, 반도체 발광 소자(250)는 전도성 접착층(230) 상에 위치되며, 이를 통하여 디스플레이 장치에서 개별 화소를 구성한다. 반도체 발광 소자(250)는 휘도가 우수하므로, 작은 크기로도 개별 단위 픽셀을 구성할 수 있다. 이와 같은 개별 반도체 발광 소자(250)의 크기는 예를 들어, 한 변의 길이가 $80\mu\text{m}$ 이하일 수 있고, 직사각형 또는 정사각형 소자일 수 있다. 직사각형인 경우에는 예를 들어, $20 \times 80\mu\text{m}$ 이하의 크기가 될 수 있다.
- [133] 상기 반도체 발광 소자(250)는 수직형 구조가 될 수 있다.
- [134] 수직형 반도체 발광 소자들의 사이에는, 제1전극(220)의 길이 방향과 교차하는 방향으로 배치되고, 수직형 반도체 발광 소자(250)와 전기적으로 연결된 복수의 제2전극(240)이 위치한다.
- [135] 도 9를 참조하면, 이러한 수직형 반도체 발광 소자(250)는 p형 전극(256), p형 전극(256) 상에 형성된 p형 반도체층(255), p형 반도체층(255) 상에 형성된 활성층(254), 활성층(254) 상에 형성된 n형 반도체층(253) 및 n형 반도체층(253) 상에 형성된 n형 전극(252)을 포함한다. 이 경우, 하부에 위치한 p형 전극(256)은 제1전극(220)과 전도성 접착층(230)에 의하여 전기적으로 연결될 수 있고, 상부에 위치한 n형 전극(252)은 후술하는 제2전극(240)과 전기적으로 연결될 수 있다. 이러한 수직형 반도체 발광 소자(250)는 전극을 상/하로 배치할 수

있으므로, 칩 사이즈를 줄일 수 있다는 큰 강점을 가지고 있다.

- [136] 다시 도 8을 참조하면, 상기 반도체 발광 소자(250)의 일면에는 형광체층(280)이 형성될 수 있다. 예를 들어, 반도체 발광 소자(250)는 청색(B) 광을 발광하는 청색 반도체 발광 소자(251)이고, 이러한 청색(B) 광을 단위 화소의 색상으로 변환시키기 위한 형광체층(280)이 구비될 수 있다. 이 경우에, 형광체층(280)은 개별 화소를 구성하는 적색 형광체(281) 및 녹색 형광체(282)일 수 있다.
- [137] 즉, 적색의 단위 화소를 이루는 위치에서, 청색 반도체 발광 소자 상에는 청색 광을 적색(R) 광으로 변환시킬 수 있는 적색 형광체(281)가 적층될 수 있고, 녹색의 단위 화소를 이루는 위치에서는, 청색 반도체 발광 소자 상에 청색광을 녹색(G) 광으로 변환시킬 수 있는 녹색 형광체(282)가 적층될 수 있다. 또한, 청색의 단위 화소를 이루는 부분에는 청색 반도체 발광 소자만 단독으로 이용될 수 있다. 이 경우, 적색(R), 녹색(G), 및 청색(B)의 단위 화소들이 하나의 화소를 이룰 수 있다.
- [138] 다만, 본 발명은 반드시 이에 한정되는 것은 아니며, 플립 칩 타입(flip chip type)의 발광 소자가 적용된 디스플레이 장치에서 전술한 바와 같이, 청색, 적색, 녹색을 구현하기 위한 다른 구조가 적용될 수 있다.
- [139] 다시 본 실시예를 살펴보면, 제2전극(240)은 반도체 발광 소자들(250) 사이에 위치하고, 반도체 발광 소자들(250)과 전기적으로 연결된다. 예를 들어, 반도체 발광 소자들(250)은 복수의 열로 배치되고, 제2전극(240)은 반도체 발광 소자들(250)의 열들 사이에 위치할 수 있다.
- [140] 개별 화소를 이루는 반도체 발광 소자(250) 사이의 거리가 충분히 크기 때문에 제2전극(240)은 반도체 발광 소자들(250) 사이에 위치될 수 있다.
- [141] 제2전극(240)은 일 방향으로 긴 바(bar) 형태의 전극으로 형성될 수 있으며, 제1전극과 상호 수직한 방향으로 배치될 수 있다.
- [142] 또한, 제2전극(240)과 반도체 발광 소자(250)는 제2전극(240)에서 돌출된 연결 전극에 의해 전기적으로 연결될 수 있다. 보다 구체적으로, 상기 연결 전극이 반도체 발광 소자(250)의 n형 전극이 될 수 있다. 예를 들어, n형 전극은 오믹(ohmic) 접촉을 위한 오믹 전극으로 형성되며, 상기 제2전극은 인쇄 또는 증착에 의하여 오믹 전극의 적어도 일부를 덮게 된다. 이를 통하여 제2전극(240)과 반도체 발광 소자(250)의 n형 전극이 전기적으로 연결될 수 있다.
- [143] 다시 도 8을 참조하면, 상기 제2전극(240)은 전도성 접착층(230) 상에 위치될 수 있다. 경우에 따라, 반도체 발광 소자(250)가 형성된 기판(210) 상에 실리콘 옥사이드(SiOx) 등을 포함하는 투명 절연층(미도시)이 형성될 수 있다. 투명 절연층이 형성된 후에 제2전극(240)을 위치시킬 경우, 상기 제2전극(240)은 투명 절연층 상에 위치하게 된다. 또한, 제2전극(240)은 전도성 접착층(230) 또는 투명 절연층에 이격되어 형성될 수도 있다.
- [144] 만약 반도체 발광 소자(250) 상에 제2전극(240)을 위치시키기 위하여는

ITO(Indium Tin Oxide)와 같은 투명 전극을 사용한다면, ITO 물질은 n형 반도체층과는 접착성이 좋지 않은 문제가 있다. 따라서, 본 발명은 반도체 발광 소자(250) 사이에 제2전극(240)을 위치시킴으로써, ITO와 같은 투명 전극을 사용하지 않아도 되는 이점이 있다. 따라서, 투명한 재료 선택에 구속되지 않고, n형 반도체층과 접착성이 좋은 전도성 물질을 수평 전극으로 사용하여 광추출 효율을 향상시킬 수 있다.

- [145] 다시 도 8을 참조하면, 반도체 발광 소자(250) 사이에는 격벽(290)이 위치할 수 있다. 즉, 개별 화소를 이루는 반도체 발광 소자(250)를 격리시키기 위하여 수직형 반도체 발광 소자(250) 사이에는 격벽(290)이 배치될 수 있다. 이 경우, 격벽(290)은 개별 단위 화소를 서로 분리하는 역할을 할 수 있으며, 상기 전도성 접착층(230)과 일체로 형성될 수 있다. 예를 들어, 이방성 전도성 필름에 반도체 발광 소자(250)가 삽입됨에 의하여 이방성 전도성 필름의 베이스부재가 상기 격벽을 형성할 수 있다.
- [146] 또한, 상기 이방성 전도성 필름의 베이스 부재가 블랙이면, 별도의 블랙 절연체가 없어도 상기 격벽(290)이 반사 특성을 가지는 동시에 대비비(contrast)가 증가될 수 있다.
- [147] 다른 예로서, 상기 격벽(190)으로서, 반사성 격벽이 별도로 구비될 수 있다. 격벽(290)은 디스플레이 장치의 목적에 따라 블랙(Black) 또는 화이트(White) 절연체를 포함할 수 있다.
- [148] 만일 제2전극(240)이 반도체 발광 소자(250) 사이의 전도성 접착층(230) 상에 바로 위치된 경우, 격벽(290)은 수직형 반도체 발광 소자(250) 및 제2전극(240)의 사이 사이에 위치될 수 있다. 따라서, 반도체 발광 소자(250)를 이용하여 작은 크기로도 개별 단위 픽셀을 구성할 수 있고, 반도체 발광 소자(250)의 거리가 상대적으로 충분히 크게 되어 제2전극(240)을 반도체 발광 소자(250) 사이에 위치시킬 수 있고, HD 화질을 가지는 플렉서블 디스플레이 장치를 구현할 수 있는 효과가 있게 된다.
- [149] 또한, 도 8에 도시된 바와 같이, 대비비(contrast) 향상을 위하여 각각의 형광체 사이에는 블랙 매트릭스(291)가 배치될 수 있다. 즉, 이러한 블랙 매트릭스(291)는 명암의 대조를 향상시킬 수 있다.
- [150] 도 10은 반도체 발광 소자를 이용한 디스플레이 장치의 제조 방법에 대해 개략적으로 나타내는 도면이다.
- [151] 먼저 성장기판에서 반도체 발광 소자들을 형성한다(S1010). 상기 반도체 발광 소자들은 제1도전형 반도체층, 활성층, 제2도전형 반도체층을 포함할 수 있다. 또한 상기 제1도전형 반도체층 상에 형성되는 제1도전형 전극 및 제2도전형 반도체층 상에 형성되는 제2도전형 전극이 더 포함될 수 있다.
- [152] 상기 반도체 발광 소자들은 수평형 반도체 발광 소자 또는 수직형 반도체 발광 소자 모두 가능하다. 다만 수직형 반도체 발광 소자의 경우, 상기 제1도전형 전극과 상기 제2도전형 전극은 마주보는 구조이기 때문에, 성장기판에서 반도체

발광 소자를 분리하고, 후속 공정에서 어느 일방향의 도전형 전극을 형성하는 공정을 추가한다. 또한 후술하겠지만, 자가 조립 공정을 위해서 반도체 발광 소자에는 자성층이 포함될 수 있다

- [153] 상기 반도체 발광 소자들을 디스플레이 장치에 활용하기 위해서는 일반적으로 Red(R), Green(G), Blue(B)에 해당하는 색상을 발광하는 3가지 종류의 반도체 발광 소자들이 필요하다. 하나의 성장기판에는 하나의 색상을 발광하는 반도체 발광 소자들이 형성되므로, 상기 3종류의 반도체 발광 소자들을 이용하여 개별 단위 화소를 구현하는 디스플레이 장치를 위해서는 별도의 기판이 요구된다. 따라서, 개별 반도체 발광 소자들은 성장기판에서 분리되어 최종 기판에 조립 또는 전사되어야 한다. 상기 최종 기판은 반도체 발광 소자가 발광할 수 있도록 상기 반도체 발광 소자에 전압을 인가하는 배선 전극이 형성되는 공정이 수행되는 기판이다.
- [154] 따라서 각 색상을 발광하는 반도체 발광 소자들은 일단 전사기판 또는 조립 기판으로 이동한 후(S1020) 최종 기판으로 다시 전사될 수 있다. 경우에 따라 상기 전사기판 또는 조립 기판에 바로 배선 공정을 수행하는 경우, 상기 전사기판 또는 조립 기판은 최종 기판으로서 역할을 수행한다.
- [155] 전사기판 또는 조립 기판에 반도체 발광 소자가 배치(S1020)되는 방법은 크게 3가지로 나뉠 수 있다.
- [156] 첫째, 스탬프 공정에 의해 성장기판에서 전사기판으로 반도체 발광 소자를 이동하는 방법이다(S1021). 스탬프 공정이란 접착력이 있는 돌기부를 지닌 유연한 소재의 기판을 이용하여, 상기 돌기부를 통해 성장기판에서 반도체 발광 소자를 분리하는 공정을 말한다. 돌기부의 간격 및 배치를 조절하여 성장기판의 반도체 발광 소자를 선택적으로 분리할 수 있다.
- [157] 두 번째로, 자가 조립 공정을 이용하여 반도체 발광 소자를 조립 기판에 조립하는 방법이다(S1022). 자가 조립 공정을 위해서는 반도체 발광 소자가 성장기판으로부터 분리되어 날개로 존재해야 하는 바, 필요한 반도체 발광 소자의 수만큼 레이저 리프트 오프(LLO) 공정 등을 통해 상기 반도체 발광 소자들을 성장기판으로부터 분리시킨다. 이후 상기 반도체 발광 소자들을 유체 내에 분산하고 전자기장을 이용하여 조립 기판에 조립한다.
- [158] 상기 자가 조립 공정은 하나의 조립 기판에 R,G,B 색상을 구현하는 각각의 반도체 발광 소자들을 동시에 조립하거나, 개별 조립 기판을 통해 개별 색상의 반도체 발광 소자를 조립할 수 있다.
- [159] 세 번째로는, 상기 스탬프 공정과 자가 조립 공정을 혼용하는 방법이다(S1023). 먼저 자가 조립 공정을 통해 반도체 발광 소자들을 조립 기판에 위치시킨 후 다시 스탬프 공정을 통해 최종 기판으로 상기 반도체 발광 소자들을 이동시킨다. 조립 기판의 경우, 자가 조립 공정 시 배치되는 조립 기판의 위치 및 유체와의 접촉, 전자기장의 영향 등에 의해 대면적으로 구현하기 어렵기 때문에 적당한 면적의 조립 기판을 사용하여 반도체 발광 소자들을 조립한 후, 이후 스탬프

- 공정으로 대면적의 최종 기판에 여러 번 전사하는 과정이 수행될 수 있다.
- [160] 최종 기판에 개별 단위 화소를 구성하는 복수 개의 반도체 발광 소자들이 배치되면, 상기 반도체 발광 소자들을 전기적으로 연결하는 배선 공정을 수행한다(S1030).
- [161] 상기 배선 공정을 통해 형성된 배선 전극은 기판에 조립 또는 전사된 반도체 발광 소자들을 상기 기판과 전기적으로 연결시킨다. 또한 상기 기판의 하부에는 액티브 매트릭스 구동을 위한 트랜지스터가 형성될 수 있다. 따라서 상기 배선 전극은 상기 트랜지스터와 전기적으로 연결될 수 있다.
- [162] 한편, 대면적의 디스플레이 장치를 위해서는 무수히 많은 반도체 발광 소자들이 필요한 바, 자가 조립 공정이 바람직하다. 나아가 조립 속도를 향상시키기 위해서는 상기 자가 조립 공정 중에서도 각 색상의 반도체 발광 소자들이 하나의 조립 기판에 동시에 조립되는 것이 선호될 수 있다. 또한 각 색상의 반도체 발광 소자들이 조립 기판의 정해진 특정 위치에 조립되기 위해서는 상호 배타적인 구조를 가지는 것이 요구될 수 있다.
- [163] 도 11은 반도체 발광 소자가 자가 조립 공정에 의해 기판에 조립되는 방법의 일 실시예를 나타내는 도면이다.
- [164] 도 12는 도 11의 E부분을 확대한 도면이다.
- [165] 도 11과 도 12를 참조하면, 반도체 발광 소자(1150)는 유체(1120)가 채워진 챔버(1130)에 투입될 수 있다.
- [166] 이후, 조립 기판(1110)이 챔버(1130) 상에 배치될 수 있다. 실시 예에 따라, 조립 기판(1110)은 챔버(1130) 내로 투입될 수도 있다. 이때 조립 기판(1110)이 투입되는 방향은 상기 조립 기판(1110)의 조립 홈(1111)이 유체(1120)를 마주보는 방향이다.
- [167] 조립 기판(1110)에는 조립될 반도체 발광 소자(1150) 각각에 대응하는 한 쌍의 전극(1112, 1113)이 형성될 수 있다. 상기 전극(1112, 1113)은 투명 전극(ITO)으로 구현되거나, 기타 일반적인 재료를 이용해 구현될 수 있다. 상기 전극(1112, 1113)은 전압이 인가됨에 따라 전기장을 생성함으로써, 조립 홈(1112, 1113)에 접촉한 반도체 발광 소자(1150)를 안정적으로 고정시키는 조립 전극에 해당한다.
- [168] 구체적으로 상기 전극(1112, 1113)에는 교류 전압이 인가될 수 있으며, 상기 전극(1112, 1113) 주변부에서 부유하는 반도체 발광 소자(1150)는 유전 분극에 의해 극성을 가질 수 있다. 또한, 유전 분극된 반도체 발광 소자의 경우, 상기 전극(1112, 1113) 주변부에 형성되는 불균일한 전기장에 의해 특정 방향으로 이동되거나 고정될 수 있다. 이를 유전 영동(Dielectrophoresis; DEP)이라 하며, 본 발명의 자가 조립 공정에서, 상기 유전 영동을 이용하여 조립 홈(1111)에 반도체 발광 소자(1150)를 안정적으로 고정할 수 있다. 상기 유전 영동의 세기(유전영동력, DEP force)는 전기장의 세기에 비례하는 바, 반도체 발광 소자 내에서 유전 분극되는 정도에 따라 달라진다.

- [169] 또한, 상기 조립 전극(1112,1113)간의 간격은 예를 들어, 반도체 발광 소자(1150)의 너비 및 조립 홈(1111)의 직경보다 작게 형성되어, 전기장을 이용한 반도체 발광 소자(1150)의 조립 위치를 보다 정밀하게 고정할 수 있다.
- [170] 또한, 상기 조립 전극(1112,1113) 상에는 절연층(1114)이 형성되어, 전극(1112,1113)을 유체(1120)로부터 보호하고, 상기 조립 전극(1112,1113)에 흐르는 전류의 누출을 방지할 수 있다. 예컨대, 절연층(1114)은 실리카, 알루미늄이나 등의 무기물 절연체 또는 유기물 절연체가 단일층 또는 다층으로 형성될 수 있다. 또한, 절연층(1114)은 반도체 발광 소자(1150) 조립 시 상기 조립 전극(1112,1113)의 손상을 방지하기 위한 최소 두께를 가질 수 있고, 상기 반도체 발광 소자(1150)가 안정적으로 조립되기 위한 최대 두께를 가질 수 있다.
- [171] 절연층(1114)의 상부에는 격벽(1115)이 형성될 수 있다. 상기 격벽(1115)의 일부 영역은 상기 조립 전극(1112,1113)의 상부에 위치하고, 나머지 영역은 상기 조립 기관(1110)의 상부에 위치할 수 있다.
- [172] 예컨대, 조립 기관(1110)의 제조 시, 절연층(1114) 상부 전체에 형성된 격벽 중 일부가 제거됨으로써, 반도체 발광 소자(1150)들 각각이 상기 조립 기관(1110)에 결합되는 조립 홈(1111)이 형성될 수 있다.
- [173] 도 12에 도시된 바와 같이, 상기 조립 기관(1110)에는 반도체 발광 소자(1150)가 결합되는 조립 홈(1111)이 형성되고, 상기 조립 홈(1111)이 형성된 면은 유체(1120)와 접촉할 수 있다. 상기 조립 홈(1111)은 반도체 발광 소자(1150)의 정확한 조립 위치를 가이드할 수 있다.
- [174] 또한 상기 격벽(1115)은 조립 홈(1111)의 개구부에서 바닥 면 방향으로 일정한 경사를 가지고 형성할 수 있다. 예를 들어, 격벽(1115)의 경사도의 조절을 통해, 상기 조립 홈(1111)은 개구부 및 바닥 면을 가지고, 상기 개구부의 면적은 상기 바닥 면의 면적보다 크게 형성할 수 있다. 이에 따라, 조립 홈(1111)내 바닥 면의 정확한 위치에 반도체 발광 소자(1150)는 조립될 수 있다.
- [175] 한편, 상기 조립 홈(1111)은 조립되는 반도체 발광 소자(1150)의 형상에 대응하는 형상 및 크기를 가질 수 있다. 이에 따라, 조립 홈(1111)에 다른 반도체 발광 소자가 조립되거나 복수의 반도체 발광 소자들이 조립되는 것을 방지할 수 있다.
- [176] 또한 상기 조립 홈(1111)의 깊이는, 상기 반도체 발광 소자(1150)의 세로 높이보다 작게 형성할 수 있다. 이를 통해 상기 반도체 발광 소자(1150)는 격벽(1115)들 사이로 돌출되는 구조를 가질 수 있고, 조립 이후 발생할 수 있는 전사 과정에서 전사기관의 돌기부와 쉽게 접촉할 수 있다.
- [177] 또한, 도 12에 도시된 바와 같이, 조립 기관(1110)이 배치된 후, 자성체를 포함하는 조립 장치(1140)가 상기 조립 기관(1110)을 따라 이동할 수 있다. 상기 조립 장치(1140)는 자기장이 미치는 영역을 유체(1120) 내로 최대화하기 위해, 조립 기관(1110)과 접촉한 상태로 이동할 수 있다. 예를 들어, 조립 장치(1140)는 복수의 자성체를 포함하거나, 조립 기관(1110)과 대응하는 크기의 자성체를

포함할 수도 있다. 이 경우, 조립 장치(1140)의 이동 거리는 소정 범위 이내로 제한될 수도 있다.

- [178] 조립 장치(1140)에 의해 발생하는 자기장에 의해, 챔버(1130) 내의 반도체 발광 소자(1150)는 조립 장치(1140)를 향해 이동할 수 있다.
- [179] 반도체 발광 소자(1150)는 조립 장치(1140)를 향해 이동 중, 도 12에 도시된 바와 같이, 조립 홈(1111)으로 진입하여 조립 기관(1110)과 접촉될 수 있다.
- [180] 또한 상기 반도체 발광 소자(1150)는 자가 조립 공정이 수행될 수 있도록, 상기 반도체 발광 소자 내부에 자성층을 포함할 수 있다.
- [181] 한편, 조립 기관(1110)의 조립 전극(1112,1113)에 의해 생성된 전기장으로 인해, 조립 기관(1110)에 접촉된 반도체 발광 소자(1150)는 조립 장치(1140)의 이동에 의해 이탈되는 현상을 방지할 수 있다.
- [182] 따라서, 도 11 및 도 12에 도시한 전자기장을 이용한 자가 조립 방식에 의해, 복수 개의 반도체 발광 소자(1150)들은 동시 다발적으로 상기 조립 기관(1110)에 조립된다.
- [183] 도 13은 유체 내에서 자가 조립될 수 있는 수직형 반도체 발광 소자의 실시예들이다.
- [184] 수평형 반도체 발광 소자의 경우, 상기 소자의 일면에 각 도전형 반도체층들과 연결되는 도전형 전극들을 모두 형성하는 바 제조 공정이 비교적 용이하다. 다만, 동일한 면적의 성장기관에서 수직형 반도체 발광 소자에 비해 제조할 수 있는 수량이 적다. 따라서 수백만 개 이상의 반도체 발광 소자를 사용하는 디스플레이 장치에 있어서 수직형 반도체 발광 소자를 사용하는 것이 제조 비용 관점에서 유리하다.
- [185] 한편, 조립 기관에 수직형 반도체 발광 소자가 조립되기 위해서는 상기 조립 기관의 조립 홈의 하부에 별도의 배선 전극이 필요하다. 상기 배선 전극은 수직형 반도체 발광 소자의 일단에 위치하는 도전형 전극층과 전기적으로 연결될 수 있다.
- [186] 먼저 도 13(a)는 일반적인 수직형 반도체 발광 소자의 형상을 도시한 도면이다. 제1 도전형 반도체층(1353), 활성층(1354) 및 제2 도전형 반도체층(1355)이 적층구조를 이룬다. 상기 제1 도전형 반도체층(1355)의 하부에 제1 도전형 전극층(1352)이 형성되며, 상기 제2 도전형 반도체층(1355)의 상부에 제2 도전형 전극층(1356)이 형성된다. 또한 상기 반도체 발광 소자를 외부의 환경으로부터 보호하기 위한 패시베이션층(1357)이 상기 소자를 외측부를 감싸며, 일부 패시베이션층이 형성되지 않은 영역에서 전도성 접합층(1359)이 제1 도전형 전극층(1352)과 전기적으로 연결된다. 상기 전도성 접합층(1359)은 조립 기관에 기 형성된 배선 전극과 전기적 연결을 도모하기 위한 것으로, 주로 250도 이하의 저융점 금속층이 사용될 수 있다. 상기 저융점 금속층을 사용함으로써, 반도체 발광 소자의 조립 이후 기관을 가열하여 신뢰성 있게, 소자와 기관 간을 전기적으로 연결할 수 있다. 또한 제2 도전형 전극층(1356)의 경우 ITO와 같은

투명 전극층일 수 있다.

- [187] 한편, 도 13(a)의 수직형 반도체 발광 소자의 구조는 도 11 내지 도 12의 자가조립공정에서는 이용되기 어렵다. 전술하였듯이, 유체 내의 반도체 발광 소자는 자기장에 의해 조립기판의 조립 홈과 접촉하고, 조립 전극을 통한 유전 영동력에 의해 상기 조립 홈에 조립될 수 있다. 상기 유전 영동력은 조립 전극과 반도체 발광 소자 간의 거리에 비례하며, 동일 거리에서는 면적에 비례한다. 즉, 유체 내에서 반도체 발광 소자를 조립하는 경우, 일정한 방향성을 가지려면, 반도체 발광 소자의 조립되는 일면이 타면에 비해 넓은 면적을 가지는 것이 유리하다.
- [188] 따라서 도 13(a)의 반도체 발광 소자의 경우, 방향성 없이 랜덤하게 조립기판에 조립될 확률이 크다. 일반적으로 반도체 발광 소자를 형성하는 경우, 도전형 반도체층의 두께에 비해, 도전형 전극층 및 패시베이션층의 두께는 매우 얇게 형성된다. 따라서 상기 도전형 전극층 및 패시베이션층의 형성으로 반도체 발광 소자의 상면 또는 하면의 면적의 변화는 크지 않다. 따라서, 도 13(a)의 반도체 발광 소자에 전기장에 의한 유전영동력이 작용한다고 가정할 때, 상기 반도체 발광 소자의 상면 및 하면의 면적이 유사하여 방향성 있게 조립기판에 조립되기 어렵다. 전도성 접합층(1359)을 두껍게 형성하여 면적의 차이를 유발할 수도 있으나, 이때는 상기 전도성 접합층(1359)이 형성된 반대 면으로 반도체 발광 소자가 조립되는 바, 조립 기판에 기형성되는 배선 전극과 전기적 연결을 도모하기 어렵다.
- [189] 따라서 수직형 반도체 발광 소자의 경우, 조립면이 타면에 비해 더 넓은 면적을 가져야 하며, 해당 조립면에 저용점 접합층이 형성되는 것이 바람직하다.
- [190] 도 13(b)는 도 13(a)의 문제점을 고려하여 제작된, 유체 내에서 일방향 조립이 가능한 반도체 발광 소자를 나타내는 단면도이다.
- [191] 제1 도전형 반도체층(1453), 활성층(1454) 및 제2 도전형 반도체층(1455)이 적층구조를 이룬다. 상기 제1 도전형 반도체층(1455)의 하부에 제1 도전형 전극층(1452)이 형성되며, 상기 제2 도전형 반도체층(1455)의 상부에 제2 도전형 전극층(1456)이 형성된다. 또한 상기 반도체 발광 소자를 외부의 환경으로부터 보호하기 위한 패시베이션층(1457)이 상기 소자를 외측부를 감싸며, 일부 패시베이션층이 형성되지 않은 영역에서 전도성 접합층(1459)이 제1 도전형 전극층(1452)와 전기적으로 연결된다. 상기 전도성 접합층(1459)은 조립 기판에 기형성된 배선 전극과 전기적 연결을 도모하기 위한 것으로, 주로 250도 이하의 저용점 금속층이 사용될 수 있다. 상기 저용점 금속층을 사용함으로써, 반도체 발광 소자의 조립 이후 기판을 가열하여 신뢰성 있게, 소자와 기판 간을 전기적으로 연결할 수 있다. 또한 제2 도전형 전극층(1456)의 경우 ITO와 같은 투명 전극층일 수 있다.
- [192] 도 13(b)의 경우, 유체 내에서 기판에 조립되는 반도체 발광 소자의 조립면을 정의하기 위해, 제2 도전형 반도체층(1455)의 일부 영역을 식각하여 메사 구조를

- 형성함으로써, 상기 반도체 발광 소자의 양단의 면적 차이를 발생시켰다.
- [193] 도 13(b)와 같이 전도성 접합층(1459)이 형성된 일면에 비해, 제2 도전형 반도체층(1455)의 메사 구조에 의해, 도전형 전극층(1456)이 위치하는 일면의 면적이 작다. 따라서 상기 반도체 발광 소자는 전도성 접합층(1459)이 형성된 일면으로 기판에 조립될 것이다.
- [194] 하지만, 도 13(b)의 반도체 발광 소자의 경우, 메사 구조의 상면에 상기 도전형 전극층(1456)이 형성된 영역에서 대부분 빛이 방출될 것인 바, 발광 효율 면에서는 불리할 수 있다. 또한 전도성 접합층(1459)의 면적은 도전형 전극(1452)의 면적보다 작아, 조립 이후 소자와 기판의 결합을 위한 후속 공정에서 오픈(Open)성 불량 또는 큰 접촉 저항으로 발광 효율이 감소할 수 있다.
- [195] 이에 본 발명은 상기 문제점들을 해결할 수 있는, 유체 내에서 일방향으로 조립되고, 발광 효율은 향상시킬 수 있는 새로운 구조의 수직형 반도체 발광 소자에 대해 도 14 내지 도 23에서 후술하도록 한다.
- [196] 도 14는 본 발명의 반도체 발광 소자를 제작하는 방법을 나타내는 순서도이다.
- [197] 먼저 성장기판에서 일면에 메사 형상을 구비하는 반도체 발광 구조를 형성한다(S1410). 후술하겠지만, 이때 반도체 발광 구조는 최종 완성되는 반도체 발광 소자 대비하여, 제1도전형 전극층, 전도성 접합층 및 제2 패시베이션층이 구비되지 않은 상태이다.
- [198] 이후, 상기 반도체 발광 구조를 임시 기판으로 전사한다(S1420). 상기 전사 단계(S1420)를 통해 성장기판과 맞닿아 있던, 반도체 발광 구조의 경계면은 노출될 수 있다.
- [199] 이후 반도체 발광 구조에 전극층 및 전도성 접합층을 형성하여 수직형 반도체 발광 소자 제작을 완료한다(S1430). 상기 전극층은 상기 전사 단계(S1420)를 통해 노출된 반도체 발광 구조의 경계면 상에 형성된다. 추가적으로 상기 전극층과 전도성 접합층 사이에 제2 패시베이션층이 형성될 수 있다.
- [200] 마지막으로, 제작된 수직형 반도체 발광 소자를 유체 내에서 전기장과 자기장의 방식을 이용하여 조립 기판에 조립한다(S1440).
- [201] 한편, 본 명세서의 전 취지에 비추어 보아, 당업자가 이해 가능한 수준에서, 도 14에 도시된 순서도의 일부 단계를 삭제, 변경하는 것도 본 발명의 다른 권리범위에 속한다.
- [202] 도 15내지 도16은 본 발명의 반도체 발광 소자의 구조를 구체적으로 나타내는 도면들이다.
- [203] 도 15에 도시된 바와 같이, 제1 도전형 반도체층(1553), 활성층(1554) 및 제2 도전형 반도체층(1555)이 적층구조를 이룬다. 상기 제1 도전형 반도체층(1555)의 하부에 제1 도전형 전극층(1552)이 형성되며, 상기 제2 도전형 반도체층(1555)의 상부에 제2 도전형 전극층(1556)이 형성된다. 또한 상기 반도체 발광 소자를 외부의 환경으로부터 보호하기 위해, 제1 패시베이션층(1557)이 상기 소자의 상면과 측면을 감싸며, 제2 패시베이션층(1558)이 상기 소자의 하면의 일부를

- 감싼다. 또한 상기 제2 패시베이션층(1558)의 일부 영역과 중첩되는 전도성 접합층(1559)이 제1 도전형 전극층(1552)과 전기적으로 연결된다. 한편 상기 제1 패시베이션층(1557) 및 상기 제2 패시베이션층(1558)은 동일 물질일 수 있다.
- [204] 도 13(b)의 수직형 반도체 발광 소자와 도 15의 반도체 발광 소자의 구조적인 차이점을 살펴보면, 먼저, 도 15의 제2 도전형 전극층(1556)은 메사 구조를 지닌 제2 도전형 반도체층(1555)의 상면 전역에 위치하는 것이다. 이를 통해 반도체 발광 영역을 증가시킴으로써 발광 효율을 향상시킬 수 있다.
- [205] 또한 전사 이후 임시기판에서 전도성 접합층(1559) 형성 전에 제2 패시베이션층(1558)을 형성함으로써, 상기 전도성 접합층(1559)이 제1 도전형 전극층(1552)를 충분히 감싸도록 하여 접촉저항을 감소시킬 수 있다.
- [206] 구조적인 차이점을 수치적으로 확인하면, 도 16에 도시된 바와 같이, 제1 도전형 전극층(1552)의 너비(X1)는 전도성 접합층(1559)의 너비(X2)보다 작거나 같을 수 있다. 또한 제1 도전형 전극층(1552)의 너비(X1)는 상기 제2 도전형 반도체층(1555) 상에 형성된 메사구조(1555a)의 상면의 너비(X3)보다는 커야 한다. 너비의 차이는 면적의 차이와 비례한다고 볼 수 있는 바, 상기 반도체 발광 소자의 전도성 접합층(1559)의 면적은 상기 메사구조의 면적보다 더 넓다고 볼 수 있다. 따라서 조립기판에 상기 반도체 발광 소자를 조립하는 경우, 전도성 접합층(1559)이 형성된 반도체 발광 소자의 일면이 조립기판의 조립 홈에 안착될 수 있다.
- [207] 또한, 상기 메사 구조(1555a)의 높이(Y)는 상기 조립기판이 상기 반도체 발광 소자에 작용하는 유전 영동력의 유효거리 이상인 것이 바람직하다. 예를 들어, 50 μm 의 너비와 10 μm 의 높이를 가지는 원형의 반도체 발광 소자에서 유전영동력이 작용하는 범위는 200nm 내외임이 실험적으로 확인되었다. 따라서 상기 메사 구조(1555a)의 높이(Y)가 200nm 보다 크다면, 유전영동력은 상기 메사구조(1555a)의 상면에만 작용할 것이나, 100nm 이내라면, 상기 유전영동력은 상기 메사구조(1555a)를 포함한 상기 제2 도전형 반도체층(1555)의 일면 전체에 작용할 수 있다. 즉, 제2도전형 반도체층(1555)의 반대면에 해당하는 전도성 접합층(1559)의 면적과 비교하여 큰 차이를 가지기 어렵다. 따라서, 상기 메사 구조(1555a)의 높이(Y)가 200nm 보다 크다면, 반도체 발광 소자는 전도성 접합층(1559) 방향으로 조립될 것이나, 200nm 이내(예를 들어 100nm)라면, 어느 방향으로 조립되는 지 판단하기 어렵다.
- [208] 도 17은 본 발명의 반도체 발광 소자의 다른 실시예들이다.
- [209] 전술하였듯이, 본 발명의 반도체 발광 소자의 특징은 메사구조를 포함한 제2 도전형 반도체층의 상면에 제2 도전형 전극층을 형성하는 것과 더불어, 제1도전형 전극층보다 더 넓은 전도성 접합층을 형성하는 것이다. 따라서 상기 특징들을 만족하는 범위 내에서 다양한 반도체 발광 소자의 실시예들이 가능하다.
- [210] 예를 들어, 도 17(a)에 도시된 바와 같이, 2개의 메사 구조를 구비한 반도체 발광

소자가 제작될 수 있다. 상기 반도체 발광 소자는 제1 도전형 반도체층(1753), 활성층(1754) 및 제2 도전형 반도체층(1755)이 적층구조를 이룬다. 상기 제1 도전형 반도체층(1755)의 하부에 제1 도전형 전극층(1752)이 형성되며, 상기 제2 도전형 반도체층(1755)의 상부 전역에 제2 도전형 전극층(1756)이 형성된다. 또한 상기 반도체 발광 소자를 외부의 환경으로부터 보호하기 위해, 제1 패시베이션층(1757)이 상기 소자의 상면과 측면을 감싸며, 제2 패시베이션층(1758)이 상기 소자의 하면의 일부를 감싼다. 또한 상기 제2 패시베이션층(1758)과 중첩되는 전도성 접합층(1759)이 제1 도전형 전극층(1752)과 전기적으로 연결된다.

- [211] 성장기판에서 반도체 발광 구조를 형성하는 경우, 비교적 간단한 공정(포토공정 및 식각공정)으로 상기 반도체 발광 구조의 일면에 복수 개의 메사 구조를 구비할 수 있다. 다만 조립기판에서 일방향 조립을 위해 상기 복수 개의 메사 구조의 상면의 면적의 총합은 반대면인 전도성 접합층(1759)의 면적보다 작아야 한다.
- [212] 또한 도 17(b)에 도시된 바와 같이, 다른 실시예에 따른 반도체 발광 소자는 제1도전형 반도체층(1853), 활성층(1854), 제2 도전형 반도체층(1855) 및 제2 도전형 전극층(1856)의 형상은 도 15의 반도체 발광 소자와 유사하나 전도성 접합층(1859)과 중첩되는 제2 패시베이션층(1858)의 형상을 달리 형성할 수 있다. 예를 들어, 도 17(a)에서는 전도성 접합층(1759)과 제1 도전형 반도체층(1753)의 사이에서만 제2 패시베이션층(1758)이 형성되었다면, 도 17(b)에서는 제2 패시베이션층(1758)의 일부 영역이 제1 도전형 전극층(1852)과 전도성 접합층(1859) 사이에서 형성될 수 있다. 또한 상기 전도성 접합층(1859)의 너비는 상기 제1 패시베이션층(1857)을 포함한 소자의 측면 너비와 동일하게 형성될 수도 있다.
- [213] 이러한 형상이 나타날 수 있는 원인은 제1 도전형 전극층(1852), 제2 패시베이션층(1858) 및 전도성 접합층(1859)는 임시기판에서 추가공정에 의해 형성되는 것인 바, 상기 공정의 세부순서 및 조건에 따라 달라질 수 있는 것이다.
- [214] 따라서 본 발명의 반도체 발광 소자의 구조가 도 17에 열거된 실시예들로 한정되지는 않는다.
- [215] 도 18은 일면에 메사 형상을 구비하는 반도체 발광 구조를 형성하는 과정을 나타내는 순서도이다.
- [216] 먼저 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 적층한다(S1411). 이후, 제2 도전형 반도체층의 상면의 일부 영역을 식각하여 메사 형상을 형성한다(S1412). 이후, 상기 메사 형상을 포함하는 제2 도전형 반도체층의 상면에 제2 도전형 전극층을 형성하고(S1413), 식각 공정을 통해 개별 반도체 발광 구조가 정의되도록 아이솔레이션(Isolation) 한다(S1414). 마지막으로 상기 반도체 발광 구조의 상면 및 측면에 제1 패시베이션층을 형성한다(S1415).
- [217] 한편, 본 명세서의 전 취지에 비추어 보아, 당업자가 이해 가능한 수준에서, 도

- 18에 도시된 순서도의 일부 단계를 삭제, 변경하는 것도 본 발명의 다른 권리범위에 속한다.
- [218] 도 19는 도 18의 반도체 발광 구조의 형성 과정을 단면도로 나타내는 도면들이다.
- [219] 도 19(a)에 도시된 바와 같이, 먼저 성장기판(1910)에서, 제1 도전형 반도체층(1953), 활성층(1954) 및 제2 도전형 반도체층(19551)을 적층한다.
- [220] 이후, 도 19(b)에 도시된 바와 같이, 제2 도전형 반도체층(1955)의 상면의 일부 영역을 식각하여 메사 형상(1955a)을 형성한다. 이 때 상기 메사 형상(1955a)의 높이는 후속 조립 공정에서 유전영동력이 작용하지 않은 유효 거리 이상이 되도록 식각할 수 있다.
- [221] 이후, 도 19(c)에 도시된 바와 같이, 상기 메사 형상을 포함하는 제2 도전형 반도체층의 상면의 전역에 제2 도전형 전극층(1956)을 형성한다. 이때 상기 제2 도전형 전극층(1956)은 ITO와 같은 투명 전극층일 수 있으며, 매우 얇은 두께로 형성하여 식각공정에 의해 제거될 수 있도록 한다.
- [222] 이후, 식각 공정을 통해 개별 반도체 발광 구조가 정의되도록 아이솔레이션(Isolation) 한다.
- [223] 마지막으로 도 19(e)에 도시된 바와 같이, 아이솔레이션된 반도체 발광 구조의 상면 및 측면에 제1 패시베이션층(1957)을 형성한다(S1415). 따라서 최종적으로 상기 반도체 발광 구조(1960)는 도 19(e)에 도시된 바와 같이 제1 도전형 반도체층(1953), 활성층(1954), 메사형상을 가지는 제2 도전형 반도체층(1955) 및 제2 도전형 전극층(1956)이 적층되고, 이를 감싸는 제1 패시베이션층(1957)으로 이루어진다.
- [224] 도 20은 도 19의 반도체 발광 구조를 임시 기판으로 전사하는 과정을 나타내는 단면도들이다.
- [225] 도 20(a)에 도시된 바와 같이, 성장기판(1910)에 형성된 반도체 발광 구조(1960)는 후속공정을 위해 접착층(2020)을 구비하는 임시기판(2010)으로 전사될 수 있다.
- [226] 상기 접착층(2020)은 유기물 스탬프층일 수 있으며, 상기 반도체 발광 구조(1960)와 대응하는 돌기부를 구비할 수 있다.
- [227] 도 20(b)에 도시된 바와 같이, 상기 반도체 발광 구조(1960)가 상기 임시기판(2010)의 접착층(2020)과 접촉하고, 이후 상기 성장기판(1910)의 후면부에 레이저 등을 조사하여 주면, 상기 반도체 발광 구조(1960)는 성장기판(1910)에서 임시기판(2010)으로 전사될 수 있다.
- [228] 임시기판(2010)으로 반도체 발광 구조를 전사하는 이유는, 성장기판(1910)에서 노출되지 않은 반도체 발광 구조(1960)의 일면을 노출시키기 위함이다. 상기 노출면에 제1 도전형 전극층, 제2 패시베이션층 및 전도성 접합층을 형성할 수 있다.
- [229] 도 21은 도20의 반도체 발광 구조에 대해 전극층 및 접합층을 형성하여 수직형

- 반도체 발광 소자를 제작하는 과정을 나타내는 순서도이다.
- [230] 먼저 도20의 전사공정을 통해 노출된 제1 도전형 반도체층의 제1 영역에 제1 도전형 전극층을 형성한다(S1431).
- [231] 이후 상기 제1 도전형 반도체층의 제2 영역에 제2 패시베이션층을 형성한다(S1432). 상기 제1 영역과 상기 제2 영역은 상기 제1 도전형 반도체층의 동일한 일면 상에서 구분될 수 있다.
- [232] 마지막으로, 상기 제1 도전형 전극층 및 제2 패시베이션층과 중첩되도록 전도성 접합층을 형성한다(S1433).
- [233] 한편, 본 명세서의 전 취지에 비추어 보아, 당업자가 이해 가능한 수준에서, 도 21에 도시된 순서도의 일부 단계를 삭제, 변경하는 것도 본 발명의 다른 권리범위에 속한다.
- [234] 도 22는 도21의 반도체 발광 소자의 제작 과정을 단면도로 나타내는 도면들이다.
- [235] 도 22(a)에 도시된 바와 같이 임시기관(2010)의 접착층(2020) 상에 전사된 반도체 발광 구조(1960)의 노출면에 제1 도전형 반도체층과 전기적으로 연결되는 제1 도전형 전극층(1952)을 형성한다. 이 때, 상기 제1 도전형 전극층(1952)이 형성되는 위치는 도 22(a)에 도시된 바와 같이, 노출된 반도체 발광 구조(1960)의 제 1영역에 해당한다. 구체적으로 도 19를 참조하면, 제1 도전형 반도체층의 노출면 상에 제1 도전형 전극층(1952)이 형성된다.
- [236] 이후, 도 22(b)에 도시된 바와 같이, 상기 제1 도전형 전극층(1952)이 형성되지 않은 제1 도전형 반도체층의 나머지 노출면인 제2 영역에 제2 패시베이션층(1958)을 형성한다.
- [237] 이후, 도 22(c)에 도시된 바와 같이, 상기 반도체 발광 구조(1960)의 일면에 형성된 제1 도전형 반도체층(1952) 및 제2 패시베이션층(1958)과 중첩되도록 전도성 접합층(1959)을 형성한다. 상기 전도성 접합층(1959)은 250도 이하의 저융점 금속층일 수 있으며, 조립 공정 이후 향후 조립기관과 전기적 연결을 도모할 수 있다. 따라서 반도체 발광 구조(1960)에 제1 도전형 반도체층(1952), 제2 패시베이션층(1958) 및 전도성 접합층(1959)을 구비하는 반도체 발광 소자(1950)가 제작된다.
- [238] 또한 상기 반도체 발광 소자(1950)는, 후속되는 조립공정을 수행하기 위해 임시기관으로부터 도 22(d)에 도시된 바와 같이 날개로 분리될 수 있다.
- [239] 도 23은 조립 기관에 조립된 본 발명의 반도체 발광 소자를 나타내는 단면도이다.
- [240] 구체적으로 도22의 날개로 분리된 반도체 발광 소자는 유체 내에서 전기장과 자기장에 의해 조립 기관의 조립 홈에 장착될 수 있다. 따라서 도 23에 도시된 바와 같이, 조립 공정이 완료되면 조립 기관의 조립 홈 내에 반도체 발광 소자(2350)가 위치하게 된다. 상기 조립 기관은 기관(1410) 상에 상기 반도체 발광 소자(2350)의 전도성 접합층(2359)과 전기적으로 연결되는 배선

전극(2316)이 형성될 수 있다. 또한, 상기 기판(2310) 상에는 전기장을 발생시키기 위한 조립 전극(2312, 2314) 및 상기 조립 전극(2312, 2314)을 보호하기 위한 유전막(2314) 그리고 조립 홈 형성을 위한 격벽(2315)이 위치할 수 있다.

- [241] 도 23에 도시된 바와 같이, 상기 반도체 발광 소자(2350)는 수직형 반도체 발광 구조를 가지며 양단에 도전형 전극층을 구비한다. 특히, 상기 조립 기판의 조립 홈 내 바닥면과 접촉하는 반도체 발광 소자(2350)의 조립면은 전도성 접합층(2359)이 위치한다. 이는 mesa 형상을 구비한 반대면에 비해 전도성 접합층의 면적이 상대적으로 커서 조립공정시, 상기 전도성 접합층 방향으로 반도체 발광 소자(2350)가 조립되기 때문이다.
- [242] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다.
- [243] 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.
- [244] 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 전기장 및 자기장을 이용하여 복수 개의 반도체 발광 소자들을 조립기판에 장착하는 디스플레이 장치에 있어서, 상기 복수 개의 반도체 발광 소자들 중 적어도 하나의 반도체 발광 소자는, 상기 반도체 발광 소자의 양단에 분리되어 위치하는 제1 도전형 전극층 및 제2 도전형 전극층; 상기 제1 도전형 전극층과 전기적으로 연결되는 제1 도전형 반도체층; 상기 제1 도전형 반도체층 상에 위치하는 활성층; 및 상기 활성층 상에 위치하고, 상기 제2 도전형 전극층과 전기적으로 연결되는 제2 도전형 반도체층을 포함하고, 상기 제2 도전형 반도체층의 일면은 상기 일면의 일부가 식각되어 형성되는 메사 구조를 포함하고, 상기 제2 도전형 전극층은 상기 제2 도전형 반도체층의 메사 구조를 포함하는 상기 일면 상에 위치하는 것을 특징으로 하는 디스플레이 장치.
- [청구항 2] 제1항에 있어서, 상기 제2 도전형 전극층은 투명 전극층인 것을 특징으로 하는 디스플레이 장치.
- [청구항 3] 제1항에 있어서, 상기 반도체 발광 소자는, 상기 제1 도전형 전극층의 일면 상에 위치하는, 상기 제1 도전형 전극층과 전기적으로 연결되는 전도성 접합층을 더 포함하는 디스플레이 장치.
- [청구항 4] 제3항에 있어서, 상기 제1 도전형 전극층의 제1면적은 상기 전도성 접합층의 제2면적보다 작고, 상기 메사 구조의 상면의 제3 면적보다는 큰 것을 특징으로 하는 디스플레이 장치.
- [청구항 5] 제4항에 있어서, 상기 반도체 발광 소자는, 상기 반도체 발광 소자의 상면 및 측면을 감싸는 제1 패시메이션층 및 상기 반도체 발광 소자의 하면의 일부를 감싸는 제2 패시메이션층을 포함하고, 상기 제2 패시메이션층은, 상기 제1 도전형 반도체층 및 상기 전도성 접합층 사이의 영역에 위치하는 것을 특징으로 하는 디스플레이 장치.
- [청구항 6] 제1항에 있어서, 상기 조립기판은, 전기장에 의해 반도체 발광 소자와의 관계에서 유전 영동력을

- 발생시키는 조립 전극을 구비하는 것을 특징으로 하는 디스플레이 장치.
- [청구항 7] 제6항에 있어서,
상기 메사 구조의 높이는 상기 조립기판이 상기 반도체 발광 소자에 작용하는 유전 영동력의 유효거리 이상인 것을 특징으로 하는 디스플레이 장치.
- [청구항 8] 제1항에 있어서,
상기 제2 도전형 전극층은 상기 제2 도전형 반도체층의 메사 구조를 포함하는 상기 일면의 전체 영역에 위치하는 것을 특징으로 하는 디스플레이 장치.
- [청구항 9] 제3항에 있어서,
상기 전도성 접합층은,
100도 내지 250도의 용융점을 가지는 저융점 금속층인 것을 특징으로 하는 디스플레이 장치.
- [청구항 10] 제 1항에 있어서,
상기 반도체 발광 소자는 마이크로미터 단위의 크기를 가진 LED(Micro-LED)인 것을 특징으로 하는 디스플레이 장치.
- [청구항 11] 성장기판에서 일면에 메사 형상을 구비하는 반도체 발광 구조를 형성하는 단계;
상기 반도체 발광 구조를 임시 기판으로 전사하는 단계;
상기 반도체 발광 구조에 도전형 전극층 및 전도성 접합층을 형성하여 수직형 반도체 발광 소자를 제작하는 단계; 및
상기 수직형 반도체 발광 소자를 유체 내에서 조립기판에 전기장과 자기장을 이용하여 조립하는 단계를 포함하는 디스플레이 장치의 제조 방법.
- [청구항 12] 제11항에 있어서,
상기 반도체 발광 구조를 형성하는 단계는,
제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 적층하는 단계;
상기 제2 도전형 반도체층의 상면의 일부 영역을 식각하여 메사 형상을 형성하는 단계;
상기 메사 형상을 포함하는 제2 도전형 반도체층의 상면에 제2 도전형 전극층을 형성하는 단계;
식각 공정을 통해 개별 반도체 발광 구조를 정의하는 아이솔레이션(Isolation) 단계; 및
상기 반도체 발광 구조의 상면 및 측면에 제1 패시베이션층을 형성하는 단계를 포함하는 디스플레이 장치의 제조 방법.
- [청구항 13] 제12항에 있어서,
상기 수직형 반도체 발광 소자를 제작하는 단계는,
상기 전사하는 단계를 통해 노출된, 상기 제1 도전형 반도체층의 제1

영역에 제1 도전형 전극층을 형성하는 단계;
상기 전사하는 단계를 통해 노출된, 상기 제1 도전형 반도체층의 제2
영역에 제2 패시베이션층을 형성하는 단계를 포함하는 디스플레이
장치의 제조 방법.

[청구항 14]

제13항에 있어서,

상기 수직형 반도체 발광 소자를 제작하는 단계는,

상기 제1 도전형 전극층 및 상기 제2 패시베이션층과 중첩되도록 전도성
접합층을 형성하는 단계를 더 포함하는 디스플레이 장치의 제조 방법.

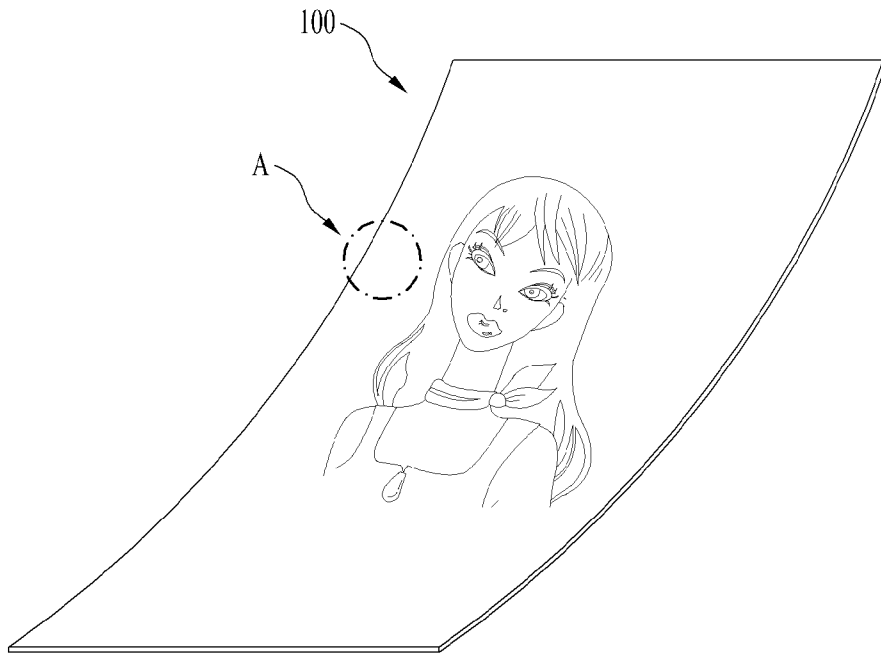
[청구항 15]

제14항에 있어서,

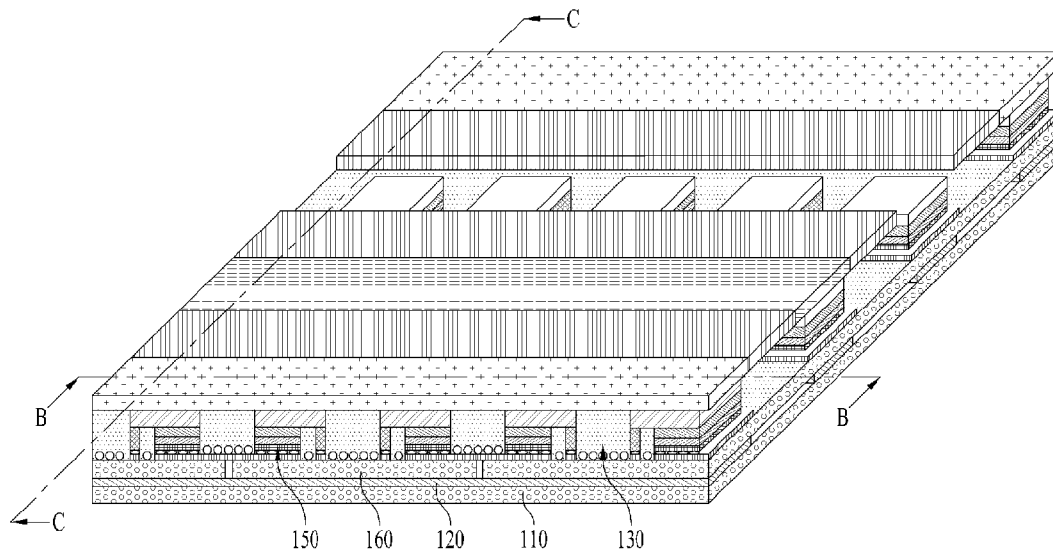
상기 조립기판은 반도체 발광 소자가 조립되는 조립 홈을 포함하고,

상기 반도체 발광 소자의 전도성 접합층이 상기 조립 홈의 바닥 면과
접촉하는 것을 특징으로 하는 디스플레이 장치의 제조 방법.

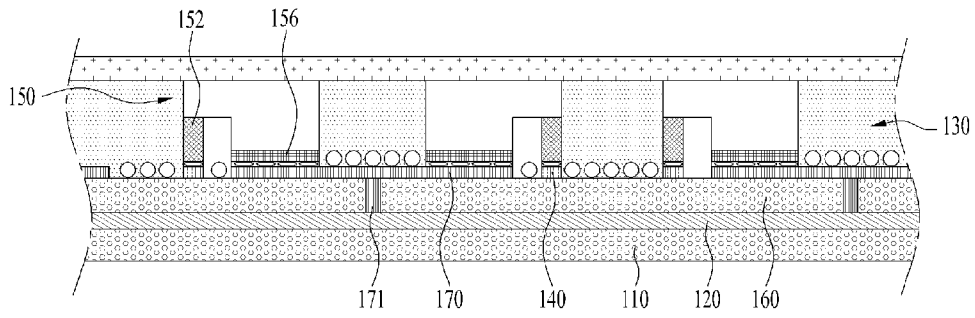
[도1]



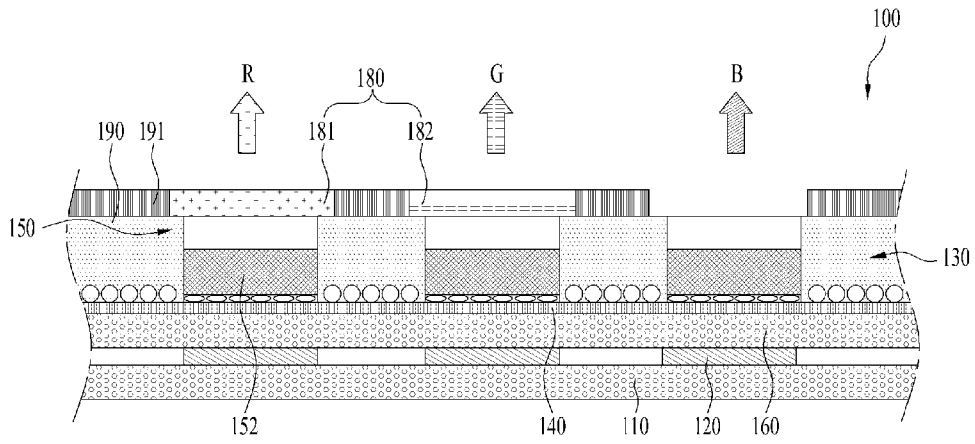
[도2]



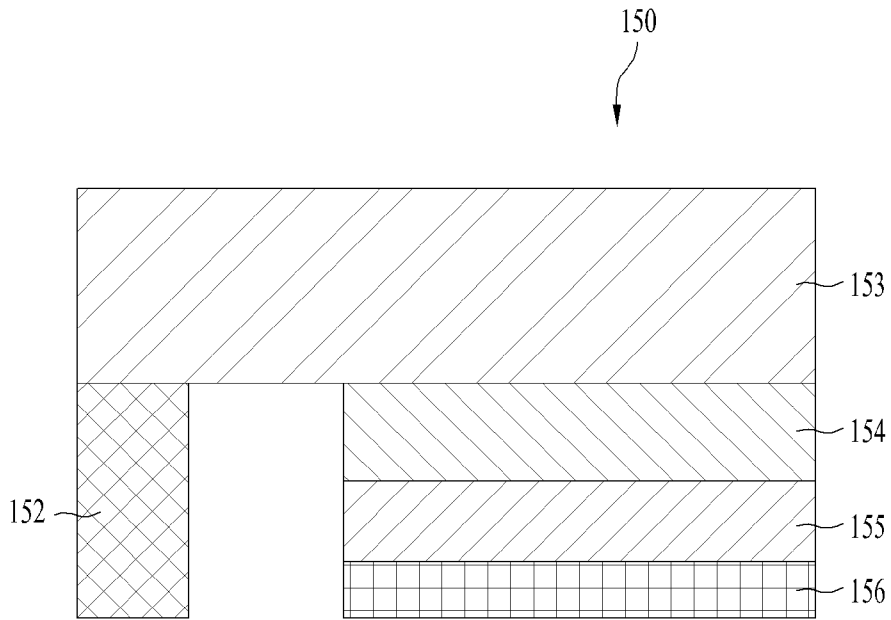
[도3a]



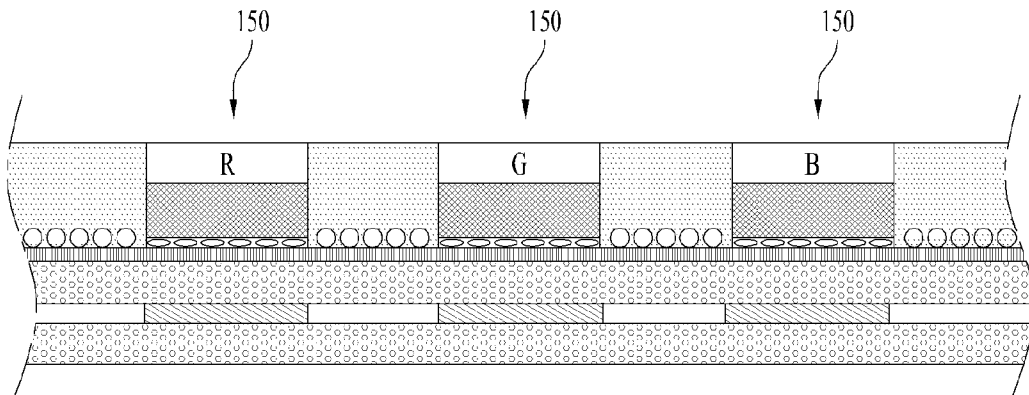
[도3b]



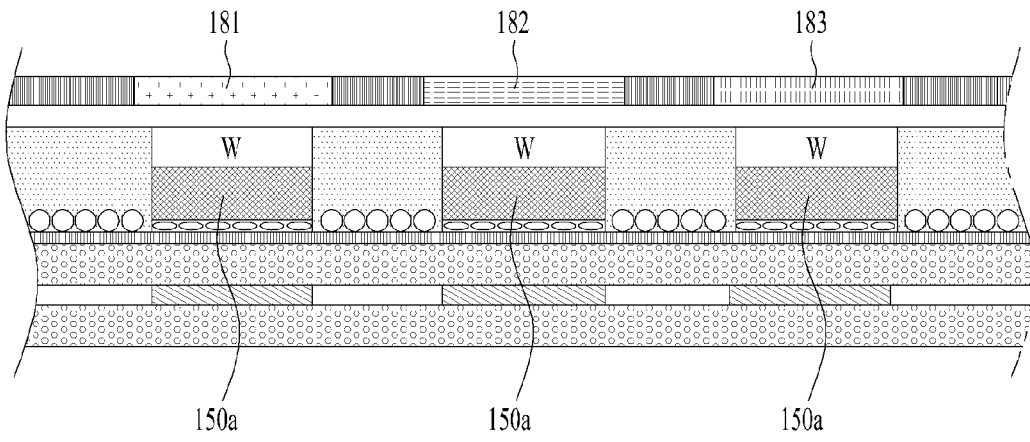
[도4]



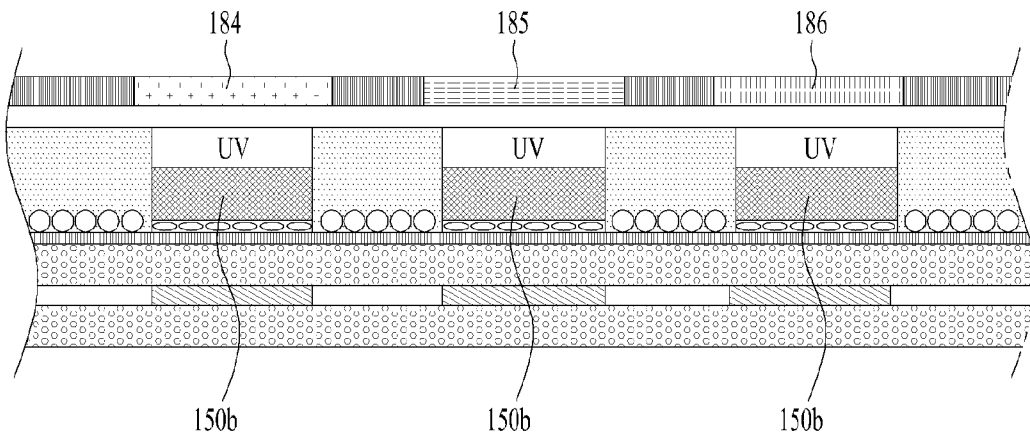
[도5a]



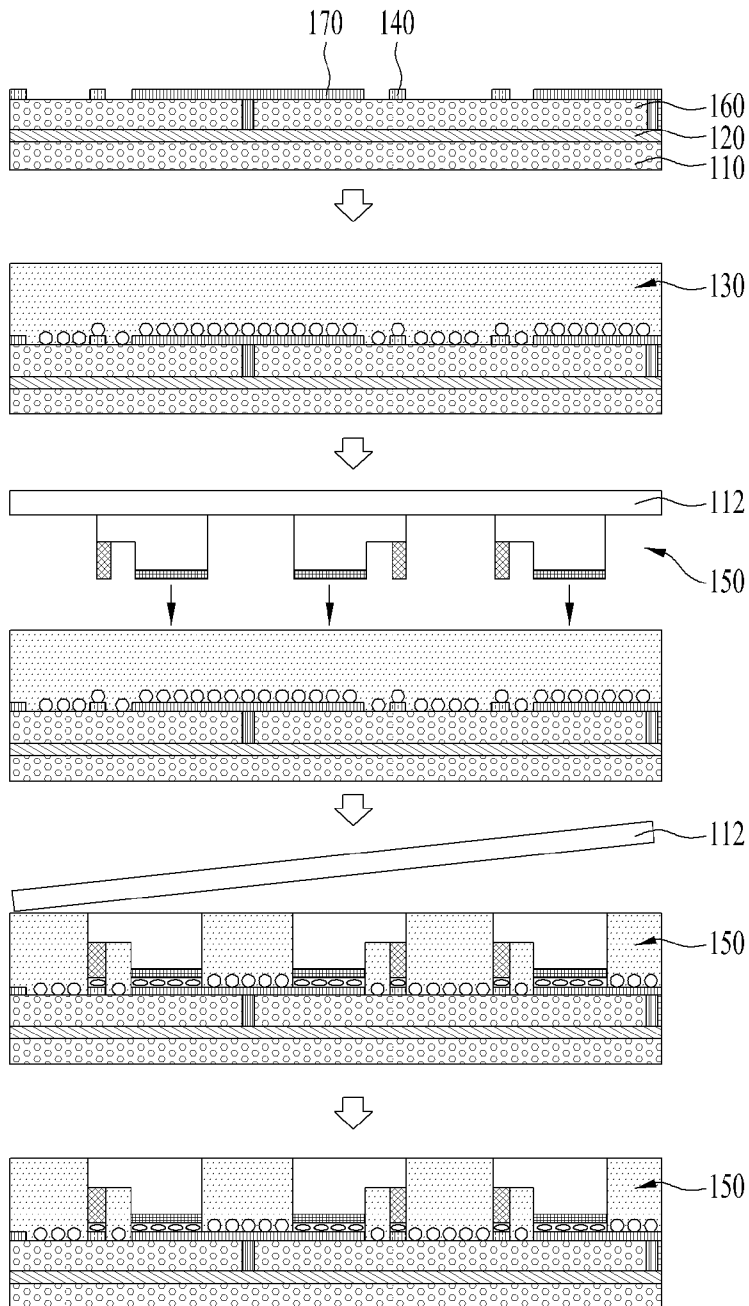
[도5b]



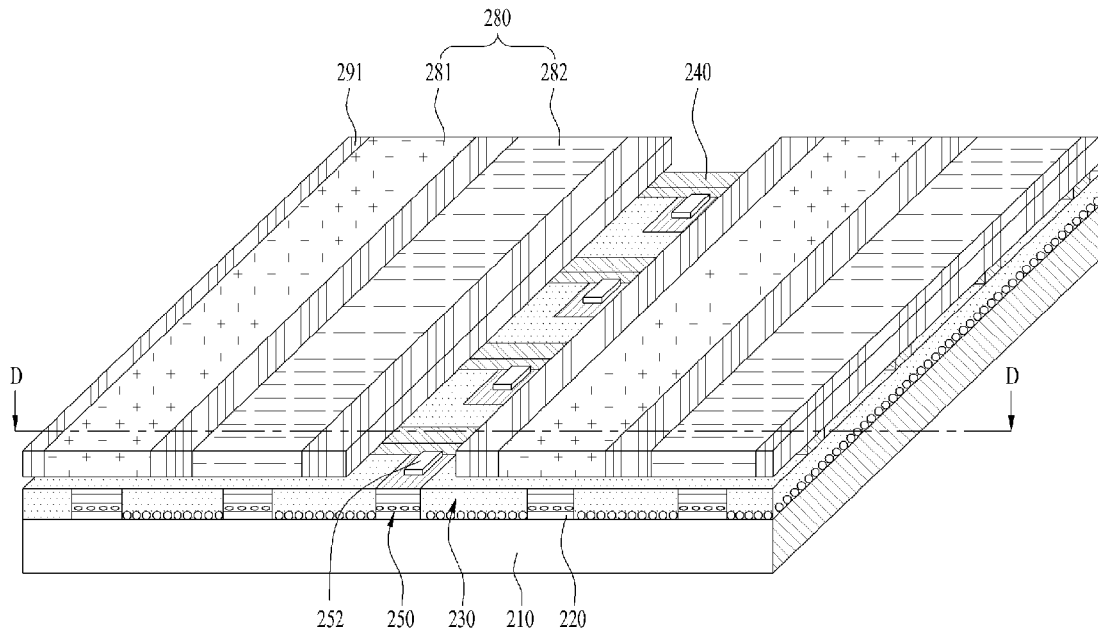
[도5c]



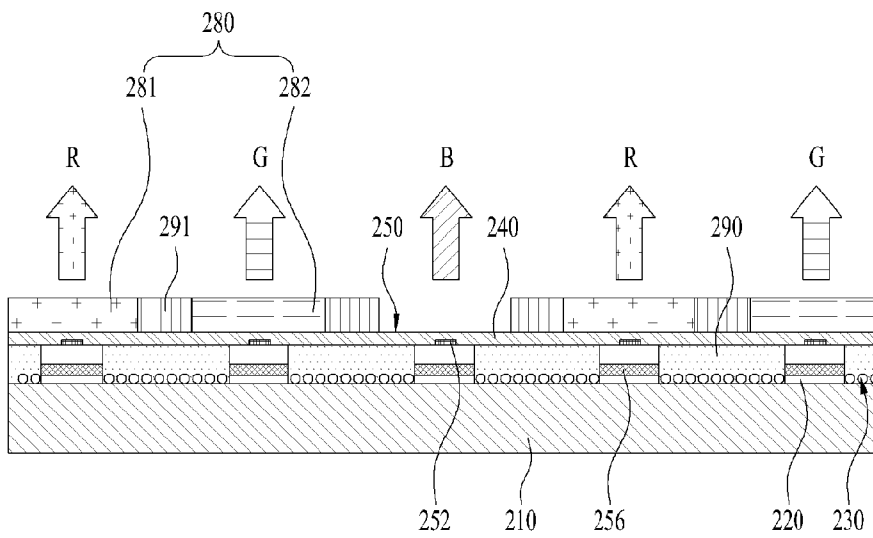
[도6]



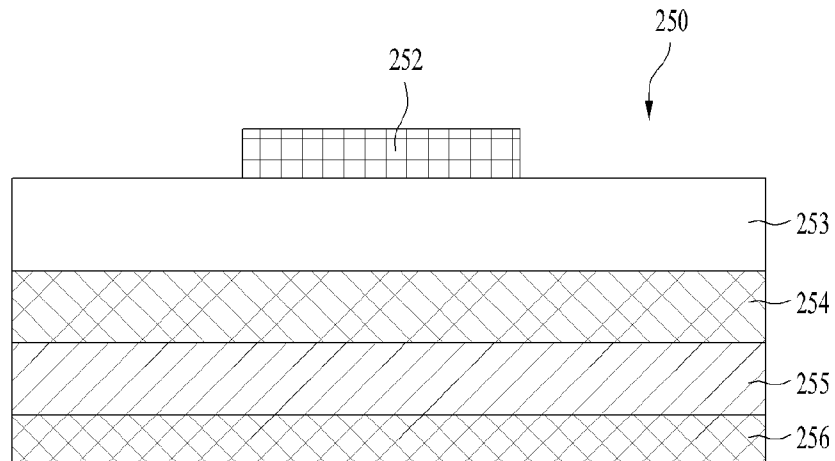
[도7]



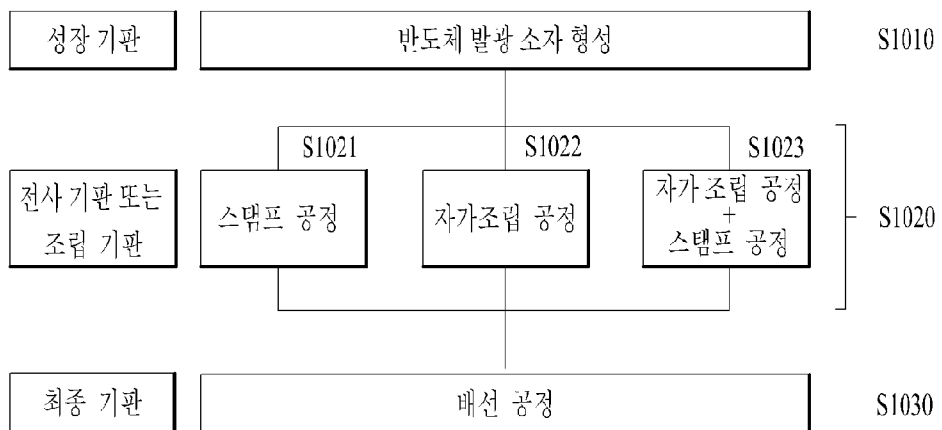
[도8]



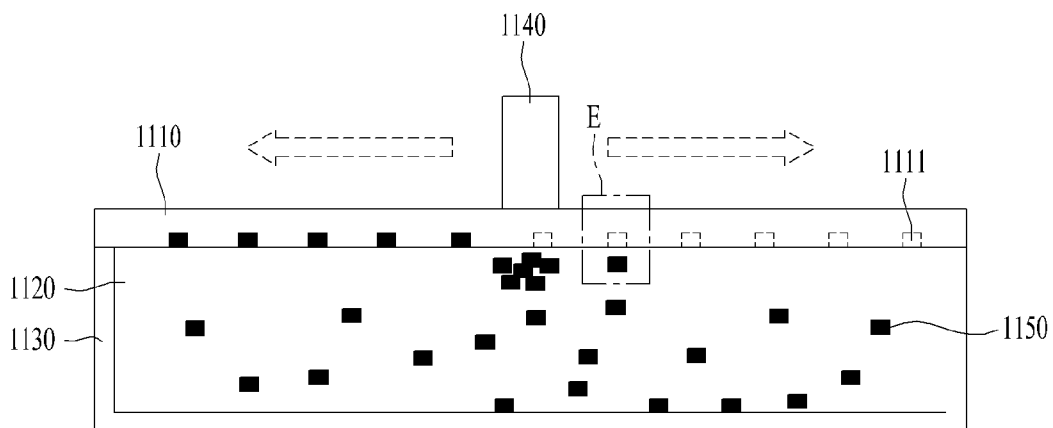
[도9]



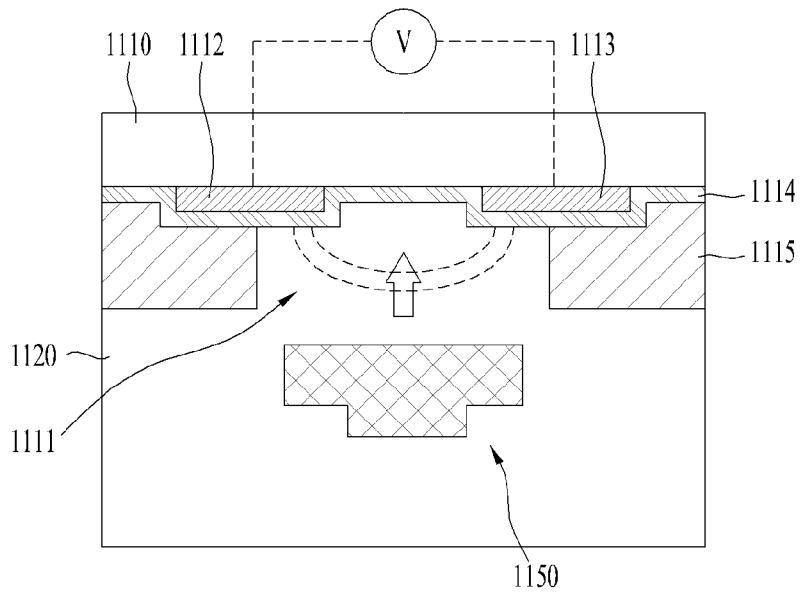
[도10]



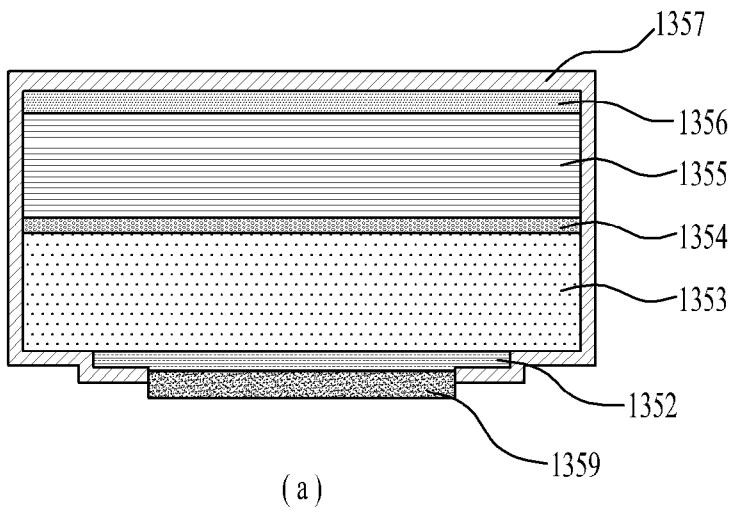
[도11]



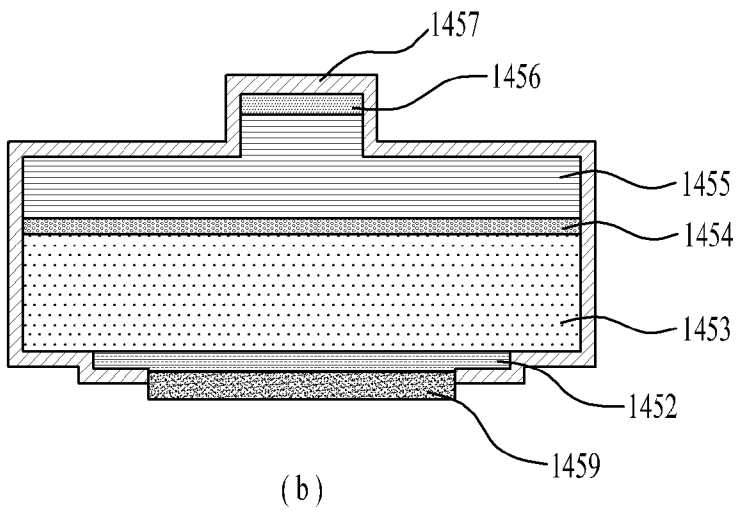
[도 12]



[도 13]

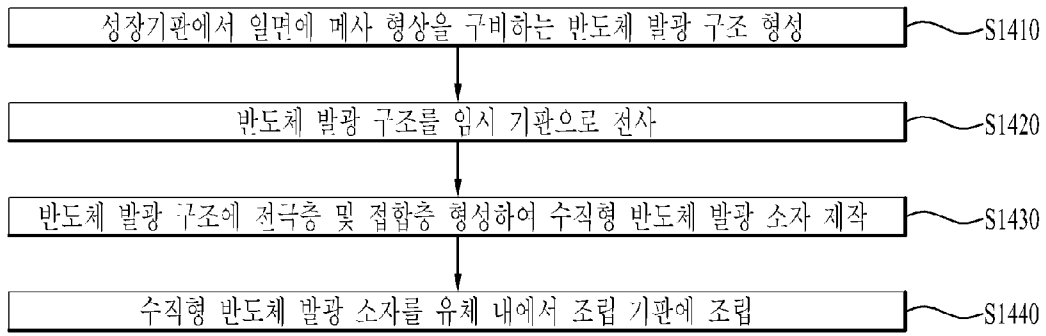


(a)

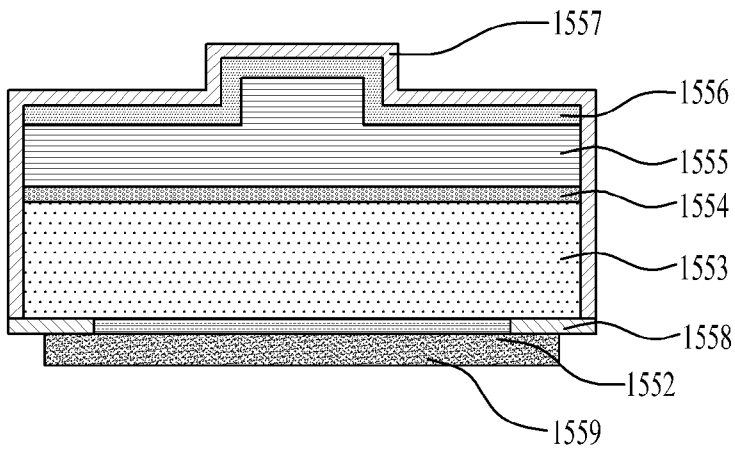


(b)

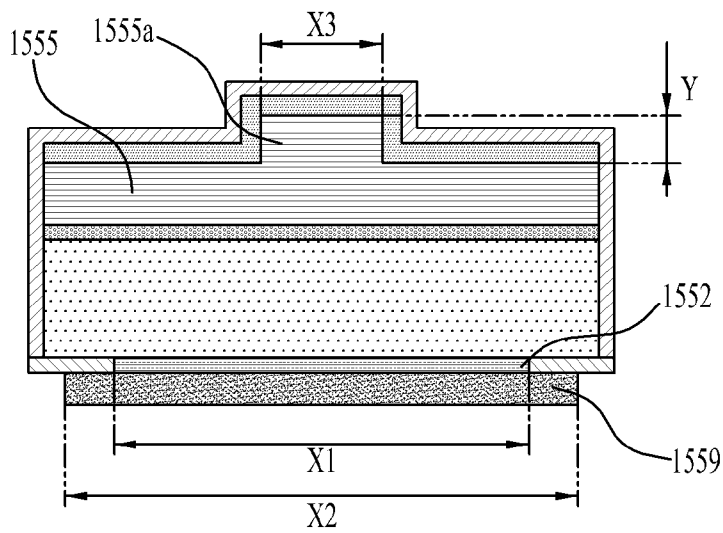
[도14]



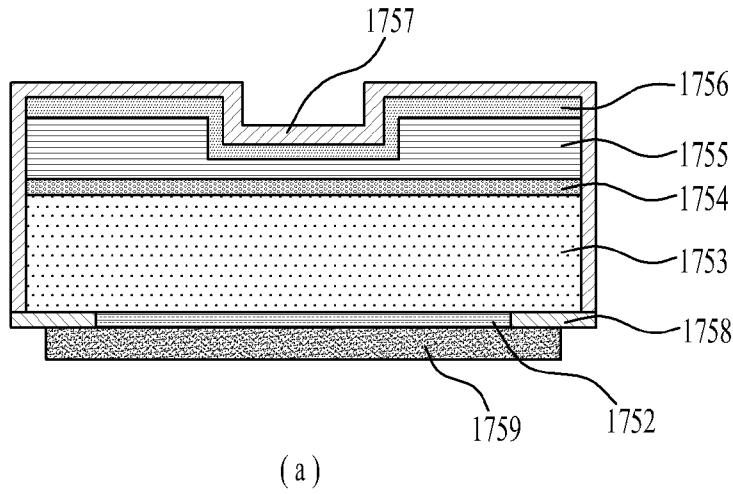
[도15]



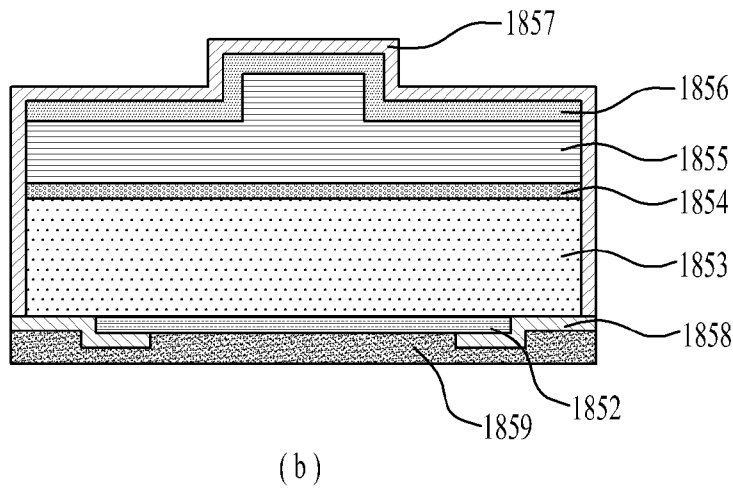
[도16]



[도17]

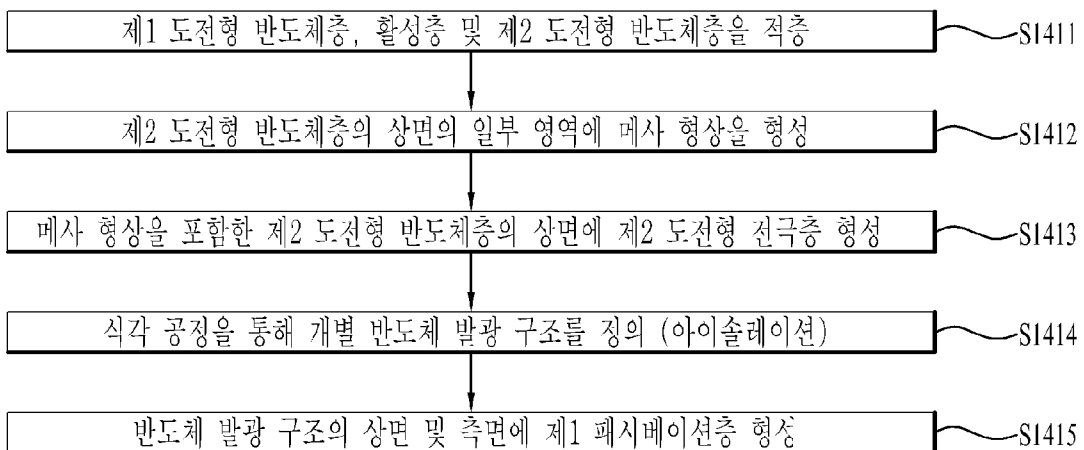


(a)

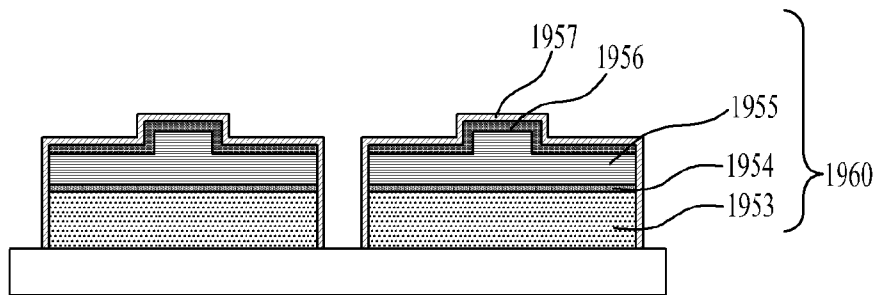
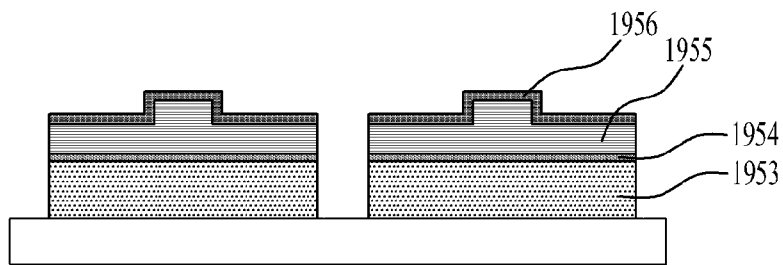
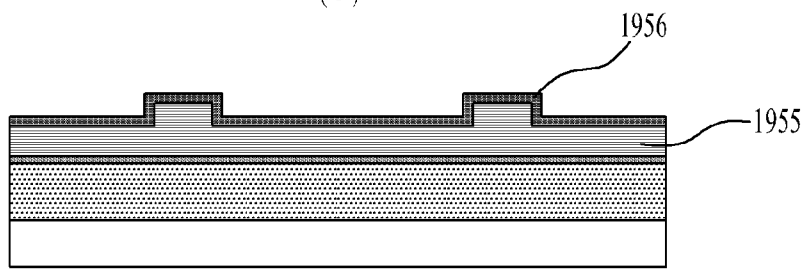
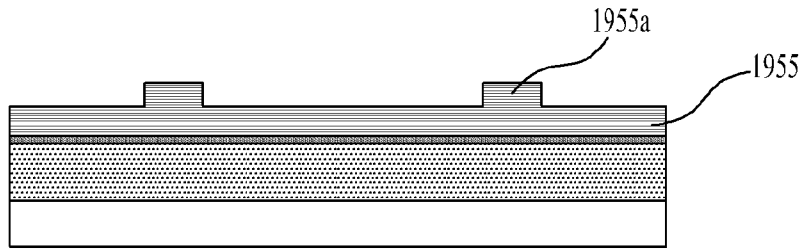
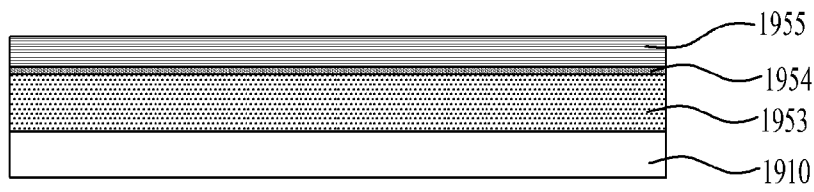


(b)

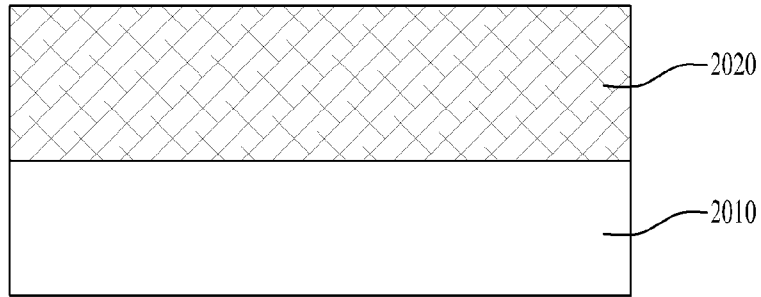
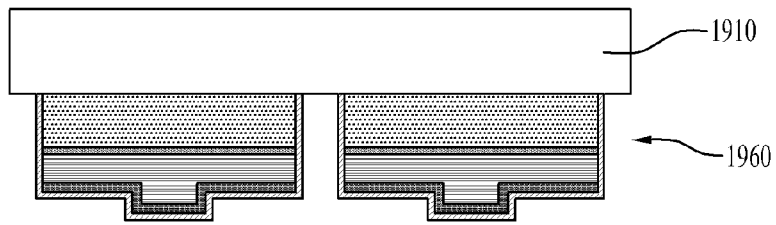
[도18]



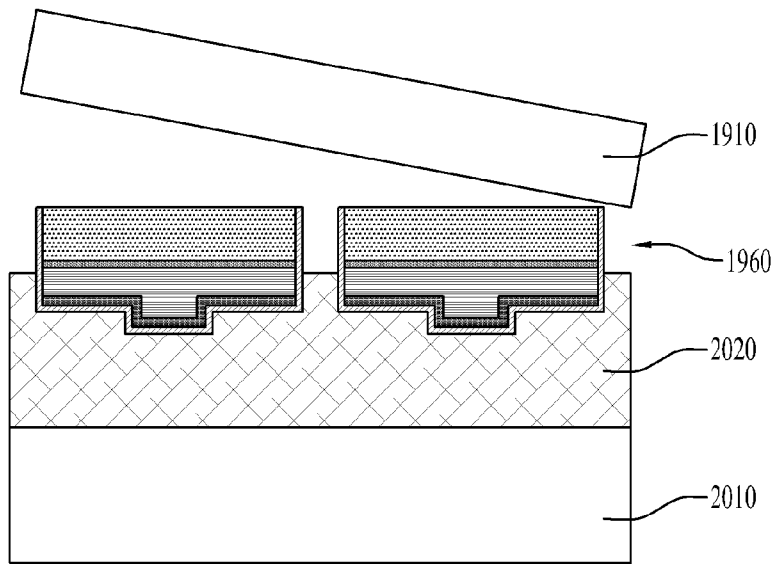
[도 19]



[도20]

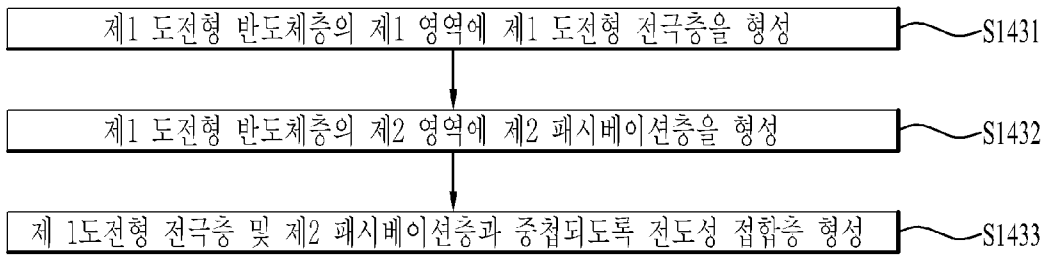


(a)

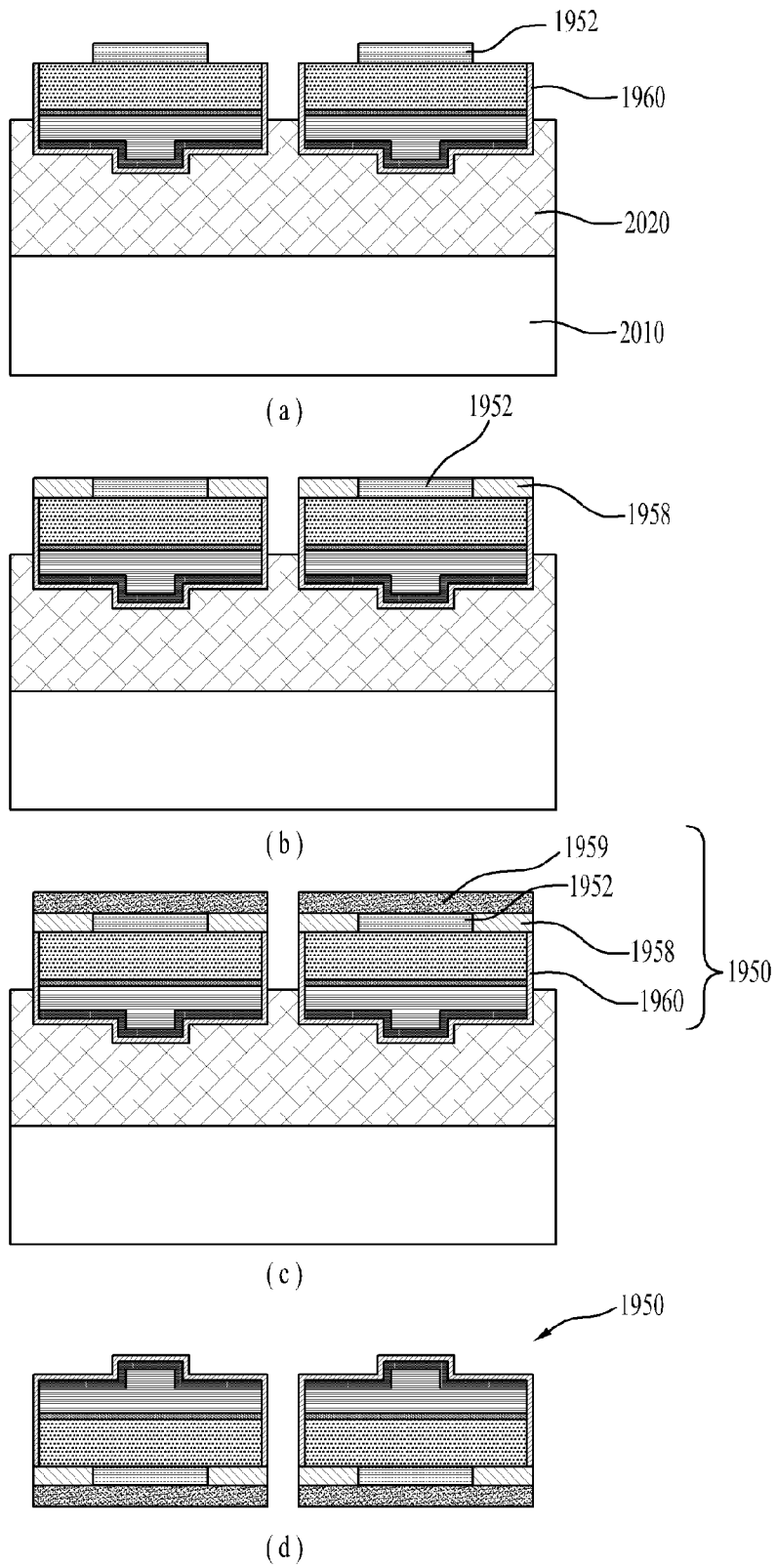


(b)

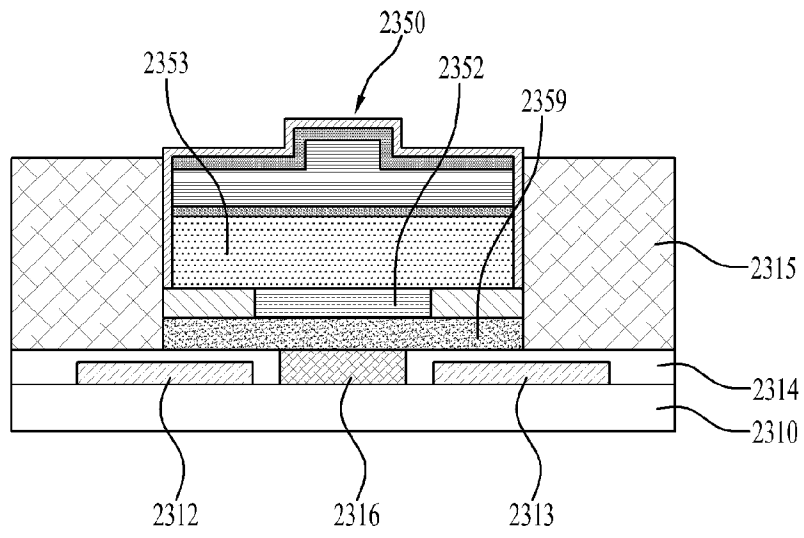
[도21]



[도22]



[도23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/012920

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/15(2006.01)i, H01L 33/00(2010.01)i, H01L 21/768(2006.01)i, H01L 21/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/15; H01L 33/00; H01L 33/36; H01L 33/48; H01L 33/62; H01L 21/768; H01L 21/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Korean utility models and applications for utility models: IPC as above
 Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 eKOMPASS (KIPO internal) & Keywords: light-emitting device(LED), display, electrode, magnetic field

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-019467 A (SONY CORP.) 25 January 2007 See paragraphs [0025]-[0054] and figures 1-19.	1-2,8,10
Y		3-7,9,11-15
Y	KR 10-2019-0031047 A (LG ELECTRONICS INC.) 25 March 2019 See paragraphs [0115]-[0167] and figures 10-17.	3-5,9
Y	KR 10-2019-0085892 A (LG ELECTRONICS INC.) 19 July 2019 See paragraphs [0133]-[0164] and figures 10-12.	6-7,11-15
A	KR 10-2018-0030454 A (ELUX INC.) 23 March 2018 See paragraphs [0026]-[0031] and figures 4a-4b.	1-15
A	KR 10-2019-0088929 A (LG ELECTRONICS INC.) 29 July 2019 See paragraphs [0183]-[0216] and figures 13-17.	1-15

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	


Date of the actual completion of the international search

23 JUNE 2020 (23.06.2020)

Date of mailing of the international search report

23 JUNE 2020 (23.06.2020)

Name and mailing address of the ISA/KR

 Korean Intellectual Property Office
 Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
 Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/012920

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2007-019467 A	25/01/2007	JP 4992282 B2 US 2006-0278886 A1 US 7589355 B2	08/08/2012 14/12/2006 15/09/2009
KR 10-2019-0031047 A	25/03/2019	US 2019-0088168 A1	21/03/2019
KR 10-2019-0085892 A	19/07/2019	None	
KR 10-2018-0030454 A	23/03/2018	CN 103988321 A CN 103988321 B CN 107431106 A CN 107833525 A CN 107833526 A CN 107833527 A CN 107833903 A CN 107833954 A CN 107833954 B CN 108028169 A CN 109643709 A EP 3314631 A1 EP 3352210 A1 EP 3352211 A1 EP 3475982 A1 JP 2015-503838 A JP 2016-042583 A JP 2017-017416 A JP 2018-061017 A JP 2018-078279 A JP 2018-528601 A JP 2019-521380 A JP 5824156 B2 JP 6296007 B2 JP 6538886 B2 JP 6578332 B2 JP 6639451 B2 KR 10-2018-0020239 A KR 10-2018-0030452 A KR 10-2018-0030453 A KR 10-2018-0030455 A KR 10-2018-0030456 A KR 10-2019-0009003 A KR 10-2019-0111151 A KR 10-2019251 B1 KR 10-2019252 B1 KR 10-2037225 B1 KR 10-2037226 B1 KR 10-2042178 B1 KR 10-2042179 B1 TW 201826490 A	13/08/2014 19/09/2017 01/12/2017 23/03/2018 23/03/2018 23/03/2018 23/03/2018 23/03/2018 24/01/2020 11/05/2018 16/04/2019 02/05/2018 25/07/2018 25/07/2018 01/05/2019 02/02/2015 31/03/2016 19/01/2017 12/04/2018 17/05/2018 27/09/2018 25/07/2019 25/11/2015 20/03/2018 03/07/2019 18/09/2019 05/02/2020 27/02/2018 23/03/2018 23/03/2018 23/03/2018 23/03/2018 25/01/2019 01/10/2019 04/11/2019 14/11/2019 30/10/2019 28/10/2019 07/11/2019 07/11/2019 16/07/2018

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/012920

Patent document cited in search report	Publication date	Patent family member	Publication date
		TW 201826491 A	16/07/2018
		TW 1664710 B	01/07/2019
		TW 1664711 B	01/07/2019
		US 10032957 B2	24/07/2018
		US 10115862 B2	30/10/2018
		US 10170664 B2	01/01/2019
		US 10211364 B2	19/02/2019
		US 10230020 B2	12/03/2019
		US 10236279 B2	19/03/2019
		US 10242977 B2	26/03/2019
		US 10243098 B2	26/03/2019
		US 10246638 B1	02/04/2019
		US 10249599 B2	02/04/2019
		US 10262978 B2	16/04/2019
		US 10276754 B2	30/04/2019
		US 10276755 B2	30/04/2019
		US 10319878 B2	11/06/2019
		US 10333036 B2	25/06/2019
		US 10347513 B2	09/07/2019
		US 10381332 B2	13/08/2019
		US 10381335 B2	13/08/2019
		US 10403798 B2	03/09/2019
		US 10418527 B2	17/09/2019
		US 10431718 B2	01/10/2019
		US 10446728 B2	15/10/2019
		US 10475958 B2	12/11/2019
		US 10520769 B2	31/12/2019
		US 2013-0161584 A1	27/06/2013
		US 2013-0161643 A1	27/06/2013
		US 2014-0077158 A1	20/03/2014
		US 2015-0155445 A1	04/06/2015
		US 2015-0214430 A1	30/07/2015
		US 2015-0221827 A1	06/08/2015
		US 2016-0378413 A1	29/12/2016
		US 2016-0380158 A1	29/12/2016
		US 2017-0133550 A1	11/05/2017
		US 2017-0133558 A1	11/05/2017
		US 2017-0133564 A1	11/05/2017
		US 2017-0139276 A1	18/05/2017
		US 2017-0140961 A1	18/05/2017
		US 2017-0179092 A1	22/06/2017
		US 2017-0317242 A1	02/11/2017
		US 2017-0338379 A1	23/11/2017
		US 2017-0338389 A1	23/11/2017
		US 2017-0372927 A1	28/12/2017
		US 2018-0005998 A1	04/01/2018
		US 2018-0012873 A1	11/01/2018
		US 2018-0029038 A1	01/02/2018
		US 2018-0033915 A1	01/02/2018
		US 2018-0047710 A1	15/02/2018

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/012920

Patent document cited in search report	Publication date	Patent family member	Publication date
		US 2018-0047867 A1	15/02/2018
		US 2018-0076352 A1	15/03/2018
		US 2018-0102352 A1	12/04/2018
		US 2018-0138355 A1	17/05/2018
		US 2018-0138359 A1	17/05/2018
		US 2018-0144957 A1	24/05/2018
		US 2018-0145057 A1	24/05/2018
		US 2018-0145207 A1	24/05/2018
		US 2018-0158979 A1	07/06/2018
		US 2018-0219138 A1	02/08/2018
		US 2018-0219139 A1	02/08/2018
		US 2018-0309023 A1	25/10/2018
		US 2018-0366622 A1	20/12/2018
		US 2019-0006564 A1	03/01/2019
		US 2019-0157517 A1	23/05/2019
		US 2019-0181304 A1	13/06/2019
		US 2019-0273006 A1	05/09/2019
		US 2019-0355708 A1	21/11/2019
		US 8648328 B2	11/02/2014
		US 8685774 B2	01/04/2014
		US 9018081 B2	28/04/2015
		US 9252328 B2	02/02/2016
		US 9722145 B2	01/08/2017
		US 9755110 B1	05/09/2017
		US 9823885 B2	21/11/2017
		US 9825202 B2	21/11/2017
		US 9892944 B2	13/02/2018
		US 9917226 B1	13/03/2018
		US 9985190 B2	29/05/2018
		WO 2013-099249 A1	04/07/2013
		WO 2016-163101 A1	13/10/2016
		WO 2016-209792 A1	29/12/2016
		WO 2017-199713 A1	23/11/2017
		WO 2017-222960 A1	28/12/2017
		WO 2018-005232 A1	04/01/2018
		WO 2018-022365 A1	01/02/2018
		WO 2018-052679 A1	22/03/2018
KR 10-2019-0088929 A	29/07/2019	None	

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H01L 27/15(2006.01)i, H01L 33/00(2010.01)i, H01L 21/768(2006.01)i, H01L 21/28(2006.01)i

B. 조사된 분야
 조사된 최소문헌(국제특허분류를 기재)
 H01L 27/15; H01L 33/00; H01L 33/36; H01L 33/48; H01L 33/62; H01L 21/768; H01L 21/28

조사된 기술분야에 속하는 최소문헌 이외의 문헌
 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
 eKOMPASS(특허청 내부 검색시스템) & 키워드: 발광소자(LED), 디스플레이(display), 전극(electrode), 자기장(magnetic field)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2007-019467 A (SONY CORP) 2007.01.25 단락 [0025]-[0054] 및 도면 1-19	1-2, 8, 10
Y		3-7, 9, 11-15
Y	KR 10-2019-0031047 A (엘지전자 주식회사) 2019.03.25 단락 [0115]-[0167] 및 도면 10-17	3-5, 9
Y	KR 10-2019-0085892 A (엘지전자 주식회사) 2019.07.19 단락 [0133]-[0164] 및 도면 10-12	6-7, 11-15
A	KR 10-2018-0030454 A (일룩스 아이엔씨.) 2018.03.23 단락 [0026]-[0031] 및 도면 4a-4b	1-15
A	KR 10-2019-0088929 A (엘지전자 주식회사) 2019.07.29 단락 [0183]-[0216] 및 도면 13-17	1-15

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “D” 본 국제출원에서 출원인이 인용한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2020년 06월 23일 (23.06.2020)	국제조사보고서 발송일 2020년 06월 23일 (23.06.2020)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 장기정 전화번호 +82-42-481-8364
---	------------------------------------

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2007-019467 A	2007/01/25	JP 4992282 B2 US 2006-0278886 A1 US 7589355 B2	2012/08/08 2006/12/14 2009/09/15
KR 10-2019-0031047 A	2019/03/25	US 2019-0088168 A1	2019/03/21
KR 10-2019-0085892 A	2019/07/19	없음	
KR 10-2018-0030454 A	2018/03/23	CN 103988321 A CN 103988321 B CN 107431106 A CN 107833525 A CN 107833526 A CN 107833527 A CN 107833903 A CN 107833954 A CN 107833954 B CN 108028169 A CN 109643709 A EP 3314631 A1 EP 3352210 A1 EP 3352211 A1 EP 3475982 A1 JP 2015-503838 A JP 2016-042583 A JP 2017-017416 A JP 2018-061017 A JP 2018-078279 A JP 2018-528601 A JP 2019-521380 A JP 5824156 B2 JP 6296007 B2 JP 6538886 B2 JP 6578332 B2 JP 6639451 B2 KR 10-2018-0020239 A KR 10-2018-0030452 A KR 10-2018-0030453 A KR 10-2018-0030455 A KR 10-2018-0030456 A KR 10-2019-0009003 A KR 10-2019-0111151 A KR 10-2019251 B1 KR 10-2019252 B1 KR 10-2037225 B1 KR 10-2037226 B1 KR 10-2042178 B1 KR 10-2042179 B1 TW 201826490 A	2014/08/13 2017/09/19 2017/12/01 2018/03/23 2018/03/23 2018/03/23 2018/03/23 2018/03/23 2018/03/23 2020/01/24 2018/05/11 2019/04/16 2018/05/02 2018/07/25 2018/07/25 2019/05/01 2015/02/02 2016/03/31 2017/01/19 2018/04/12 2018/05/17 2018/09/27 2019/07/25 2015/11/25 2018/03/20 2019/07/03 2019/09/18 2020/02/05 2018/02/27 2018/03/23 2018/03/23 2018/03/23 2018/03/23 2019/01/25 2019/10/01 2019/11/04 2019/11/14 2019/10/30 2019/10/28 2019/11/07 2019/11/07 2018/07/16

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		TW 201826491 A	2018/07/16
		TW I664710 B	2019/07/01
		TW I664711 B	2019/07/01
		US 10032957 B2	2018/07/24
		US 10115862 B2	2018/10/30
		US 10170664 B2	2019/01/01
		US 10211364 B2	2019/02/19
		US 10230020 B2	2019/03/12
		US 10236279 B2	2019/03/19
		US 10242977 B2	2019/03/26
		US 10243098 B2	2019/03/26
		US 10246638 B1	2019/04/02
		US 10249599 B2	2019/04/02
		US 10262978 B2	2019/04/16
		US 10276754 B2	2019/04/30
		US 10276755 B2	2019/04/30
		US 10319878 B2	2019/06/11
		US 10333036 B2	2019/06/25
		US 10347513 B2	2019/07/09
		US 10381332 B2	2019/08/13
		US 10381335 B2	2019/08/13
		US 10403798 B2	2019/09/03
		US 10418527 B2	2019/09/17
		US 10431718 B2	2019/10/01
		US 10446728 B2	2019/10/15
		US 10475958 B2	2019/11/12
		US 10520769 B2	2019/12/31
		US 2013-0161584 A1	2013/06/27
		US 2013-0161643 A1	2013/06/27
		US 2014-0077158 A1	2014/03/20
		US 2015-0155445 A1	2015/06/04
		US 2015-0214430 A1	2015/07/30
		US 2015-0221827 A1	2015/08/06
		US 2016-0378413 A1	2016/12/29
		US 2016-0380158 A1	2016/12/29
		US 2017-0133550 A1	2017/05/11
		US 2017-0133558 A1	2017/05/11
		US 2017-0133564 A1	2017/05/11
		US 2017-0139276 A1	2017/05/18
		US 2017-0140961 A1	2017/05/18
		US 2017-0179092 A1	2017/06/22
		US 2017-0317242 A1	2017/11/02
		US 2017-0338379 A1	2017/11/23
		US 2017-0338389 A1	2017/11/23
		US 2017-0372927 A1	2017/12/28
		US 2018-0005998 A1	2018/01/04
		US 2018-0012873 A1	2018/01/11
		US 2018-0029038 A1	2018/02/01
		US 2018-0033915 A1	2018/02/01
		US 2018-0047710 A1	2018/02/15

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 2018-0047867 A1	2018/02/15
		US 2018-0076352 A1	2018/03/15
		US 2018-0102352 A1	2018/04/12
		US 2018-0138355 A1	2018/05/17
		US 2018-0138359 A1	2018/05/17
		US 2018-0144957 A1	2018/05/24
		US 2018-0145057 A1	2018/05/24
		US 2018-0145207 A1	2018/05/24
		US 2018-0158979 A1	2018/06/07
		US 2018-0219138 A1	2018/08/02
		US 2018-0219139 A1	2018/08/02
		US 2018-0309023 A1	2018/10/25
		US 2018-0366622 A1	2018/12/20
		US 2019-0006564 A1	2019/01/03
		US 2019-0157517 A1	2019/05/23
		US 2019-0181304 A1	2019/06/13
		US 2019-0273006 A1	2019/09/05
		US 2019-0355708 A1	2019/11/21
		US 8648328 B2	2014/02/11
		US 8685774 B2	2014/04/01
		US 9018081 B2	2015/04/28
		US 9252328 B2	2016/02/02
		US 9722145 B2	2017/08/01
		US 9755110 B1	2017/09/05
		US 9823885 B2	2017/11/21
		US 9825202 B2	2017/11/21
		US 9892944 B2	2018/02/13
		US 9917226 B1	2018/03/13
		US 9985190 B2	2018/05/29
		WO 2013-099249 A1	2013/07/04
		WO 2016-163101 A1	2016/10/13
		WO 2016-209792 A1	2016/12/29
		WO 2017-199713 A1	2017/11/23
		WO 2017-222960 A1	2017/12/28
		WO 2018-005232 A1	2018/01/04
		WO 2018-022365 A1	2018/02/01
		WO 2018-052679 A1	2018/03/22
KR 10-2019-0088929 A	2019/07/29	없음	