

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93102044

※申請日期：93年01月29日

※IPC分類：H01L 23/02 (2006.01)

壹、發明名稱：

(中) 支援半導體晶粒之間電容式通訊的積體電路組合模組

(外) Integrated circuit assembly module that supports capacitive communication between semiconductor dies

貳、申請人：(共 1 人)

1. 姓名：(中) 陽光微電腦系統有限公司

(英) SUN MICROSYSTEMS, INC.

代表人：(中) 1. 席恩 李維斯

(英) 1. LEWIS, SEAN P.

地址：(中) 美國加州聖克拉拉網路廣場四一五〇號

(英) 4150 Network Circle, Santa Clara, CA 95054, U. S. A.

國籍：(中英) 美國 U.S.A.

參、發明人：(共 4 人)

1. 姓名：(中) 依凡 撒塞藍

(英) SUTHERLAND, IVAN E.

地址：(中) 美國加州聖塔蒙尼卡·華德華茲大道一二五號

(英) 125 Wadsworth Avenue, Santa Monica, CA 90405, U. S. A.

2. 姓名：(中) 羅伯特 多斯特

(英) DROST, ROBERT J.

地址：(中) 美國加州蒙坦夫由蒙特雷納廣場一一二號

(英) 112 Montelena Court, Mountain View, CA 94040, U.S.A.

3. 姓名：(中) 蓋瑞 洛特巴

(英) LAUTERBACH, GARY R.

地址：(中) 美國加州洛沙托斯希爾斯艾雷納路二五七一二號

(英) 25712 Elena Rd., Los Altos Hills, CA 94022, U.S.A.

4. 姓名：(中) 霍華德 達文森

(英) DAVIDSON, HOWARD L.
地 址：(中) 美國加州聖卡洛斯俱樂部大道五十九號
(英) 59 Club Dr., San Carlos, CA 94070, U.S.A.

肆、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- | | | | |
|-------|--------------|--------------|--|
| 1. 美國 | ； 2003/09/26 | ； 10/671,642 | <input checked="" type="checkbox"/> 有主張優先權 |
| 2. 美國 | ； 2003/01/29 | ； 60/443,808 | <input checked="" type="checkbox"/> 有主張優先權 |

(英) DAVIDSON, HOWARD L.
地 址：(中) 美國加州聖卡洛斯俱樂部大道五十九號
(英) 59 Club Dr., San Carlos, CA 94070, U.S.A.

肆、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- | | | | |
|-------|--------------|--------------|--|
| 1. 美國 | ； 2003/09/26 | ； 10/671,642 | <input checked="" type="checkbox"/> 有主張優先權 |
| 2. 美國 | ； 2003/01/29 | ； 60/443,808 | <input checked="" type="checkbox"/> 有主張優先權 |

(1)

玖、發明說明

【發明所屬之技術領域】

本發明關於半導體積體電路。詳言之，本發明關於支援半導體晶粒之間電容式通訊的積體電路組合模組。

【先前技術】

積體電路晶片通常經由印刷電路板上的外部線互相通訊。為使積體電路的小尺寸配合印刷電路板上之線的較大尺寸，積體電路通常裝在塑膠或陶瓷製成的封裝中。

與封裝一體的是一組金屬導體，分別接到積體電路。金屬導體通常經由金或鋁接線接到積體電路。這些接線通常直徑為 25 微米，附在 100 微米平方之積體電路的接合墊。接線另一端附在 200 至 500 微米的金屬導體，較大端部附在印刷電路板。為使信號在積體電路間移動，須通過在較大面積上驅動信號的幾組驅動器。

由於積體電路隨著電晶體數目增加而變小的趨勢持續，故晶片的有限通訊路徑很快變成處理器效能的主要瓶頸。因封裝科技的進展跟不上增加半導體集積密度的腳步，故晶片間通訊頻寬跟不上晶片計算能力的腳步。此外，由於尺寸持續減小，因需要較多時間以放大晶片上信號線來驅動大接合墊，故晶片通訊的延遲增加。

因此，需要在半導體晶片間通訊的方法和裝置，降低通訊處理所需之空間和電力的量。

【發明內容】

本發明的實施例提供積體電路組合模組，包含第一半導體晶粒和第二半導體晶粒，半導體晶粒各有放置主動電路和信號墊的主動面及與主動面相反的背面。第一和第二半導體晶粒在組合模組內面對面，因而第一半導體晶粒上的信號墊重疊第二半導體晶粒上的信號墊，藉以幫助第一和第二半導體晶粒間的電容式通訊。此外，第一和第二半導體晶粒在第一和第二基底間壓在一起，因而第一基底正面接觸第一半導體晶粒背面，第二基底正面接觸第二半導體晶粒背面。

此實施例的變化中，積體電路組合模組另包含接到第一基底背面的第一除熱機構，和接到第二基底背面的第二除熱機構。

另一變化中，第一和第二除熱機構包含冷卻散熱片，以助於熱轉移到通過冷卻散熱片的空氣。

另一變化中，第一和第二除熱機構包含具有鰭狀結構的石墨泡沫或金屬，幫助熱轉移到抽取通過石墨泡沫或金屬的液體。

此實施例的變化中積體電路組合模組另包含接到第一基底背面的第一電源，和接到第二基底背面的第二電源。

另一變化中，第一和第二基底包含幫助供電給第一和第二半導體晶粒的金屬層。

另一變化中，第一和第二基底包含在第一和第二基底背面上的電力連接器。

另一變化中，積體電路組合模組另包括微機電系統（MEMS）彈簧接點，從第一和第二基底內的金屬層供電給第一和第二半導體晶粒，此實施例中，第一基底正面上的第一組 MEMS 彈簧接點接觸第二半導體晶粒主動面，第二基底正面上的第二組 MEMS 彈簧接點接觸第一半導體晶粒主動面。

另一變化中，第一電力調節器併入第一基底，第二電力調節器併入第二基底。

另一變化中，積體電路組合模組另包含 I/O 半導體晶粒，具有放置主動電路和信號墊的主動面及與主動面相反的背面。此 I/O 半導體晶粒和第一半導體晶粒主動面對主動面，使得 I/O 半導體晶粒上的信號墊重疊第二半導體晶粒上的信號墊，藉以幫助 I/O 半導體晶粒和第二半導體晶粒間的電容式通訊。此外，I/O 半導體晶粒位於第一基底邊緣，以助於進出積體電路組合模組的通訊。第一基底邊緣超過第二基底邊緣，因而一部分的 I/O 半導體晶粒主動面露出，以助於外部連接。

另一變化中，積體電路組合模組另包含位於 I/O 半導體晶粒主動面露出部的光外部連接墊。

另一變化中，積體電路組合模組另包含位於 I/O 半導體晶粒主動面露出部的電外部連接墊。

【實施方式】

以下說明可使熟習本技藝人達成及使用本發明。熟習

本技藝人士可任施匠思而為諸般修飾，然皆不脫本發明的精神和範疇。因此，本發明不限於所示的實施例，而是符合本文所揭示之原理和特性的最廣範疇。

背景

本發明實施例中，積體電路組合模組包含幾乎對稱堆疊的元件。任意數目的晶片在二基底（晶圓）之間。此配置不需均勻。因此，積體電路組合模組可包含不同尺寸的晶片，可含有空位。

晶圓含有精確定位在其間之晶片的對正結構。二層晶片用於此系統，一層對應一晶圓。各層晶片以背面靠住晶圓，正面（含有主動電路和線）正對另一晶圓上的晶片。

各晶圓可含有一層晶片的對正結構。一晶圓也可含有二層晶片的對正結構。若二晶圓含有對正結構（較易製造），則晶圓須互相對正，以在二層之間對正晶片的相對位置。若一晶圓含有二晶片的對正結構，則可更精確對正晶片。

對正結構可包含建在晶圓平面上的柱體。提供使用柱體部分或全部周邊的腔，可對正晶片。柱體穿過晶片的孔，也可對正晶片。一晶片需要二孔，可以更多以備用。使用腔的對正其晶片複雜度較低，但晶片須修磨到精確尺寸以配合腔。使用柱體和孔的對正提供較大準確性，這是因孔可由蝕刻形成。

晶片不需永久附於晶圓。若判定晶片有缺陷，則可從

完全組合的積體電路組合模組除去晶片。此外，晶片可升級或更換。

晶片可由溫和黏著劑附於晶圓而較易處理及組合該模組。黏著劑可為水蒸氣，在此情形，在含有充分濕度的氣氛中不需額外黏著劑。若需要更大黏性，則表面可塗以適當材料。黏著劑可另有導熱性，增進晶片和晶圓間的熱耦合。若不需除去，則晶片可永久附於晶圓。

晶圓緊壓一起以用於積體電路組合模組。晶圓壓在一起使晶片主動面足夠接近以容許晶片間的電容式通訊。當晶圓壓在一起時，晶片的對正結構有充足間隙以容許晶片表面毗鄰。

晶圓拋光變平。晶片高度可不均勻。例如，晶片中心部可增加厚度。但當二層上的晶片互相接觸時，晶片表面平坦。因此，此接觸表面在晶圓上是平坦的。

晶圓可具有接觸晶片背面的彈性層，例如聚合物。若二晶片有不同高度，則當積體電路組合模組組合時，接觸晶片的形勢使彈性層變形，幫助晶片頂面成平面。若彈性層有黏性，則該層也可附著晶片並增進導熱。

矽晶圓有導電互連層以承載電力、接地和其他信號。在晶圓拋光及加入對正結構前，這些層製成晶圓。導電層使用晶圓上的彈簧 MEMS 結構來連接。當晶圓壓在一起時，彈簧的高度和位置使其可將電力、接地和其他信號接到晶片。晶片的主動層在對主晶圓上接觸彈簧結構。晶圓可含有主動電路，幫助調節送到晶片的電壓供應。導電層

(6)

可含有電壓感測追蹤，在 $I \times R$ （電流乘以電阻）損耗後將送到晶片的電反饋到電源。電源可調節輸出電壓以校正 $I \times R$ 損耗。

積體電路組合模組

圖 1 顯示本發明實施例的積體電路組合模組 100。積體電路組合模組 100 包含晶粒 102（也稱為晶片）。晶粒 102 是可包含任何類型計算電路的半導體晶粒，包含主記憶體、快取記憶體、處理器、晶粒 102 主動面對主動面且重疊，便於晶粒間的電容式通訊。

晶粒 102 被晶圓 104 壓在一起。晶圓 104 含有精確定位晶粒 102 以助於近接通訊的對正結構。晶圓 104 可為包括與晶粒 102 相同材料的矽基底。（也可包括其他材料。）晶圓 104 其中一個較長，容許在積體電路組合模組 100 邊緣的周邊晶片超過對立晶圓。周邊晶片露出部容許通過外部 I/O 連接器 110 的外部 I/O 連接。外部 I/O 連接器 110 可為電性、光學式、可轉移資料的任何其他類型的連接器。

晶圓 104 對晶粒 102 的反面為除熱裝置 106，可包含任何標準除熱裝置，例如具有風扇的散熱座。本發明實施例中，除熱裝置 106 可為鰭狀結構的石墨泡沫（或例如金屬的其他材料），將熱轉移到抽取通過石墨泡沫的液體。

電源 108 接到除熱裝置 106 對晶圓 104 的反面。電源 108 是標準積體電路電源，經由電力連接器 112 附在晶圓

(7)

104。圖 1 只是說明用，未按比例畫出。

具有電力連接的積體電路組合模組

圖 2 顯示本發明實施例之具有電力連接之積體電路組合模組的部分。積體電路組合模組 100 含有金屬平面，提供電力 207 和接地 208 給晶粒 102，例如晶粒 204、205、206。由於晶粒 204 至 206 主動電路面相對，故有利於將電力 207 和接地 208 從反面上的晶圓接到各晶片。例如，晶圓 202 中的電力 207 和接地 208 可經由 MEMS 彈簧接點 210 附在晶片 204。同樣地，可經由 MEMS 彈簧接點從晶圓 203 提供晶粒 205 和 206 的電力和接地。

本發明實施例中，積體電路組合模組 100 含有記憶體和處理器晶片。此實施例中，外部 I/O 連接器 110 可將積體電路組合模組 110 接到其他電腦或其他積體電路組合模組。圖 2 未按比例畫出。

近接通訊重疊圖型

圖 3 呈現幫助晶片間之近接通訊的各種晶片配置。各圖型提供不同晶片重疊量。在某些情形，可增大晶片間的重疊，例如魚骨 302 和馬賽克 306，而在其他情形，可增大晶片間的空間以便於除熱，例如棋盤 304 和緊密橫盤 308。各圖型有各種優缺點。晶片間的較大重疊連接可導致晶片間的較佳頻寬，但相反地，大部分晶片用於晶片對晶片通訊，較少晶片用於晶片的其他功能。特定晶片配置

對特定類型的晶片好。例如，只含記憶體晶片的積體電路模組可利用棋盤 304 做為最佳圖型。

本發明得由熟悉技藝之人任施匠思而為諸般修飾，然皆不脫如附申請範圍所欲保護者。

【圖式簡單說明】

圖 1 顯示本發明實施例的積體電路組合模組。

圖 2 顯示本發明實施例之具有電力連接之積體電路組合模組的部分。

圖 3 呈現本發明實施例的近接通訊重疊圖型。

元件對照表

100：積體電路組合模組

102：晶粒

104：晶圓

110：外部 I/O 連接器

106：除熱裝置

108：電源

112：電力連接器

210：MEMS 彈簧接點

伍、中文發明摘要

發明之名稱：支援半導體晶粒之間電容式通訊的積體
電路組合模組

本發明的實施例提供積體電路組合模組，包含第一半導體晶粒和第二半導體晶粒，半導體晶粒各有放置主動電路和信號墊的主動面及與主動面相反的背面。第一和第二半導體晶粒在組合模組內面對面，因而第一半導體晶粒上的信號墊第二半導體晶粒上的信號墊，藉以幫助第一和第二半導體晶粒間的電容式通訊。此外，第一和第二半導體晶粒在第一和第二基底間壓在一起，因而第一基底正面接觸第一半導體晶粒背面，第二基底正面接觸第二半導體晶粒背面。

陸、英文發明摘要

發明之名稱： Integrated circuit assembly module that supports capacitive communication between semiconductor dies

One embodiment of the present invention provides an integrated circuit assembly module, including a first semiconductor die and a second semiconductor die, each semiconductor die with an active face upon which active circuitry and signal pads reside and a back face opposite the active face. The first and second semiconductor dies are positioned face-to-face within the assembly module so that signal pads on the first semiconductor die overlap with signal pads on the second semiconductor die, thereby facilitating capacitive communication between the first and second semiconductor dies. Additionally, the first and second semiconductor dies are pressed together between a first substrate and a second substrate so that a front side of the first substrate is in contact with the back face of the first semiconductor die and a front side of the second substrate is in contact with the back face of the second semiconductor die.

圖 1

積體電路組合模組 100

842569

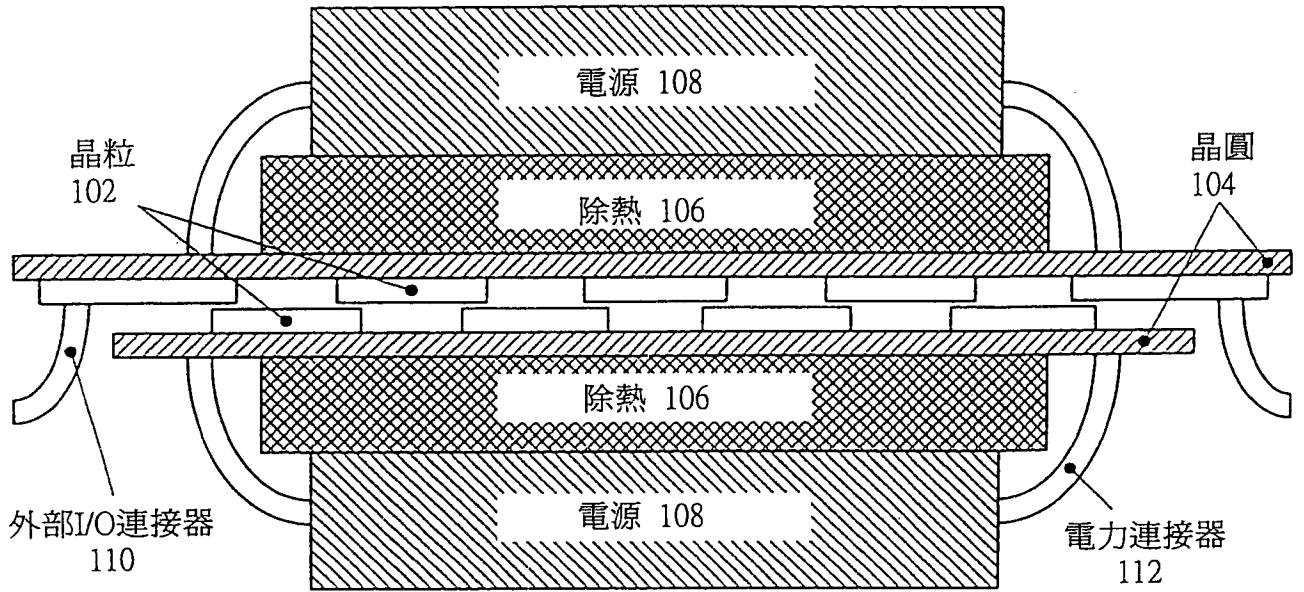


圖 2

積體電路組合模組 100

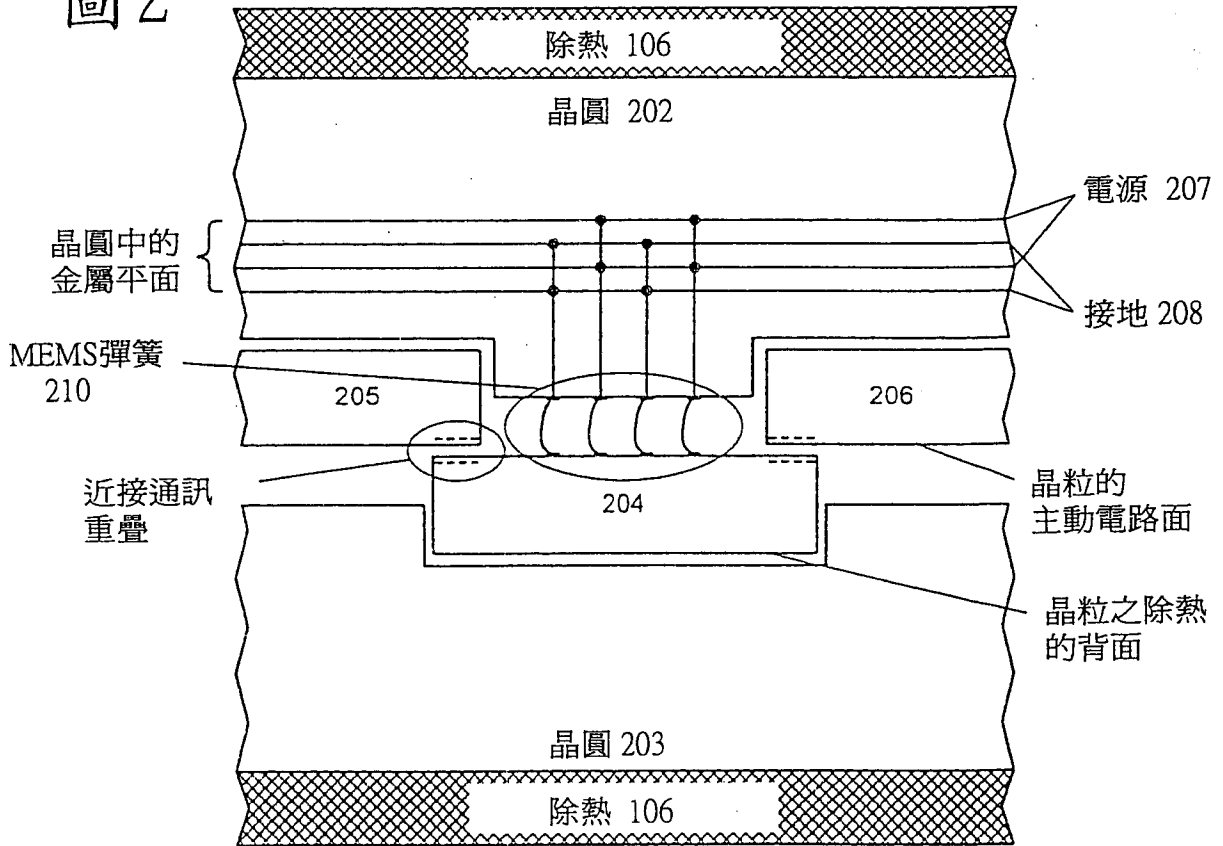
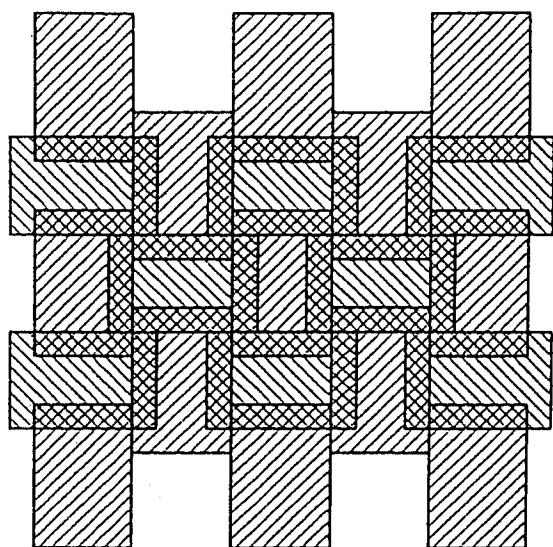
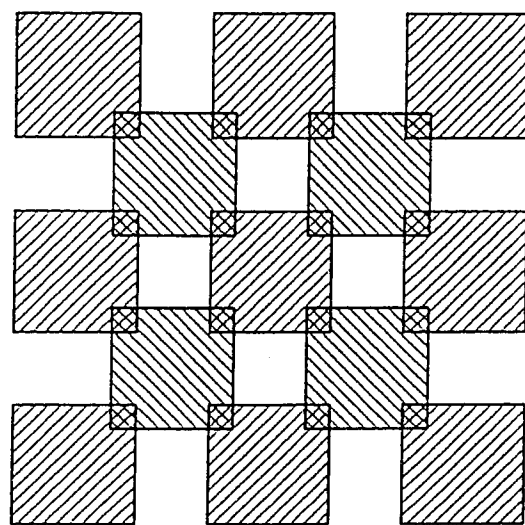


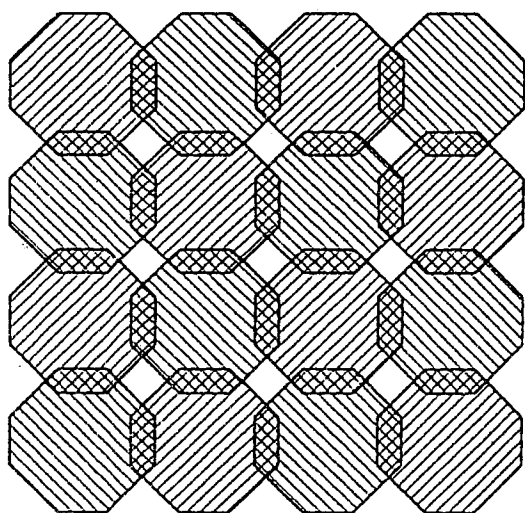
圖 3



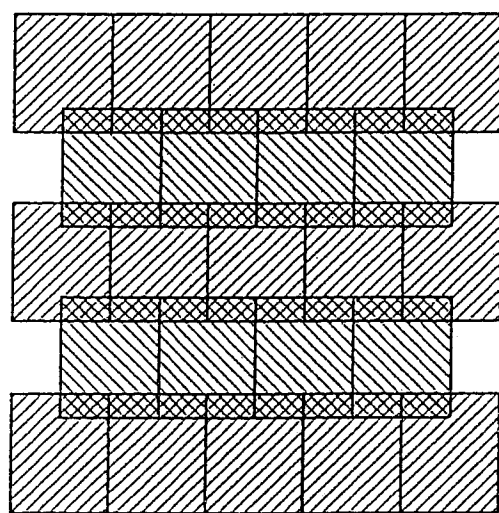
魚骨 302



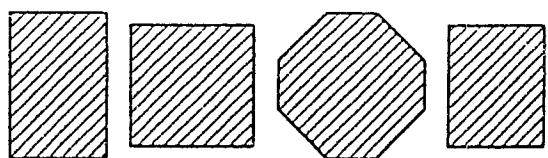
棋盤 304



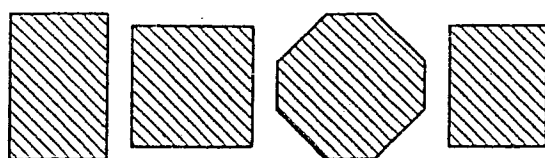
馬賽克 306



緊密棋盤 308



晶片向上



晶片向下



重疊區



柒、指定代表圖：

(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

100：積體電路組合模組

102：晶粒

104：晶圓

110：外部 I/O 連接器

106：除熱裝置

108：電源

112：電力連接器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

拾、申請專利範圍

附件 3A：

第 93102044 號專利申請案

中文申請專利範圍替換本

民國 98 年 3 月 31 日修正

1. 一種積體電路組合模組，包括：

第一基底，具有正面和與正面相反的背面；

第一半導體晶粒，具有放置主動電路和信號墊的主動面及與主動面相反的背面；

第二半導體晶粒，具有放置主動電路和信號墊的主動面及與主動面相反的背面；

第二基底，具有正面和與正面相反的背面；

其中第一半導體晶粒和第二半導體晶粒主動面對主動面，以及第一基底與第二基底緊壓在一起，因而使第一半導體晶粒之主動面和第二半導體晶粒之主動面足夠接近且第一半導體晶粒上的信號墊重疊第二半導體晶粒上的信號墊，以及當第一基底與第二基底緊壓在一起時，第一半導體晶粒和第二半導體晶粒的對正結構具有充足間隙以容許晶粒表面毗鄰，藉以助第一半導體晶粒和第二半導體晶粒間的電容式通訊；

其中第一半導體晶粒和第二半導體晶粒在第一基底和第二基底間壓在一起，因而第一基底正面接觸第一半導體晶粒背面，第二基底正面接觸第二半導體晶粒背面。

2. 如申請專利範圍第 1 項的積體電路組合模組，另

包括：

接到第一基底背面的第一除熱機構；

接著第二基底背面的第二除熱機構。

3. 如申請專利範圍第 2 項的積體電路組合模組，其中第一和第二除熱機構包含冷卻散熱片，以助於熱轉移到通過冷卻散熱片的空氣。

4. 如申請專利範圍第 2 項的積體電路組合模組，其中第一和第二除熱機構包含具有鰭狀結構的石墨泡沫或金屬，幫助熱轉移到抽取通過石墨泡沫或金屬的液體。

5. 如申請專利範圍第 1 項的積體電路組合模組，另包括：

接到第一基底背面的第一電源；

接到第二基底背面的第二電源。

6. 如申請專利範圍第 1 項的積體電路組合模組，其中第一和第二基底包含供電給第一和第二半導體晶粒的金屬層。

7. 如申請專利範圍第 6 項的積體電路組合模組，其中第一和第二基底包含在第一和第二基底背面上的電力連接器。

8. 如申請專利範圍第 6 項的積體電路組合模組，其包括微機電系統（MEMS）彈簧接點，從第一和第二基底內的金屬層供電給第一和第二半導體晶粒，其中：

第一基底正面上的第一組 MEMS 彈簧接點接觸第二半導體晶粒主動面；

第二基底正面上的第二組 MEMS 彈簧接點接觸第一半導體晶粒主動面。

9. 如申請專利範圍第 6 項的積體電路組合模組，另包括：

併入第一基底的第一電力調節器；

併入第二基底的第二電力調節器；

10. 如申請專利範圍第 1 項的積體電路組合模組，另包括：

I/O 半導體晶粒，具有放置主動電路和信號墊的主動面及與主動面相反的背面；

其中 I/O 半導體晶粒和第二半導體晶粒主動面對主動面，因而 I/O 半導體晶粒上的信號墊重疊第二半導體晶粒上的信號墊，藉以幫助 I/O 半導體晶粒和第二半導體晶粒間的電容式通訊；

其中 I/O 半導體晶粒位於第一基底邊緣，以助於提供進出積體電路組合模組的通訊；

其中第一基底邊緣超過第二基底邊緣，因而一部分的 I/O 半導體晶粒主動面露出，以助於外部連接。

11. 如申請專利範圍第 10 項的積體電路組合模組，另包括位於 I/O 半導體晶粒主動面露出部的電外部連接墊。

12. 如申請專利範圍第 10 項的積體電路組合模組，另包括位於 I/O 半導體晶粒主動面露出部的電外部連接墊。

13. 一種積體電路組合模組的方法，包括：

設置第一半導體晶粒和第二半導體晶粒主動面對主動面，並使第一基底與第二基底緊壓在一起，使得第一半導體晶粒之主動面和第二半導體晶粒之主動面足夠接近且第一半導體晶粒上的信號墊重疊第二半導體晶粒上的信號墊，以及當第一基底與第二基底緊壓在一起時，產生第一半導體晶粒和第二半導體晶粒的對正結構，其具有充足間隙以容許晶粒表面毗鄰，藉以幫助第一半導體晶粒和第二半導體晶粒間的電容式通訊，其中第一和第二半導體晶粒包括放置主動電路和信號墊的主動面及與主動面相反的背面；

在第一基底和第二基底間將第一半導體晶粒和第二半導體晶粒壓在一起，使得第一基底接觸第一半導體晶粒背面，第二基底接觸第二半導體晶粒背面。

14. 如申請專利範圍第 13 項的積體電路組合模組，另包括：

接著第一基底對第一半導體晶粒之反面的第一除熱機構；

接著第二基底對第二半導體晶粒之反面的第二除熱機構。

15. 如申請專利範圍第 14 項的方法，其中第一和第二除熱機構包含冷卻散熱片，以助於熱轉移到吹過冷卻散熱片的空氣。

16. 如申請專利範圍第 14 項的方法，其中第一和第

二除熱機構包含具有鰭狀結構的石墨泡沫或金屬，幫助熱轉移到抽取通過石墨泡沫或金屬的液體。

17. 如申請專利範圍第 13 項的方法，其中積體電路組合模組另包括：

接著第一基底對第一半導體晶粒之反面的第一電源；

接著第二基底對第二半導體晶粒之反面的第二電源。

18. 如申請專利範圍第 13 項的方法，其中第一和第二基底包含幫助供電給第一和第二半導體晶粒的金屬層。

19. 如申請專利範圍第 18 項的方法，其中第一和第二基底包含幫助供電給第一和第二基底對第一和第二半導體晶粒之反面上的電力連接器。

20. 如申請專利範圍第 18 項的方法，其中終端機另包括微機電系統（MEMS）彈簧接點，幫助從第一和第二基底內的金屬層供電給第一和第二半導體晶粒，其中：

附在第一基底之半導體晶粒側的第一複數個 MEMS 彈簧接點接觸第二半導體晶粒主動面；

附在第二基底之半導體晶粒側的第二複數個 MEMS 彈簧接點接觸第一半導體晶粒主動面。

21. 如申請專利範圍第 18 項的方法，其中積體電路組合模組另包括：

併入第一基底的第一電力調節器；

併入第二基底的第二電力調節器；

22. 如申請專利範圍第 13 項的方法，其中積體電路組合模組另包括：

I/O 半導體晶粒，具有放置包含信號墊之主動電路的主動面及與主動面相反的背面；

其中 I/O 半導體晶粒和第二半導體晶粒主動面對主動面，使得 I/O 半導體晶粒上的信號墊重疊第二半導體晶粒上的信號墊，藉以幫助 I/O 半導體晶粒和第二半導體晶粒間的電容式通訊；

其中 I/O 半導體晶粒位於第一基底邊緣，以助於提供進出積體電路組合模組的通訊；

其中第一基底邊緣超過第二基底邊緣，使得一部份的 I/O 半導體晶粒主動面露出，以助於外部連接。

23. 如申請專利範圍第 22 項的方法，其中積體電路組合模組另包括位於 I/O 半導體晶粒主動面露出部的電外部連接墊。

24. 如申請專利範圍第 22 項的方法，其中積體電路組合模組另包括位於 I/O 半導體晶粒主動面露出部的電外部連接墊。