

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 3 月 16 日 (2006.3.16)

【公開番号】特開 2005-276931 (P2005-276931A)
 【公開日】平成 17 年 10 月 6 日 (2005.10.6)
 【年通号数】公開・登録公報 2005-039
 【出願番号】特願 2004-85052 (P2004-85052)
 【国際特許分類】

H 0 1 L 21/76 (2006.01)
H 0 1 L 21/8247 (2006.01)
H 0 1 L 27/115 (2006.01)
H 0 1 L 29/792 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 21/3065 (2006.01)

【F I】

H 0 1 L 21/76 L
 H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 3 7 1
 H 0 1 L 21/302 1 0 5 A

【手続補正書】

【提出日】平成 18 年 1 月 30 日 (2006.1.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1

【補正方法】変更

【補正の内容】

【請求項 1】

第 1 の開口幅を有する第 1 のトレンチと前記第 1 の開口幅より広い第 2 の開口幅を有する第 2 のトレンチが形成された半導体基板と、

前記第 1 のトレンチに隣接した半導体基板上にゲート絶縁膜を介して形成された第 1 の導電膜と、

前記第 2 のトレンチに隣接した半導体基板上にゲート絶縁膜を介して形成された第 2 の導電膜と

を備え、

前記第 1 のトレンチは第 1 の深さで形成され、前記第 2 のトレンチは底面端部が前記第 1 の深さよりも深い第 2 の深さで、かつ底面中央部が前記第 2 の深さよりも浅い第 3 の深さで形成されていることを特徴とする半導体装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 2

【補正方法】変更

【補正の内容】

【請求項 2】

第 1 の開口幅の第 1 の素子分離用トレンチが形成されたメモリセル領域と、前記第 1 の開口部よりも広い第 2 の開口幅を有する第 2 の素子分離用トレンチが形成された周辺回路領域を有する半導体基板と、

前記第 1 の素子分離用トレンチに隣接した半導体基板上に形成された第 1 の導電膜と、

前記第 2 の素子分離用トレンチに隣接した半導体基板上に形成された第 2 の導電膜と、

前記第 1 および第 2 の素子分離用溝にそれぞれ埋め込まれた絶縁膜とを具備し、

前記第 1 の素子分離用トレンチは第 1 の深さに形成され、前記第 2 の素子分離用トレンチは底面端部が前記第 1 の深さより深く形成され、かつ底面中央部が前記第 2 の深さより浅い第 3 の深さに形成されていることを特徴とする半導体装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 9

【補正方法】変更

【補正の内容】

【0 0 0 9】

本発明の半導体装置は、第 1 の開口幅を有する第 1 のトレンチと前記第 1 の開口幅より広い第 2 の開口幅を有する第 2 のトレンチが形成された半導体基板と、前記第 1 のトレンチに隣接した半導体基板上にゲート絶縁膜を介して形成された第 1 の導電膜と、前記第 2 のトレンチに隣接した半導体基板上にゲート絶縁膜を介して形成された第 2 の導電膜とを備えたところに特徴を有する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

本発明の半導体装置によれば、トレンチ内部に絶縁膜を埋め込んで素子分離領域を形成する場合に、開口幅の狭い（第 1 の開口幅）第 1 のトレンチでは埋め込み性が良好な第 1 の深さに形成されており、開口幅の広い（第 2 の開口幅）第 2 のトレンチでは底面端部で耐圧を確保するのに十分な第 2 の深さに形成されているので、開口幅の狭いトレンチの形成領域で集積度を高めることができる。

また、本発明の半導体装置の製造方法によれば、上記の半導体装置を形成するのに、1 回のエッチング加工工程で開口幅の狭いトレンチを第 1 の深さに、開口幅の広いトレンチを底面端部が第 1 の深さよりも深い第 2 の深さに掘り下げると共に、底面中央部が第 2 の深さよりも浅い第 3 の深さに形成することができる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正の内容】

【0 0 1 2】

以下、本発明を不揮発性半導体記憶装置であるフラッシュメモリに適用した場合の一実施形態について図 1 ～ 図 3 を参照して説明する。

図 1 は全体構成を示す模式的な断面図で、フラッシュメモリに素子分離領域を形成した状態を示している。この図 1 において、半導体基板としてのシリコン基板 1 には、メモリセル領域 2 に開口幅が狭い（第 1 の開口幅）トレンチ 3（第 1 の素子分離用トレンチ）が形成され、周辺回路領域 4 に開口幅の広い（第 2 の開口幅）トレンチ 5（第 2 の素子分離用トレンチ）が形成されている。トレンチ 3 の深さは、シリコン基板 1 の表面から 1 0 0 nm（第 1 の深さ d 1）に形成されている。トレンチ 5 の深さは、底面端部 5 a でシリコン基板 1 の表面から 1 7 0 nm（第 2 の深さ d 2）に形成され、底面中央部 5 b で 1 0 0 nm（第 1 の深さ d 1；第 3 の深さ）に形成されている。すなわち、トレンチ 5 の底面端部 5 a の深さ（第 2 の深さ）はトレンチ 3 の深さ（第 1 の深さ）より深く、底面中央部 5 b の深さ（第 3 の深さ）はトレンチ 5 の底面端部の深さより浅く形成されている（ここでは第 1 の深さと等しくなるように形成されている）。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

シリコン基板1の平坦な部分の表面には、ゲート絶縁膜としてシリコン酸化膜6が膜厚10nm程度で形成され、各トレンチ3、5の表面にはシリコン酸化膜7が膜厚6nm程度で形成されている。トレンチ3、5の内部には絶縁膜としてシリコン酸化膜8が埋め込み形成されている。これにより、STI9が形成されている。シリコン酸化膜6の上面には第1および第2の導電膜としての多結晶シリコン膜10が積層されている。そして、多結晶シリコン膜10およびシリコン酸化膜8を全面に覆うように多結晶シリコン膜11が膜厚100nmで形成されている。