СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1487090 A1

(51) 4 G 08 C 19/28

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

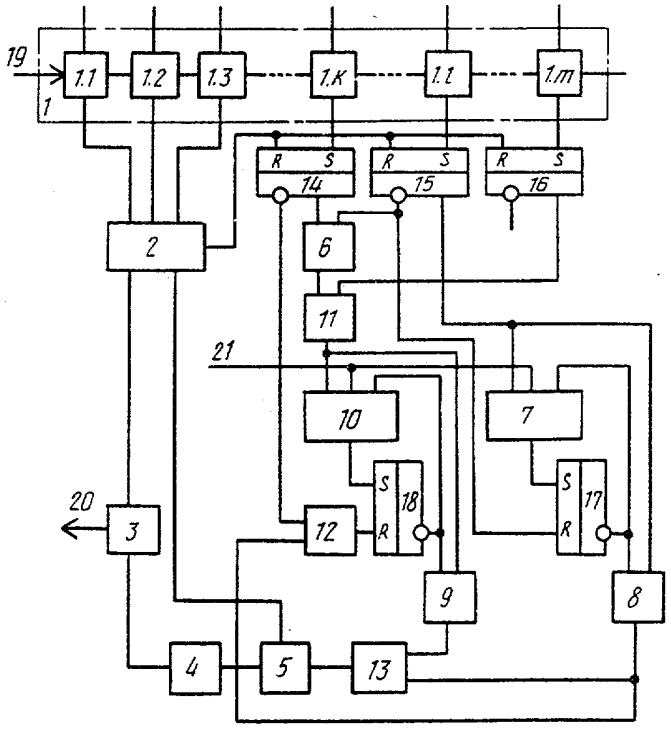
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4280277/24-24
(22) 07.07.87
(46) 15.06.89. Бюл. № 22
(71) Воронежский политехнический институт
(72) О. Г. Вахтин и Л. З. Рыбак
(53) 621.398(088.8)
(56) Авторское свидетельство СССР № 822225, кл. G 08 C 19/28, 1978.

(54) УСТРОЙСТВО ДЛЯ ПРИЕМА СИГНАЛОВ

(57) Изобретение касается передачи дискретной информации и может быть использовано в системах телеуправления и в связных системах с обратной связью. Цель изобретения — повышение достоверности приема информации. Устройство содержит блок памяти 1, блок управления 2, коммутатор 3, генератор управляющего сигнала 4, шесть элементов И 5—10, три элемента ИЛИ 11—13 и пять триггеров 14—18. Изобретение позволяет повысить достоверность приема дискретной информации, не увеличивая объема памяти устройства. 2 ил.




Фиг. 1

(19) SU (11) 1487090 A1

Изобретение относится к передаче дискретной информации и может быть использовано как в системах телеуправления, так и связных системах с обратной связью.

Цель изобретения — повышение достоверности приема информации.

На фиг. 1 представленая функциональная схема предлагаемого устройства; на фиг. 2 — временная диаграмма его работы.

Устройство содержит блок 1 памяти, блок 2 управления, коммутатор 3, генератор 4 управляющего сигнала, первый, второй, третий, четвертый, пятый и шестой элементы И 5—10, первый, второй и третий элементы ИЛИ 11—13, первый, второй, третий, четвертый и пятый триггеры 14—18, вход 19 приемного канала устройства, выход 20 обратного канала устройства, тактовый вход 21 устройства.

Устройство работает следующим образом.

Поступающая информация на вход прямого канала устройства последовательно продвигается от блока 1.1 памяти к блокам памяти с большими номерами. До начала контроля блоков 1.К 1.1 и 1.m памяти под действием предшествующего импульса блока 2 управления триггеры 14—16 устанавливаются в состояние, при котором на прямых выходах триггеров имеют место логические нули, а на инверсных выходах — логические единицы. Сигналы логической единицы с инверсного выхода триггера 14 через элемент ИЛИ 12 и с инверсного выхода триггера 15 непосредственно устанавливают триггеры 17 и 18 в состояние, при котором на инверсных выходах триггеров 17 и 18 присутствуют сигналы логической единицы.

Как только дискретная информация начнет заполнять контрольный блок 1.К памяти (фиг. 2*а*), триггер 14 опрокинется, а на прямом выходе триггера 14 появится сигнал логической единицы (фиг. 2*в*), который через элементы И 6 и ИЛИ 11 поступит на первые входы элементов И 9 и 10. Поскольку триггер 18 еще не изменил своего состояния (фиг. 2*г*), то на втором входе элемента И 9 тоже присутствует сигнал логической единицы, который через элемент ИЛИ 13 и элементы И 5 воздействует на генератор 4 управляющего сигнала (фиг. 2*д*). Тактовый импульс, формирующий второй символ кодовой комбинации, через открытый элемент И 10 опрокидывает триггер 18, в результате чего элементы И 9 и 10 закроются (фиг. 2). На выходе элемента ИЛИ 12 сформируется импульс, указывающий на наличие информации в контрольном блоке 1.К памяти.

До тех пор пока информация отсутствует в контрольном блоке 1.К памяти сигнала на выходе 20 устройства нет, поскольку элементы И 8 и 9 закрыты. Появление кодовой комбинации в контрольном блоке 1.1. памяти открывает элемент И 8 и формирует импульс на входе генератора 4 по алгоритму, описанному выше, с помощью триггеров 15 и 17, элементов И 7 и 8 и элемента ИЛИ 13. Одновременно с этим под действием формируемого импульса на выходе элемента И 8 через элемент ИЛИ 12 опрокидывается триггер 18 в первоначальное состояние.

При заполнении кодовой комбинацией контрольного блока 1.m памяти триггер 16 опрокидываеися и сигнал логической единицы через элемент ИЛИ 11 поступает на первые входы элементов И 9 и 10, что позволяет сформировать очередной импульс на втором входе элемента И 7, используя для этого триггеры 16 и 18, элементы И 9 и 10 и элементы ИЛИ 11 и 13.

Приняв первый управляющий сигнал, образованного от контрольного блока 1.К памяти, станция прямого канала изменяет режим работы своего передатчика (например, повысив выходную мощность) до момента прихода сигнала, образованного от контрольного блока 1.1 памяти, после чего вновь изменяет режим (еще раз повысив входную мощность) работы передатчика прямого канала до прихода сигнала, образованного от контрольного блока 1.m памяти и т. д. Если же сигнал от контрольных блоков 1.1 и 1.m памяти отсутствует, то режим работы передатчика прямого канала устанавливает с первоначальным. Ожидаемый момент прихода контрольного сигнала легко определяется.

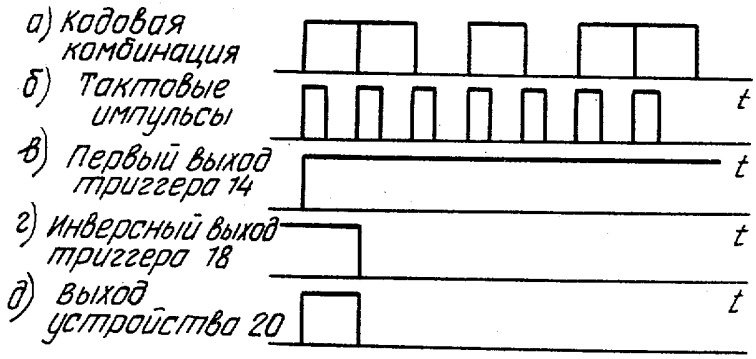
Таким образом, предлагаемое изобретение позволяет повысить достоверность приема дискретной информации, не увеличивая объема памяти устройства.

## *Формула изобретения*

Устройство для приема сигналов, содержащее блок памяти, вход которого является входом устройства, первый, второй и третий управляющие выходы блока памяти подключены к первому, второму и третьему управляющим входам блока управления соответственно, первый выход которого подключен к первому входу коммутатора, второй выход блока управления подключен к первому входу элемента И, выход которого через генератор управляющего сигнала подключен к второму входу коммутатора, выход которого является выходом устройства, *отличающееся* тем, что, с целью повышения достоверности приема сигналов, в него введены первый, второй, третий, четвертый и пятый триггеры, второй, третий, четвертый, пятый и шестой элементы И, первый, второй и третий элементы ИЛИ, третий выход блока управления подключен к объединенным входам «Сброс» первого, второго и третьего

триггеров, четвертый, пятый и шестой управляющие выходы блока памяти подключены к входам «Установка» первого, второго и третьего триггеров соответственно, прямой выход первого триггера подключен к первому входу второго элемента И, выход которого подключен к первому входу первого элемента ИЛИ, прямой выход второго триггера подключен к объединенным первым входам третьего и четвертого элементов И, прямой выход третьего триггера подключен к второму входу первого элемента ИЛИ, выход которого подключен к объединенным первым входам пятого и шестого элементов И, инверсный выход первого триггера подключен к первому входу второго элемента ИЛИ, инверсный выход второго триггера подключен к второму входу второго элемента И и к входу «Сброс» четвертого триггера, вторые входы третьего и шестого элементов И объединены и являются тактовым входом устройства, выходы третьего и шестого элементов И подключены к входам «Установка» четвертого и пятого триггеров соответственно, инверсный выход четвертого триггера подключен к третьему входу третьего элемента И и к второму входу четвертого элемента И, выход которого подключен к первому входу третьего элемента ИЛИ и к второму входу второго элемента ИЛИ, выход которого подключен к входу «Сброс» пятого триггера, инверсный выход которого подключен к третьему входу шестого элемента И и к второму входу пятого элемента И, выход которого подключен к второму входу третьего элемента ИЛИ, выход которого подключен к второму входу первого элемента И, первый, второй, третий, четвертый, пятый и шестой информационные выходы блока памяти являются выходами группы выходов устройства.






Фиг. 2

Составитель И. Кузнецов
Редактор Ю. Середа
Техред И. Верес
Корректор С. Черни
Заказ 3292/52
Тираж 518
Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж—35, Раушская наб., д. 4/5
Производственно-издательский комбинат «Патент», г. Ужгород, ул. Гагарина, 101