

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6880623号
(P6880623)

(45) 発行日 令和3年6月2日(2021.6.2)

(24) 登録日 令和3年5月10日(2021.5.10)

(51) Int.Cl.	F I	
G09F 9/00 (2006.01)	G09F	9/00 309A
G09G 3/36 (2006.01)	G09F	9/00 346A
G09G 3/20 (2006.01)	G09F	9/00 348Z
G02F 1/1345 (2006.01)	G09G	3/36
G02F 1/1368 (2006.01)	G09G	3/20 611J
請求項の数 5 (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2016-190775 (P2016-190775)
 (22) 出願日 平成28年9月29日(2016.9.29)
 (65) 公開番号 特開2018-54878 (P2018-54878A)
 (43) 公開日 平成30年4月5日(2018.4.5)
 審査請求日 令和1年8月9日(2019.8.9)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (74) 代理人 100179475
 弁理士 仲井 智至
 (74) 代理人 100216253
 弁理士 松岡 宏紀
 (72) 発明者 榎並 伸太
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 電気光学装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

電気光学パネルに画像信号および制御信号を供給する集積回路と、
 前記集積回路の前記制御信号を供給する端子と電氣的に接続される制御信号用端子を含む第1接続端子群と、前記集積回路の電源端子または接地端子と電氣的に接続される電源用接続端子を含む第2接続端子群と、を有するフレキシブル回路基板と、を備え、
 前記集積回路は、前記第1接続端子群と前記第2接続端子群との間において、前記フレキシブル回路基板の接着面と接着されており、前記接着面に対向する面に前記電源端子または前記接地端子と電氣的に接続された配線層を有し、
 前記フレキシブル回路基板の前記接着面には、前記電源用接続端子と電氣的に接続された面状のパターンが形成され、
前記配線層と前記面状のパターンは、所定の誘電率を有するアンダーフィルを介して対向し、付加容量を形成する
 ことを特徴とする電気光学装置。

【請求項2】

前記配線層は、前記接地端子と電氣的に接続されており、
 前記フレキシブル回路基板の前記接着面には、前記電源用接続端子のうち前記電源端子と電氣的に接続された面状のパターンが形成されている、
 ことを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記面状のパターンは、前記電源端子のうち、アナログ系の電源端子に電氣的に接続された第1の面状のパターンと、デジタル系の電源端子に電氣的に接続された第2の面状のパターンとに分割されている、

ことを特徴とする請求項2に記載の電気光学装置。

【請求項4】

前記配線層は、前記電源端子と電氣的に接続されており、

前記フレキシブル回路基板の前記接着面には、前記電源用接続端子のうち前記接地端子と電氣的に接続された面状のパターンが、前記接着面に形成されている、

ことを特徴とする請求項1に記載の電気光学装置。

【請求項5】

請求項1ないし請求項4のいずれか一に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置および該電気光学装置を備えて構成される電子機器の技術分野に関する。

【背景技術】

【0002】

液晶素子を用いて画像を表示させる電気光学装置が広く開発されている。この電気光学装置では、各画素の指定階調に応じた電圧を、データ線を介して各画素に供給することで、各画素が具備する液晶の透過率を指定階調に応じた透過率に制御し、これにより、各画素に指定階調を表示させる。

【0003】

ところで、前記画素を配列した液晶パネルに内蔵した駆動回路と、フレキシブル回路基板上に設けた駆動回路であるドライバーICとにより液晶パネルを駆動する方式においては、液晶パネルの高解像度化に伴って、ドライバーICの駆動能力の向上や、ドライバーICを複数個備えることが行われている。

【0004】

高解像度化に伴って、表示品質に与えるドライバーICにおける電源の安定性が重要となってきた。具体的には、画素に対する指定階調に応じた電圧の書き始めのタイミングでは、電源電圧が落ちることで駆動回路の出力が低下し、あるいは電圧の書き終わりのタイミングでは逆に電圧が上昇するため、電源が安定せず、表示品質に悪影響を与える場合があった。

【0005】

一般的な両面配線基板であるフレキシブル回路基板上にIC回路を取り付ける場合には、電源の安定化を図るために、両面配線基板の表面上におけるIC回路の取り付け領域に、当該領域を銅箔で全面的に塗りつぶした、いわゆるベタパターンの接地パターンを形成することが行われている（例えば、特許文献1）。特許文献1では、さらに、前記両面配線基板の裏面における当該領域に対応する領域には、いわゆるベタパターンの電源パターンを形成し、接地電位に対して静電容量を増強することが行われている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平10-223997号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、液晶パネルを取り付けるフレキシブル回路基板は、一般的に片面基板であり、特許文献1のように基板の両面にベタパターンの接地パターンと電源パターンを設け

10

20

30

40

50

ることができない。フレキシブル回路基板の両面配線化は実現が困難であり、また、デカップリングコンデンサーを駆動回路の直近に配置することが困難である。また、これらの対策は製造コストの上昇を招くアップなどのデメリットが存在する。

【0008】

本発明は、例えば上記課題に鑑みてなされたものであり、片面配線基板のフレキシブル回路基板を用いる場合であっても、電源を安定させ、高解像で高品位な表示が可能な電気光学装置および該電気光学装置を備えた電子機器を提供することを課題とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために本発明の電気光学装置の一態様は、電気光学パネルに画像信号および制御信号を供給する集積回路と、前記集積回路の前記制御信号を供給する端子と電氣的に接続される制御信号用端子を含む第1接続端子群と、前記集積回路の電源端子または接地端子と電氣的に接続される電源用接続端子を含む第2接続端子群と、を有するフレキシブル回路基板と、を備え、前記集積回路は、前記第1接続端子群と前記第2接続端子群との間において、前記フレキシブル回路基板の接着面と接着されており、前記接着面に対向する面に前記電源端子または前記接地端子と電氣的に接続された配線層を有し、前記フレキシブル回路基板の前記接着面には、前記電源用接続端子と電氣的に接続された面状のパターンが形成されている、ことを特徴とする。

【0010】

この態様によれば、集積回路のフレキシブル基板に接着される面、つまり、接着面に対向する面には、集積回路の電源端子または接地端子と電氣的に接続された配線層が一様に広がって形成されている。また、フレキシブル基板の接着面には、前記電源用接続端子と電氣的に接続された面状のパターンが形成されている。したがって、集積回路を接着剤により接着面に接着した状態では、集積回路の電源端子または接地端子に接続された配線層と、接着面に形成され、前記電源用接続端子と電氣的に接続された面状のパターンとが、接着剤を介して対向して配置される。つまり、接着面に前記電源用接続端子と電氣的に接続された面状のパターンを形成したことにより、集積回路の電源端子または接地端子と電氣的に接続された配線層に結合する付加容量が形成されることになる。その結果、片面のフレキシブル基板を用いる場合でも、デカップリングコンデンサー素子を付加することなく、集積回路の電源端子または接地端子の低インピーダンス化と、配線層に対する付加容量の結合を実現することができ、電源の安定性を図ることができる。したがって、集積回路から画素に対して画像信号を供給するタイミングで電源電圧が変動した場合でも、短い期間で電源電圧を安定させることができる。また、このように電源電圧を安定させることができるので、画素に対する書き込み時間も短縮することができ、表示むらの発生等を防止して、表示品位を向上させることができる。

【0011】

上述した電気光学装置の一態様において、前記配線層は、前記接地端子と電氣的に接続されており、前記フレキシブル回路基板の前記接着面には、前記電源用接続端子のうち前記電源端子と電氣的に接続された面状のパターンが形成されていてもよい。この態様によれば、集積回路を接着剤により接着面に接着した状態では、集積回路の接地端子に接続された配線層と、接着面に形成され、前記電源用接続端子のうち前記電源端子と電氣的に接続された面状のパターンとが、接着剤を介して対向して配置される。つまり、接着面に前記電源用接続端子と電氣的に接続された面状のパターンを形成したことにより、集積回路の接地端子と電氣的に接続された配線層に結合する付加容量が形成されることになる。その結果、片面のフレキシブル基板を用いる場合でも、デカップリングコンデンサー素子を付加することなく、集積回路の接地端子の低インピーダンス化と、配線層に対する付加容量の結合を実現することができ、電源の安定性を図ることができる。したがって、集積回路から画素に対して画像信号を供給するタイミングで電源電圧が変動した場合でも、短い期間で電源電圧を安定させることができる。また、このように電源電圧を安定させることができるので、画素に対する書き込み時間も短縮することができ、表示むらの発生等を防

10

20

30

40

50

止して、表示品位を向上させることができる。

【0012】

上述した電気光学装置の一態様において、前記面状のパターンは、前記電源端子のうち、アナログ系の電源端子に電気的に接続された第1の面状のパターンと、デジタル系の電源端子に電気的に接続された第2の面状のパターンとに分割されていてもよい。この態様によれば、アナログ系の電源およびデジタル系の電源の安定化を図ることができる。その結果、画素に対する書き込み時間も短縮することができ、表示むらの発生等を防止して、表示品位を向上させることができる。

【0013】

上述した電気光学装置の一態様において、前記配線層は、前記電源端子と電気的に接続されており、前記フレキシブル回路基板の前記接着面には、前記電源用接続端子のうち前記接地端子と電気的に接続された面状のパターンが、前記接着面に形成されていてもよい。この態様によれば、集積回路を接着剤により接着面に接着した状態では、集積回路の電源端子に接続された配線層と、接着面に形成され、前記電源用接続端子のうち接地端子と電気的に接続された面状のパターンとが、接着剤を介して対向して配置される。つまり、接着面に前記電源用接続端子のうちの接地端子と電気的に接続された面状のパターンを形成したことにより、集積回路の電源端子と電気的に接続された配線層に結合する付加容量が形成されることになる。その結果、片面のフレキシブル基板を用いる場合でも、デカップリングコンデンサ素子を付加することなく、集積回路の電源端子の低インピーダンス化と、配線層に対する付加容量の結合を実現することができ、電源の安定性を図ることができる。したがって、集積回路から画素に対して画像信号を供給するタイミングで電源電圧が変動した場合でも、短い期間で電源電圧を安定させることができる。また、このように電源電圧を安定させることができるので、画素に対する書き込み時間も短縮することができ、表示むらの発生等を防止して、表示品位を向上させることができる。

【0014】

次に、本発明に係る電子機器は、上述した本発明に係る電気光学装置を備える。そのような電子機器は、電気光学装置の電源電圧が安定しており、画素に対する書き込み時間が短縮され、表示むら等のない表示品位の良好な電子機器となる。

【図面の簡単な説明】

【0015】

【図1】本発明の第1実施形態に係る電気光学装置の説明図である。

【図2】同実施形態に係る電気光学装置の構成を示すブロック図である。

【図3】画素の構成を示す回路図である。

【図4】TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側からみた平面図である。

【図5】図4のH-H'線断面図である。

【図6】フレキシブル基板の一部を示す平面図である。

【図7】フレキシブル基板に駆動用の集積回路を取り付けた状態の集積回路の周辺を示す断面図である。

【図8】本発明の第2実施形態におけるフレキシブル基板の一部を示す平面図である。

【図9】電子機器の一例を示す説明図である。

【図10】電子機器の他の例を示す説明図である。

【図11】電子機器の他の例を示す説明図である。

【発明を実施するための形態】

【0016】

<第1実施形態>

本発明の第1実施形態について図1から図7を参照しつつ説明する。図1は電気光学装置1に対する信号伝送系の構成を示す図である。図1に示すように、電気光学装置1は、電気光学パネル100と、駆動用集積回路(ドライバーIC)200と、フレキシブル回路基板300とを備え、電気光学パネル100が、駆動用集積回路200の搭載されたフ

10

20

30

40

50

レキシブル基板 300 に接続されている。電気光学パネル 100 は、このフレキシブル回路基板 300 および駆動用集積回路 200 を介して、図示しないホスト CPU 装置の基板に接続されている。駆動用集積回路 200 は、ホスト CPU 装置からフレキシブル回路基板 300 を介して画像信号および駆動制御のための各種の制御信号を受信し、フレキシブル回路基板 300 を介して電気光学パネル 100 を駆動する装置である。フレキシブル回路基板 300 は、駆動用集積回路 200 を COF (Chip On Film) 実装型式で搭載する FPC (Flexible printed circuits) である。フレキシブル回路基板 300 の図 1 中で上方 (Z 方向の反対方向) に向いた表面上には、複数の配線 301 が形成されている。駆動用集積回路 200 は、TAB (Tape Automated Bonding) 技術を用いて、電気的および機械的にフレキシブル回路基板 300 に、COF 実装型式で固着されている。

10

【0017】

図 2 は、電気光学パネル 100 および駆動用集積回路 200 の構成を示すブロック図である。図 2 に示すように、電気光学パネル 100 は、画素部 10 と、走査線駆動回路 20 と、J 個のデマルチプレクサー 57[1] ~ 57[J] とを備えている (J は自然数)。駆動用集積回路 200 は、データ線駆動回路 30 と、制御回路 40 とを備えている。

【0018】

画素部 10 には、相互に交差する M 本の走査線 12 と N 本のデータ線 14 とが形成されている (M, N は自然数)。複数の画素回路 (画素) PIX は、各走査線 12 と各データ線 14 との交差に対応して設けられており、縦 M 行 × 横 N 列の行列状に配列されている。

20

【0019】

図 3 は、各画素回路 PIX の回路図である。図 3 に示すように、各画素回路 PIX は、液晶素子 60 と TFT 等のスイッチング素子 SW とを含む。本実施形態では、スイッチング素子 SW の一例として TFT を用いている。液晶素子 60 は、相互に対向する画素電極 62 およびコモン電極 64 と両電極間の液晶 66 とで構成された電気光学素子である。画素電極 62 とコモン電極 64 との間の印加電圧に応じて液晶 66 の透過率 (表示階調) が変化する。なお、液晶素子 60 に並列に補助容量を接続した構成も採用され得る。スイッチング素子 SW は、例えば、走査線 12 にゲートが接続された N チャネル型のトランジスタで構成され、液晶素子 60 とデータ線 14 との間に設けられ両者の電気的な接続 (導通 / 非導通) を制御する。走査信号 G[m] が選択電位に設定されることで第 m 行の各画素回路 PIX におけるスイッチング素子 SW が同時にオン状態に遷移する (m は 1 ~ M の自然数)。

30

【0020】

画素回路 PIX に対応する走査線 12 が選択され、当該画素回路 PIX のスイッチング素子 SW がオン状態に制御されたとき、液晶素子 60 には、データ線 14 から当該画素回路 PIX に供給される画像信号 D[n] に応じた電圧が印加される (n は 1 ~ J の自然数)。その結果、当該画素回路 PIX の液晶 66 は、画像信号 D[n] に応じた透過率に設定される。また、図示しない光源がオン (点灯) 状態となり、光源から光が出射されると、当該光は、画素回路 PIX が備える液晶素子 60 の液晶 66 を透過して、観察者側に進行する。すなわち、液晶素子 60 に画像信号 D[n] に応じた電圧が印加され、且つ、光源がオン状態となることで、当該画素回路 PIX に対応する画素は、画像信号 D[n] に応じた階調を表示することになる。

40

【0021】

画素回路 PIX の液晶素子 60 に画像信号 D[n] に応じた電圧が印加された後、スイッチング素子 SW がオフ状態となると、理想的には当該画像信号 D[n] に対応する印加電圧が保持される。したがって、理想的には、各画素は、スイッチング素子 SW がオン状態となった後から、次にオン状態となるまでの期間において、画像信号 D[n] に応じた階調を表示する。

【0022】

図 3 に示すように、データ線 14 と画素電極 62 との間 (または、データ線 14 と、画

50

素電極 6 2 およびスイッチング素子 SW を電氣的に接続する配線との間)には、容量 C_a が寄生する。そのため、スイッチング素子 SW がオフ状態である間に、データ線 1 4 の電位変動が容量 C_a を介して画素電極 6 2 に伝播し、液晶素子 6 0 の印加電圧が変動することがある。

【 0 0 2 3 】

また、コモン電極 6 4 には、図示しないコモン線を介して、一定の電圧であるコモン電圧 $LCCOM$ が供給される。コモン電圧 $LCCOM$ としては、画像信号 $D[n]$ の振幅の中心電圧を $0V$ としたとき $-0.5V$ 程度の電圧が用いられる。これは、スイッチング素子 SW 等の特性によるものである。

【 0 0 2 4 】

本実施形態では、いわゆる焼き付きを防止するため、液晶素子 6 0 に印加する電圧の極性を所定周期で反転する極性反転駆動を採用する。この例では、データ線 1 4 を介して画素回路 PIX に供給する画像信号 $D[n]$ のレベルを、画像信号 $D[n]$ の中心電圧に対して単位期間ごとに反転する。単位期間は、画素回路 PIX を駆動する動作の 1 単位となる期間である。この例では、単位期間は垂直走査期間 V となっている。但し、単位期間は任意に設定することができ、例えば、垂直走査期間 V の自然数倍であってもよい。本実施形態においては、画像信号 $D[n]$ が中心電圧に対して高電圧となる場合を正極性とし、画像信号 $D[n]$ が中心電圧に対して低電圧となる場合を負極性とする。

【 0 0 2 5 】

説明を図 2 に戻す。制御回路 4 0 には、図示しない外部のホスト CPU 装置から、垂直走査期間 V を規定する垂直同期信号 V_s 、水平走査期間 H を規定する水平同期信号 H_s 、ドットクロック信号 $DCLK$ 、および映像信号 $vid-in$ が入力される。制御回路 4 0 は、これらの信号に基づいて、走査線駆動回路 2 0 およびデータ線駆動回路 3 0 を同期制御する。この同期制御の下、走査線駆動回路 2 0 およびデータ線駆動回路 3 0 は、互いに協働して画素部 1 0 の表示制御を行う。

【 0 0 2 6 】

通常、一つの表示画面を構成する表示データはフレーム単位で処理され、この処理期間が 1 フレーム期間 ($1F$) である。フレーム期間 F は、一つの表示画面が 1 回の垂直走査で構成される場合、垂直走査期間 V に相当する。

【 0 0 2 7 】

走査線駆動回路 2 0 は、走査信号 $G[1] \sim G[M]$ を M 本の走査線 1 2 の各々に出出力する。走査線駆動回路 2 0 は、制御回路 4 0 から水平同期信号 H_s が出力されるのに応じて、垂直走査期間 V 内に各走査線 1 2 に対する走査信号 $G[1] \sim G[M]$ を一水平走査期間 ($1H$) ずつ順次アクティブレベルとする。

【 0 0 2 8 】

ここで、第 m 行に対応した走査信号 $G[m]$ がアクティブレベルであり、当該行に対応した走査線が選択されている期間は、第 m 行の N 個の画素回路 PIX の各スイッチング素子 SW が ON 状態となる。その結果、これらのスイッチング素子 SW を各々介して N 本のデータ線 1 4 が第 m 行の N 個の画素回路 PIX の各画素電極 6 2 に各々電氣的に接続される。

【 0 0 2 9 】

本実施形態では、画素部 1 0 内の N 本のデータ線 1 4 は、相隣接する 4 本を単位として J 個の配線ブロック $B[1] \sim B[J]$ に区分されている ($J = N/4$)。換言すると、データ線 1 4 は配線ブロック B 毎にグループ化される。デマルチプレクサー 5 7 [1] \sim 5 7 [J] は、この J 個の配線ブロック $B[1] \sim B[J]$ に各々対応している。後述するように、本実施形態では、データ線 1 4 を 4 本単位で区分しているため、画像信号 $D[n]$ は、4 画素分のデータ電圧が含まれる。

【 0 0 3 0 】

デマルチプレクサー 5 7 [j] の各々は、4 個のスイッチ 5 8 [1] \sim 5 8 [4] により構成されている (j は 1 \sim J の自然数)。デマルチプレクサー 5 7 [j] の各々におい

10

20

30

40

50

て、4個のスイッチ58[1]～58[4]の各々の一方の接点は共通接続されている。そして、デマルチプレクサー57[j]の各々の4個のスイッチ58[1]～58[4]の一方の接点の共通接続点は、J本のVID信号線15に各々接続されている。このJ本のVID信号線15は、フレキシブル回路基板300を介して駆動用集積回路200のデータ線駆動回路30に接続されている。

【0031】

また、デマルチプレクサー57[j]の各々において、4個のスイッチ58[1]～58[4]の各々の他方の接点は、当該デマルチプレクサー57[j]に対応した配線ブロックB[j]を構成する4本のデータ線14に各々接続されている。

【0032】

各デマルチプレクサー57[j]の4個のスイッチ58[1]～58[4]のON/OFFは、4個の選択信号S1～S4により各々切り換えられる。この4個の選択信号S1～S4は、フレキシブル基板300を介して駆動用の集積回路200の制御回路40から供給される。ここで、例えば1個の選択信号S1がアクティブレベル、他の3個の選択信号S2～S4が非アクティブレベルである場合には、デマルチプレクサー57[j]に各々属するJ個のスイッチ58[1]のみがONとなる。したがって、デマルチプレクサー57[j]の各々は、J本のVID信号線15上の画像信号D[1]～D[J]を各配線ブロックB[1]～B[J]の1番目のデータ線14に各々出力する。以下、同様にして、J本のVID信号線15上の画像信号D[1]～D[J]を各配線ブロックB[1]～B[J]の2番目、3番目、4番目のデータ線14に各々出力する。

【0033】

制御回路40は、各種の制御信号を生成して、垂直同期信号Vs、水平同期信号Hs、およびドットクロック信号DCLKに同期して各部を制御する。制御回路40は、詳細については後述するが、ホストCPU装置から供給されるデジタルの映像信号Vid-inを処理して、アナログのデータ信号Vxを出力する。

【0034】

映像信号Vid-inは、電気光学パネル100における各画素の階調レベルをそれぞれ指定するデジタルデータであり、垂直同期信号Vs、水平同期信号Hs、およびドットクロック信号DCLKに従った走査の順番で供給される。

【0035】

データ線駆動回路30は、走査線駆動回路20と協働して、データの書込対象となる画素行毎に供給すべきデータをデータ線14に出力する。データ線駆動回路30は、制御回路40から出力される選択信号S1～S4に基づいてラッチ信号を生成し、シリアルデータとして供給されたデータ信号Vxを順次ラッチする。データ信号Vxは、4画素分ごとに時系列的なデータとしてグループ化される。また、データ線駆動回路30には、D/A変換部としてのD/A(Digital to Analog)変換回路と、電圧増幅部とが備えられている。D/A変換回路は、グループ化されたデジタルデータと、アナログ電圧生成回路(図示せず)によって生成されるアナログ電圧に基づいてD/A変換を行い、さらに電圧増幅部により増幅を行ってアナログデータとしての電圧を生成する。これにより、4画素単位で時系列化されたデータ信号Vxも所定のデータ電圧に変換される。4画素分のデータ電圧は、画像信号D[1]～D[J]として、出力端子d1～dJから各VID信号線15に供給される。

【0036】

デマルチプレクサー57[j]の各スイッチ58[1]～58[4]は、制御回路40から出力される選択信号S1～S4によって導通制御(ON/OFF)され、所定のタイミングでONしていく。また、プリチャージ信号の印加期間においては、制御回路40から出力される選択信号S1～S4によって導通制御され、デマルチプレクサー57[j]の各スイッチ58[1]～58[4]は、一斉にONする。

【0037】

これによって、一水平走査期間(1H)において、各VID信号線15に供給された4

10

20

30

40

50

画素分のデータ電圧は、スイッチ58[1]~58[4]により時系列的にデータ線14に出力される。

【0038】

次に、電気光学パネル100について、図4および図5を参照して説明を加える。図4は、TFTアレ基板70をその上に形成された各構成要素と共に対向基板80の側からみた平面図であり、図5は、図4のH-H'線断面図である。

【0039】

図4および図5において、本実施形態の電気光学パネル100では、TFTのスイッチング素子SWが配列されたTFTアレ基板70および対向基板80が対向配置されている。TFTアレ基板70は、例えば、石英基板、ガラス基板等の透明基板又はシリコン基板からなり、対向基板80は、例えば、石英基板、ガラス基板等の透明基板からなる。TFTアレ基板70と対向基板80との間に液晶66が封入されており、TFTアレ基板70と対向基板80とは、複数の画素PIXが設けられた領域である画素部10に対応する、画像表示領域70aの周囲に位置するシール領域に設けられたシール材91により相互に接着されている。

10

【0040】

シール材91は、両基板を貼り合わせるための、例えば紫外線硬化樹脂や熱硬化樹脂、または紫外線・熱併用型硬化樹脂等からなり、製造プロセスにおいてTFTアレ基板70上に塗布された後、紫外線照射、加熱等により硬化させられたものである。シール材91中には、TFTアレ基板70と対向基板80との間隔を所定値とするためのガラスファイバあるいはガラスビーズ等のギャップ材が散布されている。なお、ギャップ材を、シール材91に混入されるものに加えて若しくは代えて、画像表示領域70aまたは画像表示領域70aの周辺に位置する周辺領域に、配置するようにしてもよい。

20

【0041】

図4において、シール材91が配置されたシール領域の内側に並行して、画像表示領域70aの額縁領域を規定する遮光性の額縁遮光膜92が、対向基板80側に設けられている。但し、このような額縁遮光膜92の一部または全部は、TFTアレ基板70側に内蔵遮光膜として設けられてもよい。

【0042】

周辺領域のうち、シール材91が配置されたシール領域の外側に位置する領域には、外部回路接続端子102が、TFTアレ基板70の一辺に沿って設けられている。この一辺に沿ったシール領域よりも内側に、デマルチプレクサー57が額縁遮光膜92に覆われるようにして設けられている。走査線駆動回路20は、この一辺に隣接する2辺に沿ったシール領域の内側に、額縁遮光膜92に覆われるようにして設けられている。外部回路接続端子102には、選択信号S1~S4、画像信号D[1]~D[J]、電源等の入力端子および接地端子が含まれる。

30

【0043】

TFTアレ基板70上には、対向基板80の4つのコーナー部に対向する領域に、両基板間を上下導通材107で接続するための上下導通端子106が配置されている。これらにより、TFTアレ基板70と対向基板80との間で電氣的な導通をとることができる。さらに、外部回路接続端子102と、走査線駆動回路20、上下導通端子106等とを電氣的に接続するための引回配線90が形成されている。

40

【0044】

図5において、TFTアレ基板70上には、スイッチングSWや走査線12、データ線14等の配線が作り込まれた積層構造が形成される。この積層構造の詳細な構成については図5では図示を省略してあるが、この積層構造の上に、ITO(Indium Tin Oxide)等の透明材料からなる画素電極62が、画素毎に所定のパターンで島状に形成されている。

【0045】

画素電極62は、後述する対向電極82に対向するように、TFTアレ基板70上の

50

画像表示領域 70 a に形成されている。TFT アレイ基板 70 における液晶 66 の面する側の表面、即ち画素電極 62 上には、配向膜 71 が画素電極 62 を覆うように形成されている。

【0046】

対向基板 80 における TFT アレイ基板 70 との対向面上に、遮光膜 81 が形成されている。遮光膜 81 は、例えば対向基板 80 における対向面上に平面的に見て、格子状に形成されている。対向基板 80 において、遮光膜 81 によって非開口領域が規定され、遮光膜 81 によって区切られた領域が、例えばプロジェクター用のランプや直視用のバックライトから出射された光を透過させる開口領域となる。尚、遮光膜 81 をストライプ状に形成し、該遮光膜 81 と、TFT アレイ基板 70 側に設けられたデータ線等の各種構成要素とによって、非開口領域を規定するようにしてもよい。

10

【0047】

遮光膜 81 上に、ITO 等の透明材料からなる対向電極 82 が複数の画素電極 62 と対向して形成されている。遮光膜 81 上に、画像表示領域 70 a においてカラー表示を行うために、開口領域および非開口領域の一部を含む領域に、図 5 には図示しないカラーフィルターが形成されるようにしてもよい。対向基板 80 の対向面上における、対向電極 82 上には、配向膜 83 が形成されている。

【0048】

なお、図 4 および図 5 に示した TFT アレイ基板 70 上には、これらの走査線駆動回路 20、デマルチプレクサー 57 等に加えて、複数のデータ線 14 に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路を形成してもよい。また、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

20

【0049】

次に、本実施形態におけるフレキシブル基板 300 について図 6 および図 7 を参照しつつ詳細に説明する。図 6 はフレキシブル回路基板 300 の一部を示す平面図、図 7 はフレキシブル回路基板 300 に駆動用集積回路 200 を取り付けられた状態の駆動用集積回路 200 の周辺を示す断面図である。

【0050】

図 6 は、フレキシブル回路基板 300 において、駆動用集積回路 200 が取り付けられる部分およびその周辺を、図 1 に示す Z 方向から見た平面図であり、フレキシブル回路基板 300 の一部を切り欠いて示している。図 6 に示すように、フレキシブル回路基板 300 には、配線形成面 300 a 上に、複数の配線 301 が形成されている。複数の配線 301 のうち、制御信号用配線および電源用配線は、それぞれ、端部に制御信号用接続端子および電源用接続端子を備える。フレキシブル回路基板 300 は、配線 301 が形成された配線形成面 300 a 上に、駆動用集積回路 200 に制御信号を供給する制御信号用接続端子を含む第 1 接続端子群 302 を備えている。制御信号用接続端子は、駆動用集積回路 200 の端子と電氣的に接続される。また、フレキシブル回路基板 300 は、配線 301 が形成された配線形成面 300 a 上に、駆動用集積回路 200 の電源端子または接地端子と電氣的に接続される電源用接続端子を含む第 2 接続端子群 303 を備えている。さらに、フレキシブル回路基板 300 は、第 1 接続端子群 302 と第 2 接続端子群 303 との間に設けられ、駆動用集積回路 200 が接着剤を介して接着される接着面 304 を備えている。なお、図 6 においては、駆動用集積回路 200 が接着される接着位置 200 a を 1 点鎖線で示している。

30

40

【0051】

フレキシブル回路基板 300 の接着面 304 には、第 2 接続端子群 302 の電源用接続端子のうち電源端子と電氣的に接続された面状の電源パターン 305 a, 305 b, 305 c が形成されている。電源パターン 305 a, 305 b, 305 c は、いわゆるベタパターンとして形成されている。電源パターン 305 a, 305 b, 306 c は分割して形成されており、第 1 の面状のパターンとしての電源パターン 305 a, 305 c は、アナ

50

ログ系の電源端子に接続されている。また、第2の面状のパターンとしての電源パターン305bは、デジタル系の電源端子に接続されている。面状のパターンは、各配線301の配線幅よりも大きい部分を有するパターンであればよいが、後述する付加容量が形成のためには、駆動用集積回路200が接着される接着位置200aに沿った大きさとするのが効果的である。図6では、異なる3つの長方形の面状のパターンを示している。

【0052】

図7は、駆動用集積回路200が取り付けられたフレキシブル回路基板300の、図1に示すY方向に沿った方向の断面図である。

図7に示すように、駆動用集積回路200において、フレキシブル基板300に接着される面、つまり、フレキシブル回路基板300の接着面304に対向する面には、駆動用集積回路200の接地端子と電氣的に接続された配線層201が、一様に広がって形成されている。

10

【0053】

フレキシブル回路基板300は、ポリイミド等で形成されたベース材料310と、ベース材料310上に形成された銅箔311と、第1接続端子群302および第2接続端子群303ならびに配線301を形成するAuメッキ312とから構成されている。また、銅箔311上には、適宜、ソルダーレジスト313が設けられている。

【0054】

駆動用集積回路200は、所定の誘電率を有するアンダーフィル314を接着剤として、フレキシブル基板300の接着面304に接着される。また、アンダーフィル314は、駆動用集積回路200の接地端子等の端子と配線301との接続部を覆うように設けられる。

20

【0055】

図7に示すように、駆動用集積回路200をアンダーフィル314によりフレキシブル基板300の接着面304に接着した状態では、駆動用集積回路200の配線層201と、接着面304に形成されたベタパターンの電源パターン305a、305b、305cとが、アンダーフィル314を介して対向して配置される。したがって、本実施形態においては、フレキシブル回路基板300の電源パターン305a、305b、305cを、いわゆるベタパターンとしたことにより、駆動用集積回路200の接地端子と電氣的に接続された配線層201に結合する付加容量が形成されることになる。

30

【0056】

その結果、本実施形態においては、片面配線基板のフレキシブル回路基板300を用いる場合でも、デカップリングコンデンサ素子を付加することなく、集積回路200の接地端子の低インピーダンス化と、配線層201に対する付加容量の結合を実現することができ、電源の安定性を図ることができる。したがって、データ線駆動回路30から画素PIXに対して画像信号D[n]を供給するタイミングで電源電圧が変動した場合でも、短い期間で電源電圧を安定させることができる。また、このように電源電圧を安定させることができるので、画素PIXに対する書き込み時間も短縮することができ、表示むらの発生等を防止して、表示品位を向上させることができる。

【0057】

<第2実施形態>

次に、本発明の第2実施形態について図8を参照しつつ説明する。図8は本実施形態におけるフレキシブル回路基板300の一部を示す平面図である。

40

【0058】

本実施形態においては、フレキシブル回路基板300の接着面304には、第2接続端子群303に含まれる電源用接続端子のうち接地端子と電氣的に接続された面状の接地パターン305dが、接着面304の接続端子が配置される領域を除く全面に亘って形成されている。接地パターンは、いわゆるベタパターンとして形成されている。

【0059】

また、本実施形態においては、図示を省略するが、集積回路200において、フレキシ

50

ブル回路基板 300 に接着される面、つまり、フレキシブル回路基板 300 の接着面 304 に対向する面には、駆動用集積回路 200 の電源端子と電氣的に接続された配線層 201 が、接着面 304 に対向する面に形成されている。

【0060】

したがって、本実施形態においても、駆動用集積回路 200 をアンダーフィル 314 により接着面 304 に接着した状態では、駆動用集積回路 200 の電源端子に接続された配線層 201 と、フレキシブル回路基板 300 の接着面 304 に形成されたベタパターンの接地パターン 305d とが、アンダーフィル 314 を介して対向して配置される。したがって、本実施形態においては、フレキシブル回路基板 300 の接地パターン 305d を、いわゆるベタパターンとしたことにより、駆動用集積回路 200 の電源端子と電氣的に接続された配線層 201 に結合する付加容量が形成されることになる。

10

【0061】

その結果、本実施形態においても、片面のフレキシブル回路基板 300 を用いる場合でも、デカップリングコンデンサー素子を付加することなく、駆動用集積回路 200 の接地端子の低インピーダンス化と、配線層 201 に対する付加容量の結合を実現することができ、電源の安定性を図ることができる。したがって、データ線駆動回路 30 から画素 PIX に対して画像信号 D[n] を供給するタイミングで電源電圧が変動した場合でも、短い期間で電源電圧を安定させることができる。また、このように電源電圧を安定させることができるので、画素 PIX に対する書き込み時間も短縮することができ、表示むらの発生等を防止して、表示品位を向上させることができる。

20

【0062】

<変形例>

本発明は、上述した各実施形態に限定されるものではなく、例えば、以下に述べる各種の変形が可能である。また、各実施形態および各変形例を適宜組み合わせてもよいことは勿論である。

【0063】

(変形例 1)

第 1 形態においては、フレキシブル回路基板 300 の接着面 304 に形成するベタパターンの電源パターンを 3 分割としたが、本発明はこのような態様に限定されるものではなく、電源パターンの分割数あるいは分割の仕方は、駆動用集積回路 200 のレイアウトに合わせて適宜変更可能である。

30

【0064】

(変形例 2)

上述した実施形態においては電気光学材料の一例として液晶を取上げたが、それら以外の電気光学材料を用いた電気光学装置にも本発明は適用される。電気光学材料とは、電気信号（電流信号または電圧信号）の供給によって透過率や輝度といった光学的特性が変化する材料である。例えば、有機 EL (ElectroLuminescent)、無機 EL や発光ポリマーなどの発光素子を用いた表示パネルに対しても上記実施形態と同様に本発明が適用され得る。また、着色された液体と当該液体に分散された白色の粒子とを含むマイクロカプセルを電気光学材料として用いた電気泳動表示パネルに対しても上記実施形態と同様に本発明が適用され得る。さらに、極性が相違する領域ごとに異なる色に塗り分けられたツイストボールを電気光学材料として用いたツイストボールディスプレイパネルに対しても上記実施形態と同様に本発明が適用され得る。黒色トナーを電気光学材料として用いたトナーディスプレイパネル、あるいはヘリウムやネオンなどの高圧ガスを電気光学材料として用いたプラズマディスプレイパネルなど各種の電気光学装置に対しても上記実施形態と同様に本発明が適用され得る。

40

【0065】

<応用例>

この発明は、各種の電子機器に利用され得る。図 9 から図 11 は、この発明の適用対象となる電子機器の具体的な形態を例示するものである。

50

【 0 0 6 6 】

図 9 は、電気光学装置を採用した可搬型のパーソナルコンピュータの斜視図である。パーソナルコンピュータ 2 0 0 0 は、各種の画像を表示する電気光学装置 1 と、電源スイッチ 2 0 0 1 やキーボード 2 0 0 2 が設置された本体部 2 0 1 0 とを具備する。

【 0 0 6 7 】

図 1 0 は、携帯電話機の斜視図である。携帯電話機 3 0 0 0 は、複数の操作ボタン 3 0 0 1 およびスクロールボタン 3 0 0 2 と、各種の画像を表示する電気光学装置 1 とを備える。スクロールボタン 3 0 0 2 を操作することによって、電気光学装置 1 に表示される画面がスクロールされる。本発明はこのような携帯電話機にも適用可能である。

【 0 0 6 8 】

図 1 1 は、電気光学装置を採用した投射型表示装置（3板式のプロジェクター）4 0 0 0 の構成を示す模式図である。この投射型表示装置 4 0 0 0 は、相異なる表示色 R、G、B に各々対応する 3 個の電気光学装置 1（1 R、1 G、1 B）を含んでいる。照明光学系 4 0 0 1 は、照明装置（光源）4 0 0 2 からの出射光のうち赤色成分 r を電気光学装置 1 R に供給し、緑色成分 g を電気光学装置 1 G に供給し、青色成分 b を電気光学装置 1 B に供給する。各電気光学装置 1 は、照明光学系 4 0 0 1 から供給される各単色光を表示画像に応じて変調する光変調器（ライトバルブ）として機能する。投射光学系 4 0 0 3 は、各電気光学装置 1 からの出射光を合成して投射面 4 0 0 4 に投射する。本発明はこのような液晶プロジェクターにも適用可能である。

【 0 0 6 9 】

なお、本発明が適用される電子機器としては、図 1、図 9 から図 1 1 に例示した機器のほか、携帯情報端末（PDA：Personal Digital Assistant）が挙げられる。その他にも、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、車載用の表示器（インパネ）、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末が挙げられる。さらに、プリンター、スキャナー、複写機、ビデオプレーヤー、タッチパネルを備えた機器等などが挙げられる。

【 符号の説明 】

【 0 0 7 0 】

1 ... 電気光学装置、1 0 ... 画素部、1 2 ... 走査線、1 4 ... データ線、1 5 ... V I D 信号線、1 6 ... 信号線、1 7 ... 制御線、2 0 ... 走査線駆動回路、3 0 ... データ線駆動回路、4 0 ... 制御回路、5 7 ... デマルチプレクサー、5 8 ... スイッチ、6 0 ... 液晶素子、6 2 ... 画素電極、6 4 ... コモン電極、6 6 ... 液晶、7 0 ... T F T アレイ基板、7 0 a ... 画像表示領域、7 1 ... 配向膜、8 0 ... 対向基板、8 1 ... 遮光膜、8 2 ... 対向電極、8 3 ... 配向膜、9 0 ... 引回配線、9 1 ... シール材、9 2 ... 額縁遮光膜、1 0 0 ... 電気光学パネル、1 0 2 ... 外部回路接続端子、1 0 6 ... 上下導通端子、1 0 7 ... 上下導通材、2 0 0 ... 駆動用集積回路、2 0 0 a ... 接着位置、2 0 1 ... 配線層、3 0 0 ... フレキシブル回路基板、3 0 0 a ... 配線形成面、3 0 1 ... 配線、3 0 2 ... 第 1 接続端子群、3 0 3 ... 第 2 接続端子群、3 0 4 ... 接着面、3 0 5 a、3 0 5 b、3 0 5 c ... 電源パターン、3 0 5 d ... 接地パターン、3 1 0 ... ベース材料、3 1 1 ... 銅箔、3 1 2 ... Auメッキ、3 1 3 ... ソルダレジスト、3 1 4 ... アンダーフィル、2 0 0 0 ... パーソナルコンピュータ、3 0 0 0 ... 携帯電話機、4 0 0 0 ... 投射型表示装置、B ... 配線ブロック、C L X ... Xクロック信号、C L Y ... Yクロック信号、D ... 画像信号、D C L K ... ドットクロック信号、D X ... X 転送開始パルス、D Y ... Y 転送開始パルス、G ... 走査信号、H s ... 水平同期信号、L C C O M ... コモン電圧、P I X ... 画素回路、S 1 ~ S 4 ... 選択信号、S W ... スイッチング素子。

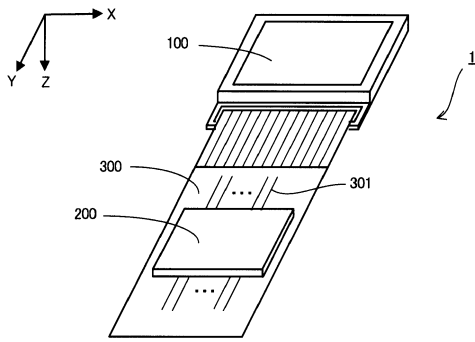
10

20

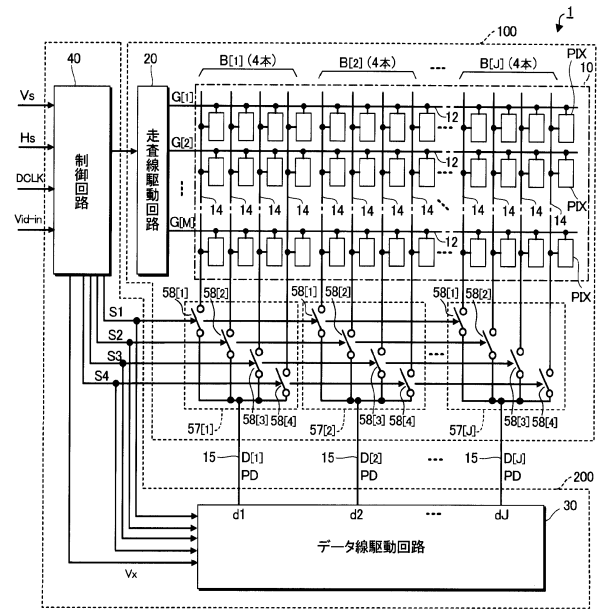
30

40

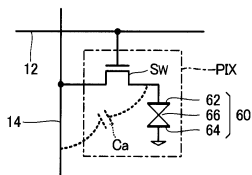
【図1】



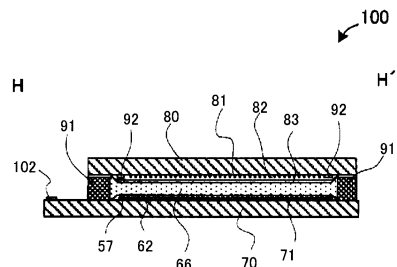
【図2】



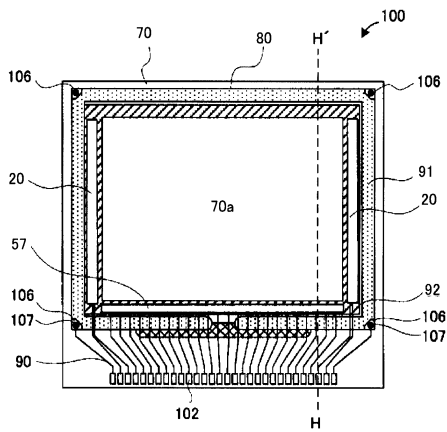
【図3】



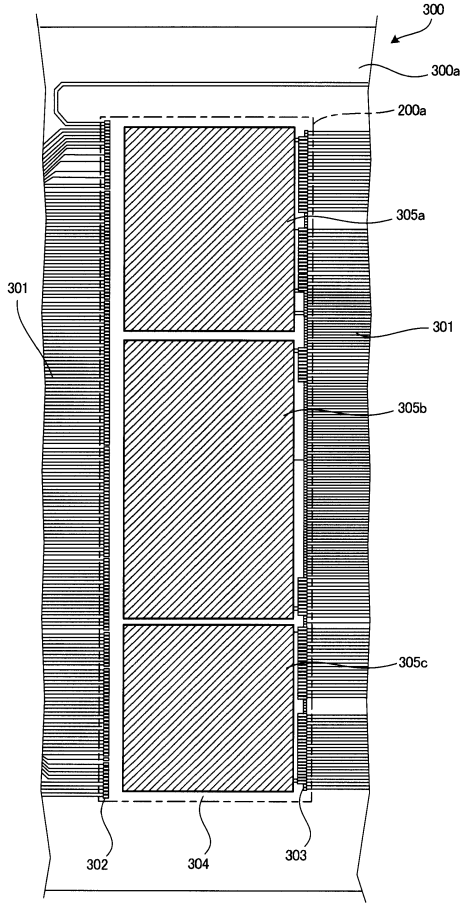
【図5】



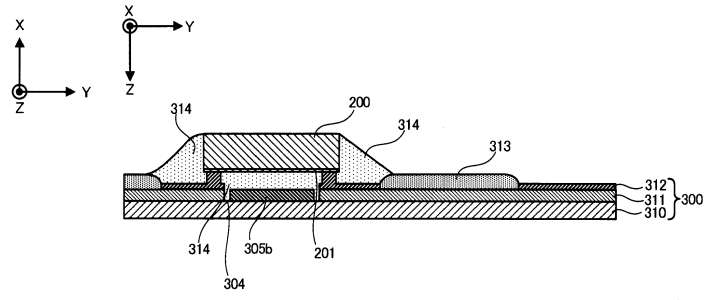
【図4】



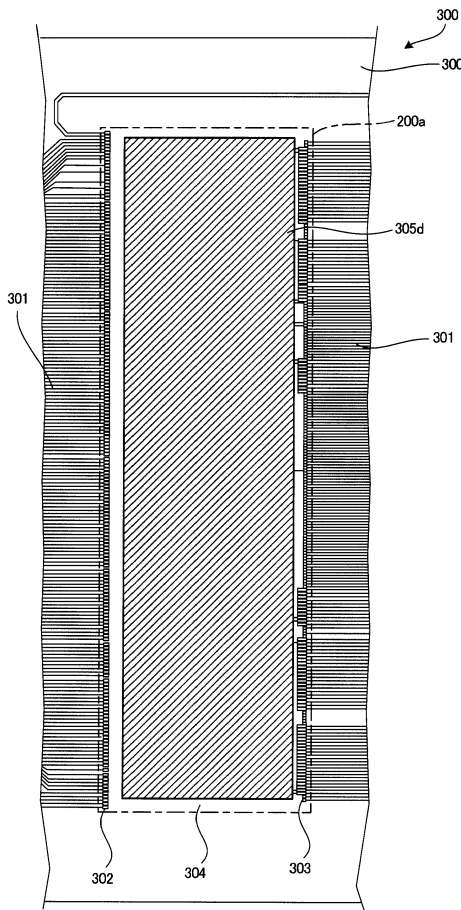
【図6】



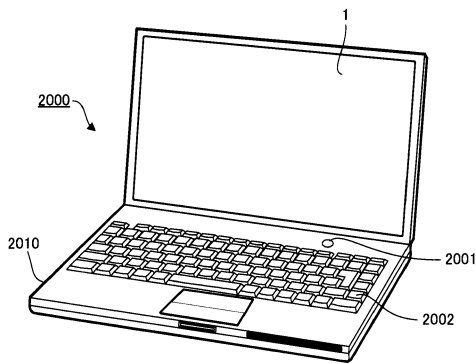
【図7】



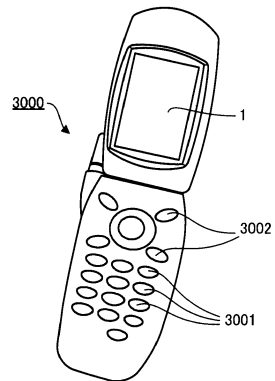
【図8】



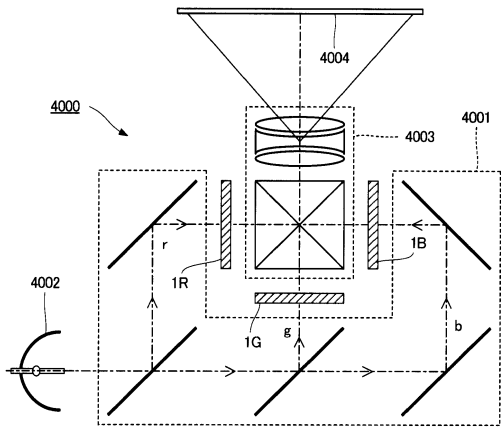
【図9】



【図10】



【 図 11 】



フロントページの続き

(51) Int.Cl.			F I		
<i>H 0 5 K</i>	<i>1/02</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i>	<i>6 4 2 A</i>
<i>G 0 2 F</i>	<i>1/133</i>	<i>(2006.01)</i>	<i>G 0 9 G</i>	<i>3/20</i>	<i>6 8 0 G</i>
			<i>G 0 9 G</i>	<i>3/20</i>	<i>6 2 1 M</i>
			<i>G 0 2 F</i>	<i>1/1345</i>	
			<i>G 0 2 F</i>	<i>1/1368</i>	
			<i>H 0 5 K</i>	<i>1/02</i>	<i>N</i>
			<i>H 0 5 K</i>	<i>1/02</i>	<i>J</i>
			<i>G 0 2 F</i>	<i>1/133</i>	<i>5 5 0</i>

(56) 参考文献 特開 2 0 0 0 - 2 9 4 8 9 5 (J P , A)
 特開平 0 6 - 0 2 9 3 4 7 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 3 0 0 8 4 9 (U S , A 1)

(58) 調査した分野 (Int.Cl. , D B 名)

<i>G 0 9 F</i>	<i>9 / 0 0</i>	-	<i>9 / 4 6</i>
<i>G 0 9 G</i>	<i>3 / 0 0</i>	-	<i>5 / 4 2</i>
<i>G 0 2 F</i>	<i>1 / 1 3 3</i>		
<i>G 0 2 F</i>	<i>1 / 1 3 4 5</i>		
<i>G 0 2 F</i>	<i>1 / 1 3 6 8</i>		
<i>H 0 5 K</i>	<i>1 / 0 2</i>		