

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 6 月 7 日 (07.06.2012)



(10) 国际公布号
WO 2012/071841 A1

- (51) 国际专利分类号:
H01L 21/304 (2006.01)
- (21) 国际申请号: PCT/CN2011/072643
- (22) 国际申请日: 2011 年 4 月 12 日 (12.04.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010567260.9 2010 年 11 月 30 日 (30.11.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 杨涛 (YANG, Tao) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 刘金彪 (LIU, Jinbiao) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 贺晓彬 (HE, Xiaobin) [CN/CN]; 中国北京市朝阳区北土城西路 3 号,

Beijing 100029 (CN)。 赵超 (ZHAO, Chao) [BE/BE]; 比利时凯瑟尔洛市普拉特洛斯彻特街 276 号, B-3010 (BE)。 陈大鹏 (CHEN, Dapeng) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: METHODS FOR CHEMICAL MECHANICAL PLANARIZATION AND FABRICATING GATE LAST

(54) 发明名称: 化学机械平坦化方法和后金属栅的制作方法

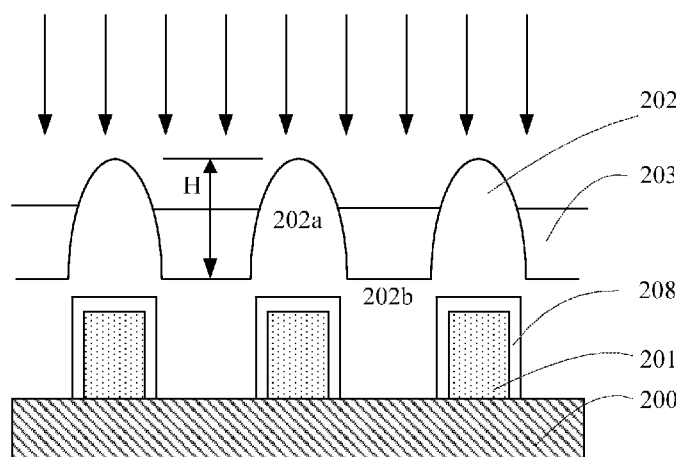


图 6 /Fig.6

(57) Abstract: Methods for chemical mechanical planarization (CMP) and fabricating gate last are provided. The method for CMP including: Substrate with gate and with source and drain on both sides of the gate is provided. The gate and the source and drain are covered with an insulate layer which includes protruding part lying on the gate and concave part lying on the surface of substrate between the gates. Selective doping process is performed on the insulate layer where only the protruding part of the insulate layer is doped. CMP process is performed on the doped substrate to remove the protruding part and planarize the surface of the substrate. By performing selective doping process on the insulate layer where only the protruding part of the insulate layer is doped, the method can enhance chemical corrosion effect of polishing slurry on the material of protruding part in the CMP process, and increase the removing rate of the protruding material in the CMP process, thus improve uniformity in the chip during the polishing process. Furthermore, during the process of forming gate last, there will not be remaining metal in the insulate layer between the gates, which can avoid short circuit defect of the device.

[见续页]



WO 2012/071841 A1



SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供一种化学机械平坦化方法和后金属栅的制作方法, 所述化学机械平坦化的方法包括: 提供具有栅极和栅极两侧的源漏区的基底, 栅极和源漏区上覆盖有隔离层, 隔离层包括位于栅极上方的凸起部和位于栅极之间基底表面上的凹陷部; 对隔离层进行选择性掺杂工艺, 仅使得凸起部被掺杂; 对掺杂后的基底进行 CMP 工艺, 去除凸起部并使基底表面平坦化。所述方法通过对隔离层进行选择性掺杂工艺, 仅使得隔离层的凸起部被掺杂, 会增强 CMP 工艺中研磨液对凸起部材料的化学腐蚀作用, 提高 CMP 工艺过程对凸起部材料的移除速率, 从而改善研磨过程的芯片内的均匀性, 进而在后栅形成过程中, 栅极之间的隔离层内不会有残余金属, 能够避免器件的短路缺陷。

化学机械平坦化方法和后金属栅的制作方法

本申请要求于 2010 年 11 月 30 日提交中国专利局、申请号为 201010567260.9、发明名称为“化学机械平坦化方法和后金属栅的制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及集成电路制造技术领域，特别涉及一种化学机械平坦化方法。

背景技术

随着对超大规模集成电路高集成度和高性能的需求逐渐增加，半导体技术向着 45 纳米甚至更小特征尺寸的技术节点发展。由于高 K/金属栅工艺在 45 纳米技术节点上的成功应用，使该工艺成为 30 纳米以下技术节点不可缺少的关键工艺模块。目前，在 45 纳米和 32 纳米芯片量产方面，只有坚持高 K/后金属栅(gate last)工艺的英特尔公司取得了成功，而近年来紧随 IBM 产业联盟的三星、台积电、英飞凌等业界巨头也将开发重点由高 K/先金属栅(gate first)工艺转向 gate last 工艺。

对于 gate last 工艺来说，其中化学机械平坦化(CMP)工艺的开发被业界认为最具挑战性。在常规的 gate last 工艺中，需要采用 CMP 工艺将多晶硅栅(poly gate)顶部的氧化硅隔离层和氮化硅隔离层磨掉，露出多晶硅栅的顶端后停止研磨，此步 CMP 工艺称为打开多晶硅栅顶部的 CMP，即 Poly opening nitride polish CMP，简称 POP CMP；而后去除多晶硅栅，在留下的沟槽内填充进不同的金属层，再进行一步或多步金属层的化学机械抛光，此步 CMP 工艺即 metal gate CMP，仅留下沟槽内的金属，从而最终得到高 K/金属栅结构。

图 1 至图 2 为现有的 POP CMP 工艺的示意图，图 3 至图 4 为现有的 metal gate CMP 工艺的示意图。如图 1 和图 2 所示，基底 10 上形成有多晶硅栅 11，多晶硅栅 11 依次被氮化硅隔离层 12 和氧化硅隔离层 13 覆盖，其中 POP CMP 具体包括两步 CMP，第一步是氧化硅隔离层 13 的 CMP，以露出多晶硅栅 11 顶部的氮化硅隔离层，第二步是氮化硅隔离层 12 的 CMP，以露出多晶硅栅 11。上述两步 CMP 对芯片内部研磨均匀性(within in die uniformity)都有着很高的要求，其中，对氧化硅隔离层的 CMP 的研磨均匀性控制最为关键。

然而问题在于，由于多晶硅栅 11 的密度较大，并且淀积氧化硅隔离层 13

前的基底表面存在栅高度的落差, 约 1000A 至 1800A, 于是导致氧化硅隔离层 13 淀积后多晶硅栅 11 的顶部与源漏区 (图中未示出) 的氧化硅隔离层 13 的厚度落差 h 可达 1000A 至 4000A, 甚至更多。采用常规氧化硅 CMP 工艺通常无法有效消除这种较大的厚度落差, 会随研磨过程的进行, 一直遗传到氧化硅隔离层 13 的研磨工艺结束, 如图 2 所示, 这种落差造成多晶硅栅 11 之间剩余的氧化硅隔离层 13 中形成凹坑 14, 即使下一步氮化硅隔离层 12 的 CMP 也很难修复, 并且由于材料选择比的不同, 还可能将这种氧化硅隔离层 13 的凹坑 14 进一步放大。如图 3 和图 4 所示, 氧化硅隔离层凹坑 14 内也填充有金属材料, 在后续的 metal gate CMP 工艺中, 直接会给该工艺造成巨大障碍, 极大压缩该工艺的调整空间, 很容易造成栅间的金属残留, 导致器件短路。

发明内容

本发明解决的问题是提供一种化学机械平坦化方法能够避免改善 CMP 工艺对芯片内部研磨的均匀性, 进而防止器件短路。

为解决上述问题, 本发明提供一种化学机械平坦化方法, 包括以下步骤:

15 提供具有栅极和栅极两侧的源漏区的基底, 所述栅极和源漏区上覆盖有隔离层, 其中所述隔离层包括位于栅极上方的凸起部和位于栅极之间基底表面上的凹陷部;

对所述隔离层进行选择性掺杂工艺, 仅使得所述凸起部被掺杂;

对掺杂后的基底进行 CMP 工艺, 去除所述凸起部并使基底表面平坦化。

20 对所述隔离层进行选择性掺杂工艺具体包括:

在所述隔离层上形成具有凸起部图案的掩膜层, 以暴露所述凸起部;

进行离子注入, 使得所述凸起部被掺杂;

去除所述掩膜层。

优选的, 所述掩膜层为光刻胶层。

25 优选的, 所述离子注入的过程中, 离子注入的深度等于或小于所述凸起部与凹陷部的厚度落差。

所述离子注入的能量范围依据所述厚度落差确定。

所述隔离层的材料包括氧化硅。

可选的,所述离子注入的离子包括H、C、N、B、BF₂、In、P、As和Sb中的至少一种。

所述CMP工艺中的研磨液包括碱性SiO₂基研磨液或碱性CeO₂基研磨液,研磨垫包括硬研磨垫或软研磨垫。

5 本发明提供一种后金属栅的制造方法,包括:

提供具有伪栅和伪栅两侧的源漏区的基底,所述伪栅和源漏区上覆盖有隔离层,其中所述隔离层包括位于伪栅上方的凸起部和位于伪栅之间基底表面上的凹陷部;

对所述隔离层进行选择性掺杂工艺,仅使得所述凸起部被掺杂;

10 进行第一CMP工艺,去除所述凸起部直到露出伪栅顶部的第一隔离层;

进行第二CMP工艺,去除所述伪栅顶部的第一隔离层直到露出伪栅;

去除所述伪栅从而留下栅沟槽;

在所述栅沟槽内填充金属;

进行第三CMP工艺,去除栅沟槽外基底表面的多余金属,形成金属栅。

15 与现有技术相比,上述技术方案具有以下优点:

通过对隔离层进行选择性掺杂工艺,仅使得隔离层的凸起部被掺杂,由于隔离层的凸起部经掺杂后,其化学键及结晶状态被破坏,因此会增强CMP工艺中研磨液对凸起部材料的化学腐蚀作用,大大提高CMP工艺过程对凸起部材料的移除速率,从而改善研磨过程的芯片内的均匀性,不会将隔离层的厚度
20 落差遗传给平坦化的基底表面,减少甚至消除栅极之间的隔离层凹坑。

进而在后栅形成过程中,栅极之间的隔离层内不会有残余金属,能够避免器件的短路缺陷。

附图说明

25 通过附图所示,本发明的上述及其它目的、特征和优势将更加清晰。在全部附图中相同的附图标记指示相同的部分。并未刻意按实际尺寸等比例缩放绘制附图,重点在于示出本发明的主旨。

图1至图2为现有的POP CMP工艺的示意图;

图3至图4为现有的metal gate CMP工艺的示意图;

图5为本发明实施例一中化学机械平坦化方法的流程图;

图6至图8为本发明实施例一中化学机械平坦化方法的示意图；

图9至图16为本实施例二中后金属栅的制造方法的示意图。

具体实施方式

为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图
5 对本发明的具体实施方式做详细的说明。

在下面的描述中阐述了很多具体细节以便于充分理解本发明，但是本发明还可以采用其他不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施
例的限制。

10 其次，本发明结合示意图进行详细描述，在详述本发明实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本发明保护的范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

正如背景技术部分所述，目前45纳米和32纳米芯片量产应用的后金属栅
15 工艺中，经常会出现器件短路的缺陷，发明人研究后发现，这种缺陷可能是由于metal gate CMP工艺过程栅间的金属残留导致的，而这种金属残留却是由于POP CMP工艺过程不能消除氧化硅隔离层的厚度落差而引起的，可见，解决器件短路缺陷的关键是改善CMP工艺对芯片内部研磨的均匀性，特别是要避免研磨之后剩余氧化硅隔离层的凹坑。

20 基于此，本发明的提供一种化学机械平坦化方法，包括：提供具有栅极和栅极两侧的源漏区的基底，所述栅极和源漏区上覆盖有隔离层，其中所述隔离层包括位于栅极上方的凸起部和位于栅极之间基底表面上的凹陷部；对所述隔离层进行选择性掺杂工艺，仅使得所述凸起部被掺杂；对掺杂后的基底进行CMP工艺，去除所述凸起部并使基底表面平坦化。以下结合附图详细说明本发明
25 所述化学机械平坦化方法的一个具体实施例。

实施例一

图5为本实施例中化学机械平坦化方法的流程图，图6至图8为本实施例中化学机械平坦化方法的示意图。

如图所示，该方法包括：

30 步骤S1：如图6所示，提供具有栅极101和栅极101两侧的源漏区（图中未示出）的基底100，所述栅极101和源漏区上覆盖有隔离层102，其中所述隔离

层102包括位于栅极上方的凸起部102a和位于栅极101之间基底表面上的凹陷部102b。

步骤S2: 对所述隔离层102进行选择掺杂工艺, 仅使得所述凸起部102a被掺杂; 优选的, 本实施例中, 所述选择性掺杂工艺为离子注入工艺, 参考图6, 掩膜层103将所述隔离层102的凹陷部102b覆盖, 仅露出凸起部102a, 图中箭头所示的注入离子对凸起部102a进行掺杂。

例如, 所述掩膜层103为光刻胶层, 形成隔离层102之后, 对整个基底涂覆光刻胶, 选择具有隔离层凸起部102a的图案的掩模板(图中未示出), 经过对准、曝光、显影, 从而形成具有凸起部图案的掩膜层103, 以暴露所述凸起部102a, 将栅极101之间的凹陷部102b遮挡。

根据凸起部102a与凹陷部102b的厚度落差H(见图7), 选择合适的离子注入条件, 在光刻胶层103的遮挡下对凸起部102a进行离子注入处理, 离子注入深度等于或小于所述厚度落差H, 所述离子注入的能量范围依据所述厚度落差确定。

完成离子注入后, 通过湿法腐蚀或干法腐蚀去除光刻胶层, 并将基底100干燥; 去胶的过程需要选择合适的条件, 不能对掺杂后的凸起部有破坏作用。

步骤S3: 参考图7所示, 对掺杂后的基底100进行CMP工艺, 去除所述凸起部102a并使基底100表面平坦化, 直到露出栅极101的顶部表面, 最后得到如图8所示的平坦基底。

由于隔离层102的凸起部102a经掺杂后, 其化学键及结晶状态被破坏, 因此会增强CMP工艺中研磨液对凸起部102a材料的化学腐蚀作用, 大大提高CMP工艺过程对凸起部材料的移除速率, 从而改善研磨过程的芯片内的均匀性, 不会将隔离层102a的厚度落差遗传给平坦化的基底表面, 减少甚至消除栅极之间的隔离层凹坑。

下面结合附图详细说明所述化学机械平坦化方法的一个具体实施例。

实施例二

本实施例以32纳米技术典型的后金属栅的制造方法为例, 说明化学机械平坦化方法的另一实施方式, 图9至图16为本实施例中后金属栅的制造方法的示意图。

如图9所示, 提供基底200, 所述基底200包括伪栅201、栅氧化层(图中未示出)和伪栅200两侧的源漏区(图中未示出), 所述伪栅201和源漏区上依

次覆盖有第一隔离层208和第二隔离层202。

具体的，基底200可以为元素半导体或组成的体材料，例如单晶、多晶或非晶结构的硅或硅锗，也可以为化合物半导体组成的体材料，例如碳化硅、锑化铟、碲化铅、砷化铟、磷化铟、砷化镓或锑化镓、合金半导体或其组合。所述基底200还可以包括掩埋氧化层和SOI层，所述SOI层的材料可以为Si、Ge或III-V族化合物（如SiC、砷化镓、砷化铟、磷化铟等）等材料。

所述伪栅的材料为多晶硅，采用传统的多晶硅栅工艺制作。所述栅氧化层的材料可以是氧化硅或氮氧化硅，氧化硅可以采用炉管氧化、快速热退火氧化、原位水蒸气氧化等工艺；对氧化硅执行氮化工艺即可形成氮氧化硅，氮化工艺可以是高温炉管氮化、快速热退火氮化或等离子氮化等。

基底200内的源漏区例如采用离子注入工艺形成，根据器件类型采用不同的掺杂离子，n型掺杂离子例如为B或In，p型掺杂离子例如为P或As。

本实施例中，所述第一隔离层208为氮化硅层，所述第二隔离层202为氧化硅层，所述第一隔离层208和第二隔离层202可以为最终形成的栅极侧墙的一部分。其中，氮化硅层208的厚度范围约为10-30nm，氧化硅层的厚度范围约为100-150nm。

由于芯片中的器件密度较大，栅极之间的距离很小，基底200表面的第二隔离层202受到栅极高度落差的影响而呈现出凹凸不平的结构，该第二隔离层202包括位于伪栅201上方的凸起部202a和位于伪栅201之间基底表面上的凹陷部202b，凸起部202a的表面和凹陷部202b的表面存在落差H，这种凹凸不平的表面形貌将影响后续的金属互连工艺，必须进行平坦化。

如图10所示，对所述第二隔离层202进行选择掺杂工艺，仅使得所述凸起部202a被掺杂。

具体的，本实施例在形成第二隔离层202之后，首先对整个基底200涂覆光刻胶，采用具有第二隔离层的凸起部202a的图案的掩模板（图中未示出），经过对准、曝光、显影，从而形成具有凸起部图案的光刻胶层203，将所述凸起部102a露出，而将伪栅201之间的凹陷部202b遮挡。该光刻胶层203的厚度可以小于所述落差H，也可以大于所述落差H。

接着，在所述光刻胶层203的遮挡下进行离子注入工艺，所述离子注入的过程中，离子注入的深度等于或小于所述凸起部与凹陷部的厚度落差H，也就是说，该选择性掺杂工艺仅使得凸起部202a全部或一部分被掺杂，而其低于凹

陷部202b表面的部分仍然为本体材料。

对特定类型的掺杂离子来说，通过控制离子注入的能量范围可以控制注入的深度，而离子注入的能量可以依据所述厚度落差H来确定。例如，当所述厚度落差范围为1000Å至3000Å，则所述离子注入的能量范围为10KeV至150KeV。

本实施例中，离子注入的杂质离子包括H、C、N、B、BF₂、In、P、As和Sb中的至少一种。所述离子注入的剂量范围为1E14 cm⁻²至5E15cm⁻²。

完成离子注入后，通过湿法腐蚀或干法腐蚀去除光刻胶层203，并将基底干燥；去胶的过程需要选择合适的工艺条件，不能对掺杂后的凸起部202a有破坏作用。

然后，如图11和图12所示，进行第一CMP工艺，去除所述凸起部202a直到露出伪栅顶部的第一隔离层208，该第一CMP工艺中的研磨液包括碱性SiO₂基研磨液或碱性CeO₂基研磨液，研磨垫包括硬研磨垫或软研磨垫。

由于第二隔离层202的凸起部202a经掺杂后，其化学键及结晶状态被破坏，因此会增强研磨液对凸起部202a材料的化学腐蚀作用，大大提高CMP工艺过程对凸起部材料的移除速率，从而改善抛光过程的芯片内的均匀性，不会将隔离层202a的厚度落差遗传给平坦化的基底表面，减少甚至消除栅极之间的隔离层凹坑。

如图13所示，进行第二CMP工艺，去除所述伪栅201顶部的第一隔离层208直到露出伪栅顶部的表面。该CMP工艺采用对氮化硅选择比较高的研磨液和研磨垫。

上述第一和第二CMP工艺称为打开多晶硅栅顶部的CMP，即POP CMP。

如图14所示，去除所述伪栅201从而留下栅沟槽209；具体的，采用湿法或干法刻蚀去除伪栅201（见图12），露出栅氧化层（图中未示出），从而在第一和第二隔离层内原来伪栅201占据的位置处形成栅沟槽209。

如图15所示，在所述栅沟槽209内填充金属。

具体的，先在栅沟槽209内淀积（图中未示出）高k介质层，所述高k介质层的材料可以是HfO₂、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、Al₂O₃、La₂O₃、ZrO₂、LaAlO等。高k介质层113的厚度可以范围约是1纳米至3纳米。该高k介质层与所述栅氧化层共同组成了栅极介质层。接着，形成有高k介质层的表面沉积金属层207。

沉积所述金属层207之前还包括沉积用于调整功函数的薄金属层（图中未示出），对于N型器件，所述薄金属层的材料可以使用TaC, TiN, TaTbN, TaErN, TaYbN, TaSiN, HfSiN, MoSiN, RuTax或NiTax。对于P型器件，调整功函数的薄金属层材料可以使用MoNx, TiSiN, TiCN, TaAlC, TiAlN, 或Ta₂N₃；而后统一淀积金属层极材料为Al或TiAl的一种。

如图16所示，进行第三CMP工艺，去除栅沟槽外基底表面的多余金属，在栅沟槽209内形成金属栅206。该第三CMP工艺即为metal gate CMP工艺，由于在POP open CMP工艺中改善了研磨过程的芯片内的均匀性，不会将第二隔离层的厚度落差遗传给平坦化的基底表面，减少甚至消除了栅极之间的第二隔离层内的凹坑缺陷，因此在metal gate CMP工艺中，栅极之间的第二隔离层202内不会有残余金属，避免了器件短路。

以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制。

虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

权 利 要 求

1、一种化学机械平坦化方法，其特征在于，包括：

提供具有栅极和栅极两侧的源漏区的基底，所述栅极和源漏区上覆盖有隔离层，其中所述隔离层包括位于栅极上方的凸起部和位于栅极之间基底表面上的凹陷部；

对所述隔离层进行选择性的掺杂工艺，仅使得所述凸起部被掺杂；

对掺杂后的基底进行CMP工艺，去除所述凸起部并使基底表面平坦化。

2、根据权利要求1所述的化学机械平坦化方法，其特征在于，对所述隔离层进行选择性的掺杂工艺具体包括：

在所述隔离层上形成具有凸起部图案的掩膜层，以暴露所述凸起部；

进行离子注入，使得所述凸起部被掺杂；

去除所述掩膜层。

3、根据权利要求1所述的化学机械平坦化方法，其特征在于，所述掩膜层为光刻胶层。

4、根据权利要求1-3任一项所述的化学机械平坦化方法，其特征在于，所述离子注入的过程中，离子注入的深度等于或小于所述凸起部与凹陷部的厚度落差。

5、根据权利要求4所述的化学机械平坦化方法，其特征在于，所述离子注入的能量范围依据所述厚度落差确定。

6、根据权利要求1-3所述的化学机械平坦化方法，其特征在于，所述隔离层的材料包括氧化硅。

7、根据权利要求1-3所述的化学机械平坦化方法，其特征在于，所述离子注入的离子包括H、C、N、B、BF₂、In、P、As和Sb中的至少一种。

8、根据权利要求1所述的化学机械平坦化方法，其特征在于，所述CMP工艺中的研磨液包括碱性SiO₂基研磨液或碱性CeO₂基研磨液，研磨垫包括硬研磨垫或软研磨垫。

9、一种后金属栅的制作方法，其特征在于，包括：

提供具有伪栅和伪栅两侧的源漏区的基底，所述伪栅和源漏区上覆盖有隔离层，其中所述隔离层包括位于伪栅上方的凸起部和位于伪栅之间基底表面上的凹陷部；

对所述隔离层进行选择性的掺杂工艺，仅使得所述凸起部被掺杂；

进行第一CMP工艺，去除所述凸起部直到露出伪栅顶部的第一隔离层；
进行第二CMP工艺，去除所述伪栅顶部的第一隔离层直到露出伪栅；
去除所述伪栅从而留下栅沟槽；
在所述栅沟槽内填充金属；

5 进行第三CMP工艺，去除栅沟槽外基底表面的多余金属，形成金属栅。

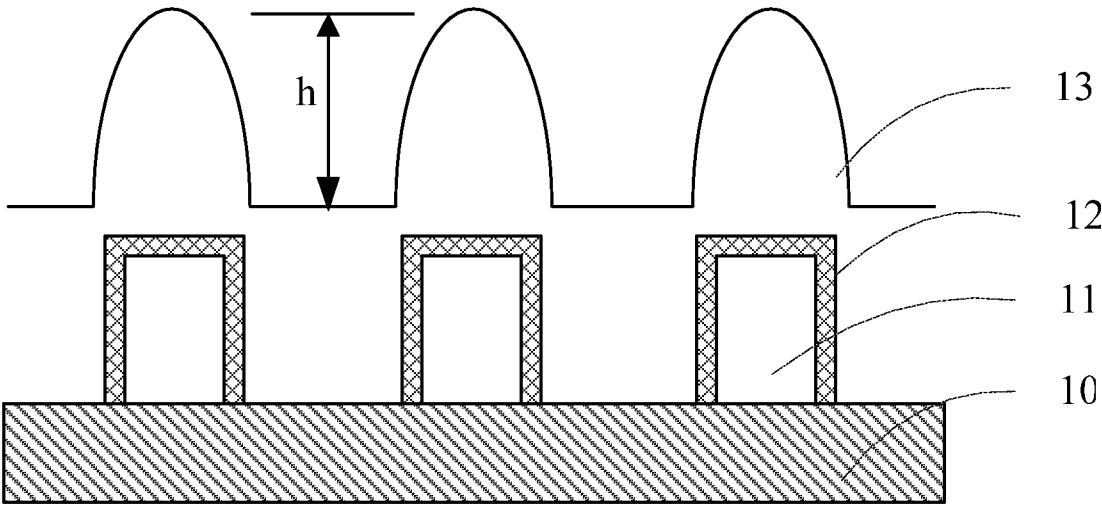


图 1

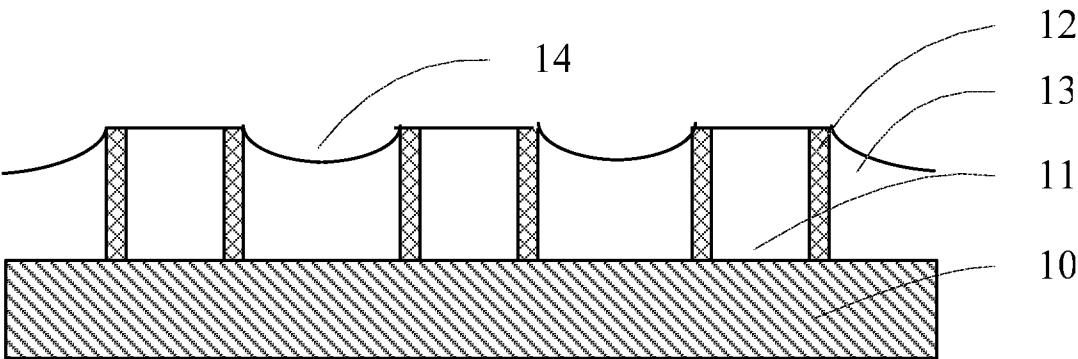


图 2

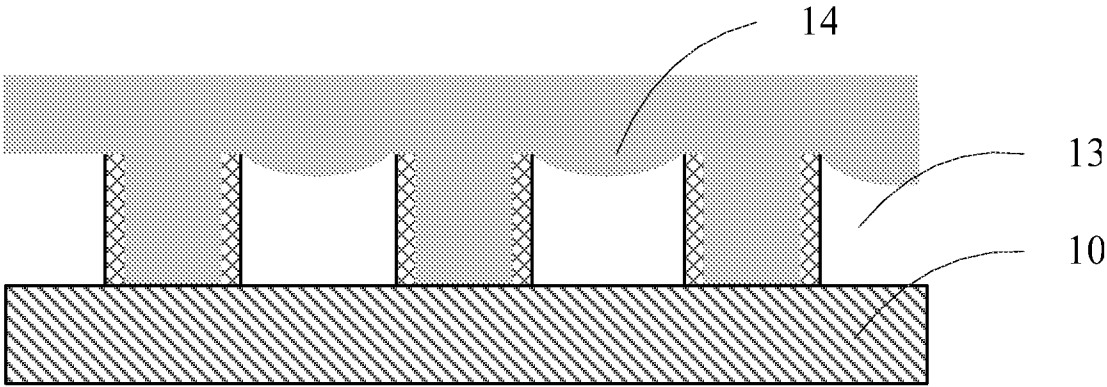


图 3

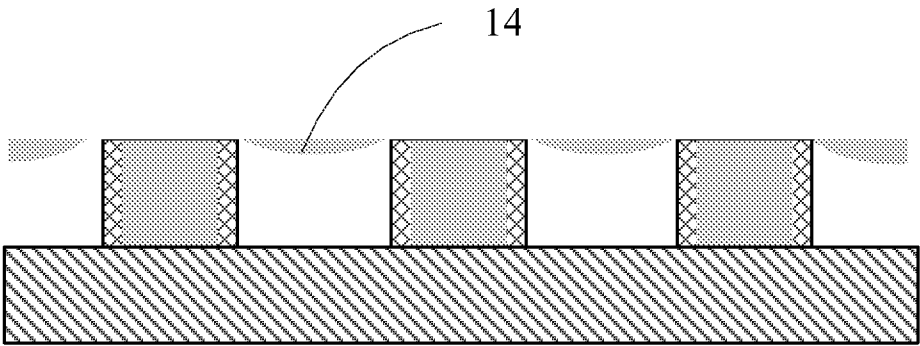


图 4

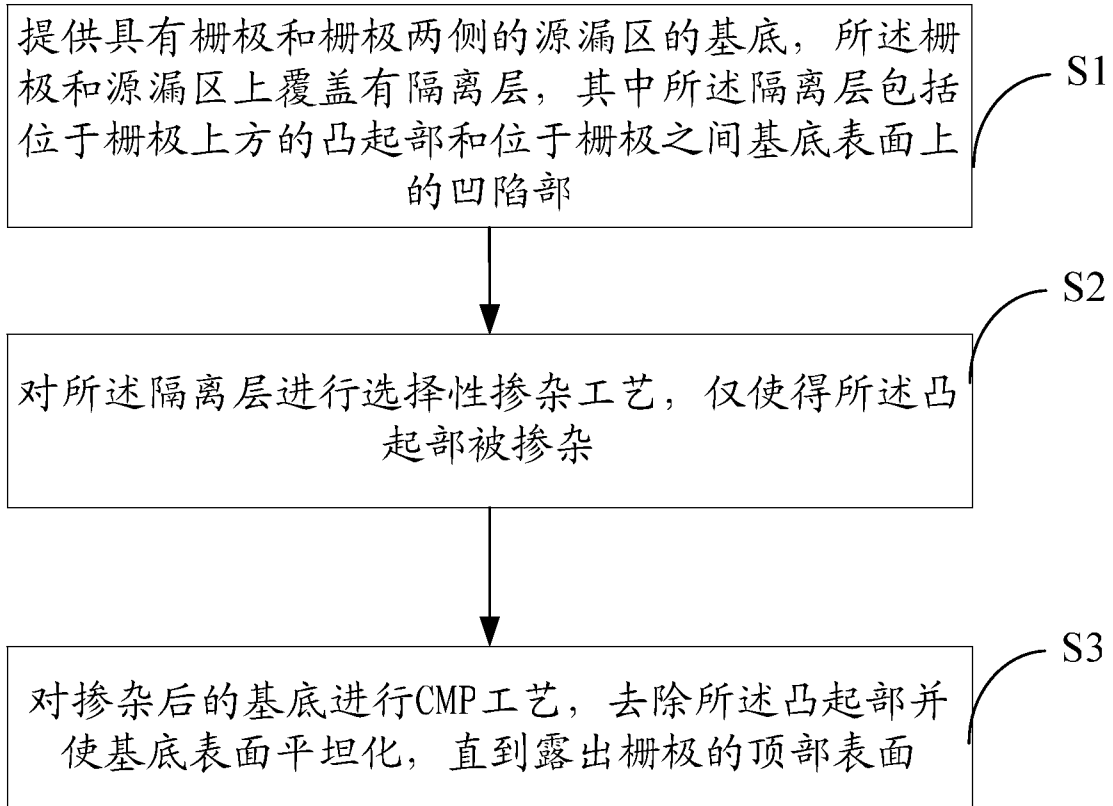


图 5

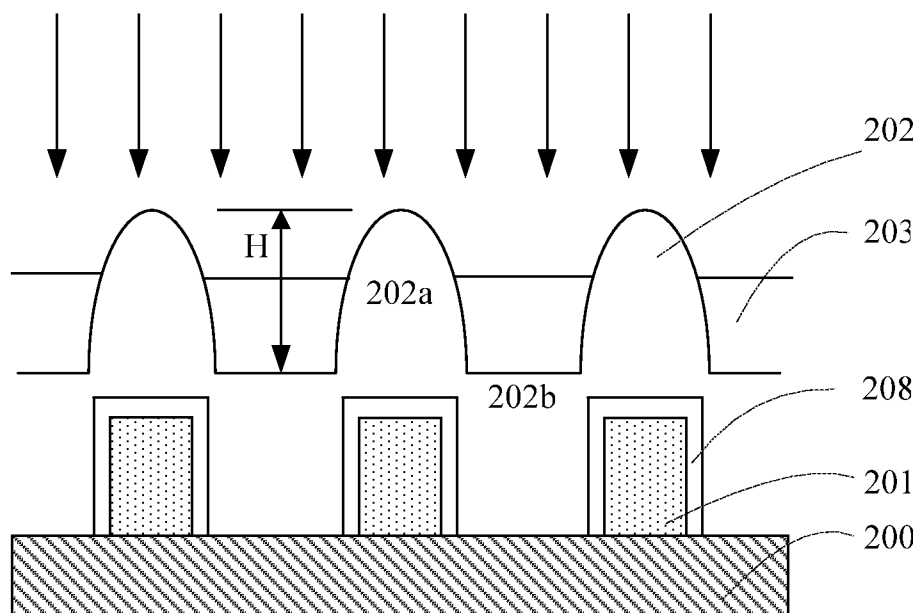


图 6

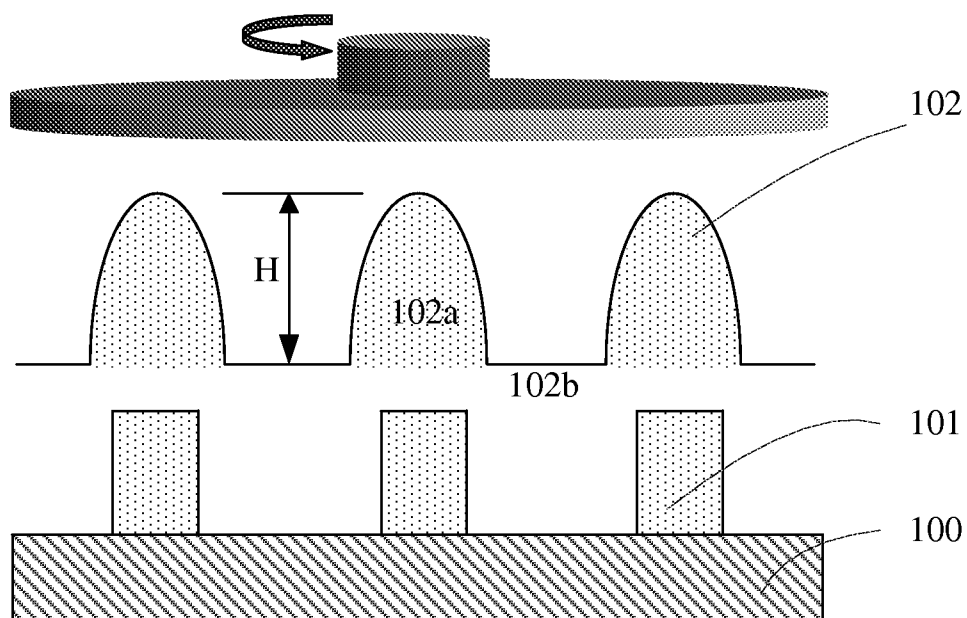


图 7

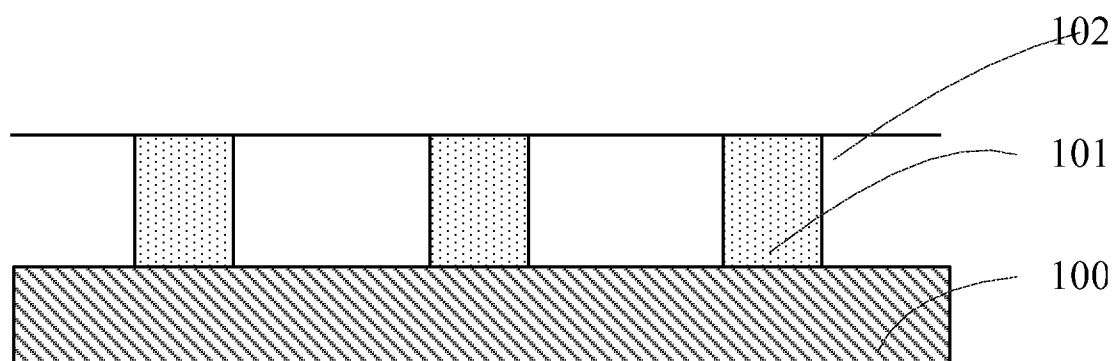


图 8

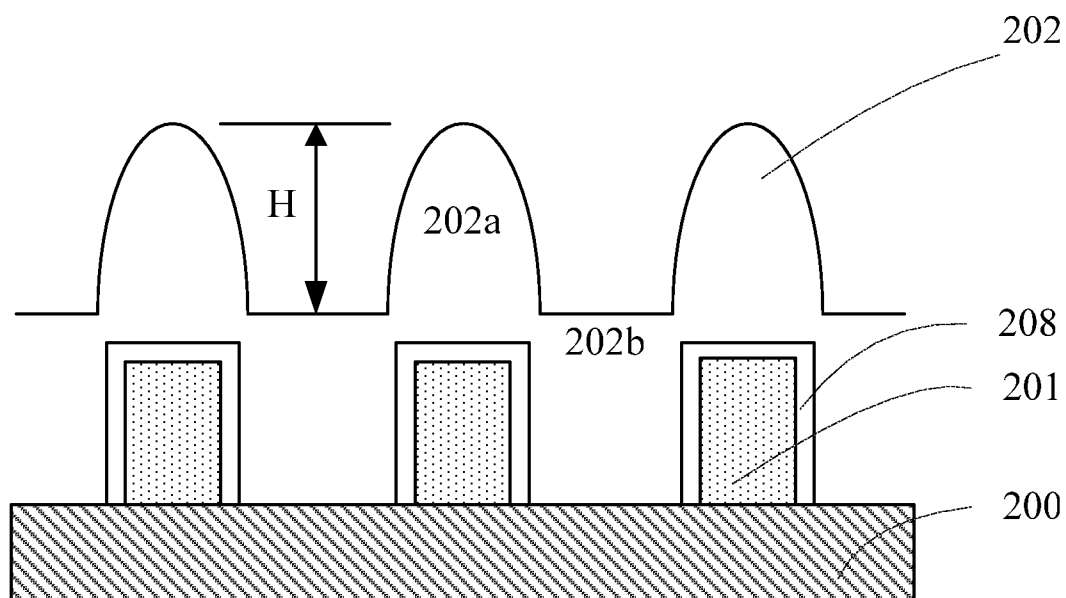


图 9

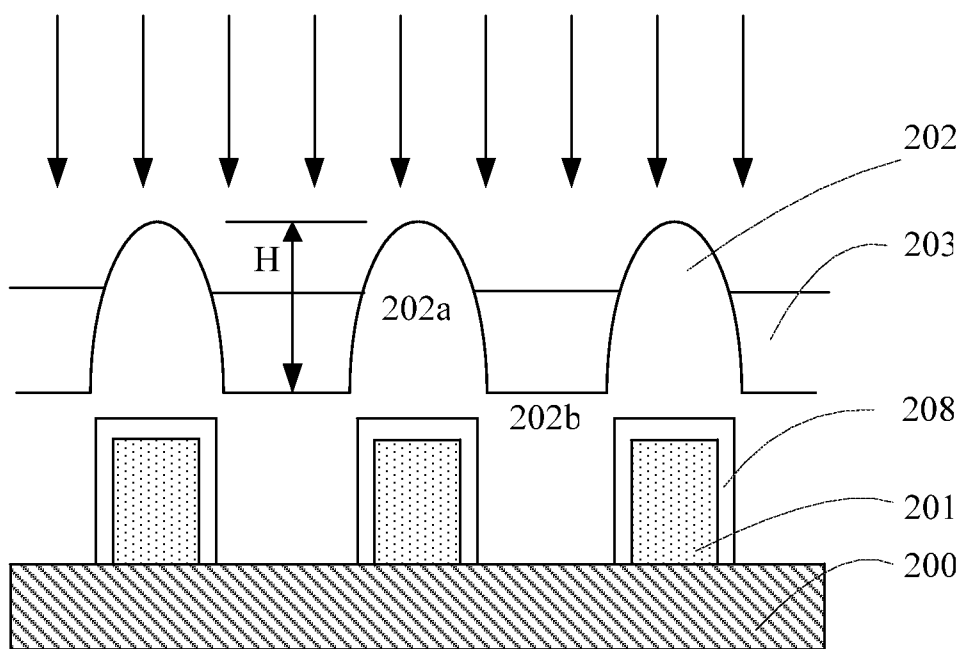


图 10

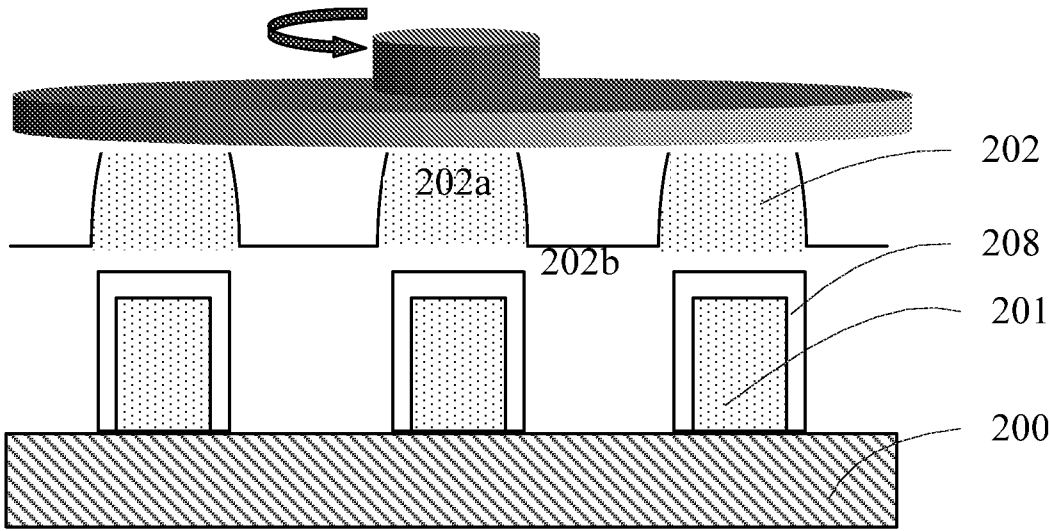


图 11

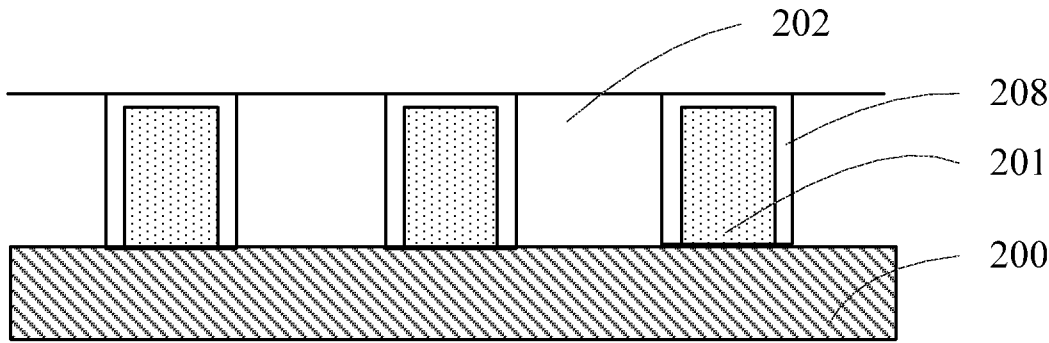


图 12

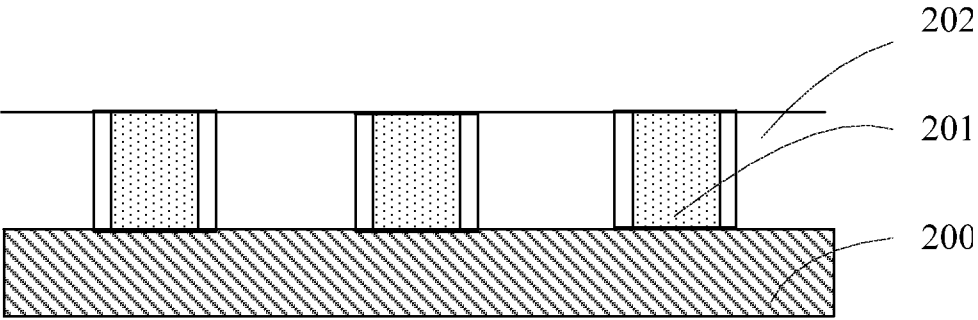


图 13

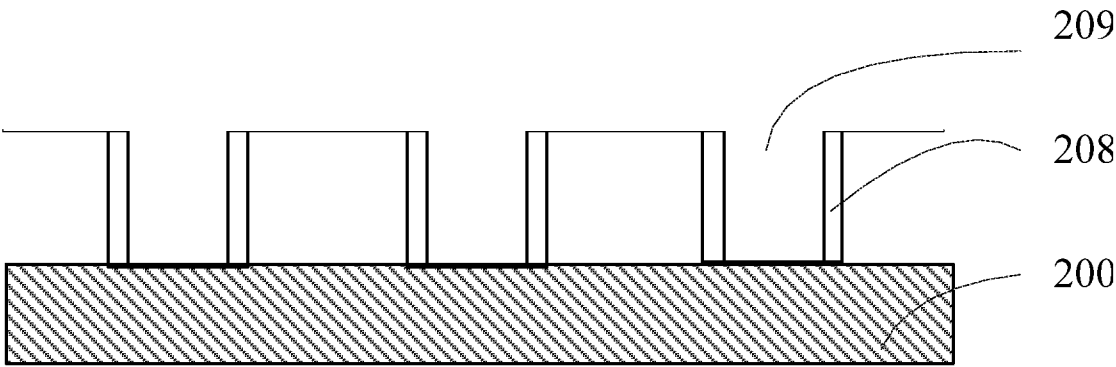


图 14

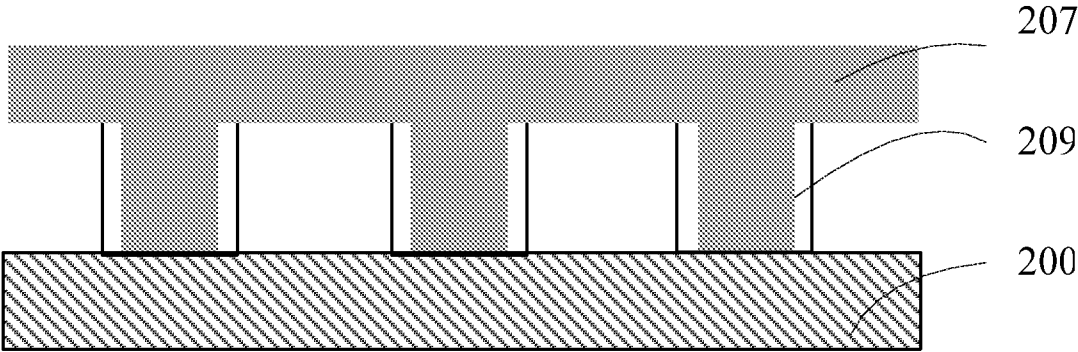


图 15

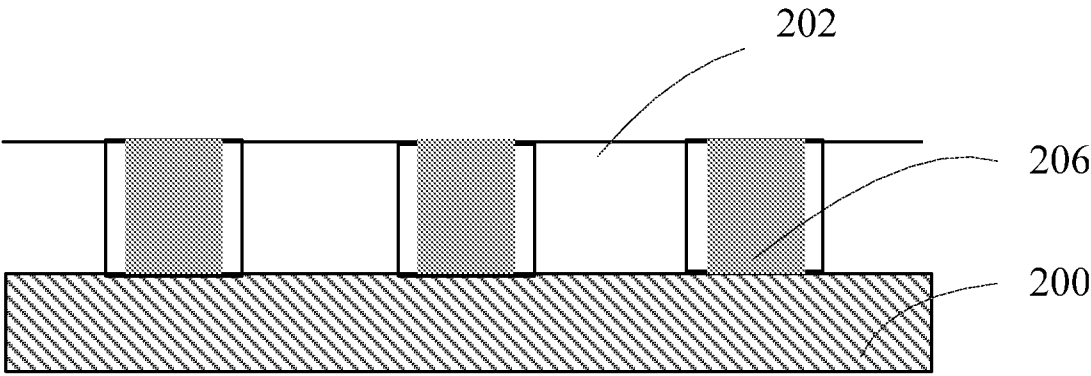


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072643

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/304(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: gate, dummy gate, dop???, implant+, CMP, planar+, polish

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US6933226B2 (HYNIX SEMICONDUCTOR INC.) 23 Aug.2005 (23.08.2005) , description column 4 line 17 to column 5 line 19 and	1-9
A	KR100700279B1 (DONGBU ELECTRONICS CO., LTD) 26 Mar.2007 (26.03.2007) , the whole document	1-9
A	CN1638045A(HYNIX SEMICONDUCTOR INC.)13 Jul.2005 (13.07.2005) , the whole document	1-9
A	CN1806340A (ADVANCED MICRO DEVICES INC.) 19 Jul.2006 (19.07.2006) , the whole document	1-9

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

10 Aug. 2011(10.08.2011)

Date of mailing of the international search report

08 Sep. 2011 (08.09.2011)

Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088

Facsimile No. 86-10-62019451

Authorized officer

CHEN, Yuan

Telephone No. (86-10)62414081

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072643

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN1366332A (SHIJIE ADVANCED INTEGRATED CIRCUIT CO. LTD.) 28 Aug.2002 (28.08.2002) , the whole doucment	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/072643

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
KR100700279B1	26.03.2007	None	
US6933226B2	23.08.2005	US2002076867A1	20.06.2002
		JP2002208698A	26.07.2006
		KR20020040232A	30.05.2002
		KR100353539B	27.09.2002
CN1638045A	13.07.2005	US2005142824A1	30.06.2005
		KR20050067550A	05.07.2005
		KR100570060B	10.04.2006
		US7229904B2	12.06.2007
CN1806340A	19.07.2006	US6756643B1	29.06.2004
		WO2004112146A1	23.12.2004
		GB2418534A	29.03.2006
		DE112004001030T	01.06.2006
		KR20060013570A	10.02.2006
		JP2007500952T	18.01.2007
CN1366332A	28.08.2002	None	

国际检索报告

国际申请号

PCT/CN2011/072643

A. 主题的分类

H01L21/304 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC: 栅, 伪栅, 掺杂, 离子注入, 化学机械研磨, 平坦化, gate, dummy gate, dop???, implant+, CMP, planar+, polish

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US6933226B2 (HYNIX SEMICONDUCTOR INC.) 23.8 月 2005 (23.08.2005), 说明书第 4 栏第 17 行至第 5 栏第 19 行和附图 3A-3F	1-9
A	KR100700279B1 (DONGBU ELECTRONICS CO., LTD) 26.3 月 2007 (26.03.2007), 全文	1-9
A	CN1638045A(海力士半导体有限公司)13.7 月 2005 (13.07.2005), 全文	1-9
A	CN1806340A (先进微装置公司) 19.7 月 2006 (19.07.2006), 全文	1-9
A	CN1366332A (世界先进积体电路股份有限公司) 28.8 月 2002 (28.08.2002), 全文	1-9

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

10.8 月 2011 (10.08.2011)

国际检索报告邮寄日期

08.9 月 2011 (08.09.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

陈源

电话号码: (86-10)62414081

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/072643

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
KR100700279B1	26. 03. 2007	无	
US6933226B2	23. 08. 2005	US2002076867A1	20. 06. 2002
		JP2002208698A	26. 07. 2006
		KR20020040232A	30. 05. 2002
		KR100353539B	27. 09. 2002
CN1638045A	13. 07. 2005	US2005142824A1	30. 06. 2005
		KR20050067550A	05. 07. 2005
		KR100570060B	10. 04. 2006
		US7229904B2	12. 06. 2007
CN1806340A	19. 07. 2006	US6756643B1	29. 06. 2004
		W02004112146A1	23. 12. 2004
		GB2418534A	29. 03. 2006
		DE112004001030T	01. 06. 2006
		KR20060013570A	10. 02. 2006
		JP2007500952T	18. 01. 2007
CN1366332A	28. 08. 2002	无	