

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 27 日 (27.07.2017)



(10) 国际公布号
WO 2017/124598 A1

- (51) 国际专利分类号:
G02F 1/1345 (2006.01) G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2016/074228
- (22) 国际申请日: 2016 年 2 月 22 日 (22.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610040603.3 2016 年 1 月 21 日 (21.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 赵莽 (ZHAO, Mang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL

PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: GATE DRIVE CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 一种栅极驱动电路及显示面板

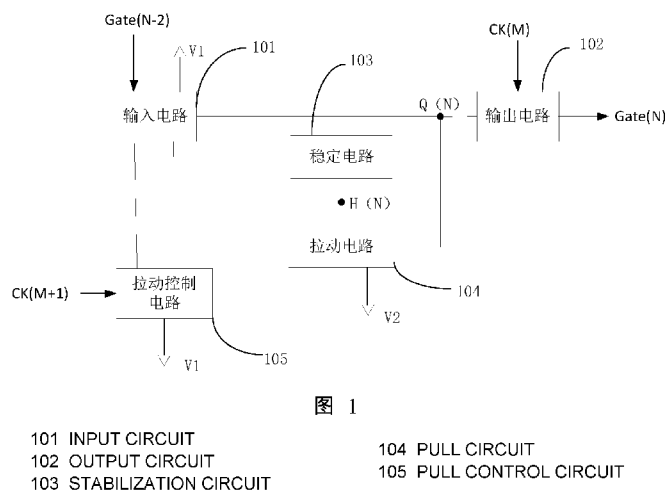


图 1

(57) Abstract: A gate drive circuit and a display panel. An output circuit (102) is connected to an input circuit (101) and a pull circuit (104) at a first node (Q(N)), and the input circuit (101) sets the pull circuit (104) to be in a first state in response to an upper-stage scanning drive signal (Gate (N-2)), and sets the voltage of the first node (Q(N)) to be a first voltage and maintains same by utilizing a first reference potential (V1), so that the output circuit (102) outputs a current-stage scanning drive signal (Gate(N)) according to a first clock signal (CK(M)); a stabilization circuit (103) is connected to the pull circuit (104) at a second node (H(N)), and the input circuit (101) sets the voltage of the second node (H(N)) to be the first voltage and maintains same by utilizing the first reference potential (V1) in response to the upper-stage scanning drive signal (Gate (N-2)); and a pull control circuit (105) sets the pull circuit (104) to be in a second state in response to a second clock signal (CK(M+1)), and then pulls the voltage of the first node (Q(N)) and the second node (H(N)) and maintains same to be a second voltage by utilizing a second reference potential (V2). By means of the above-mentioned method, a leakage current between the first node (Q(N)) and the second node (H(N)) can be decreased, and the risk of circuit malfunction is reduced.

(57) 摘要:

[见续页]

WO 2017/124598 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种栅极驱动电路及显示面板。其中，输出电路(102)在第一节点(Q(N))连接输入电路(101)和拉动电路(104)，输入电路(101)响应上级扫描驱动信号(Gate(N-2))将拉动电路(104)设置为第一状态，并利用第一参考电位(V1)将第一节点(Q(N))的电压设置为第一电压并保持，进而使得输出电路(102)根据第一时钟信号(CK(M))输出本级扫描驱动信号(Gate(N))；稳定电路(103)在第二节点(H(N))连接拉动电路(104)，输入电路(101)响应上级扫描驱动信号(Gate(N-2))利用第一参考电位(V1)将第二节点(H(N))的电压设置为第一电压并保持；拉动控制电路(105)响应第二时钟信号(CK(M+1))将拉动电路(104)设置为第二状态，进而利用第二参考电位(V2)将第一节点(Q(N))和第二节点(H(N))的电压拉动并保持成第二电压。通过上述方式，能够减小第一节点(Q(N))和第二节点(H(N))之间的漏电流，降低电路失效的风险。

一种栅极驱动电路及显示面板

[1] **【技术领域】**

[2] 本发明涉及显示驱动领域，特别是涉及一种栅极驱动电路及显示面板。

[3] **【背景技术】**

[4] 随着低温多晶硅（Low Temperature Poly-silicon，LTPS）技术的快速发展，相应的面板周边集成电路也成为大家关注的焦点，其中一项非常重要的技术就是GOA（Gate Driver On Array，阵列基板行驱动）技术量产化的实现，利用GOA技术将栅极开关电路集成在液晶显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。

[5] 这种利用GOA技术集成在阵列基板上的栅极开关电路也称栅极驱动电路。传统的栅极驱动电路中，在控制其中的输出电路输出栅极扫描驱动信号时，需要连接输出电路的节点保持一定时间的电压强度，从而在时钟信号脉冲来临时输出栅极扫描驱动信号，如果在这一段时间内，连接输出电路的节点因为漏电流的出现而无法保持电压强度，会导致电路失效，无法正常输出栅极扫描驱动信号。

[6] **【发明内容】**

[7] 本发明的目的在于提供一种栅极驱动电路及显示面板，旨在解决因连接输出电路的节点无法保持一定时间的电压强度而导致电路失效的问题。

[8] 为实现上述目的，本发明提供一种技术方案是：提供一种栅极驱动电路，包括：

[9] 输入电路、输出电路、稳定电路、拉动电路、拉动控制电路，输入电路包括第一开关管和第二开关管，稳定电路包括第三开关管；

[10] 第一开关管的第一通路端连接第一开关管的控制端及第二开关管的控制端，并接收上级扫描驱动信号，第一开关管的第二通路端连接拉动电路，第一开关管在上级扫描驱动信号的作用下导通，进而将上级扫描驱动信号传递至拉动电路，并将拉动电路设置为第一状态；

- [11] 第二开关管的第一通路端连接第一参考电位，第二开关管的第二通路端连接第一节点，第一节点连接输出电路，第二开关管在上级扫描驱动信号的作用下导通，使第一参考电位将第一节点的电压设置为第一电压，并由输出电路进行保持，进而使得输出电路根据第一时钟信号输出本级扫描驱动信号；
- [12] 第一开关管的第二通路端同时连接第三开关管的控制端，以接收上级扫描驱动信号，第三开关管的第一通路端连接第一参考电位，第三开关管的第二通路端连接第二节点，第三开关管在上级扫描驱动信号的作用下导通，使第一参考电位将第二节点的电压设置为第一电压，并由第三开关管进行保持；
- [13] 拉动电路在第一节点连接第二开关管的第二通路端，拉动电路在第二节点连接第三开关管的第二通路端，拉动电路连接拉动控制电路，拉动控制电路响应第二时钟信号将拉动电路设置为第二状态，进而利用第二参考电位将第一节点和第二节点的电压拉动并保持成第二电压。
- [14] 为实现上述目的，本发明提供的另一技术方案是：提供一种栅极驱动电路，包括：
- [15] 输入电路、输出电路、稳定电路、拉动电路、拉动控制电路；
- [16] 输出电路在第一节点连接输入电路和拉动电路，输入电路响应上级扫描驱动信号将拉动电路设置为第一状态，并利用第一参考电位将第一节点的电压设置为第一电压，且由输出电路进行保持，进而使得输出电路根据第一时钟信号输出本级扫描驱动信号；
- [17] 稳定电路在第二节点连接拉动电路，输入电路响应上级扫描驱动信号利用第一参考电位将第二节点的电压设置为第一电压，并由稳定电路进行保持，进而减小第一节点与第二节点之间的漏电流；
- [18] 拉动控制电路响应第二时钟信号将拉动电路设置为第二状态，进而利用第二参考电位将第一节点和第二节点的电压拉动并保持成第二电压。
- [19] 其中，输入电路包括第一开关管和第二开关管；
- [20] 第一开关管的第一通路端连接第一开关管的控制端及第二开关管的控制端，并接收上级扫描驱动信号，第一开关管的第二通路端连接拉动电路，第一开关管在上级扫描驱动信号的作用下导通，进而将上级扫描驱动信号传递至拉动电路

，并将拉动电路设置为第一状态；

[21] 第二开关管的第一通路端连接第一参考电位，第二开关管的第二通路端连接第一节点，第二开关管在上级扫描驱动信号的作用下导通，使第一参考电位将第一节点的电压设置为第一电压，第一开关管的第二通路端进一步连接稳定电路，第一开关管进一步使将上级扫描驱动信号传递至稳定电路，控制稳定电路导通，进而使第一参考电位将第二节点的电压设置为第一电压，并由稳定电路进行保持。

[22] 其中，第一开关管是第一晶体管，第一开关管的控制端对应第一晶体管的栅极，第一开关管的第一通路端及第二通路端分别对应第一晶体管的源极及漏极；

[23] 第二开关管是第二晶体管，第二开关管的控制端对应第二晶体管的栅极，第二开关管的第一通路端及第二通路端分别对应第二晶体管的源极及漏极。

[24] 其中，输入电路进一步包括第三开关管；

[25] 第三开关管的控制端连接第一参考电位或第二参考电位，第三开关管的第一通路端连接第二开关管的第二通路端，第三开关管的第二通路端连接第一节点，第三开关管在第一参考电位或第二参考电位的作用下导通，以对第一节点的电压进行稳压。

[26] 其中，第三开关管是第三晶体管，第三开关管的控制端对应第三晶体管的栅极，第三开关管的第一通路端及第二通路端分别对应第三晶体管的源极及漏极。

[27] 其中，输出电路包括开关管及自举电容；

[28] 开关管的控制端连接第一节点，开关管的第一通路端输入第一时钟信号，自举电容连接于开关管的控制端与开关管的第二通路端之间，第一节点的电压被设置第一电压时，自举电容对第一电压进行保持，以使得开关管导通，进而根据第一时钟信号在开关管的第二通路端输出本级扫描驱动信号。

[29] 其中，开关管是晶体管，开关管的控制端对应晶体管的栅极，开关管的第一通路端及第二通路端分别对应晶体管的源极及漏极。

[30] 其中，稳定电路包括开关管；

[31] 开关管的控制端连接输入电路，以接收上级扫描驱动信号，开关管的第一通路端连接第一参考电位，开关管的第二通路端连接第二节点，开关管在上级扫描

驱动信号的作用下导通，使第一参考电位将第二节点的电压设置为第一电压，并由开关管保持。

[32] 其中，开关管是晶体管，开关管的控制端对应晶体管的栅极，开关管的第一通路端及第二通路端分别对应晶体管的源极及漏极。

[33] 其中，稳定电路还包括另一开关管；

[34] 另一开关管的第一通路端连接第二节点和另一开关管的控制端，另一开关管的第二通路端连接输入电路，以接收上级扫描驱动信号，另一开关管在第二节点的电压设置为第一电压时导通，另一开关管与开关管共同对第一电压进行保持。

[35] 其中，另一开关管是另一晶体管，另一开关管的控制端对应另一晶体管的栅极，另一开关管的第一通路端及第二通路端分别对应另一晶体管的源极及漏极。

[36] 其中，拉动电路包括第一开关管、第二开关管、第三开关管、第四开关管和自举电容；

[37] 第一开关管的第一通路端连接第二节点，第一开关管的第一通路端连接第一节点，第一开关管的控制端连接第三节点；

[38] 第二开关管的控制端连接输入电路，以接收上级扫描驱动信号，第二开关管的第一通路端连接第三节点，第二开关管的第二通路端连接第二参考电位；

[39] 第三开关管的控制端连接第三节点，第三开关管的第一通路端连接第二节点，第三开关管的第二通路端连接第二参考电位；

[40] 第四开关管的控制端连接第三节点，第四开关管的第一通路端连接输出电路的输出端，第四开关管的第二通路端连接第二参考电位；

[41] 自举电容连接于第三节点与第二参考电位之间；

[42] 其中，第二开关管在上级扫描驱动信号作用下导通，使第二参考电位将第三节点的电压设置为第二电压，第一开关管、第三开关管及第四开关管在第三节点的作用下关闭，从而使得第一节点的第一电压在输出电路中保持，第二节点的第一电压在稳定电路中保持；

[43] 拉动控制电路响应第二时钟信号将第三节点的电压设置为第一电压，使得第一开关管、第三开关管及第四开关管导通，进而使第二参考电位将第一节点和第

二节点的电压设置为第二电压。

[44] 其中，第一开关管是第一晶体管，第一开关管的控制端对应第一晶体管的栅极，第一开关管的第一通路端及第二通路端分别对应第一晶体管的源极及漏极；

[45] 第二开关管是第二晶体管，第二开关管的控制端对应第二晶体管的栅极，第二开关管的第一通路端及第二通路端分别对应第二晶体管的源极及漏极；

[46] 第三开关管是第三晶体管，第三开关管的控制端对应第三晶体管的栅极，第三开关管的第一通路端及第二通路端分别对应第三晶体管的源极及漏极；

[47] 第四开关管是第四晶体管，第四开关管的控制端对应第四晶体管的栅极，第四开关管的第一通路端及第二通路端分别对应第四晶体管的源极及漏极。

[48] 其中，拉动控制电路包括第五开关管、第六开关管；

[49] 第五开关管的第一通路端连接第三节点，第五开关管的第二通路端连接第一参考电位，第六开关管的第一通路端连接稳定电路，第六开关管的第二通路端连接第二参考电位，第五开关管的控制端及第六开关管的控制端接收第二时钟信号；

[50] 第六开关管在第二时钟信号的作用下导通，使第二参考电位经第六开关管，控制稳定电路解除对第一电压的保持；

[51] 第五开关管在第二时钟信号的作用下导通，使第一参考电位经第五开关管将第三节点的电压设置为第一电压，使得第一开关管、第三开关管、第四开关管导通，进而利用第二参考电位将第一节点、第二节点的电压设置为第二电压。

[52] 其中，第五开关管是第五晶体管，第五开关管的控制端对应第五晶体管的栅极，第五开关管的第一通路端及第二通路端分别对应第五晶体管的源极及漏极；

[53] 第六开关管是第六晶体管，第六开关管的控制端对应第六晶体管的栅极，第六开关管的第一通路端及第二通路端分别对应第六晶体管的源极及漏极。

[54] 其中，第一参考电位为高参考电位和低参考电位中的一个，第二参考电位为高参考电位和低参考电位中的另一个。

[55] 其中，第一电压为高电位和低电位中的一个，第二电压为高电位和低电位中的另一个。

[56] 为实现上述目的，本发明提供的又一技术方案是：提供一种显示面板，包括基

板及基板上的栅极驱动电路。

[57] 本发明的有益效果是：区别于现有技术的情况，本发明通过在输入电路响应上级扫描驱动信号将拉动电路设置为第一状态，并利用第一参考电位将第一节点的电压设置为第一电压，且由输出电路进行保持的同时，通过输入电路响应上级扫描驱动信号利用第一参考电位将第二节点的电压设置为第一电压，并由稳定电路进行保持，进而使得输出电路根据第一时钟信号输出本级扫描驱动信号。通过这种方式，本发明在第一节点的电压为第一电压的同时，也使第二节点的电压为第一电压，从而减小第一节点和第二节点之间的漏电流，使得第一节点的电压可以由输出电路保持一定时间的强度，等待时钟信号的到来，从而输出本级扫描驱动信号，降低电路失效的风险。

[58] **【附图说明】**

[59] 图1是本发明栅极驱动电路实施一的原理示意图；
[60] 图2是本发明栅极驱动电路实施例一的具体电路图；
[61] 图3是本发明栅极驱动电路实施例一的驱动框架示意图；
[62] 图4是本发明栅极驱动电路实施例一的时序图；
[63] 图5是本发明栅极驱动电路实施例二的具体电路图；
[64] 图6是本发明栅极驱动电路实施例二的时序图。

[65] **【具体实施方式】**

[66] 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明所提供的一种栅极驱动电路及显示面板做进一步详细描述。

[67] 如图1所示，本发明栅极驱动电路实施例一包括：输入电路101、输出电路102、稳定电路103、拉动电路104、拉动控制电路105。

[68] 输出电路102在第一节点Q（N）连接输入电路101和拉动电路104，输入电路101响应上级扫描驱动信号Gate（N-2）将拉动电路104设置为第一状态，并利用第一参考电位V1将第一节点Q（N）的电压设置为第一电压，且由输出电路102进行保持，进而使得输出电路102根据第一时钟信号CK（M）输出本级扫描驱动信号Gate（N）；

[69] 稳定电路103在第二节点H（N）连接拉动电路104，输入电路101响应上级扫描

驱动信号Gate (N-2) 利用第一参考电位V1将第二节点H (N) 的电压设置为第一电压, 并由稳定电路103进行保持, 进而减小第一节点Q (N) 与第二节点H (N) 之间的漏电流;

[70] 拉动控制电路105响应第二时钟信号CK (M+1) 将拉动电路104设置为第二状态, 进而利用第二参考电位V2将第一节点Q (N) 与第二节点H (N) 的电压拉动并保持成第二电压。

[71] 具体地, 本实施例一的电路利用上级扫描驱动信号Gate (N-2) 作为启动信号, 在第一时钟信号CK (M) 的作用下, 输出本级扫描驱动信号Gate (N), 在本级扫描驱动信号Gate (N) 的作用下, 其所在行的开关管写入像素后, 需要将本级扫描驱动信号Gate (N) 恢复到常态即使其所在扫描行的开关管保持截止, 因此需要使拉动控制电路105响应第二时钟信号CK (M+1) 将拉动电路104设置为第二状态, 进而利用第二参考电位V2将第一节点Q (N) 与第二节点H (N) 的电压拉动并保持成第二电压, 使本级扫描驱动信号Gate (N) 的电压保持为第二电压, 第二电压使扫描行的开关管保持截止。

[72] 其中, 本实施例一的上级扫描驱动信号Gate (N-2) 是本级扫描驱动信号Gate (N) 前两级的扫描驱动信号, 在其他实施中, 上级扫描驱动信号可选本级扫描驱动信号前几级的扫描驱动信号, 或本级扫描驱动信号后几级的扫描驱动信号, 级数并不做限定。第一时钟信号CK (M)、第二时钟信号CK (M+1) 可选高频或低频时钟信号。

[73] 在传统电路中, 连接输出电路的节点 (类比本实施例一的第一节点) 被设置为一定强度的电压, 以等待时钟信号的来临从而输出本级扫描驱动信号时, 并没有能与连接输出电路的节点保持同等电压的节点或是存储电压, 此时, 如果连接输出电路的节点的开关管的漏电特性不是很好, 输出电路的节点的电压无法保持一定强度, 当时钟信号来临时, 连接输出电路的节点使输出电路无法发挥作用, 栅极扫描驱动信号无法正常输出, 导致电路失效。

[74] 而本实施例一中, 第一节点Q (N) 连接输入电路101、输出电路102、拉动电路104, 是控制本级扫描信号Gate (N) 输出的点, 第二节点H (N) 连接于稳定电路103与拉动电路104之间, 是防止漏电流出现的点, 输入电路101首先需要响

应上级扫描驱动信号将拉动电路104设置为第一状态，为第一节点Q（N）、第二节点H（N）的电压设置以及设置后电压的保持做准备，在输入电路101输入上级扫描驱动信号使第一节点Q（N）的电压被第一参考电位V1设置为第一电压时，输入电路101也通过稳定电路103将第二节点H（N）的电压被第一参考电位V1设置为第一电压，第一节点Q（N）与第二节点H（N）的电压相同，两个节点之间几乎不存在漏电流，第一节点Q（N）的电压在输出电路102中得以保持，通过这种方式，使电路失效的风险大大降低。

[75] 其中，在优选实施例中，第一参考电位V1为高参考电位VGH和低参考电位VGL中的一个，第二参考电位V2为高参考电位VGH和低参考电位VGL中的另一个，也就是说，如果第一参考电位V1是高参考电位VGH，那么第二参考电位V2就是低参考电位VGL，如果第一参考电位V1是低参考电位VGL，那么第一参考电位V1就是高参考电位VGH，第一参考电位V1和第二参考电位V2用于设置第一电压为高电位和低电位中的一个，第二电压为高电位和低电位中的另一个。

[76] 栅极驱动电路的开关管通常采用膜薄晶体管，薄膜晶体管有两种类型的器件，一种是以空穴导电为主的P型器件（PMOS），一种是以电子导电为主的N型器件（NMOS）。

[77] 在本实施例一的一应用场景中，如图2所示，以NMOS单型器件设计集成的NMOS栅极驱动电路为例来进行具体阐述，其中，各个开关管的控制端对应于NMOS晶体管的栅极，开关管的第一通路端及第二通路端分别对应于NMOS晶体管的源极及漏极。在其他实施例中，NMOS晶体管的源极及漏极的位置也可以根据需要进行互换。

[78] 具体地，输入电路101包括晶体管T1、晶体管T2、晶体管T3；

[79] 晶体管T1的源极连接晶体管T1的栅极及晶体管T2的栅极，并接收上级扫描驱动信号Gate（N-2），晶体管T1的漏极连接拉动电路104、稳定电路103；晶体管T2的源极连接第一参考电位VGH，晶体管T2的漏极连接晶体管T3的源极，晶体管T3的漏极连接第一节点Q（N），晶体管T3的栅极连接第一参考电位V1，第一参考电位V1是高参考电位VGH；

[80] 输入电路101实现扫描驱动级传信号的输入，实现对第一节点Q（N）、第二节点

点H (N) 电压的设置, 实现对拉动电路104第一状态的设置, 其中, 晶体管T3主要起到稳定电压的作用。

[81] 输出电路102包括晶体管T4及自举电容C1;

[82] 晶体管T4的栅极连接第一节点Q (N), 晶体管T4的源极输入第一时钟信号CK (M), 自举电容C1连接于晶体管T4的栅极与晶体管T4的漏极之间, 第一节点Q (N) 的电压被设置第一电压时, 自举电容C1对第一电压进行保持, 以使得晶体管T4导通, 进而根据第一时钟信号CK (M) 在晶体管T4的漏极输出本级扫描驱动信号Gate (N) 。

[83] 稳定电路103包括晶体管T5和晶体管T6;

[84] 晶体管T5的栅极连接晶体管T1的漏极, 以接收上级扫描驱动信号Gate (N-2), 晶体管T5的源极连接第一参考电位VGH, 晶体管T5的漏极连接第二节点H (N), 晶体管T6的源极连接第二节点H (N) 和晶体管T6的栅极, 晶体管T6的漏极连接晶体管T1的漏极。

[85] 其中, 在其他实施例中, 稳定电路103中晶体管T6可以移除。

[86] 拉动电路104包括晶体管T7、晶体管T8、晶体管T9和晶体管T10和自举电容C2;

[87] 晶体管T7的源极连接第二节点H (N), 晶体管T7的漏极连接第一节点Q (N), 晶体管T7的栅极连接第三节点P (N); 晶体管T8的栅极连接晶体管T1的漏极, 以接收上级扫描驱动信号Gate (N-2), 晶体管T8的源极连接第三节点P (N), 晶体管T8的漏极连接第二参考电位V2, 第二参考电位V2是低参考电位VGL; 晶体管T9的栅极连接第三节点P (N), 晶体管T9的源极连接第二节点H (N), 晶体管T9的漏极连接第二参考电位VGL; 晶体管T10的栅极连接第三节点P (N), 晶体管T10的源极连接晶体管T4的漏极, 晶体管T10的漏极连接第二参考电位VGL; 自举电容C2连接于第三节点P (N) 与第二参考电位VGL之间。

[88] 拉动控制电路105包括晶体管T11、晶体管T12;

[89] 晶体管T11的源极连接第三节点P (N), 晶体管T11的漏极连接第一参考电位VGH, 晶体管T12的源极连接晶体管T5的漏极, 晶体管T12的漏极连接第二参考电位VGL, 晶体管T11的栅极及晶体管T12的栅极接收第二时钟信号CK (M+1) 。

- [90] 在上述电路中，第一参考电位VGH可选恒压正电位，第二参考电位VGL可选恒压负电位。
- [91] 第一时钟信号CK (M)、第二时钟信号CK (M+1)是从同一组的四个时钟信号中选取的两组时钟信号，比如，CK (1)、CK (2)、CK (3)、CK (4)为同一组时钟信号CK (M)所包含的四组交替循环的时钟信号，均为低频时钟信号，如图3所示，是本实施例一的驱动框架示意图，如果第一级扫描驱动信号Gate (1)用到的时钟信号CK (M)、CK(M+1)对应于CK (1)、CK (2)，那么第二级扫描驱动信号Gate (2)用到的时钟信号CK (M)、CK(M+1)对应于CK (2)、CK (3)，第三级扫描驱动信号Gate (3)用到的时钟信号CK (M)、CK(M+1)对应于CK (3)、CK (4)，第四级扫描驱动信号Gate (4)用到的时钟信号CK (M)、CK(M+1)对应于CK (4)、CK (1)，以次类推交替循环。
- [92] 同时从图3可以看出，本级扫描驱动信号Gate (N)是以前两级的扫描驱动信号Gate (N-2)为输入启动信号进行作用，但是在第一级扫描驱动信号Gate (1)、第二级扫描驱动信号Gate (2)的连接关系中，无法使用其前两级的扫描驱动信号，因此，在本实施例一的第一级扫描驱动信号Gate (1)的连接关系中，晶体管T1的栅极及源极连接输入启动信号STV1，在第二级扫描驱动信号Gate (2)的连接关系中，晶体管T1的栅极及源极连接输入启动信号STV2，输入启动信号STV1、STV2给出高电位脉冲，使电路启动。
- [93] 图4所示是本发明栅极驱动电路实施例一的时序图，结合图2，本实施例一的具体工作过程为：
- [94] 当上级扫描驱动信号Gate (N-2)的高电位来临时，晶体管T1、晶体管T2导通，由于晶体管T3的栅极连接第一参考电位VGH的高电位，处于导通常态，第一参考电位VGH的高电位通过晶体管T2、晶体管T3将第一节点Q (N)的电压设置为第一电压，第一电压为高电位；
- [95] 上级扫描驱动信号Gate (N-2)的高电位通过晶体管T1使晶体管T5的栅极为高电位，晶体管T5导通，第一参考电位VGH的高电位通过晶体管T5将第二节点H (N)的电压设置为第一电压即高电位，晶体管T6导通，上级扫描驱动信号Gate (N-2)的高电位通过晶体管T6继续加速第二节点H (N)电位的上升，第二节

点H (N) 的高电位在晶体管T5、晶体管T6中进行存储保持；

[96] 上级扫描驱动信号Gate (N-2) 的高电位通过晶体管T1使晶体管T8的栅极为高电位，晶体管T8导通，第三节点P (N) 被第二参考电位VGL拉低至第二电压，第二电压是低电位，晶体管T7、晶体管T9、晶体管T10截止，此时第二时钟信号CK (M+1) 也为低电位，晶体管T11、晶体管T12截止，拉动电路104保持为第一状态；

[97] 上级扫描驱动信号Gate (N-2) 的高电位作用完毕后，晶体管T1、晶体管T2截止，前述拉动电路104已经被设置为第一状态，晶体管T7、晶体管T9截止，第一节点Q (N) 的电压得以保持为高电位，从图6可以看出，在等待第一时钟信号CK (M) 来临时，第一节点Q (N) 的高电位需要保持两个时钟脉冲的时间，第一时钟信号本实施例一的电路，在传统电路的基础上增加第二节点H (N) 的电位存储，使得连接第一节点Q (N) 的晶体管T2、晶体管T7的源极均为高电位，不存在漏电路径，降低电路失效的风险；

[98] 在第一节点Q (N) 的高电位保持期间，晶体管T4导通，当第一时钟信号CK (M) 的高电位来临时，第一节点Q (N) 由于自举电容C1的自举作用会出现电位的继续上升，通过晶体管T4输出本级扫描驱动信号Gate (N) 的高电位。

[99] 第一时钟信号CK (M) 的高电位作用完毕后，第二时钟信号CK (M+1) 的高电位来临，晶体管T11、晶体管T12导通，晶体管T1的漏极通过晶体管T12被第二参考电位VGL拉低至第二电压的低电位，晶体管T5、晶体管T8截止，第一参考电位VGH的高电位通过晶体管T11将第三节点P (N) 设置为第一电压的高电位，此时拉动电路为第二状态；

[100] 第三节点P (N) 的高电位使晶体管T9、晶体管T7导通，第一节点Q (N) 通过晶体管T7、晶体管T9被第二参考电位VGL下拉至低电位，第二节点H (N) 通过晶体管T9被第二参考电位VGL下拉至低电位，在第二节点H (N) 的低电位还不足以使晶体管T6截止时，晶体管T6源极的低电位也会加速第二节点H (N) 电位的下拉；

[101] 第三节点P (N) 的高电位同时使晶体管T10导通，本级扫描驱动信号Gate (N) 也被第二参考电位VGL下拉至低电位，至此，完成整个电路一个时序周期的

工作。

- [102] 本发明栅极驱动电路实施例二，以PMOS单型器件设计集成的PMOS栅极驱动电路为例来进行具体阐述，其中，各个开关管的控制端对应于PMOS晶体管的栅极，开关管的第一通路端及第二通路端分别对应于PMOS晶体管的源极及漏极。
- [103] 如图5所示，该实施例二与实施例一图2的区别在于，将电路中的NMOS晶体管全部换成PMOS晶体管，第一参考电位是低参考电位VGL，第二参考电位是高参考电位VGH，电路结构与实施例一相类似，此处不再赘述。
- [104] 图6是本发明栅极驱动电路实施例二的时序图，具体地，结合图5，本实施例二PMOS栅极驱动电路的工作过程为：
- [105] 当上级扫描驱动信号Gate (N-2) 的低电位来临时，晶体管PT1、晶体管PT2导通，由于晶体管PT3的栅极连接第一参考电位VGL的低电位，处于导通常态，第一参考电位VGL的低电位通过晶体管PT2、晶体管PT3将第一节点Q (N) 的电压设置为第一电压，第一电压为低电位；
- [106] 上级扫描驱动信号Gate (N-2) 的低电位通过晶体管PT1使晶体管PT5的栅极为低电位，晶体管PT5导通，第一参考电位VGL的低电位通过晶体管PT5将第二节点H (N) 的电压设置为第一电压即低电位，晶体管PT6导通，上级扫描驱动信号Gate (N-2) 的低电位通过晶体管PT6继续加速第二节点H (N) 电位的下降，第二节点H (N) 的低电位在晶体管PT5、晶体管PT6中进行存储保持；
- [107] 上级扫描驱动信号Gate (N-2) 的低电位通过晶体管PT1使晶体管PT8的栅极为低电位，晶体管PT8导通，第三节点P (N) 被第二参考电位VGH拉高至第二电压，第二电压是高电位，晶体管PT7、晶体管PT9、晶体管PT10截止，此时第二时钟信号CK (M+1) 也为高电位，晶体管PT11、晶体管PT12截止；
- [108] 上级扫描驱动信号Gate (N-2) 的低电位作用完毕后，晶体管PT1、晶体管PT2截止，前述提到晶体管PT11、晶体管PT12截止，第一节点Q (N) 的电压在自举电容C1中保持为低电位，从图6可以看出，在等待第一时钟信号CK (M) 来临时，第一节点Q (N) 的低电位需要保持两个时钟脉冲的时间，第一时钟信号本实施例二的电路，在传统电路的基础上增加第二节点H (N) 的电位存储，使得连接第一节点Q (N) 的晶体管PT2、晶体管PT7的源极均为低电位，几乎不存在漏

电路路径，降低电路失效的风险；

- [109] 在第一节点Q (N) 的低电位保持期间，晶体管PT4导通，当第一时钟信号CK (M) 的高电位来临时，第一节点Q (N) 由于自举电容C1的自举作用会出现电位的继续下降，通过晶体管PT4输出本级扫描驱动信号Gate (N) 的低电位。
- [110] 第一时钟信号CK (M) 的低电位作用完毕后，第二时钟信号CK (M+1) 的低电位来临，晶体管PT11、晶体管PT12导通，晶体管PT1的漏极通过晶体管PT12被第二参考电位VGH拉高至第二电压的高电位，晶体管PT5、晶体管PT8截止，第一参考电位VGL的低电位通过晶体管PT11将第三节点P (N) 设置为第一电压的低电位；
- [111] 第三节点P (N) 的低电位使晶体管PT9、晶体管PT7导通，第一节点Q (N) 通过晶体管PT7、晶体管PT9被第二参考电位VGH拉高至第二电压的高电位，第二节点H (N) 通过晶体管PT9被第二参考电位VGH拉至高电位，在第二节点H (N) 的高电位还不足以使晶体管PT6截止时，晶体管PT6源极的高电位也会加速第二节点H (N) 电位的上升；
- [112] 第三节点P (N) 的低电位同时使晶体管PT10导通，本级扫描驱动信号Gate (N) 也被第二参考电位VGH拉至高电位，至此，完成整个电路一个时序周期的工作。
- [113] 本发明实施例三提供一种显示面板，包括基板及在基板上形成栅极驱动电路，该栅极驱动电路为上述任一实施例提供的栅极驱动电路。
- [114] 本发明实施例一及本发明实施例二分别以NMOS栅极驱动电路及PMOS栅极驱动电路为例，但并不以此为限，在其他实施例中，基于不同的实现原理，栅极驱动电路的具体电路结构可以不同，电路中包含的元器件也可不同，如晶体管可选CMOS半导体元件等，以满足实际需求为准。
- [115] 本发明通过上述三个实施例详细描述了一种栅极驱动电路及显示面板，通过在输入电路响应上级扫描驱动信号将拉动电路设置为第一状态，并利用第一参考电位将第一节点的电压设置为第一电压，且由输出电路进行保持的同时，通过输入电路响应上级扫描驱动信号利用第一参考电位将第二节点的电压设置为第一电压，并由稳定电路进行保持，进而使得输出电路根据第一时钟信号输出本

级扫描驱动信号。通过这种方式，本发明在将第一节点的电压设置为第一电压的同时，也将第二节点的电压设置为第一电压，从而减小第一节点和第二节点之间的漏电流，使得第一节点的电压可以由输出电路保持一定时间的强度，等待时钟信号的到来，从而输出本级扫描驱动信号，减小电路失效的风险。

[116] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种栅极驱动电路，其中，包括：

输入电路、输出电路、稳定电路、拉动电路、拉动控制电路，所述输入电路包括第一开关管和第二开关管，所述稳定电路包括第三开关管；

所述第一开关管的第一通路端连接所述第一开关管的控制端及所述第二开关管的控制端，并接收上级扫描驱动信号，所述第一开关管的第二通路端连接所述拉动电路，所述第一开关管在所述上级扫描驱动信号的作用下导通，进而将所述上级扫描驱动信号传递至所述拉动电路，并将所述拉动电路设置为第一状态；

所述第二开关管的第一通路端连接第一参考电位，所述第二开关管的第二通路端连接第一节点，所述第一节点连接所述输出电路，所述第二开关管在所述上级扫描驱动信号的作用下导通，使所述第一参考电位将所述第一节点的电压设置为第一电压，并由所述输出电路进行保持，进而使得所述输出电路根据第一时钟信号输出本级扫描驱动信号；

所述第一开关管的第二通路端同时连接所述第三开关管的控制端，以接收所述上级扫描驱动信号，所述第三开关管的第一通路端连接所述第一参考电位，所述第三开关管的第二通路端连接第二节点，所述第三开关管在所述上级扫描驱动信号的作用下导通，使所述第一参考电位将所述第二节点的电压设置为所述第一电压，并由所述第三开关管进行保持；

所述拉动电路在所述第一节点连接所述第二开关管的第二通路端，所述拉动电路在所述第二节点连接所述第三开关管的第二通路端，所述拉动电路连接所述拉动控制电路，所述拉动控制电路响应第二时钟信号将所述拉动电路设置为第二状态，进而利用第二参考电位将所述第一节点和所述第二节点的电压拉动并保持成第二电压。

[权利要求 2]

一种栅极驱动电路，其中，包括：

输入电路、输出电路、稳定电路、拉动电路、拉动控制电路；

所述输出电路在第一节点连接所述输入电路和所述拉动电路，所述输入电路响应上级扫描驱动信号将所述拉动电路设置为第一状态，并利用第一参考电位将所述第一节点的电压设置为第一电压，且由所述输出电路进行保持，进而使得所述输出电路根据第一时钟信号输出本级扫描驱动信号；

所述稳定电路在第二节点连接所述拉动电路，所述输入电路响应所述上级扫描驱动信号利用所述第一参考电位将所述第二节点的电压设置为所述第一电压，并由所述稳定电路进行保持，进而减小所述第一节点与所述第二节点之间的漏电流；

所述拉动控制电路响应第二时钟信号将所述拉动电路设置为第二状态，进而利用第二参考电位将所述第一节点和所述第二节点的电压拉动并保持成第二电压。

[权利要求 3]

根据权利要求2所述的栅极驱动电路，其中，

所述输入电路包括第一开关管和第二开关管；

所述第一开关管的第一通路端连接所述第一开关管的控制端及所述第二开关管的控制端，并接收所述上级扫描驱动信号，所述第一开关管的第二通路端连接所述拉动电路，所述第一开关管在所述上级扫描驱动信号的作用下导通，进而将所述上级扫描驱动信号传递至所述拉动电路，并将所述拉动电路设置为所述第一状态；

所述第二开关管的第一通路端连接所述第一参考电位，所述第二开关管的第二通路端连接所述第一节点，所述第二开关管在所述上级扫描驱动信号的作用下导通，使所述第一参考电位将所述第一节点的电压设置为所述第一电压，所述第一开关管的第二通路端进一步连接所述稳定电路，所述第一开关管进一步使将所述上级扫描驱动信号传递至所述稳定电路，控制所述稳定电路导通，

进而使所述第一参考电位将所述第二节点的电压设置为所述第一电压，并由所述稳定电路进行保持。

[权利要求 4] 根据权利要求3所述的栅极驱动电路，其中，
所述第一开关管是第一晶体管，所述第一开关管的控制端对应所述第一晶体管的栅极，所述第一开关管的第一通路端及第二通路端分别对应所述第一晶体管的源极及漏极；
所述第二开关管是第二晶体管，所述第二开关管的控制端对应所述第二晶体管的栅极，所述第二开关管的第一通路端及第二通路端分别对应所述第二晶体管的源极及漏极。

[权利要求 5] 根据权利要求3所述的栅极驱动电路，其中，
所述输入电路进一步包括第三开关管；
所述第三开关管的控制端连接所述第一参考电位或所述第二参考电位，所述第三开关管的第一通路端连接所述第二开关管的第二通路端，所述第三开关管的第二通路端连接所述第一节点，所述第三开关管在所述第一参考电位或所述第二参考电位的作用下导通，以对所述第一节点的电压进行稳压。

[权利要求 6] 根据权利要求5所述的栅极驱动电路，其中，
所述第三开关管是第三晶体管，所述第三开关管的控制端对应所述第三晶体管的栅极，所述第三开关管的第一通路端及第二通路端分别对应所述第三晶体管的源极及漏极。

[权利要求 7] 根据权利要求2所述的栅极驱动电路，其中，
所述输出电路包括开关管及自举电容；
所述开关管的控制端连接所述第一节点，所述开关管的第一通路端输入所述第一时钟信号，所述自举电容连接于所述开关管的控制端与所述开关管的第二通路端之间，所述第一节点的电压被设置所述第一电压时，所述自举电容对所述第一电压进行保持，以使得所述开关管导通，进而根据所述第一时钟信号在所述开关管的第二通路端输出所述本级扫描驱动信号。

- [权利要求 8] 根据权利要求7所述的栅极驱动电路，其中，
所述开关管是晶体管，所述开关管的控制端对应所述晶体管的栅极，所述开关管的第一通路端及第二通路端分别对应所述晶体管的源极及漏极。
- [权利要求 9] 根据权利要求2所述的栅极驱动电路，其中，
所述稳定电路包括开关管；
所述开关管的控制端连接所述输入电路，以接收所述上级扫描驱动信号，所述开关管的第一通路端连接所述第一参考电位，所述开关管的第二通路端连接所述第二节点，所述开关管在所述上级扫描驱动信号的作用下导通，使所述第一参考电位将所述第二节点的电压设置为所述第一电压，并由所述开关管保持。
- [权利要求 10] 根据权利要求9所述的栅极驱动电路，其中，
所述开关管是晶体管，所述开关管的控制端对应所述晶体管的栅极，所述开关管的第一通路端及第二通路端分别对应所述晶体管的源极及漏极。
- [权利要求 11] 根据权利要求9所述的栅极驱动电路，其中，
所述稳定电路还包括另一开关管；
所述另一开关管的第一通路端连接所述第二节点和所述另一开关管的控制端，所述另一开关管的第二通路端连接所述输入电路，以接收所述上级扫描驱动信号，所述另一开关管在所述第二节点的电压设置为所述第一电压时导通，所述另一开关管与所述开关管共同对所述第一电压进行保持。
- [权利要求 12] 根据权利要求11所述的栅极驱动电路，其中，
所述另一开关管是另一晶体管，所述另一开关管的控制端对应所述另一晶体管的栅极，所述另一开关管的第一通路端及第二通路端分别对应所述另一晶体管的源极及漏极。
- [权利要求 13] 根据权利要求2所述的栅极驱动电路，其中，
所述拉动电路包括第一开关管、第二开关管、第三开关管、第四

开关管和自举电容；

所述第一开关管的第一通路端连接所述第二节点，所述第一开关管的第二通路端连接所述第一节点，所述第一开关管的控制端连接第三节点；

所述第二开关管的控制端连接所述输入电路，以接收所述上级扫描驱动信号，所述第二开关管的第一通路端连接所述第三节点，所述第二开关管的第二通路端连接所述第二参考电位；

所述第三开关管的控制端连接所述第三节点，所述第三开关管的第一通路端连接所述第二节点，所述第三开关管的第二通路端连接所述第二参考电位；

所述第四开关管的控制端连接所述第三节点，所述第四开关管的第一通路端连接所述输出电路的输出端，所述第四开关管的第二通路端连接所述第二参考电位；

所述自举电容连接于所述第三节点与所述第二参考电位之间；

其中，所述第二开关管在所述上级扫描驱动信号作用下导通，使所述第二参考电位将所述第三节点的电压设置为所述第二电压，所述第一开关管、所述第三开关管及所述第四开关管在所述第三节点的作用下关闭，从而使得所述第一节点的第一电压在所述输出电路中保持，所述第二节点的第一电压在所述稳定电路中保持；

所述拉动控制电路响应所述第二时钟信号将所述第三节点的电压设置为所述第一电压，使得所述第一开关管、所述第三开关管及所述第四开关管导通，进而使所述第二参考电位将所述第一节点和所述第二节点的电压设置为所述第二电压。

[权利要求 14]

根据权利要求13所述的栅极驱动电路，其中，

所述第一开关管是第一晶体管，所述第一开关管的控制端对应所述第一晶体管的栅极，所述第一开关管的第一通路端及第二通路端分别对应所述第一晶体管的源极及漏极；

所述第二开关管是第二晶体管，所述第二开关管的控制端对应所述第二晶体管的栅极，所述第二开关管的第一通路端及第二通路端分别对应所述第二晶体管的源极及漏极；

所述第三开关管是第三晶体管，所述第三开关管的控制端对应所述第三晶体管的栅极，所述第三开关管的第一通路端及第二通路端分别对应所述第三晶体管的源极及漏极；

所述第四开关管是第四晶体管，所述第四开关管的控制端对应所述第四晶体管的栅极，所述第四开关管的第一通路端及第二通路端分别对应所述第四晶体管的源极及漏极。

[权利要求 15]

根据权利要求13所述的栅极驱动电路，其中，

所述拉动控制电路包括第五开关管、第六开关管；

所述第五开关管的第一通路端连接所述第三节点，所述第五开关管的第二通路端连接所述第一参考电位，所述第六开关管的第一通路端连接所述稳定电路，所述第六开关管的第二通路端连接所述第二参考电位，所述第五开关管的控制端及所述第六开关管的控制端接收所述第二时钟信号；

所述第六开关管在所述第二时钟信号的作用下导通，使所述第二参考电位经所述第六开关管，控制所述稳定电路解除对所述第一电压的保持；

所述第五开关管在所述第二时钟信号的作用下导通，使所述第一参考电位经所述第五开关管将所述第三节点的电压设置为所述第一电压，使得所述第一开关管、所述第三开关管、所述第四开关管导通，进而利用所述第二参考电位将所述第一节点、所述第二节点的电压设置为所述第二电压。

[权利要求 16]

根据权利要求15所述的栅极驱动电路，其中，

所述第五开关管是第五晶体管，所述第五开关管的控制端对应所述第五晶体管的栅极，所述第五开关管的第一通路端及第二通路端分别对应所述第五晶体管的源极及漏极；

所述第六开关管是第六晶体管，所述第六开关管的控制端对应所述第六晶体管的栅极，所述第六开关管的第一通路端及第二通路端分别对应所述第六晶体管的源极及漏极。

[权利要求 17] 根据权利要求2所述的栅极驱动电路，其中，
所述第一参考电位为高参考电位和低参考电位中的一个，所述第二参考电位为高参考电位和低参考电位中的另一个。

[权利要求 18] 根据权利要求2所述的栅极驱动电路，其中，
所述第一电压为高电位和低电位中的一个，所述第二电压为高电位和低电位中的另一个。

[权利要求 19] 一种显示面板，其中，包括基板及基板上如权利要求1所述的栅极驱动电路。

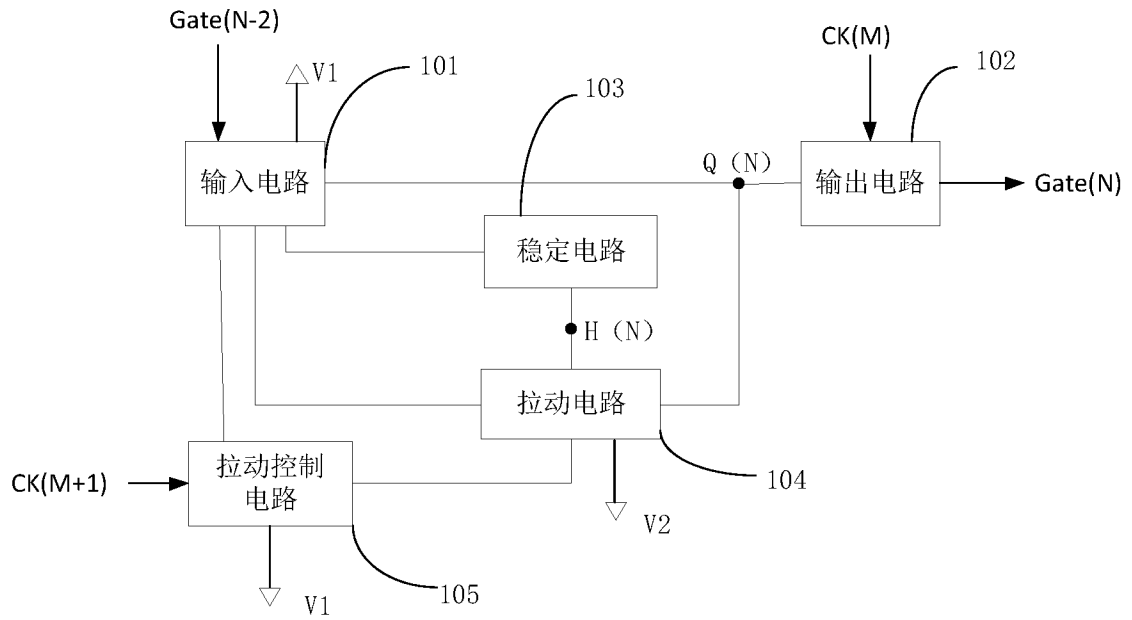


图 1

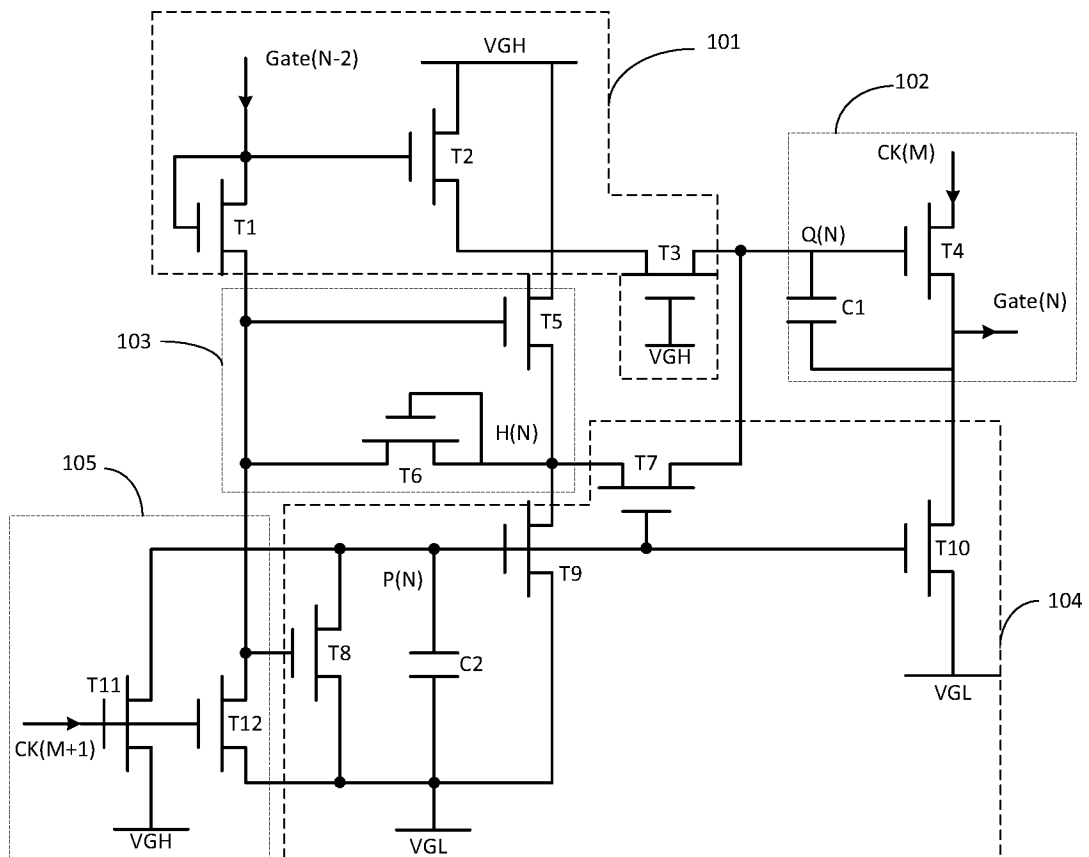


图 2

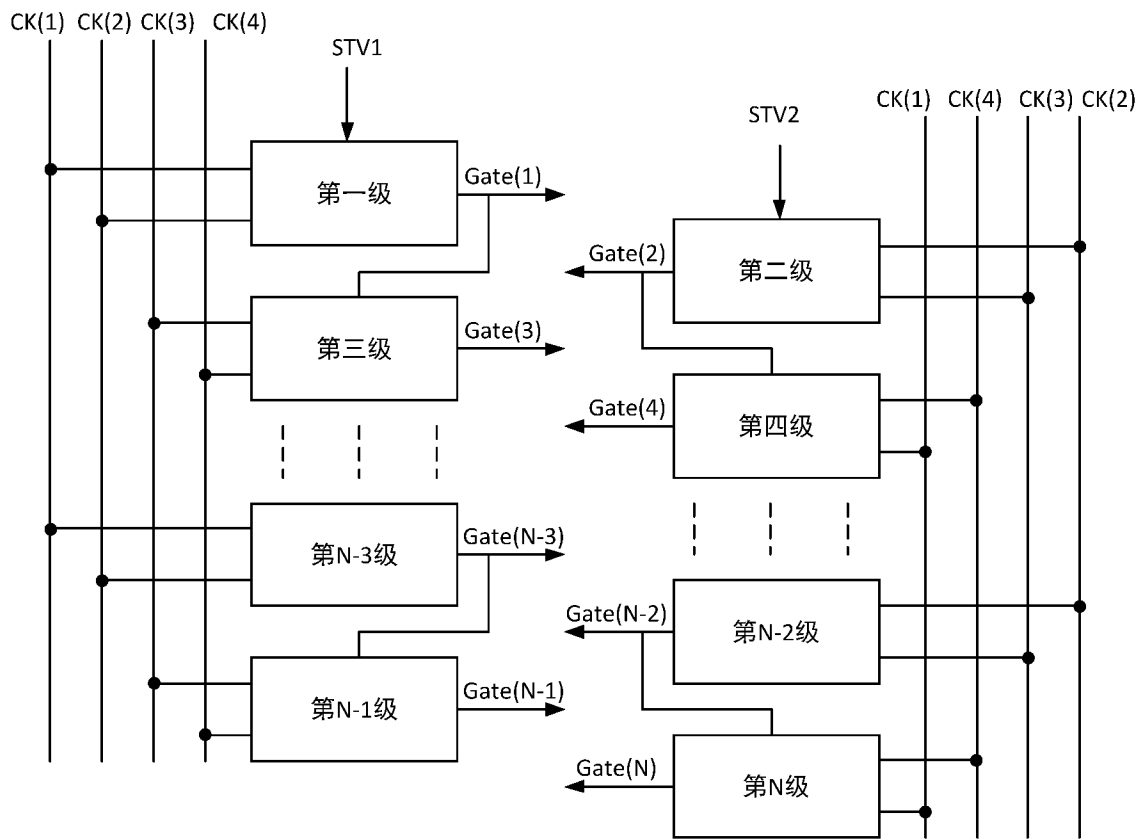


图 3

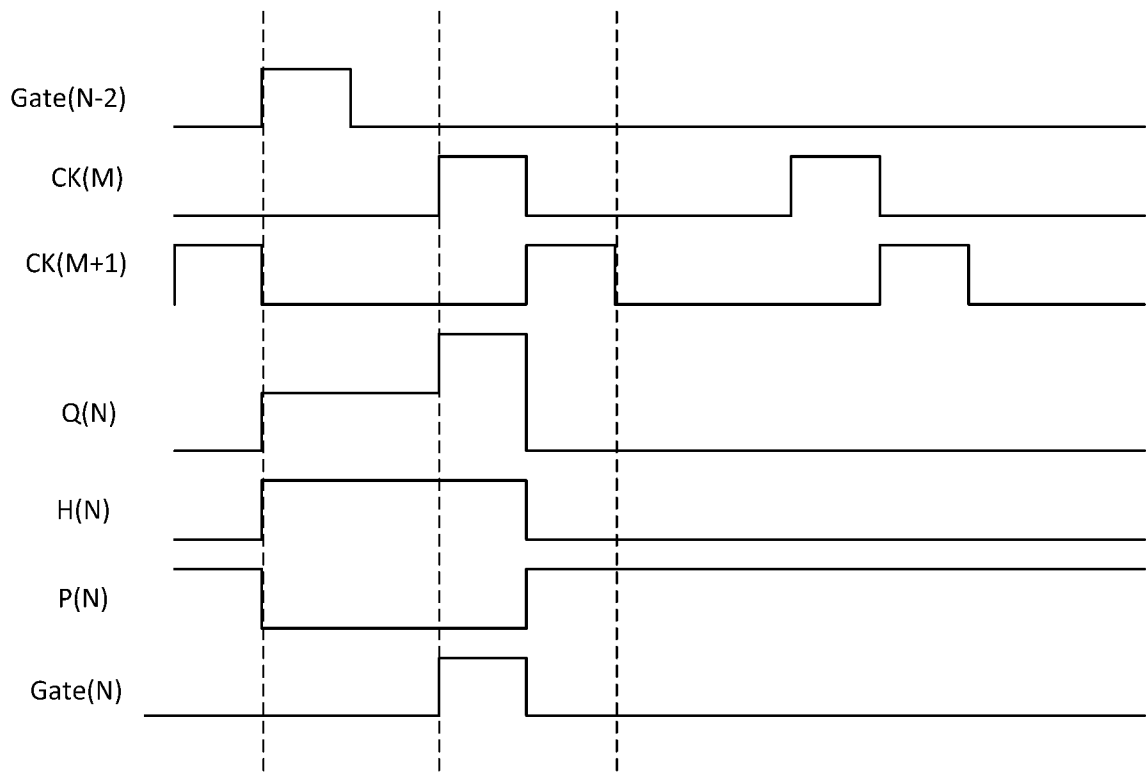


图 4

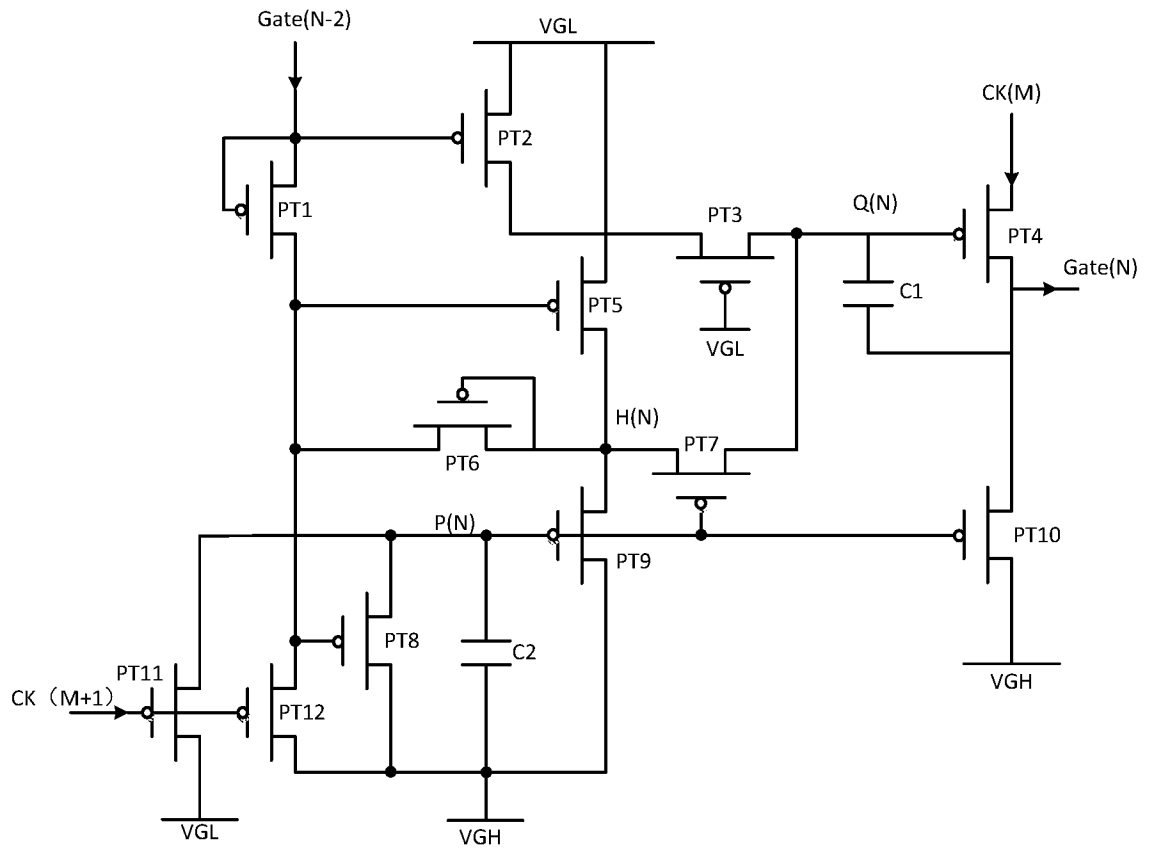


图 5

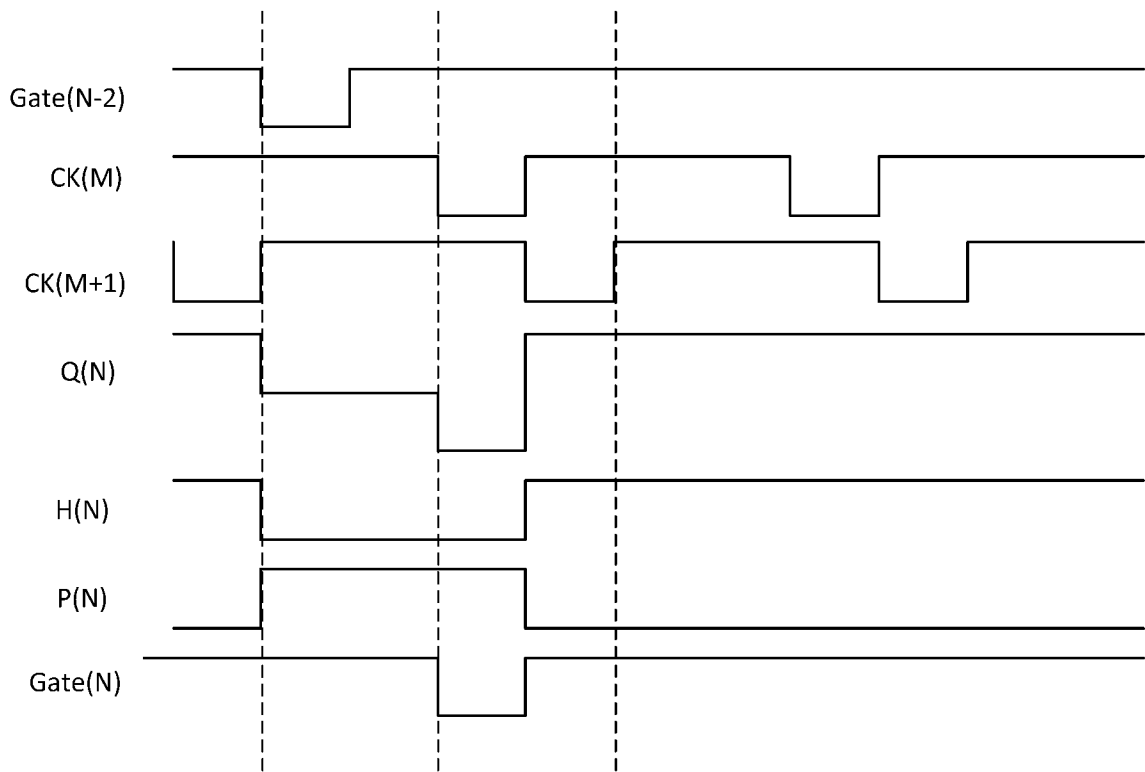


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/074228

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1345 (2006.01) i; G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; CNPAT: scan drive, device, unit, part, module, drain current, stable, input, output, pull up, pull down; WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY; keep+, kept, hold+, drain, current, electrode, gate 5d driv+, grid 5d driv+, vertical 5d driv+, gate 5d on, pull+, circuit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105118462 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 02 December 2015 (02.12.2015), description, paragraphs 22-33, and figures 3-4	1-19
A	CN 105139816 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 December 2015 (09.12.2015), the whole document	1-19
A	CN 102169668 A (SONY CORPORATION), 31 August 2011 (31.08.2011), the whole document	1-19
A	CN 103996370 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 August 2014 (20.08.2014), the whole document	1-19
A	CN 105139794 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 09 December 2015 (09.12.2015), the whole document	1-19

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 August 2016 (18.08.2016)	Date of mailing of the international search report 22 September 2016 (22.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WU, Lili Telephone No.: (86-10) 62413208

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/074228

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003085754 A1 (SAMSUNG ELECTRONICS, CO., LTD.), 08 May 2003 (08.05.2003), the whole document	1-19

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/074228

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105118462 A	02 December 2015	None	
CN 105139816 A	09 December 2015	None	
CN 102169668 A	31 August 2011	US 2011205481 A1	25 August 2011
		JP 5391106 B2	15 January 2014
		JP 2011175134 A	08 September 2011
CN 103996370 A	20 August 2014	US 2015346904 A1	03 December 2015
CN 105139794 A	09 December 2015	None	
US 2003085754 A1	08 May 2003	JP 2003223787 A	08 August 2003
		KR 20030037096 A	12 May 2003
		US 6778007 B2	17 August 2004
		KR 100410987 B1	18 December 2003

A. 主题的分类 G02F 1/1345(2006.01)i; G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G02F;; G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI;EPDOC;CNKI;CNPAT: 栅极驱动、扫描驱动、选通驱动、门极驱动、闸极驱动、器、单元、部、电路、模块、漏极电流、漏电流、保持、维持、稳定、输入、输出、拉动、上拉、下拉、华星光电技术、keep+、kept、hold+、drain、current、electrode、gate 5d driv+、grid 5d driv+、vertical 5d driv+、gate 5d on、pull+、circuit		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105118462 A (深圳市华星光电技术有限公司 等) 2015年 12月 2日 (2015 - 12 - 02) 说明书第22-33段, 图3-4	1-19
A	CN 105139816 A (深圳市华星光电技术有限公司) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-19
A	CN 102169668 A (索尼公司) 2011年 8月 31日 (2011 - 08 - 31) 全文	1-19
A	CN 103996370 A (京东方科技集团股份有限公司 等) 2014年 8月 20日 (2014 - 08 - 20) 全文	1-19
A	CN 105139794 A (京东方科技集团股份有限公司 等) 2015年 12月 9日 (2015 - 12 - 09) 全文	1-19
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 8月 18日		国际检索报告邮寄日期 2016年 9月 22日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 吴丽丽 电话号码 (86-10)62413208

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2003085754 A1 (SAMSUNG ELECTRONICS, CO., LTD.) 2003年 5月 8日 (2003 - 05 - 08) 全文	1-19

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/074228

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105118462	A	2015年 12月 2日	无			
CN	105139816	A	2015年 12月 9日	无			
CN	102169668	A	2011年 8月 31日	US	2011205481	A1	2011年 8月 25日
				JP	5391106	B2	2014年 1月 15日
				JP	2011175134	A	2011年 9月 8日
CN	103996370	A	2014年 8月 20日	US	2015346904	A1	2015年 12月 3日
CN	105139794	A	2015年 12月 9日	无			
US	2003085754	A1	2003年 5月 8日	JP	2003223787	A	2003年 8月 8日
				KR	20030037096	A	2003年 5月 12日
				US	6778007	B2	2004年 8月 17日
				KR	100410987	B1	2003年 12月 18日