

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-49728

(P2006-49728A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F O 3 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F O 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 21/90 C	5 F I O 1
HO 1 L 29/788 (2006.01)		
HO 1 L 21/768 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 38 頁)

(21) 出願番号 特願2004-231578 (P2004-231578)
(22) 出願日 平成16年8月6日(2004.8.6)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100083806
弁理士 三好 秀和
(74) 代理人 100100712
弁理士 岩▲崎▼ 幸邦
(74) 代理人 100100929
弁理士 川又 澄雄
(74) 代理人 100108707
弁理士 中村 友之
(74) 代理人 100095500
弁理士 伊藤 正和
(74) 代理人 100101247
弁理士 高橋 俊一

最終頁に続く

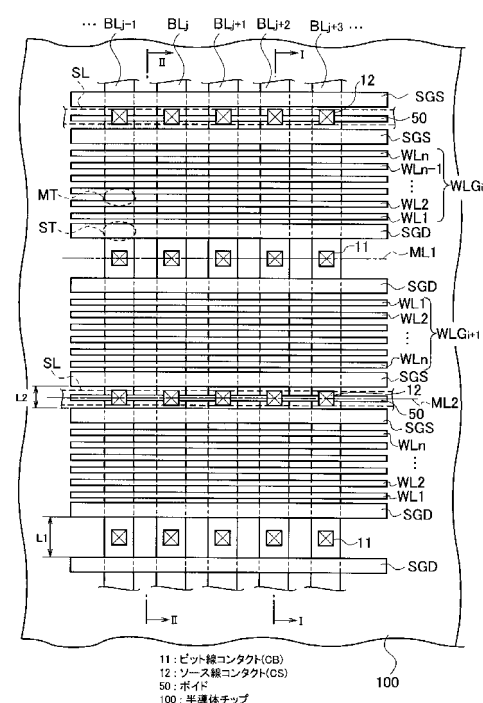
(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 一列配置されるビット線コンタクトCBの形成予定領域におけるボイドの発生を回避する。

【解決手段】 半導体チップ100上に搭載され、ビット線BLと、ビット線に直交するソース線SL及びワード線WLを備える半導体記憶装置において、ビット線方向に配列されたワード線の両端部に隣接して、ワード線に平行に配列されるビット線側選択ゲート線SGD及びソース線側選択ゲート線SGSと、ビット線とワード線の交差部に配置されるメモリセルトランジスタMT及びビット線と選択ゲート線の交差部に配置される選択ゲートトランジスタSTと、ビット線側選択ゲート線間においてワード線方向に配置されるビット線コンタクトCBと、ソース線側選択ゲート線間においてワード線方向に配置されるソース線コンタクトCSとを備え、ビット線側選択ゲート線間の間隔L1が、ソース線側選択ゲート線間の間隔L2よりも大きい半導体記憶装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のビット線と、該複数のビット線に直交する複数のワード線群と該ワード線群のそれぞれに隣接して配置された該ワード線群に平行なソース線と、

前記複数のワード線群の内の一対のワード線群の間に形成され、前記ワード線群に平行に配列される一対のビット線側選択ゲート線と、

前記一対のワード線群に隣接するワード線群との間に形成され、前記ワード線群に平行に配列される一対のソース線側選択ゲート線と、

前記ビット線と前記ワード線の交差部に配置されるメモリセルトランジスタ及び前記ビット線と前記選択ゲート線の交差部に配置される選択ゲートトランジスタと、

前記一対のビット線側選択ゲート線の間に配置されるビット線コンタクトと、

前記一対のソース線側選択ゲート線の間に配置されるソース線コンタクト

とを備え、前記一対のビット線側選択ゲート線の間の間隔が、前記一対のソース線側選択ゲート線の間の間隔よりも大きいことを特徴とする半導体記憶装置。

10

【請求項 2】

複数のビット線と、該複数のビット線に直交する複数のワード線群と該ワード線群のそれぞれに隣接して配置された該ワード線群に平行なソース線と、

前記複数のワード線群の内の一対のワード線の間に配置されるビット線コンタクトと、

前記一対のワード線に隣接する別の一対のワード線との間に配置されるソース線コンタクトと、

20

前記ビット線と前記ワード線の交差部に配置されるメモリセルトランジスタ

とを備え、前記一対のワード線の間の間隔が、前記一対のワード線と前記一対のワード線に隣接する前記別の一対のワード線との間の間隔よりも大きいことを特徴とする半導体記憶装置。

【請求項 3】

複数のビット線と、該複数のビット線に直交する複数のワード線群と該ワード線群のそれぞれに隣接して配置された該ワード線群に平行なソース線と、

前記複数のワード線群の内の一対のワード線の間に配置されるビット線コンタクトと、

前記一対のワード線に隣接するワード線群との間に形成され、前記ワード線群に平行に配列される一対のソース線側選択ゲート線と、

30

前記ビット線と前記ワード線の交差部に配置されるメモリセルトランジスタ及び前記ビット線と前記選択ゲート線の交差部に配置される選択ゲートトランジスタと、

前記一対のソース線側選択ゲート線の間に配置されるソース線コンタクト

とを備え、前記一対のワード線の間の間隔が、前記一対のソース線側選択ゲート線の間の間隔よりも大きいことを特徴とする半導体記憶装置。

【請求項 4】

複数のビット線と、該複数のビット線に直交する複数のワード線群と該ワード線群のそれぞれに隣接して配置された該ワード線群に平行なソース線と、

前記複数のワード線群の内の一対のワード線の間に形成され、前記ワード線群に平行に配列される一対のビット線側選択ゲート線と、

40

前記一対のワード線に隣接するワード線群との間に形成され、前記ワード線群に平行に配列される一対のソース線側選択ゲート線と、

前記ビット線と前記ワード線の交差部に配置されるメモリセルトランジスタ及び前記ビット線と前記選択ゲート線の交差部に配置される選択ゲートトランジスタと、

前記一対のビット線側選択ゲート線の間に配置されるビット線コンタクトと、

前記一対のソース線側選択ゲート線の間に配置されるソース線コンタクト

とを備え、前記一対のビット線側選択ゲート線の間の間隔が、前記一対のソース線側選択ゲート線の間の間隔よりも大きいことを特徴とする半導体記憶装置。

【請求項 5】

メモリセルトランジスタ及び選択ゲートトランジスタにおいて、ゲート絶縁膜上に、フ

50

ローティングゲート、ゲート間絶縁膜及びコントロールゲートからなる積層構造を形成する工程と、

複数のビット線と、該複数のビット線に直交する複数のワード線群と該ワード線群のそれぞれに隣接して配置された該ワード線群に平行なソース線と、前記複数のワード線群の内の一对のワード線群の間に形成され、前記ワード線群に平行に配列される一对のビット線側選択ゲート線と、前記一对のワード線群に隣接するワード線群との間に形成され、前記ワード線群に平行に配列される一对のソース線側選択ゲート線と、前記一对のビット線側選択ゲート線の間に配置されるビット線コンタクトと、前記一对のソース線側選択ゲート線の間に配置されるソース線コンタクトとを備え、スペーサ膜及び側壁膜を前記積層構造の平坦部分及び側壁部分に形成後、ビット線コンタクト、ソース線コンタクトの形成予定領域の前記スペーサ膜及び前記側壁膜を除去すると共に、前記一对のビット線側選択ゲート線間の間隔を、前記一对のソース線側選択ゲート線間の間隔よりも大きく形成する工程

10

とを備えることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置に係り、特にソース線コンタクトCS、及びビット線コンタクトCBの配置に特徴を有する半導体記憶装置及びその製造方法に関する。

20

【背景技術】

【0002】

従来、電氣的に書き換え可能で且つ高集積化が可能な不揮発性半導体記憶装置として、NAND型フラッシュEEPROMが知られている。NAND型フラッシュEEPROMのメモリセルトランジスタは半導体基板上に絶縁膜を介して電荷蓄積を目的とするフローティングゲート電極層若しくはフローティングゲート電極膜とコントロールゲート電極が積層形成されたスタックゲート構造を有している。複数のメモリセルトランジスタを、隣接するもの同士でソース領域若しくはドレイン領域を共有するような形で列方向に直列接続させ、その両端に選択ゲートトランジスタを配置して、NANDセルユニットが構成される。

30

【0003】

NANDセルユニットをマトリクス状に配置することにより、メモリセルアレイが構成される。また、行方向に並ぶNANDセルユニットをNANDセルブロックと呼ぶ。同一行に並ぶ選択ゲートトランジスタのゲートは、同一の選択ゲート線に接続され、同一行に並ぶメモリセルトランジスタの制御ゲートは、同一の制御ゲート線に接続される。

【0004】

個々のNANDセルユニットに電流を流すために、ビット線及びソース線を接続するためのコンタクトがNANDセルユニット両端に形成される。コンタクト占有面積の削減のために、1つのコンタクトを隣接する2つのNANDセルユニットで共有するような配置が通常用いられる。従って、ビット線コンタクトCB及びソース線コンタクトCSに対してNANDセルユニットは折り返した配置となる。ビット線コンタクトCB及びソース線コンタクトCSは隣接するNANDセルユニットの選択ゲートトランジスタ間に形成される。

40

【0005】

NANDセルユニットは列方向に等間隔に配置されている。即ち、セルアレイ内のコンタクト形成予定領域幅は全て等しい。このとき、層間絶縁膜埋め込み前の段差アスペクト比が大きいために、コンタクト形成予定領域に選択ゲート線に平行なボイドが形成されている。ここにビット線コンタクトCBを形成した場合、コンタクトプラグの材料の回り込みによってビット線BL間ショートが発生する可能性が高い。

【0006】

50

特許文献1においては、ソース線をローカル相互接続方法を適用して形成するフラッシュメモリにおいて、接触面積の狭いソースコンタクトが接触されたか否かをフラッシュセルの過消去セル（オーバー・イレイズ・セル）特性を用いてモニタリングする方法について開示されている（特許文献1）。

【0007】

特許文献2においては、ビット線コンタクトの引き出し電極を用いることで、ビット線コンタクトの歩留まりが向上し、かつ面積が縮小でき、又工程数が減少することによりコストの低減化が可能なNAND型EEPROMの構成が開示されている（特許文献2，第4図参照）。

【0008】

配線間の寄生容量を減じるためのボイドを層間絶縁膜に形成した多層配線構造のフラッシュメモリ型半導体装置においては、コンタクトがワード線の上に形成されたボイドを通過すると、コンタクト間のボイドに入り込んだ金属を通して、隣接するビット線を短絡させてしまうという欠点がある。そこで、ボイド対策のために、コンタクトの内壁に窒化膜等の側壁絶縁膜を形成することにより、ボイドと交差するようにして、層間絶縁膜に拡散層とビット線間のコンタクトを形成することを可能とし、ビット線間のコンタクトを通じての短絡を無くすと共に、ワード線間の寄生容量を減じる事ができる半導体装置の構成も開示されている（特許文献3）。

【0009】

層間絶縁膜の埋め込み性に要求される必要条件是、コンタクト形成予定領域にボイド乃至シームを発生させないことである。仮にこれらが存在した場合、コンタクトプラグの堆積を例えば、CVDのようなステップカバレッジの良好な製膜方法で行うと、ボイド乃至シーム内部にコンタクトプラグの構成材料が入り込んでビット線BL間ショート不良を引き起こす可能性がある。実際、リフロー性の良好なBPSG膜も堆積直後はボイドやシームが発生していることが多い。そこで、その後のリフロー工程でそれらを埋め込むことにより、ボイドフリーな埋め込みを実現しているのが現状である。しかしながら、近年ボイドフリーな埋め込みを実現することは、以下の要因のためにますます困難となってきている。

【0010】

第1に、選択ゲートトランジスタ間スペースはスケーリングと共に狭くなるのに対して、ゲート電極の高さはそれほどスケリーングされないことによる。そのために、層間絶縁膜埋め込み前の段差アスペクト比は世代と共に厳しくなり、ボイドが発生し易くなる。

【0011】

第2に、拡散層形成後の低熱工程化への要求がある。ゲート長がスケーリングされるとショートチャネル効果が顕著になる。そのため低熱工程化によりドーパント不純物の拡散を抑制する必要がある。加えて、制御ゲート線シート抵抗を下げるために、近年サリサイド膜が用いられる傾向がある。サリサイド膜形成後の約700℃以上の熱工程は高抵抗化を引き起こすため、層間絶縁膜のリフロー特性を使うことが出来ず、発生したボイドが残存してしまう。

【0012】

以上より、コンタクト形成予定領域におけるボイド乃至シームの発生を回避することは、今後の微細化に向けて非常に重要な課題である。

【0013】

以上の説明ではMOS型半導体記憶装置の例として、NAND型フラッシュEEPROMを取り上げて説明したが、ビット線コンタクトCBが一行に並んで配置される回路構成を有するAND型、NOR型、或いは2トランジスタ／セル方式型、3トランジスタ／セル型等による他の動作方式のメモリについても、コンタクト形成予定領域におけるボイド乃至シームの発生を回避することは、今後の微細化に向けて非常に重要な課題である点と同様である。

【特許文献1】特開2001-196482号公報

10

20

30

40

50

【特許文献2】特開平03-283662号公報

【特許文献3】特開2002-1100791号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明の目的は、ビット線コンタクトが一行に並んで配置される回路構成を有するメモリにおいて、コンタクト形成予定領域におけるボイド乃至シームの発生を回避し、微細化の容易な半導体記憶装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0015】

上記目的を達成するために、本発明の実施の形態における第1の特徴は、(イ)複数のビット線と、複数のビット線に直交する複数のワード線群とワード線群のそれぞれに隣接して配置されたワード線群に平行なソース線と、(ロ)複数のワード線群の内の一对のワード線群の間に形成され、ワード線群に平行に配列される一对のビット線側選択ゲート線と、(ハ)一对のワード線群に隣接するワード線群との間に形成され、ワード線群に平行に配列される一对のソース線側選択ゲート線と、(ニ)ビット線とワード線の交差部に配置されるメモリセルトランジスタ及びビット線と選択ゲート線の交差部に配置される選択ゲートトランジスタと、(ホ)一对のビット線側選択ゲート線の間に配置されるビット線コンタクトと、(ヘ)一对のソース線側選択ゲート線の間に配置されるソース線コンタクトとを備え、(ト)一对のビット線側選択ゲート線の間隔が、一对のソース線側選択ゲート線の間隔よりも大きい半導体記憶装置であることを要旨とする。

10

20

【0016】

本発明の実施の形態における第2の特徴は、(イ)複数のビット線と、複数のビット線に直交する複数のワード線群とワード線群のそれぞれに隣接して配置されたワード線群に平行なソース線と、(ロ)複数のワード線群の内の一对のワード線の間に配置されるビット線コンタクトと、(ハ)一对のワード線に隣接する別の一对のワード線との間に配置されるソース線コンタクトと、(ニ)ビット線とワード線の交差部に配置されるメモリセルトランジスタとを備え、(ホ)一对のワード線の間隔が、一对のワード線と一对のワード線に隣接する別の一对のワード線との間隔よりも大きい半導体記憶装置であることを要旨とする。

30

【0017】

本発明の実施の形態における第3の特徴は、(イ)複数のビット線と、複数のビット線に直交する複数のワード線群とワード線群のそれぞれに隣接して配置されたワード線群に平行なソース線と、(ロ)複数のワード線群の内の一对のワード線の間に配置されるビット線コンタクトと、(ハ)一对のワード線に隣接するワード線群との間に形成され、ワード線群に平行に配列される一对のソース線側選択ゲート線と、(ニ)ビット線とワード線の交差部に配置されるメモリセルトランジスタ及びビット線と選択ゲート線の交差部に配置される選択ゲートトランジスタと、(ホ)一对のソース線側選択ゲート線の間に配置されるソース線コンタクトとを備え、(ヘ)一对のワード線の間隔が、一对のソース線側選択ゲート線の間隔よりも大きい半導体記憶装置であることを要旨とする。

40

【0018】

本発明の実施の形態における第4の特徴は、(イ)複数のビット線と、複数のビット線に直交する複数のワード線群とワード線群のそれぞれに隣接して配置されたワード線群に平行なソース線と、(ロ)複数のワード線群の内の一对のワード線の間に形成され、ワード線群に平行に配列される一对のビット線側選択ゲート線と、(ハ)一对のワード線に隣接するワード線群との間に形成され、ワード線群に平行に配列される一对のソース線側選択ゲート線と、(ニ)ビット線とワード線の交差部に配置されるメモリセルトランジスタ及びビット線と選択ゲート線の交差部に配置される選択ゲートトランジスタと、(ホ)一对のビット線側選択ゲート線の間に配置されるビット線コンタクトと、(ヘ)一对のソース線側選択ゲート線の間に配置されるソース線コンタクトとを備え、(ト)一对のビット

50

線側選択ゲート線の間隔が、一対のソース線側選択ゲート線の間隔よりも大きい半導体記憶装置であることを要旨とする。

【0019】

本発明の実施の形態における第5の特徴は、(イ)メモリセルトランジスタ及び選択ゲートトランジスタにおいて、ゲート絶縁膜上に、フローティングゲート、ゲート間絶縁膜及びコントロールゲートからなる積層構造を形成する工程と、(ロ)複数のビット線と、複数のビット線に直交する複数のワード線群とワード線群のそれぞれに隣接して配置されたワード線群に平行なソース線と、複数のワード線群の内の一対のワード線群の間に形成され、ワード線群に平行に配列される一対のビット線側選択ゲート線と、一対のワード線群に隣接するワード線群との間に形成され、ワード線群に平行に配列される一対のソース線側選択ゲート線と、一対のビット線側選択ゲート線の上に配置されるビット線コンタクトと、一対のソース線側選択ゲート線の上に配置されるソース線コンタクトとを備え、スペーサ膜及び側壁膜を積層構造の平坦部分及び側壁部分に形成後、ビット線コンタクト、ソース線コンタクトの形成予定領域のスペーサ膜及び側壁膜を除去すると共に、一対のビット線側選択ゲート線間隔を、一対のソース線側選択ゲート線間隔よりも大きく形成する工程とを備える半導体記憶装置の製造方法であることを要旨とする。

10

【発明の効果】

【0020】

本発明によれば、ビット線コンタクトが一行に並んで配置される回路構成を有するメモリにおいて、コンタクト形成予定領域におけるボイド乃至シームの発生を回避し、微細化の容易な半導体記憶装置及びその製造方法を提供することができる。

20

【発明を実施するための最良の形態】

【0021】

不揮発性メモリのビット線コンタクトCBのための拡散領域の面積をソース線コンタクトCSのための拡散領域の面積より広くする。換言すれば、ビット線コンタクトCBの両側に隣接する選択ゲートトランジスタの間隔を、ソース線コンタクトCSの両側に隣接する選択ゲートトランジスタの間隔より広げる。

【0022】

次に、図面を参照して、本発明の第1乃至第10の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参照して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

30

【0023】

また、以下に示す第1乃至第10の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

【0024】

(第1の実施の形態)

(NAND型)

本発明の第1の実施の形態に係る半導体記憶装置の模式的平面パターン構成を図1に示し、図1のI-I線に沿う模式的素子断面構造を図2、I-I線に沿う模式的素子断面構造図を図3に示す。又、本発明の第1の実施の形態に係る半導体記憶装置の回路構成を図4に示し、図4に対応する平面パターン構成を図5に示す。

【0025】

図1に示す平面パターンを参照して、NAND構成におけるビット線コンタクトCB、ソース線コンタクトCSの配置パターンを模式的に図34に示す。

【0026】

40

50

本発明の第1の実施の形態に係る半導体記憶装置は、図1或いは図34に示すように、半導体チップ100上に搭載され、複数のビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ と、複数のビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ に直交する複数のワード線群 $WLG_i, WLG_{i+1} \dots$ とワード線群 $WLG_i, WLG_{i+1} \dots$ のそれぞれに隣接して配置されたワード線群 $WLG_i, WLG_{i+1} \dots$ に平行なソース線 SL と、複数のワード線群 $WLG_i, WLG_{i+1} \dots$ の内の一对のワード線群 WLG_i, WLG_{i+1} の内側に隣接して、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一对のビット線側選択ゲート線 SGD と、一对のワード線群 WLG_i, WLG_{i+1} の外側に隣接して配置され、更に一对のワード線群 WLG_i, WLG_{i+1} に隣接するワード線群との間に一对配置されるトポロジーで、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一对のソース線側選択ゲート線 SGS と、ビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ とワード線 $WL_1, WL_2, \dots, WL_{n-1}, WL_n$ の交差部に配置されるメモリセルトランジスタ MT 及びビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ と選択ゲート線 SGD, SGS の交差部に配置される選択ゲートトランジスタ ST と、一对のビット線側選択ゲート線 SGD の間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるビット線コンタクト $(CB)11$ と、一对のソース線側選択ゲート線 SGS の間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるソース線コンタクト $(CS)12$ とを備え、一对のビット線側選択ゲート線 SGD 間の中心線を第1の鏡映対称線 $ML1$ 、一对のソース線側選択ゲート線 SGS 間の中心線を第2の鏡映対称線 $ML2$ として周期的に折り返されるパターンにおいて、一对のビット線側選択ゲート線 SGD の間の間隔 $L1$ が、一对のソース線側選択ゲート線 SGS の間の間隔 $L2$ よりも大きい構成を有する。

【0027】

本発明の第1の実施の形態に係る半導体記憶装置の例では、NAND型フラッシュEEPROMの構造を基本構造としており、図2及び図3に示すように、pウェル若しくは半導体基板26上に形成されたゲート絶縁膜30をトンネル絶縁膜とし、更にゲート絶縁膜30上に配置されたフローティングゲート8、ゲート間絶縁膜7、コントロールゲート2からなるスタックゲート構造のメモリセルを備えている。各メモリセルトランジスタのソース・ドレイン拡散層(図示省略)を介して複数個のメモリセルがビット線方向に直列に接続され、両端部に選択ゲートトランジスタの選択ゲート電極15が配置され、更にこれらの選択ゲートトランジスタを介して、ビット線コンタクト $(CB)11$ 及びソース線コンタクト $(CS)12$ に接続されている。結果として、1つのメモリセルユニットが構成され、これらのメモリセルユニットは、ビット線に直交するワード線 WL 方向に複数並列に配置されている。尚、図3は素子分離領域 $(STI)32$ における素子断面構造に相当する。

【0028】

NANDセルユニット24は、図4及び図5に詳細に示されているように、メモリセルトランジスタ $M0 \sim M15$ と、選択ゲートトランジスタ $SG1, SG2$ から構成される。選択ゲートトランジスタ $SG1$ のドレインは、ビット線コンタクト CB を介して、ビット線 $\dots BL_{j-1}, BL_j, BL_{j+1} \dots$ に対して接続され、選択ゲートトランジスタ $SG2$ のソースは、ソース線コンタクト CS を介して、共通のソース線 SL に接続されている。

【0029】

図4及び図5に示すNANDセルユニット24が図1に示すNAND型フラッシュEEPROMにおいて、列方向に2種類のコンタクト形成予定領域幅 $L1, L2$ を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅 $L1$ はビット線コンタクト11用であり、この幅 $L1$ は、図2及び図3に示す層間絶縁膜27のボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅 $L2$ はソース線コンタクト12用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。図1及び図4に示すように、ソース線 SL は行方向に並ぶNANDセルユニット24で共有するため、図1及び図3に示されているように、ボイド50が発生してソース線コン

タクト (CS) 12 間がショートしていても構わないからである。

【0030】

このように、ビット線コンタクト形成予定領域幅 L_1 を広く形成し、

ソース線コンタクト形成予定領域幅 L_2 を狭く形成するということは、例えば、ビット線コンタクト CB のための拡散領域の面積をソース線コンタクト CS のための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクト CB の両側に隣接する選択ゲートトランジスタの選択ゲート線 SGD 間の間隔を、ソース線コンタクト CS の両側に隣接する選択ゲートトランジスタ間の選択ゲート線 SGS の間隔より広げることに相当する。

【0031】

10

(比較例)

本発明の比較例に係る不揮発性半導体記憶装置の模式的平面パターン構成を図 41 に示し、図 41 の I-I 線に沿う模式的素子断面構造を図 42、I-I-I 線に沿う模式的素子断面構造図を図 43 に示す。又、回路構成は図 4 と同様である。

【0032】

本発明の比較例に係る半導体記憶装置の模式的平面パターン構成は、図 41 に示すように、半導体チップ 100 上に搭載され、複数のビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ と、複数のビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ に直交する複数のワード線群 $WLG_i, WLG_{i+1} \dots$ とワード線群 $WLG_i, WLG_{i+1} \dots$ のそれぞれに隣接して配置されたワード線群 $WLG_i, WLG_{i+1} \dots$ に平行なソース線 SL と、複数のワード線群 $WLG_i, WLG_{i+1} \dots$ の内の一対のワード線群 WLG_i, WLG_{i+1} の内側に隣接して、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一対のビット線側選択ゲート線 SGD と、一対のワード線群 WLG_i, WLG_{i+1} の外側に隣接して配置され、更に一対のワード線群 WLG_i, WLG_{i+1} に隣接するワード線群との間に一対配置されるトポロジーで、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一対のソース線側選択ゲート線 SGS と、ビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ とワード線 $WL_1, WL_2, \dots, WL_{n-1}, WL_n$ の交差部に配置されるメモリセルトランジスタ MT 及びビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ と選択ゲート線 SGD, SGS の交差部に配置される選択ゲートトランジスタ ST と、一対のビット線側選択ゲート線 SGD の間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるビット線コンタクト (CB) 11 と、一対のソース線側選択ゲート線 SGS の間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるソース線コンタクト (CS) 12 とを備え、一対のビット線側選択ゲート線 SGD 間の中心線を第 1 の鏡映対称線 ML1、一対のソース線側選択ゲート線 SGS 間の中心線を第 2 の鏡映対称線 ML2 として周期的に折り返されるパターンにおいて、一対のビット線側選択ゲート線 SGD の間の間隔 L_1 が、一対のソース線側選択ゲート線 SGS の間の間隔 L_2 と等しい構成を有する。

【0033】

NANDセルユニット 24 は列方向に等間隔に配置され、セルアレイ内のコンタクト形成予定領域幅 L_1, L_2 は全て等しい間隔で配置されている。このとき、図 42 及び図 43 に示すように、層間絶縁膜 27 埋め込み前の段差アスペクト比が大きいために、コンタクト形成予定領域に選択ゲート線に平行なボイド 50 が形成されている。ここにビット線コンタクト (CB) 11 を形成した場合、コンタクトプラグの材料の回り込みによってビット線 BL 間ショートが発生する可能性が高い。尚、図 43 は素子分離領域 (STI) 32 における素子断面に相当する。

【0034】

層間絶縁膜 27 の埋め込み性に要求される必要条件是、コンタクト形成予定領域にボイド乃至シームを発生させないことである。仮にこれらが存在した場合、コンタクトプラグ 9 (図 9) の堆積を例えば、CVD のようなステップカバレッジの良好な製膜方法で行うと、ボイド乃至シーム内部にコンタクトプラグ 9 (図 9) の構成材料が入り込んでビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ 間ショート不良を引き起こす可能性がある。実際、リフ

50

ロー性の良好なBPSG膜も堆積直後は、図13において説明するように、ボイドやシームが発生していることが多い。そこで、その後のリフロー工程でそれらを埋め込むことにより、ボイドフリーな埋め込みを実現している。しかし、ゲート電極へのサリサイド膜の使用により、リフローを行うことができず、発生したボイドが残存してしまう場合が生じている。

【0035】

(製造方法)

図6乃至図11を用いて、本発明の第1の実施の形態に係る半導体記憶装置の製造方法を説明する。なお、以下に述べる半導体記憶装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

10

【0036】

(a) 図6に示すように、まずメモリセルトランジスタ及び選択ゲートトランジスタにおいて、スタックゲート構造をリソグラフィ及びドライエッチング加工によって形成し、更にイオン注入によって、拡散層18を形成する。

【0037】

メモリセルトランジスタのスタックゲート構造は、ウェル若しくは半導体基板26上に形成されたゲート絶縁膜30上に、フローティングゲート8、ゲート間絶縁膜7及びコントロールゲート2からなる積層構造を有する。選択ゲートトランジスタにおけるスタックゲート構造は、ウェル若しくは半導体基板26上に形成されたゲート絶縁膜30上に、フローティングゲート8、ゲート間絶縁膜7及びコントロールゲート2からなる積層構造を有し、更にゲート間絶縁膜7に対してパターニングにより形成されたポリシリコンコンタクト17を介してフローティングゲート8とコントロールゲート2間を電氣的に短絡して、選択ゲート電極15を形成した構造を有する。

20

【0038】

(b) 次に、図7に示すように、単数若しくは複数の絶縁膜を使用して、スペーサ膜3及び側壁膜4を形成後、リソグラフィ及びエッチング工程によって、ビット線コンタクトCB、ソース線コンタクトCS等の形成予定領域のスペーサ膜3及び側壁膜4を除去する。

【0039】

(c) 次に、図8に示すように、イオン注入工程によって拡散層16を形成後、バリア膜として絶縁膜6を全面に堆積する。拡散層16は、拡散層18よりも更に高不純物密度を備え、拡散層18に対するコンタクト用として形成する。

30

【0040】

(d) 次に、図9に示すように、配線層(図示省略)とスタックゲート構造のコントロールゲート2を絶縁するために厚い層間絶縁膜27を堆積する。この層間絶縁膜27としては、例えば酸化膜にホウ素(B)やリン(P)をドーブしたBPSG膜のような、「リフロー性」のある絶縁膜が使用される。ここで「リフロー性」とはアニールによって流動化させることにより膜の埋め込み形状を改善させることを意味する。

【0041】

(e) 次に、図10に示すように、化学的機械的研磨技術(CMP)を用いて層間絶縁膜27を平坦化後、マスク絶縁膜28を全面に堆積する。(f) 次に、図11に示すように、リソグラフィ及びドライエッチング加工によって、ビット線コンタクトCB、ソース線コンタクトCS等の形成予定領域に対してコンタクトホールを開口し、更に開口されたコンタクトホール内に、単数若しくは複数の導体膜90、91等を埋め込むことにより、コンタクトプラグ9を形成する。

40

【0042】

以上のように、本発明の第1の実施の形態に係る半導体記憶装置の製造方法によれば、2種類のコンタクト形成領域幅L1、L2を交互に挟んで、NANDセルユニット24を配置することによって、層間絶縁膜27中のソース線コンタクトCS間のボイドの発生は許容するが、ビット線コンタクトCB間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

50

【0043】

(製造方法の変形例)

本発明の第1の実施の形態に係る半導体記憶装置の製造工程においては、高不純物密度の拡散層16を形成後、コンタクトプラグ9を形成しているが、より簡単な工程としては、図12に示すように、図6に示す工程後、絶縁膜10を全面に堆積し、リソグラフィとパターンニングによって、コンタクトプラグ9(図11)と同様の導体膜によって、ビット線コンタクト(CB)11を形成しても良い。

【0044】

本発明の第1の実施の形態に係る半導体記憶装置の製造方法の変形例によれば、図12に示すように、選択ゲート線SGD間の間隔L1を十分に広く取ることによって、ビット線コンタクトCBをボイドフリーに形成する非セルフアライン工程によるコンタクトの形成方法を提供することができる。

【0045】

(ボイド構造)

本発明の第1の実施の形態に係る半導体記憶装置において形成されるボイド構造は、図13に示すように、例えば選択ゲート電極15と拡散層18に対して絶縁膜10及びサリサイド膜46を形成後、リフロー性のある多層絶縁膜110を形成した場合に発生することがある。選択ゲート電極15間の間隔が狭くアスペクト比が高い場合には、リフロー性の良好な多層絶縁膜110を順次堆積する過程で、ボイド50が形成される。ボイドを積極的に利用できるのは、ソース線コンタクトCSが共通に接触するソース線SLであって、ビット線コンタクトCBにおいてはビット線間のショートの原因になることは前述の通りである。

【0046】

本発明の第1の実施の形態に係る半導体記憶装置の構成によれば、2種類のコンタクト形成領域幅L1, L2を交互に挟んで配置することによって、ソース線コンタクトCS間のボイドの発生は許容するが、ビット線コンタクトCB間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

【0047】

(第2の実施の形態)

(NAND型)

本発明の第2の実施の形態に係る半導体記憶装置の模式的平面パターン構成を図14に示し、図14のI-I線に沿う模式的素子断面構造を図15、II-II線に沿う模式的素子断面構造図を図16に示す。又、本発明の第2の実施の形態に係る半導体記憶装置の回路構成及びその平面パターン構成は、図4及び図5と同様である。

【0048】

本発明の第2の実施の形態に係る半導体記憶装置は、図14或いは図34に示すように、半導体チップ100上に搭載され、複数のビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ と、複数のビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ に直交する複数のワード線群 $WLG_i, WLG_{i+1} \dots$ とワード線群 $WLG_i, WLG_{i+1} \dots$ のそれぞれに隣接して配置されたワード線群 $WLG_i, WLG_{i+1} \dots$ に平行なソース線SLと、複数のワード線群 $WLG_i, WLG_{i+1} \dots$ の内の一対のワード線群 WLG_i, WLG_{i+1} の内側に隣接して、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一対のビット線側選択ゲート線SGDと、一対のワード線群 WLG_i, WLG_{i+1} の外側に隣接して配置され、更に一対のワード線群 WLG_i, WLG_{i+1} に隣接するワード線群との間に一対配置されるトポロジーで、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一対のソース線側選択ゲート線SGSと、ビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ とワード線 $WL_1, WL_2, \dots, WL_{n-1}, WL_n$ の交差部に配置されるメモリセルトランジスタMT及びビット線 $BL_{j-1}, BL_j, BL_{j+1} \dots$ と選択ゲート線SGD, SGSの交差部に配置される選択ゲートトランジスタSTと、一対のビット線側選択ゲート線SGDの間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるビット線コンタクト(CB)11と、一対のソース線側選択ゲート線SG

Sの間において、ワード線群 $W L G_i$, $W L G_{i+1}$ …方向に直線状に配置されるセルフアライン形成のソース線コンタクト(CS)13とを備え、一对のビット線側選択ゲート線SGD間の中心線を第1の鏡映対称線ML1、一对のソース線側選択ゲート線SGS間の中心線を第2の鏡映対称線ML2として周期的に折り返されるパターンにおいて、一对のビット線側選択ゲート線SGDの間隔L1が、一对のソース線側選択ゲート線SGSの間隔L2よりも大きい構成を有する。

【0049】

本発明の第2の実施の形態に係る半導体記憶装置の例では、NAND型フラッシュEEPROMの構造を基本構造としており、第1の実施の形態と同様に、図15及び図16に示すように、pウェル若しくは半導体基板26上に形成されたゲート絶縁膜30をトンネル絶縁膜とし、更にゲート絶縁膜30上に配置されたフローティングゲート8、ゲート間絶縁膜7、コントロールゲート2からなるスタックゲート構造のメモリセルを備えている。各メモリセルトランジスタのソース・ドレイン拡散層(図示省略)を介して複数のメモリセルがビット線方向に直列に接続され、両端部に選択ゲートトランジスタの選択ゲート電極15が配置され、更にこれらの選択ゲートトランジスタを介して、ビット線コンタクト(CB)11及びセルフアライン形成されるソース線コンタクト(CS)13に接続されている。結果として、1つのメモリセルユニットが構成され、これらのメモリセルユニットは、ビット線に直交するワード線WL方向に複数並列に配置されている。尚、図16は素子分離領域(STI)32における素子断面構造に相当する。

【0050】

NANDセルユニット24は、図4及び図5に詳細に示されているように、メモリセルトランジスタM0~M15と、選択ゲートトランジスタSG1、SG2から構成される。選択ゲートトランジスタSG1のドレインは、ビット線コンタクトCBを介して、ビット線・・・・ $B L_{j-1}$, $B L_j$, $B L_{j+1}$ ・・・・に対して接続され、選択ゲートトランジスタSG2のソースは、セルフアライン形成されるソース線コンタクト(CS)13を介して、共通のソース線SLに接続されている。

【0051】

図4及び図5に示すNANDセルユニット24が図14に示すNAND型フラッシュEEPROMにおいて、列方向に2種類のコンタクト形成予定領域幅L1, L2を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅L1はビット線コンタクト11用であり、この幅L1は、図15及び図16に示す層間絶縁膜27のボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅L2はソース線コンタクト13用である。

【0052】

第2の実施の形態においては、ソース線コンタクト(CS)13はセルフアライン工程によって形成されることから、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅に設定することができる。第1の実施の形態におけるソース線コンタクト形成予定領域の幅L2よりも更にL2の寸法を狭く設定することができる。

【0053】

このように、ビット線コンタクト形成予定領域幅L1を広く形成し、ソース線コンタクト形成予定領域幅L2を狭くセルフアライン形成するということは、例えば、ビット線コンタクトCBのための拡散領域の面積をソース線コンタクトCSのための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクトCBの両側に隣接する選択ゲートトランジスタの選択ゲート線SGD間の間隔を、セルフアライン形成されるソース線コンタクトCSの両側に隣接する選択ゲートトランジスタの選択ゲート線SGSの間隔より広げることと相当する。

【0054】

(製造方法)

本発明の第2の実施の形態に係る半導体記憶装置の製造方法は、図6乃至図11に示した第1の実施の形態に係る製造方法と同様であるため説明は省略する。ビット線コンタク

10

20

30

40

50

ト (C B) 1 1 の形成部分においては、図 6 乃至図 1 1 と同様の工程を採用する。一方、ソース線コンタクト (C S) 1 3 の形成部分は、セルフアライン工程によって図 1 7 に示すように形成する。

【0055】

本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法によれば、2 種類のコンタクト形成領域幅 L 1, L 2 を交互に挟んで、N A N D セルユニット 2 4 を配置することによって、層間絶縁膜 2 7 中のソース線コンタクト C S 間のボイドの発生は許容するが、ビット線コンタクト C B 間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができ、更にソース線コンタクト形成をセルフアライン工程によって実現するため、ソース側選択ゲート線 S G S 間の間隔 L 2 を更に狭く設定することができ、集積度の向上を図ることができるという利点がある。 10

【0056】

(製造方法の変形例)

本発明の第 2 の実施の形態に係る半導体記憶装置の製造工程においては、高不純物密度の拡散層 1 6 を形成後、コンタクトプラグ 9 を形成しているが、より簡単な工程としては、図 1 2 に示すように、図 6 に示す工程後、絶縁膜 1 0 を全面に堆積し、リソグラフィとパターニングによって、コンタクトプラグ 9 (図 1 1) と同様の導体膜によって、ビット線コンタクト (C B) 1 1 を形成しても良い。

【0057】

本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法の変形例によれば、図 1 2 に示すように、選択ゲート線 S G D 間の間隔 L 1 を十分に広く取ることによって、ビット線コンタクト C B をボイドフリーに形成する非セルフアライン工程によるコンタクトの形成方法を提供することができる。 20

【0058】

(ボイド構造)

本発明の第 2 の実施の形態に係る半導体記憶装置において形成されるボイド構造は、第 1 の実施の形態と同様に、図 1 3 に示すように、例えば選択ゲート電極 1 5 と拡散層 1 8 に対して絶縁膜 1 0 及びサリサイド膜 4 6 を形成後、リフロー性のある多層絶縁膜 1 1 0 を形成した場合に発生する。選択ゲート電極 1 5 間の間隔が狭くアスペクト比が高い場合には、リフロー性の良好な多層絶縁膜 1 1 0 を順次堆積する過程で、ボイド 5 0 が形成される。ボイドを積極的に利用できるのは、セルフアライン形成のソース線コンタクト C S が共通に接触するソース線 S L であって、ビット線コンタクト C B においてはビット線間のショートの原因になることは前述の通りである。 30

【0059】

本発明の第 2 の実施の形態に係る半導体記憶装置の構成によれば、2 種類のコンタクト形成領域幅 L 1, L 2 を交互に挟んで配置することによって、ソース線コンタクト C S 間のボイドの発生は許容するが、ビット線コンタクト C B 間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

【0060】

(第 3 の実施の形態)

(N A N D 型)

本発明の第 3 の実施の形態に係る半導体記憶装置の模式的素子断面構造を図 1 8 に、又、本発明の第 3 の実施の形態に係る半導体記憶装置の回路構成を図 1 9 に示す。

【0061】

本発明の第 3 の実施の形態に係る半導体記憶装置は、図 1 と同様の平面パターン構成を有するため、説明は省略するが、ビット線側選択ゲート線 S G D の代わりに S G D 1, S G D 2 の 2 本備え、ソース線側選択ゲート線 S G S の代わりに S G S 1, S G S 2 の 2 本備える点が異なっている。このように選択ゲート線を 2 本に設定することによって、選択トランジスタ部分において、カットオフ性能を向上させることができる。

【0062】

40

50

本発明の第3の実施の形態に係る半導体記憶装置の例では、NAND型フラッシュEEPROMの構造を基本構造としており、図18及び図19に示すように、pウェル若しくは半導体基板26上に形成されたゲート絶縁膜30をトンネル絶縁膜とし、更にゲート絶縁膜30上に配置されたフローティングゲート8、ゲート間絶縁膜7、コントロールゲート2からなるスタックゲート構造のメモリセルを備えている。各メモリセルトランジスタのソース・ドレイン拡散層18を介して複数のメモリセルがビット線方向に直列に接続され、両端部に選択ゲートトランジスタの選択ゲート電極15が2本ずつ配置され、ビット線コンタクトCB及びソース線コンタクトCS接続されている。結果として、1つのメモリセルユニットが構成され、これらのメモリセルユニットは、ビット線に直交するワード線WL方向に複数並列に配置されている。

10

【0063】

NANDセルユニット24は、図18及び図19に詳細に示されているように、メモリセルトランジスタM0～M15と、ビット線側選択ゲートトランジスタSG11、SG12、ソース線側選択ゲートトランジスタSG21、SG22から構成される。選択ゲートトランジスタSG12のドレインは、ビット線コンタクトCBを介して、ビット線・・・BL_j、BL_{j+1}・・・に対して接続され、選択ゲートトランジスタSG22のソースは、ソース線コンタクトCSを介して、共通のソース線SLに接続されている。

【0064】

図18及び図19に示すNANDセルユニット24が、図1と同様の平面パターン構成に示すNAND型フラッシュEEPROMにおいて、列方向に2種類のコンタクト形成予定領域幅L1、L2を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅L1はビット線コンタクト11用であり、この幅L1は、層間絶縁膜27のボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅L2はソース線コンタクト12用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。図1及び図19に示すように、ソース線SLは行方向に並ぶNANDセルユニット24で共有するため、ボイドが発生してソース線コンタクト(CS)12間がショートしていても構わないからである。

20

【0065】

このように、ビット線コンタクト形成予定領域幅L1を広く形成し、

ソース線コンタクト形成予定領域幅L2を狭く形成するということは、例えば、ビット線コンタクトCBのための拡散領域の面積をソース線コンタクトCSのための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクトCBの両側に隣接する選択ゲートトランジスタの選択ゲート線SGD間の間隔を、ソース線コンタクトCSの両側に隣接する選択ゲートトランジスタの選択ゲート線SGSの間隔より広げることに対応する。

30

【0066】

本発明の第3の実施の形態に係る半導体記憶装置の構成によれば、2種類のコンタクト形成領域幅L1、L2を交互に挟んで配置することによって、ソース線コンタクトCS間のボイドの発生は許容するが、ビット線コンタクトCB間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。と共に、選択ゲート線を2本ずつ配置することによって、選択トランジスタにおけるリーク電流を低減し、カットオフ性能を向上させた半導体記憶装置を提供することができる。

40

【0067】

(第3の実施の形態の変形例1)

本発明の第3の実施の形態の変形例1に係る半導体記憶装置の模式的素子断面構造を図20に示す。

【0068】

本発明の第3の実施の形態の変形例1に係る半導体記憶装置は、図1と同様の平面パターン構成を有するため、説明は省略するが、ビット線側選択ゲート線SGDの代わりにSGD1、SGD2の2本備える点が異なっている。このように選択ゲート線を2本に設定

50

することによって、選択トランジスタ部分において、カットオフ性能を向上させることができる。

【0069】

図20に示すNANDセルユニットが、図1と同様の平面パターン構成に示すNAND型フラッシュEEPROMにおいて、列方向に2種類のコンタクト形成予定領域幅L1，L2を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅L1はビット線コンタクト11用であり、この幅L1は、層間絶縁膜27のボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅L2はソース線コンタクト12用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。ソース線SLは行方向に並ぶNANDセルユニットで共有するため、ボイドが発生してソース線コンタクト(CS)12間がショートしていても構わないからである。 10

【0070】

本発明の第3の実施の形態の変形例1に係る半導体記憶装置の構成によれば、2種類のコンタクト形成領域幅L1，L2を交互に挟んで配置することによって、ソース線コンタクトCS間のボイドの発生は許容するが、ビット線コンタクトCB間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができると共に、ビット線側選択ゲート線を2本配置することによって、選択トランジスタにおけるリーク電流を低減し、カットオフ性能を向上させた半導体記憶装置を提供することができる。

【0071】

20

(第3の実施の形態の変形例2)

本発明の第3の実施の形態の変形例2に係る半導体記憶装置の模式的素子断面構造を図21に示す。

【0072】

本発明の第3の実施の形態の変形例2に係る半導体記憶装置は、図1と同様の平面パターン構成を有するため、説明は省略するが、ソース線側選択ゲート線SGSの代わりにSGS1，SGS2の2本備える点が異なっている。このように選択ゲート線を2本に設定することによって、選択トランジスタ部分において、カットオフ性能を向上させることができる。

【0073】

30

図21に示すNANDセルユニットが、図1と同様の平面パターン構成に示すNAND型フラッシュEEPROMにおいて、列方向に2種類のコンタクト形成予定領域幅L1，L2を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅L1はビット線コンタクト11用であり、この幅L1は、層間絶縁膜27のボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅L2はソース線コンタクト12用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。ソース線SLは行方向に並ぶNANDセルユニットで共有するため、ボイドが発生してソース線コンタクト(CS)12間がショートしていても構わないからである。

【0074】

本発明の第3の実施の形態の変形例2に係る半導体記憶装置の構成によれば、2種類のコンタクト形成領域幅L1，L2を交互に挟んで配置することによって、ソース線コンタクトCS間のボイドの発生は許容するが、ビット線コンタクトCB間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができると共に、ソース線側選択ゲート線を2本配置することによって、選択トランジスタにおけるリーク電流を低減し、カットオフ性能を向上させた半導体記憶装置を提供することができる。 40

【0075】

(第4の実施の形態)

(AND型)

本発明の第4の実施の形態に係る半導体記憶装置の模式的平面パターン構成を図22に 50

示し、図 2 2 の I I I - I I I 線に沿う模式的素子断面構造を図 2 3、I V - I V 線に沿う模式的素子断面構造を図 2 4 に示す。又、本発明の第 4 の実施の形態に係る半導体記憶装置の A N D 型回路構成を図 2 5 に示す。

【0076】

図 2 2 に示す平面パターンを参照して、A N D 構成におけるビット線コンタクト C B、ソース線コンタクト C S の配置パターンは、図 3 4 の示す N A N D 型と同様に模式的に示すことができる。

【0077】

本発明の第 4 の実施の形態に係る半導体記憶装置は、図 2 2 に示す平面パターンが図 1 或いは図 3 4 と同様に配置されており、半導体チップ 1 0 0 上に搭載され、複数のビット線 $B L_{j-1}, B L_j, B L_{j+1} \cdots$ と、複数のビット線 $B L_{j-1}, B L_j, B L_{j+1} \cdots$ に直交する複数のワード線群 $W L G_i, W L G_{i+1} \cdots$ とワード線群 $W L G_i, W L G_{i+1} \cdots$ のそれぞれに隣接して配置されたワード線群 $W L G_i, W L G_{i+1} \cdots$ に平行なソース線 S L と、複数のワード線群 $W L G_i, W L G_{i+1} \cdots$ の内の一对のワード線群 $W L G_i, W L G_{i+1}$ の内側に隣接して、ワード線群 $W L G_i, W L G_{i+1} \cdots$ に平行に配列される一对のビット線側選択ゲート線 S G D と、一对のワード線群 $W L G_i, W L G_{i+1}$ の外側に隣接して配置され、更に一对のワード線群 $W L G_i, W L G_{i+1}$ に隣接するワード線群との間に一对配置されるトポロジーで、ワード線群 $W L G_i, W L G_{i+1} \cdots$ に平行に配列される一对のソース線側選択ゲート線 S G S と、ビット線 $B L_{j-1}, B L_j, B L_{j+1} \cdots$ とワード線 $W L_1, W L_2, \cdots, W L_{n-1}, W L_n$ の交差部に配置されるメモリセルトランジスタ M 0 ~ M n 及びビット線 $B L_{j-1}, B L_j, B L_{j+1} \cdots$ と選択ゲート線 S G D, S G S の交差部に配置される選択ゲートトランジスタ S G 1, S G 2 と、一对のビット線側選択ゲート線 S G D の間において、ワード線群 $W L G_i, W L G_{i+1} \cdots$ 方向に直線状に配置されるビット線コンタクト (C B) 1 1 と、一对のソース線側選択ゲート線 S G S の間において、ワード線群 $W L G_i, W L G_{i+1} \cdots$ 方向に直線状に配置されるソース線コンタクト (C S) 1 2 とを備え、一对のビット線側選択ゲート線 S G D 間の中心線を第 1 の鏡映対称線 M L 1、一对のソース線側選択ゲート線 S G S 間の中心線を第 2 の鏡映対称線 M L 2 として周期的に折り返されるパターンにおいて、一对のビット線側選択ゲート線 S G D の間の間隔 L 1 が、一对のソース線側選択ゲート線 S G S の間の間隔 L 2 よりも大きい構成を有する。

【0078】

本発明の第 4 の実施の形態に係る半導体記憶装置の例では、A N D 型フラッシュ E E P R O M の構造を基本構造としており、図 2 3 及び図 2 4 に示すように、p ウェル若しくは半導体基板 2 6 上に形成されたゲート絶縁膜 3 0 をトンネル絶縁膜とし、更にゲート絶縁膜 3 0 上に配置されたフローティングゲート 8、ゲート間絶縁膜 7、コントロールゲート 2 からなるスタックゲート構造のメモリセルが互いに素子分離領域 (S T I) 3 2 によって分離形成された構造を備えている。図 2 4 及び図 2 5 に示すように、各メモリセルトランジスタのソース・ドレイン拡散層 1 8 を介して複数個のメモリセルがビット線方向に並列に接続され、両端部に選択ゲートトランジスタの選択ゲート電極 1 5 が配置され、更にこれらの選択ゲートトランジスタを介して、ビット線コンタクト (C B) 1 1 及びソース線コンタクト (C S) 1 2 に接続されている。結果として、1 つの A N D メモリセルユニットが構成され、これらのメモリセルユニットは、ビット線に直交するワード線 W L 方向に複数並列に配置されている。

【0079】

A N D セルユニット 2 3 は、図 2 2 乃至図 2 5 に詳細に示されているように、並列に接続されたメモリセルトランジスタ M 0 ~ M 1 5 と、選択ゲートトランジスタ S G 1、S G 2 から構成される。選択ゲートトランジスタ S G 1 のドレインは、ビット線コンタクト C B を介して、ビット線 $\cdots B L_{j-1}, B L_j, B L_{j+1} \cdots$ に対して接続され、選択ゲートトランジスタ S G 2 のソースは、ソース線コンタクト C S を介して、共通のソース線 S L に接続されている。

【0080】

10

20

30

40

50

図 2 2 乃至図 2 5 に示す A N D セルユニット 2 3 が図 1 に示す平面パターンと同様に形成される A N D 型フラッシュ E E P R O M において、列方向に 2 種類のコンタクト形成予定領域幅 L_1 、 L_2 を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅 L_1 はビット線コンタクト 1 1 用であり、この幅 L_1 は、ボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅 L_2 はソース線コンタクト 1 2 用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。図 1、図 2 2 及び図 2 5 に示すように、ソース線 S_L は行方向に並ぶ A N D セルユニット 2 3 で共有するため、ボイド 5 0 が発生してソース線コンタクト (C S) 1 2 間ショートしていても構わないからである。

【0081】

10

このように、ビット線コンタクト形成予定領域幅 L_1 を広く形成し、

ソース線コンタクト形成予定領域幅 L_2 を狭く形成するということは、例えば、ビット線コンタクト C B のための拡散領域の面積をソース線コンタクト C S のための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクト C B の両側に隣接する選択ゲートトランジスタの選択ゲート線 $S_G D$ 間の間隔を、ソース線コンタクト C S の両側に隣接する選択ゲートトランジスタの選択ゲート線 $S_G S$ の間隔より広げることに相当する。

【0082】

図 2 5 において、点線で囲まれた 2 3 が A N D セルユニットを示す。A N D セルユニット 2 3 内において、メモリセルトランジスタ $M_0 \sim M_{15}$ の各ドレイン領域を共通接続し、又各ソース領域を共通接続している。即ち、図 2 5 に示されるように A N D 型フラッシュメモリの A N D セルユニット 2 3 では、メモリセルトランジスタ $M_0 \sim M_{15}$ が並列に接続され、その一方側に 1 つのビット線側選択トランジスタ $S_G 1$ 、他方側に 1 つのソース線側選択トランジスタ $S_G 2$ が接続されている。各メモリセルトランジスタ $M_0 \sim M_{15}$ のゲートには、ワード線 $W_L 0 \sim W_L 15$ がそれぞれ 1 対 1 で接続されている。ビット線側選択トランジスタ $S_G 1$ のゲートには、選択ゲート線 $S_G D$ が接続されている。ソース線側選択トランジスタ $S_G 2$ のゲートには、選択ゲート線 $S_G S$ が接続されている。ビット線側選択トランジスタ $S_G S 1$ のドレインは、ビット線コンタクト C B を介してビット線 $B_{L_{j-1}}$ 、 B_{L_j} 、 $B_{L_{j+1}}$ ・・・に接続されている。ソース線側選択トランジスタ $S_G 2$ のソースは、ソース線コンタクト C S を介してソース線 S_L に接続されている。

20

30

【0083】

本発明の第 4 の実施の形態に係る半導体記憶装置によれば、A N D 型回路構成においても、2 種類のコンタクト形成領域幅 L_1 、 L_2 を交互に挟んで配置することによって、ソース線コンタクト C S 間のボイドの発生は許容するが、ビット線コンタクト C B 間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

【0084】

(第 4 の実施の形態の変形例)

本発明の第 4 の実施の形態に係る半導体記憶装置の A N D 回路構成例を図 2 6 に示す。選択ゲートトランジスタのカットオフ特性を確保するためには、選択トランジスタの数は 1 個に限られず複数個直列接続する構成としても良いことはもちろんである。

40

【0085】

本発明の第 4 の実施の形態に係る半導体記憶装置は、図 2 2 と同様の平面パターン構成を有するため、説明は省略するが、ビット線側選択ゲート線 $S_G D$ の代わりに $S_G D 1$ 、 $S_G D 2$ の 2 本備え、ソース線側選択ゲート線 $S_G S$ の代わりに $S_G S 1$ 、 $S_G S 2$ の 2 本備える点が異なっている。このように選択ゲート線を 2 本に設定することによって、選択トランジスタ部分において、カットオフ性能を向上させることができる。

【0086】

(第 5 の実施の形態)

(N O R 構成)

50

本発明の第5の実施の形態に係る半導体記憶装置は、NOR型メモリセルアレイとして構成した例であって、回路構成を図27に示し、図27のNORセルユニット29近傍の模式的素子断面構造を図28に示す。又、本発明の第5の実施の形態に係る半導体記憶装置の模式的平面パターン構成を図29に示す。

【0087】

図27において、点線で囲まれた29がNORセルユニットを示す。NORセルユニット29内において、隣接する2つのメモリセルトランジスタの共通ソース領域はソース線コンタクトCSを介してソース線SLに接続され、共通ドレイン領域はビット線コンタクトCBを介してビット線 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} に接続されている。NAND型構成に比べ高速読み出しができるという特徴を有する。

10

【0088】

本発明の第5の実施の形態に係る半導体記憶装置の例では、NOR型フラッシュEEPROMの構造を基本構造としており、図28に示すように、pウェル若しくは半導体基板26上に形成されたゲート絶縁膜30をトンネル絶縁膜とし、更にゲート絶縁膜30上に配置されたフローティングゲート8、ゲート間絶縁膜7、コントロールゲート2からなるスタックゲート構造のメモリセルを備えている。各メモリセルトランジスタのソース・ドレイン拡散層18の一方はビット線コンタクト(CB)11を介してビット線BLに接続され、他方はソース線コンタクト(CS)12を介して、ソース線SLに接続されている。

【0089】

図27に示すように、ビット線 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 方向に直列に接続される複数のメモリセルのドレイン領域は、それぞれ共通のビット線 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} …に接続され、ソース領域をソース線コンタクトCSを介して共通のソース線SLに接続する複数のメモリセルは、各コントロールゲート2をそれぞれ共通のワード線 WL_{i-1} 、 WL_i 、 WL_{i+1} …に接続している。ビット線 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 方向に直列に接続される複数のメモリセルによって、1つのNORセルユニット29が構成され、これらのメモリセルユニットは、ビット線に直交するワード線WL方向に複数並列に配置されている。

20

【0090】

NORセルユニット29は、図4及び図5に詳細に示されているように、メモリセルトランジスタM0～M15と、選択ゲートトランジスタSG1、SG2から構成される。選択ゲートトランジスタSG1のドレインは、ビット線コンタクトCBを介して、ビット線 $\cdots BL_{j-1}$ 、 BL_j 、 $BL_{j+1} \cdots$ に対して接続され、選択ゲートトランジスタSG2のソースは、ソース線コンタクトCSを介して、共通のソース線SLに接続されている。

30

【0091】

図27に示すNORセルユニット29が図29に示す平面パターンのように配置されている。ビット線コンタクトCBは隣接して配置されるワード線 WL_{i-1} 、 WL_i 、 $WL_{i+1} \cdots$ 間に直線状に配置され、ソース線コンタクトCSも隣接して配置されるワード線 WL_{i-1} 、 WL_i 、 $WL_{i+1} \cdots$ 間に直線状に配置されている。

40

【0092】

図29に示す平面パターンを参照して、NOR構成におけるビット線コンタクトCB、ソース線コンタクトCSの配置パターンを模式的に図35に示す。

【0093】

本発明の第5の実施の形態に係る半導体記憶装置は、図27乃至図29及び図35に示すように、半導体チップ100上に搭載され、複数のビット線 BL_{j-3} 、 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 、 $BL_{j+3} \cdots$ と、複数のビット線 BL_{j-3} 、 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 、 $BL_{j+3} \cdots$ に直交する複数のワード線群 WLG_i 、 $WLG_{i+1} \cdots$ とワード線群 WLG_i 、 $WLG_{i+1} \cdots$ のそれぞれに隣接して配置されたワード線群 WLG_i 、 $WLG_{i+1} \cdots$ に平行なソース線SLと、複数のワード線群 WLG_i 、 WLG_{i+1}

50

…の内の一对のワード線 WL_{i-2} , WL_{i-1} の間において、ワード線群方向に直線状に配置されるビット線コンタクト (CB) 11 と、一对のワード線 WL_{i-2} , WL_{i-1} の外側に隣接して配置され、更に一对のワード線 WL_{i-2} , WL_{i-1} に隣接する別の一对のワード線 WL_i , WL_{i+1} との間に配置されるトポロジーで、ワード線群 WLG_i , WLG_{i+1} …方向に直線状に配置されるソース線コンタクト (CS) 12 と、ビット線 BL_{j-3} , BL_{j-2} , BL_{j-1} , BL_j , BL_{j+1} , BL_{j+2} , BL_{j+3} …とワード線 WL_{i-2} , WL_{i-1} , WL_i , WL_{i+1} , WL_{i+2} , WL_{i+3} の交差部に配置されるメモリセルトランジスタ MT とを備え、一对のワード線 WL_{i-2} , WL_{i-1} の間の中心線を第 1 の鏡映対称線 ML 1、一对のワード線 WL_{i-2} , WL_{i-1} と一对のワード線 WL_{i-2} , WL_{i-1} に隣接する別の一对のワード線 WL_i , WL_{i+1} との間の中心線を第 2 の鏡映対称線 ML 2 として周期的に折り返されるパターンにおいて、一对のワード線 WL_{i-2} , WL_{i-1} の間の間隔が、一对のワード線 WL_{i-2} , WL_{i-1} と一对のワード線 WL_{i-2} , WL_{i-1} に隣接する別の一对のワード線 WL_i , WL_{i+1} との間の間隔よりも大きい構成を有する。

10

【0094】

広い方のコンタクト形成予定領域幅はビット線コンタクト 11 用であり、この幅は、ボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅はソース線コンタクト 12 用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。図 27, 図 29 及び図 35 に示すように、ソース線 SL はワード線方向に並ぶ NOR セルユニット 29 で共有するため、ボイドが発生してソース線コンタクト (CS) 12 間ショートしていても構わないからである。

20

【0095】

このように、ビット線コンタクト形成予定領域幅を広く形成し、ソース線コンタクト形成予定領域幅を狭く形成するということは、例えば、ビット線コンタクト CB のための拡散領域の面積をソース線コンタクト CS のための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクト CB の両側に隣接するワード線間の間隔を、ソース線コンタクト CS の両側に隣接するワード線間の間隔より広げることに対応する。

【0096】

本発明の第 5 の実施の形態に係る半導体記憶装置によれば、NOR 型回路構成においても、ビット線コンタクト CB 及びソース線コンタクト CS の配置が直線的であることから、2 種類のコンタクト形成領域幅を交互に挟んで配置することによって、ソース線コンタクト CS 間のボイドの発生は許容するが、ビット線コンタクト CB 間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

30

【0097】

(第 6 の実施の形態)

本発明の第 6 の実施の形態に係る半導体記憶装置の 2 トランジスタ／セル方式の模式的素子断面構造を図 30 に示し、2 トランジスタ／セル方式の回路構成を図 31 に示す。

【0098】

図 31 に示す回路構成を参照して、2 トランジスタ／セル方式の構成におけるビット線コンタクト CB、ソース線コンタクト CS の配置パターンを模式的に図 36 に示す。

40

【0099】

本発明の第 6 の実施の形態に係る半導体記憶装置の例では、2 トランジスタ／セル方式の構造を基本構造としており、図 30 及び図 31 に示すように、p ウェル若しくは半導体基板 26 上に形成されたゲート絶縁膜 30 をトンネル絶縁膜とし、更にゲート絶縁膜 30 上に配置されたフローティングゲート 8、ゲート間絶縁膜 7、コントロールゲート 2 からなるスタックゲート構造のメモリセルを備えている。メモリセルトランジスタのドレイン領域は拡散層 18 を介してビット線コンタクト (CB) 11 に接続され、メモリセルトランジスタのソース領域は拡散層 18 を介して選択トランジスタのドレイン領域に接続されている。又、選択トランジスタのソース領域は、拡散層 18 を介してソース線コンタクト (CS) 12 に接続されている。このような 2 トランジスタ／セル方式のメモリセルがワ

50

ード線方向に並列に配置されて、図 3 1 に示すように、メモリセルブロック 3 3 が構成される。1 つのメモリセルブロック 3 3 内ではワード線 WL_{i-2} がメモリセルのコントロールに共通に接続され、ページ単位 3 4 を構成している。尚、複数のブロック内のページをまとめてページ単位とすることも勿論である。更に、選択トランジスタのゲートに対しては選択ゲート線 SGS が共通に接続されている。一方、ビット線 $BL_0, BL_1, BL_2, \dots, BL_n$ 方向においては、2 トランジスタ／セル方式のメモリセルがソース線 SL に対して折り返された回路構造が直列に、配置されている。

【0100】

結果として、図 3 1 に示すように、ビット線コンタクト CB は隣接するワード線 WL_{i-1}, WL_i 間にワード線方向に直線状に配置され、ソース線コンタクト CS は隣接する選択ゲート線 SGS 間においてワード線方向に直線状に配置されている。 10

【0101】

本発明の第 6 の実施の形態に係る半導体記憶装置は、図 3 6 に示すように、半導体チップ 1 0 0 上に搭載され、複数のビット線 $BL_{j-3}, BL_{j-2}, BL_{j-1}, BL_j, BL_{j+1}, BL_{j+2}, BL_{j+3} \dots$ と、複数のビット線 $BL_{j-3}, BL_{j-2}, BL_{j-1}, BL_j, BL_{j+1}, BL_{j+2}, BL_{j+3} \dots$ に直交する複数のワード線群 $WLG_i, WLG_{i+1} \dots$ とワード線群 $WLG_i, WLG_{i+1} \dots$ のそれぞれに隣接して配置されたワード線群 $WLG_i, WLG_{i+1} \dots$ に平行なソース線 SL と、複数のワード線群 $WLG_i, WLG_{i+1} \dots$ の内の一对のワード線 WL_{i-2}, WL_{i-1} の間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるビット線コンタクト (CB) 1 1 と、一对のワード線 WL_{i-2}, WL_{i-1} の外側に隣接して配置され、更に一对のワード線 WL_{i-2}, WL_{i-1} に隣接するワード線群との間に一对配置されるトポロジーで、ワード線群 $WLG_i, WLG_{i+1} \dots$ に平行に配列される一对のソース線側選択ゲート線 SGS と、ビット線 $BL_{j-3}, BL_{j-2}, BL_{j-1}, BL_j, BL_{j+1}, BL_{j+2}, BL_{j+3} \dots$ とワード線 $WL_{i-2}, WL_{i-1}, WL_i, WL_{i+1} \dots$ の交差部に配置されるメモリセルトランジスタ MT 及びビット線 $BL_{j-3}, BL_{j-2}, BL_{j-1}, BL_j, BL_{j+1}, BL_{j+2}, BL_{j+3} \dots$ とソース線側選択ゲート線 SGS の交差部に配置される選択ゲートトランジスタ ST と、一对のソース線側選択ゲート線 SGS の間において、ワード線群 $WLG_i, WLG_{i+1} \dots$ 方向に直線状に配置されるソース線コンタクト (CS) 1 2 とを備え、一对のワード線 WL_{i-2}, WL_{i-1} の間の中心線を第 1 の鏡映対称線 ML_1 、一对のソース線側選択ゲート線 SGS の間の中心線を第 2 の鏡映対称線 ML_2 として 20 30 周期的に折り返されるパターンにおいて、一对のワード線 WL_{i-2}, WL_{i-1} の間の間隔が、一对のソース線側選択ゲート線 SGS の間の間隔よりも大きい構成を有する。

【0102】

図 3 0 及び図 3 1 に示す 2 トランジスタ／セル方式のメモリセルが図 3 6 に示すフラッシュ $EEPROM$ において、列方向に 2 種類のコンタクト形成予定領域幅を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅はビット線コンタクト CB 用であり、この幅は、ボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅はソース線コンタクト CS 用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。図 3 1 及び図 3 6 に示すように、ソース線 SL は行方向にメモリセルで共有するため、ボイドが発生してソース線コンタクト CS 間がショートしていても構わないからである。 40

【0103】

このように、ビット線コンタクト形成予定領域幅広く形成し、ソース線コンタクト形成予定領域幅を狭く形成するということは、例えば、ビット線コンタクト CB のための拡散領域の面積をソース線コンタクト CS のための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクト CB の両側に隣接するワード線間の間隔を、ソース線コンタクト CS の両側に隣接する選択ゲートトランジスタの選択ゲート線 SGS の間隔より広げることと相当する。

【0104】

本発明の第 6 の実施の形態に係る半導体記憶装置によれば、 $NAND$ 型と NOR 型の中 50

間的な動作が可能となり、このような２トランジスタ／セル方式の回路構成においても、ビット線コンタクトＣＢ及びソース線コンタクトＣＳの配置が直線的であることから、２種類のコンタクト形成領域幅を交互に挟んで配置することによって、ソース線コンタクトＣＳ間のボイドの発生は許容するが、ビット線コンタクトＣＢ間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

【０１０５】

（第７の実施の形態）

本発明の第７の実施の形態に係る半導体記憶装置の３トランジスタ／セル方式の模式的素子断面構造を図３２に示し、３トランジスタ／セル方式の回路構成を図３３に示す。

10

【０１０６】

図３３に示す回路構成を参照して、３トランジスタ／セル方式の構成におけるビット線コンタクトＣＢ、ソース線コンタクトＣＳの配置パターンを模式的に図３７に示す。

【０１０７】

本発明の第７の実施の形態に係る半導体記憶装置の例では、３トランジスタ／セル方式の構造を基本構造としており、図３２及び図３３に示すように、ｐウェル若しくは半導体基板２６上に形成されたゲート絶縁膜３０をトンネル絶縁膜とし、更にゲート絶縁膜３０上に配置されたフローティングゲート８、ゲート間絶縁膜７、コントロールゲート２からなるスタックゲート構造のメモリセルを備え、メモリセルの両側には、選択ゲート電極１５を有する選択トランジスタが配置されている。メモリセルトランジスタのドレイン領域はビット線側選択トランジスタを介してビット線コンタクト（ＣＢ）１１に接続され、メモリセルトランジスタのソース領域はソース線側選択トランジスタを介してソース線コンタクト（ＣＳ）１２に接続されている。このような３トランジスタ／セル方式のメモリセルがワード線方向に並列に配置されて、図３３に示すように、メモリセルブロック３３が構成される。１つのメモリセルブロック３３内ではワード線 WL_{i-2} がメモリセルのコントロールゲート２に共通に接続され、ページ単位３４を構成している。尚、複数のブロック内のページをまとめてページ単位とすることも勿論である。更に、ソース線側選択トランジスタのゲートに対しては選択ゲート線ＳＧＳが共通に接続され、ビット線側選択トランジスタのゲートに対しては選択ゲート線ＳＧＤが共通に接続されている。一方、ビット線 BL_0 、 BL_1 、 BL_2 、…、 BL_n 方向においては、３トランジスタ／セル方式のメモリセルがソース線ＳＬに対して折り返された回路構造が直列に、配置されている。

20

30

【０１０８】

結果として、図３３に示すように、ビット線コンタクトＣＢは隣接するワード線 WL_{i-1} 、 WL_i 間にワード線方向に直線状に配置され、ソース線コンタクトＣＳは隣接する選択ゲート線ＳＧＳ間においてワード線方向に直線状に配置されている。

【０１０９】

本発明の第７の実施の形態に係る半導体記憶装置は、図３７に示すように、半導体チップ１００上に搭載され、複数のビット線 BL_{j-3} 、 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 、 BL_{j+3} …と、複数のビット線 BL_{j-3} 、 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 、 BL_{j+3} …に直交する複数のワード線群 WLG_i 、 WLG_{i+1} …とワード線群 WLG_i 、 WLG_{i+1} …のそれぞれに隣接して配置されたワード線群 WLG_i 、 WLG_{i+1} …に平行なソース線ＳＬと、複数のワード線群 WLG_i 、 WLG_{i+1} …の内の一対のワード線 WL_{i-2} 、 WL_{i-1} の内側に隣接して、ワード線群 WLG_i 、 WLG_{i+1} …に平行に配列される一対のビット線側選択ゲート線ＳＧＤと、一対のワード線 WL_{i-2} 、 WL_{i-1} の外側に隣接して配置され、更に一対のワード線 WL_{i-2} 、 WL_{i-1} に隣接するワード線群との間に一対配置されるトポロジーで、ワード線群 WLG_i 、 WLG_{i+1} …に平行に配列される一対のソース線側選択ゲート線ＳＧＳと、ビット線 BL_{j-3} 、 BL_{j-2} 、 BL_{j-1} 、 BL_j 、 BL_{j+1} 、 BL_{j+2} 、 BL_{j+3} …とワード線 WL_{i-2} 、 WL_{i-1} 、 WL_i 、 WL_{i+1} …の交差部に配置されるメモリセルトランジスタ及びビット線 BL_{j-3} 、 BL_{j-2} 、 BL_{j-1} 、 BL_j 、

40

50

BL_{j+1} , BL_{j+2} , $BL_{j+3} \cdots$ とビット線側選択ゲート線 SGD 及びソース線側選択ゲート線 SGS との交差部に配置される選択ゲートトランジスタ $ST1$, $ST2$ と、一対のビット線側選択ゲート線 SGD の間において、ワード線群 WLG_i , $WLG_{i+1} \cdots$ 方向に直線状に配置されるビット線コンタクト (CB) 11 と、一対のソース線側選択ゲート線 SGS の間において、ワード線群 WLG_i , $WLG_{i+1} \cdots$ 方向に直線状に配置されるソース線コンタクト (CS) 12 とを備え、一対のビット線側選択ゲート線 SGD の間の中心線を第1の鏡映対称線 $ML1$ 、一対のソース線側選択ゲート線 SGS の間の中心線を第2の鏡映対称線 $ML2$ として周期的に折り返されるパターンにおいて、一対のビット線側選択ゲート線 SGD の間の間隔が、一対のソース線側選択ゲート線 SGS の間の間隔よりも大きい構成を有する。

10

【0110】

図32及び図33に示す3トランジスタ／セル方式のメモリセルが図37に示すフラッシュ $EEPROM$ において、列方向に2種類のコンタクト形成予定領域幅を交互に挟んで配置されている。広い方のコンタクト形成予定領域幅はビット線コンタクト CB 用であり、この幅は、ボイドフリーな埋め込みが可能な幅にとる。一方、狭い方のコンタクト形成予定領域幅はソース線コンタクト CS 用であり、コンタクト径や合わせ余裕等のデザインルールで決まる最小幅にすればよい。図33及び図37に示すように、ソース線 SL はワード線方向にメモリセルで共有するため、ボイドが発生してソース線コンタクト CS 間がショートしていても構わないからである。

20

【0111】

このように、ビット線コンタクト形成予定領域幅を広く形成し、ソース線コンタクト形成予定領域幅を狭く形成するということは、例えば、ビット線コンタクト CB のための拡散領域の面積をソース線コンタクト CS のための拡散領域の面積より広くすることに相当する。換言すれば、ビット線コンタクト CB の両側に隣接するワード線間の間隔を、ソース線コンタクト CS の両側に隣接する選択ゲートトランジスタの選択ゲート線 SGS の間隔より広げることに対応する。

【0112】

本発明の第7の実施の形態に係る半導体記憶装置によれば、 $NAND$ 型と NOR 型の間動的な動作が可能となり、このような3トランジスタ／セル方式の回路構成においても、ビット線コンタクト CB 及びソース線コンタクト CS の配置が直線的であることから、2種類のコンタクト形成領域幅を交互に挟んで配置することによって、ソース線コンタクト CS 間のボイドの発生は許容するが、ビット線コンタクト CB 間のボイド発生を抑えることができ、隣接するビット線間のショート不良を回避し、歩留まりの向上を図ることができる。

30

【0113】

(第8の実施の形態)

($NAND$ 構成)

本発明の第8の実施の形態に係る不揮発性半導体記憶装置の回路構成例として、 $NAND$ 構成の例を図38に示す。図38は、本発明の第1乃至第2の実施の形態に係る半導体記憶装置を $NAND$ 型メモリセルアレイとして構成した例を示す。

40

【0114】

$NAND$ セルユニット24は、 n 個のメモリセルトランジスタ($MC1,m \sim MCn,m$)を、それらのソース若しくはドレイン拡散層を隣接するもの同士で共有する形で直列接続し、さらにその両端に選択ゲートトランジスタ($SG1,m$, $SG2,m$)を配置することによって構成されている。 $NAND$ メモリセルアレイは上記 $NAND$ セルユニット24をマトリクス状に配列したものである。同一列に並ぶ $NAND$ セルユニット24の範囲が $NAND$ セルブロックである。各 $NAND$ セルユニット24の一方の選択ゲートトランジスタ($SG1,m$)のドレインはビット線(BLm)に接続され、もう一方の選択ゲートトランジスタ($SG2,m$)のソースは複数の $NAND$ セルユニット24で共有されるソース線 SL に接続されている。一方、 $NAND$ メモリセルアレイの行方向に並ぶ複数のメモリセルト

50

ランジスタ及び選択ゲートトランジスタの制御ゲートは、それぞれ制御ゲート線（ワード線）WL及び選択ゲート線SGD, SGSに共通接続されている。一本のワード線に接続される全メモリセルトランジスタ25が、一括してデータ書き込みを行う範囲である。この書き込みの単位を通常、1ページと定義するが、近年では1本の制御ゲートに対して複数のページが割り当てられることがある。NANDセルユニット24内にn個のメモリセルトランジスタがある場合、メモリセルブロック内の制御ゲート線本数はnである。ビット線BL1, BL2はビット線駆動回路1に接続され、ワード線WLは制御ゲート線駆動回路20に接続され、選択ゲート線は選択ゲート線駆動回路21に接続され、ソース線は、ソース線駆動回路22に接続されている。

【0115】

10

本発明の第8の実施の形態に係る不揮発性半導体記憶装置によれば、ソース線コンタクトCSを接続するソース線SLに対しては、ボイドを内部に含んでいてもよく、ビット線コンタクトCBのみボイドフリーの構成を備える半導体記憶装置を適用でき、本発明の第1乃至第2の実施の形態において説明したNAND型構成の半導体記憶装置を適用することができる。

【0116】

尚、選択ゲートトランジスタの数は1個に限られず、複数個直列に接続した回路構成を備えていても良い点は、本発明の第3の実施の形態において示した通りである。

【0117】

（第9の実施の形態）

20

（システムブロック構成例）

本発明の第1乃至第3の実施の形態に係る半導体記憶装置のシステムブロック構成例は、図39に示すように、NAND型フラッシュメモリセルアレイ303と、ビット線制御回路301と、ロウデコーダ310と、カラムデコーダ302と、昇圧回路311とから構成される。NAND型フラッシュメモリセルアレイ303には、図38において説明したNAND型メモリセルアレイを適用することができる。即ち、NAND型フラッシュメモリセルアレイ303には、積層スタックゲート型構造を基本メモリセルトランジスタとして有するNANDセルユニット24が行方向及び列方向にマトリックス状に配置され、コントロールゲート2の接続されたワード線WL1~WLn、ビット線BL1~BLm、選択ゲート線SGD, SGS及びソース線SL等が配線されている。このNAND型フ
ラッシュメモリセルアレイ303には、ビット線制御回路301及びロウデコーダ310が接続されている。ビット線制御回路301は書き込みデータのラッチ、読み出し時のセンス動作等を行う回路である。このビット線制御回路301には、カラムアドレス信号をデコードしてNANDセルユニットの列を選択するためのカラムデコーダ302が接続されている。昇圧回路311は、電源電圧から、書き込み電圧 V_{pgm} 、異なる複数の中間電圧 $V_{pass1} \sim V_{passn}$ 、ビット線電圧 V_{bl} 等を発生する。ロウデコーダ310は、昇圧回路311に制御信号RDSを供給し、書き込み電圧 V_{pgm} 及び中間電圧 $V_{pass1} \sim V_{passn}$ を受ける。尚、複数の中間電圧 $V_{pass1} \sim V_{passn}$ は、本発明の実施の形態に係る不揮発性半導体記憶装置の書き込み動作、読み出し動作、消去動作において使用する電圧であって、主としてワード線WL1~WLn等に印加する電圧である。このロウデコーダ310は、
ロウアドレス信号をデコードし、昇圧回路311から供給された電圧に基づいて、上記NAND型フラッシュメモリセルアレイ303中のメモリセルトランジスタを選択するための書き込み電圧 V_{pgm} 、中間電圧 $V_{pass1} \sim V_{passn}$ 、選択ゲート線SGSに印加する電圧 V_{sgs} 、選択ゲート線SGDに印加する電圧 V_{sgd} 、ソース線に印加する電圧 V_{sl} 等のデコード信号を出力する。これによって、上記NAND型フラッシュメモリセルアレイ303中のワード線、選択ゲート線が選択される。更に、ビット線制御回路301は昇圧回路311からビット線電圧 V_{bl} を受け、カラムデコーダ302で選択されたNANDセルユニットの列に供給する。尚、図29は必要な最小限の回路のみを示しており、他にもアドレスバッファ、データ入出力バッファ、及びタイミング発生回路等が必要であるが、記載を省略している。

50

【0118】

(第10の実施の形態)

本発明の第1乃至第9の実施の形態に係る半導体記憶装置の応用例を本発明の第10の実施の形態として図40に示す。図40は、本実施の形態に係るフラッシュメモリ装置及びシステムの主要構成要素の概略的なブロック図である。図に示すように、フラッシュメモリシステム142はホストプラットフォーム144、及びユニバーサル・シリアル・バス(USB)フラッシュ装置146より構成される。

【0119】

ホストプラットフォーム144は、USBケーブル148を介して、USBフラッシュ装置146へ接続されている。ホストプラットフォーム144は、USBホストコネクタ150を介してUSBケーブル148に接続し、USBフラッシュ装置146はUSBフラッシュ装置コネクタ152を介してUSBケーブル148に接続する。ホストプラットフォーム144は、USBバス上のパケット伝送を制御するUSBホスト制御器154を有する。

【0120】

USBフラッシュ装置146は、USBフラッシュ装置146の他の要素を制御し、かつUSBフラッシュ装置146のUSBバスへのインタフェースを制御するUSBフラッシュ装置制御器156と、USBフラッシュ装置コネクタ152と、本発明の第1乃至第9の実施の形態に係る半導体記憶装置で構成された少なくとも一つのフラッシュメモリモジュール158を含む。

【0121】

USBフラッシュ装置146がホストプラットフォーム144に接続されると、標準USB列挙処理が始まる。この処理において、ホストプラットフォーム144は、USBフラッシュ装置146を認知してUSBフラッシュ装置146との通信モードを選択し、エンドポイントという、転送データを格納するFIFOバッファを介して、USBフラッシュ装置146との間でデータの送受信を行う。ホストプラットフォーム144は、他のエンドポイントを介してUSBフラッシュ装置146の脱着等の物理的、電気的狀態の変化を認識し、受け取るべきパケットがあれば、それを受け取る。

【0122】

ホストプラットフォーム144は、USBホスト制御器154へ要求パケットを送ることによって、USBフラッシュ装置146からのサービスを求める。USBホスト制御器154は、USBケーブル148上にパケットを送信する。USBフラッシュ装置146がこの要求パケットを受け入れたエンドポイントを有する装置であれば、これらの要求はUSBフラッシュ装置制御器156によって受け取られる。

【0123】

次に、USBフラッシュ装置制御器156は、フラッシュメモリモジュール158から、あるいはフラッシュメモリモジュール158へ、データの読み出し、書き込み、あるいは消去等の種々の操作を行う。それとともに、USBアドレスの取得等の基本的なUSB機能をサポートする。USBフラッシュ装置制御器156は、フラッシュメモリモジュール158の出力を制御する制御ライン160を介して、また、例えば、チップイネーブル信号CE等の種々の他の信号や読み取り書き込み信号を介して、フラッシュメモリモジュール158を制御する。また、フラッシュメモリモジュール158は、アドレスデータバス162によってもUSBフラッシュ装置制御器156に接続されている。アドレスデータバス162は、フラッシュメモリモジュール158に対する読み出し、書き込みあるいは消去のコマンドと、フラッシュメモリモジュール158のアドレス及びデータを転送する。

【0124】

ホストプラットフォーム144が要求した種々の操作に対する結果及び状態に関してホストプラットフォーム144へ知らせるために、USBフラッシュ装置146は、状態エンドポイント(エンドポイント0)を用いて状態パケットを送信する。この処理において、ホ

ストプラットホーム 144 は、状態パケットがないかをチェックし（ポーリング）、U S B フラッシュ装置 146 は、新しい状態メッセージのパケットが存在しない場合に空パケットを、あるいは状態パケットそのものを返す。

【0125】

以上、U S B フラッシュ装置 146 の様々な機能を実現可能である。上記 U S B ケーブル 148 を省略し、コネクタ間を直接接続することも可能である。

【0126】

（その他の実施の形態）

以上の説明では N A N D 型、A N D 型、N O R 型、2 トランジスタ／セル方式、3 トランジスタ／セル方式等の不揮発性メモリを取り上げて説明したが、本発明の実施の形態はそれに限定するものでは無いことは自明である。すなわちメモリセルトランジスタの動作原理を問わず、メモリセルユニットがマトリクス状に配置され、一方向に並ぶソース線コンタクト C S によってソース線 S L が共有されているメモリセルアレイ構造であれば、本発明は適用可能である。 10

【0127】

上記のように、本発明は第 1 乃至第 10 の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0128】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。 20

【図面の簡単な説明】

【0129】

【図 1】本発明の第 1 の実施の形態に係る半導体記憶装置の模式的平面パターン構成図。

【図 2】図 1 の I - I 線に沿う模式的素子断面構造図。

【図 3】図 1 の I I - I I 線に沿う模式的素子断面構造図。

【図 4】本発明の第 1 の実施の形態に係る半導体記憶装置の回路構成図。

【図 5】図 4 に対応する平面パターン構成図。

【図 6】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明する模式的素子断面構造図。 30

【図 7】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明する模式的素子断面構造図。

【図 8】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明する模式的素子断面構造図。

【図 9】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明する模式的素子断面構造図。

【図 10】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明する模式的素子断面構造図。

【図 11】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明する模式的素子断面構造図。 40

【図 12】本発明の第 1 の実施の形態に係る半導体記憶装置の製造方法の変形例を説明する模式的素子断面構造図であって、非セルフアラインコンタクトの説明図。

【図 13】本発明の第 1 の実施の形態に係る半導体記憶装置の模式的素子断面構造図であって、ボイド構造の説明図。

【図 14】本発明の第 2 の実施の形態に係る半導体記憶装置の模式的平面パターン構成図。

【図 15】図 2 の I - I 線に沿う模式的素子断面構造図。

【図 16】図 2 の I I - I I 線に沿う模式的素子断面構造図。

【図 17】本発明の第 2 の実施の形態に係る半導体記憶装置の製造方法の一工程を説明す 50

る模式的素子断面構造図であって、セルフアラインコンタクトの説明図。

【図 1 8】本発明の第 3 の実施の形態に係る半導体記憶装置の模式的素子断面構造図。

【図 1 9】本発明の第 3 の実施の形態に係る半導体記憶装置の模式的回路構成図。

【図 2 0】本発明の第 3 の実施の形態の変形例 1 に係る半導体記憶装置の模式的素子断面構造図。

【図 2 1】本発明の第 3 の実施の形態の変形例 2 に係る半導体記憶装置の模式的素子断面構造図。

【図 2 2】本発明の第 4 の実施の形態に係る半導体記憶装置の A N D 型模式的平面パターン構成図。

【図 2 3】図 2 2 の I I I - I I I 線に沿う模式的素子断面構造図。

10

【図 2 4】図 2 2 の I V - I V 線に沿う模式的素子断面構造図。

【図 2 5】本発明の第 4 の実施の形態に係る半導体記憶装置の A N D 回路構成例を示す図。

【図 2 6】本発明の第 4 の実施の形態の変形例に係る半導体記憶装置の A N D 回路構成例を示す図。

【図 2 7】本発明の第 5 実施の形態に係る半導体記憶装置の N O R 回路構成例を示す図。

【図 2 8】本発明の第 5 実施の形態に係る半導体記憶装置の N O R 回路構成に対応する模式的素子断面構造図。

【図 2 9】本発明の第 5 実施の形態に係る半導体記憶装置の N O R 回路構成に対応する模式的平面パターン構成図。

20

【図 3 0】本発明の第 6 の実施の形態に係る半導体記憶装置の 2 トランジスタ／セル方式の模式的素子断面構造図。

【図 3 1】本発明の第 6 の実施の形態に係る半導体記憶装置の 2 トランジスタ／セル方式の回路構成例を示す図。

【図 3 2】本発明の第 7 の実施の形態に係る半導体記憶装置の 3 トランジスタ／セル方式の模式的素子断面構造図。

【図 3 3】本発明の第 7 の実施の形態に係る半導体記憶装置の 3 トランジスタ／セル方式の回路構成例を示す図。

【図 3 4】A N D 若しくは N A N D 構成におけるビット線コンタクト C B、ソース線コンタクト C S の配置パターンを模式的に示す図。

30

【図 3 5】N O R 構成におけるビット線コンタクト C B、ソース線コンタクト C S の配置パターンを模式的に示す図。

【図 3 6】2 トランジスタ／セル方式におけるビット線コンタクト C B、ソース線コンタクト C S の配置パターンを模式的に示す図。

【図 3 7】3 トランジスタ／セル方式におけるビット線コンタクト C B、ソース線コンタクト C S の配置パターンを模式的に示す図。

【図 3 8】本発明の第 8 の実施の形態に係る半導体記憶装置の N A N D 回路構成例を示す図。

【図 3 9】本発明の第 9 の実施の形態に係る半導体記憶装置のシステムブロック構成例を示す図。

40

【図 4 0】本発明の第 1 0 の実施の形態であって、本発明の第 1 乃至第 6 の実施の形態に係る半導体記憶装置の応用例。

【図 4 1】本発明の比較例に係る半導体記憶装置の模式的平面パターン構成図。

【図 4 2】図 4 1 の I - I 線に沿う模式的素子断面構造図。

【図 4 3】図 4 1 の I I - I I 線に沿う模式的素子断面構造図。

【符号の説明】

【0 1 3 0】

2・・・コントロールゲート

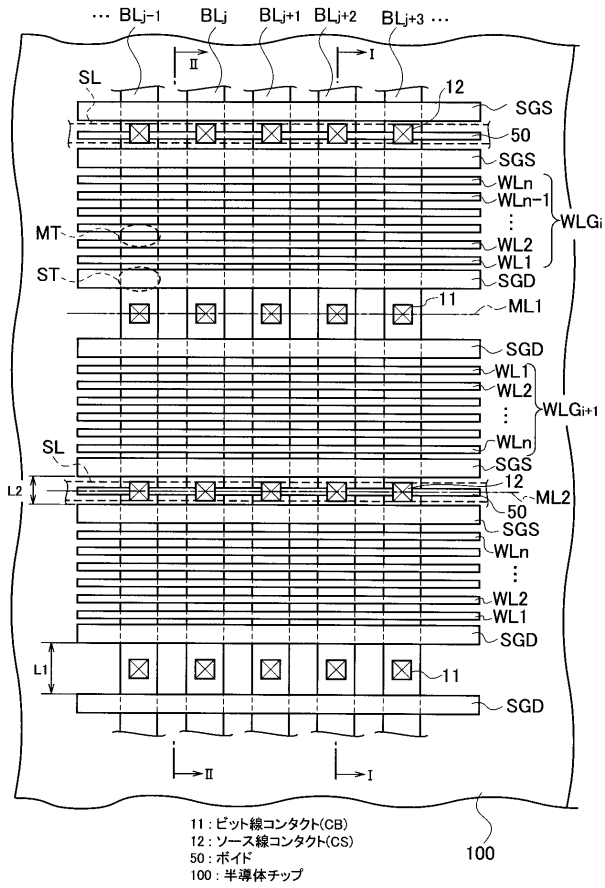
3・・・スペーサ膜

4・・・側壁膜

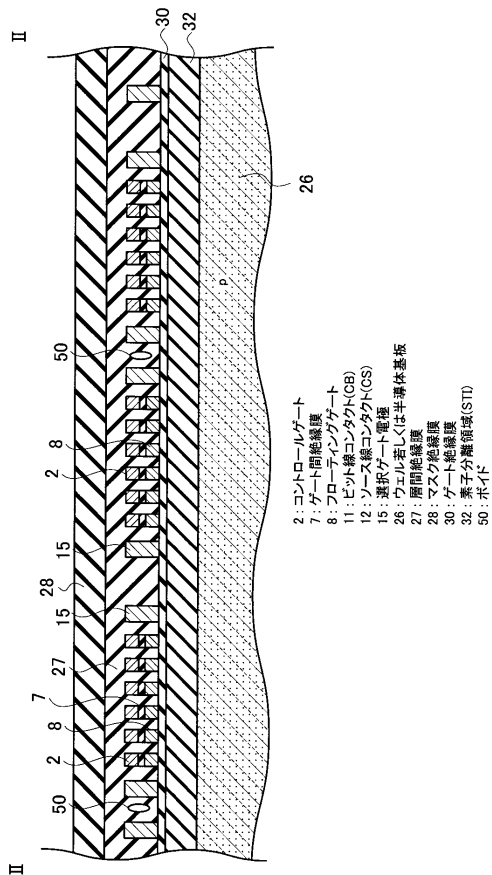
50

6 . . .	バリア絶縁膜	
7 . . .	ゲート間絶縁膜	
8 . . .	フローティングゲート	
9 . . .	コンタクトプラグ	
1 1 . . .	ビット線コンタクト (C B)	
1 2 , 1 3 . . .	ソース線コンタクト (C S)	
1 5 . . .	選択ゲート電極	
1 7 . . .	ポリシリコンコンタクト	
1 6 , 1 8 . . .	拡散層	
2 3 . . .	A N Dセルユニット	10
2 4 . . .	N A N Dセルユニット	
2 6 . . .	ウェル若しくは半導体基板	
2 7 . . .	層間絶縁膜	
2 8 . . .	マスク絶縁膜	
2 9 . . .	N O Rセルユニット	
3 0 . . .	ゲート絶縁膜	
3 2 . . .	素子分離領域 (S T I)	
3 3 . . .	メモリセルブロック	
3 4 . . .	ページ	
4 6 . . .	サリサイド膜	20
5 0 . . .	ボイド	
9 0 , 9 1 . . .	導体	
1 0 0 . . .	半導体チップ	
1 1 0 . . .	多層絶縁膜	
M T , M C , M C 1 . 1 , M C 2 . 1 , . . . , M C n . 1 , . . . , M C 1 . m , M C 2 . m , . . . , M C n . m . . .	メモリセルトランジスタ	
S T , S T 1 , S T 2 , S G 1 , S G 1 . 1 , S G 1 . m , S G 2 , S G 2 . 1 , S G 2 . m . . .	選択ゲートトランジスタ	
S G D , S G S , S G D 1 , S G D 2 . . .	選択ゲート線	
B L _{j-3} , B L _{j-2} , B L _{j-1} , B L _j , B L _{j+1} , B L _{j+2} , B L _{j+3} . . .	ビット線	30
線 W L ₁ , W L ₂ , . . . W L _{n-1} , W L _n , W L _{i-2} , W L _{i-1} , W L _i , W L _{i+1} . . .	ワード線	
W L G _i , W L G _{i+2} . . .	(一対の)ワード線群	
M L 1 . . .	第1の鏡映対称線	
M L 2 . . .	第2の鏡映対称線	
S L . . .	ソース線	
L 1 . . .	ビット線側選択ゲート線の間の間隔	
L 2 . . .	ソース線側選択ゲート線の間の間隔	

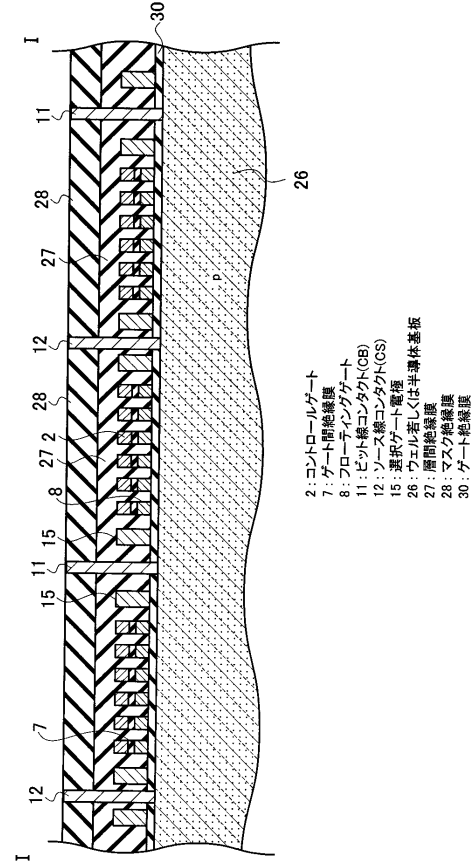
【図 1】



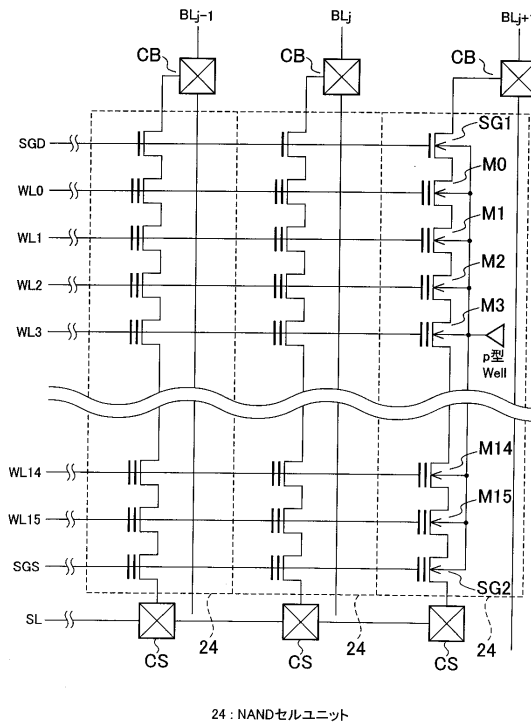
【図 3】



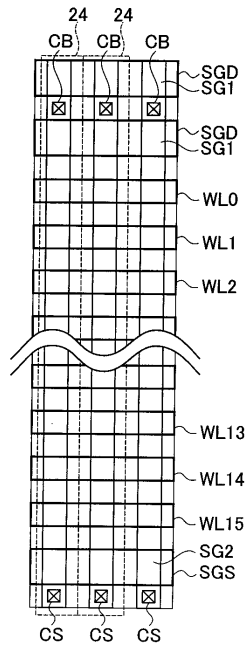
【図 2】



【図 4】

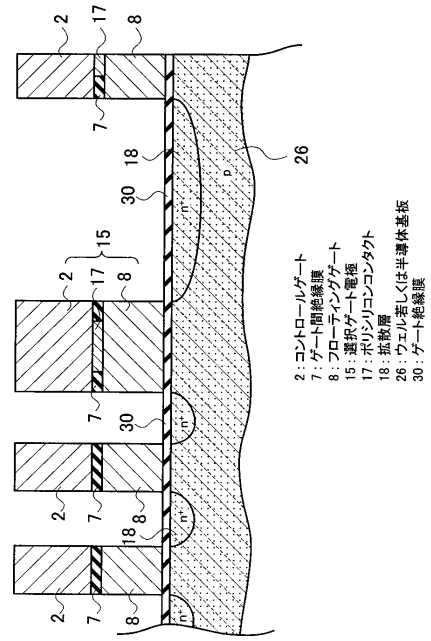


【図 5】

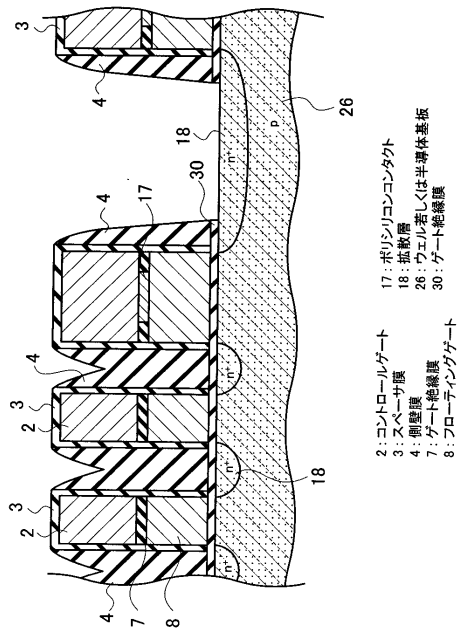


24 : NANDセルユニット

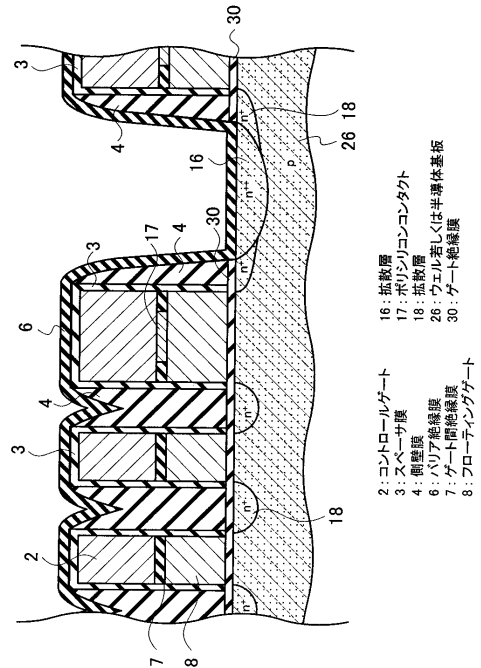
【图 6】



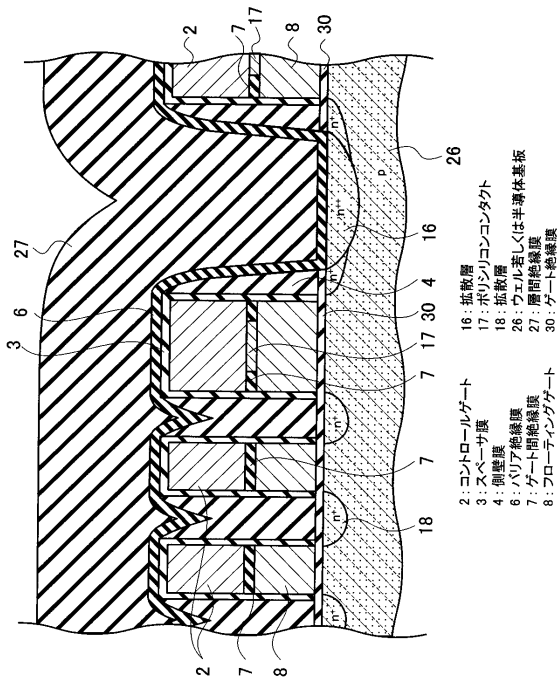
【 図 7 】



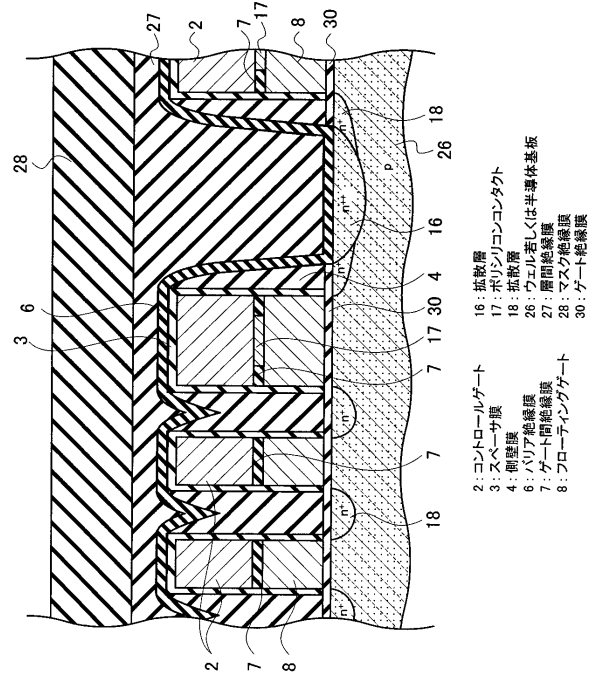
【图 8】



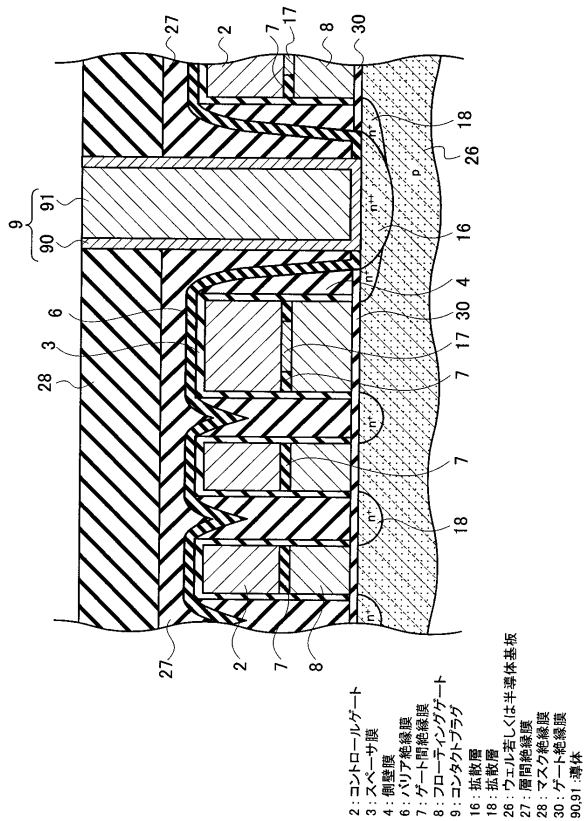
【図 9】



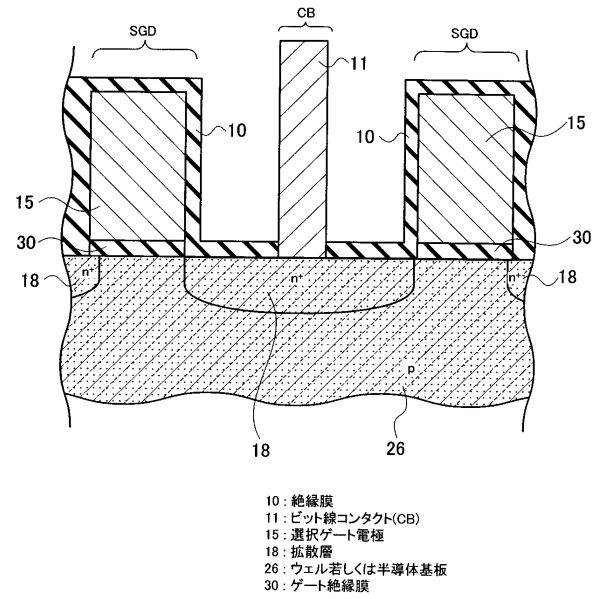
【図 10】



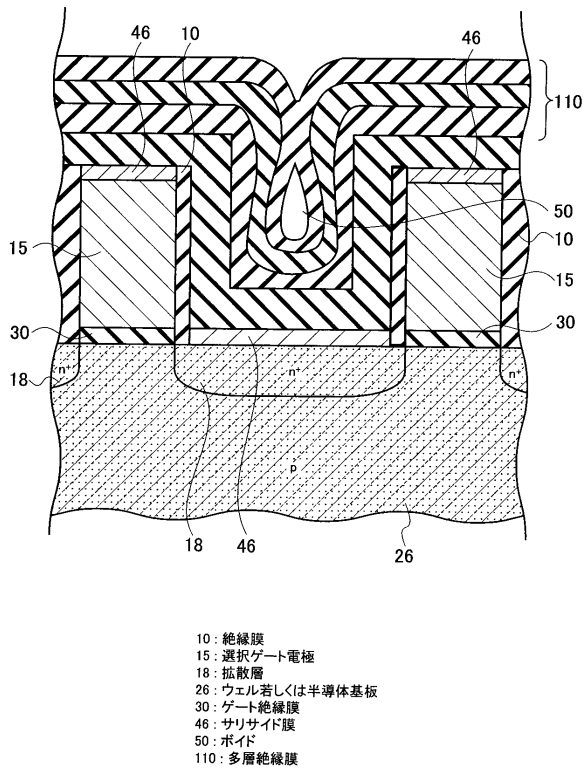
【図 11】



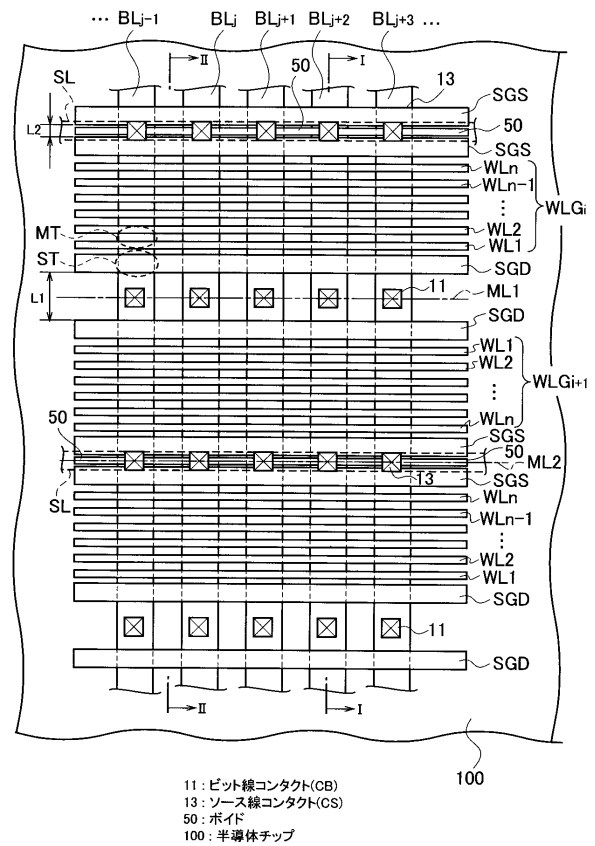
【図 12】



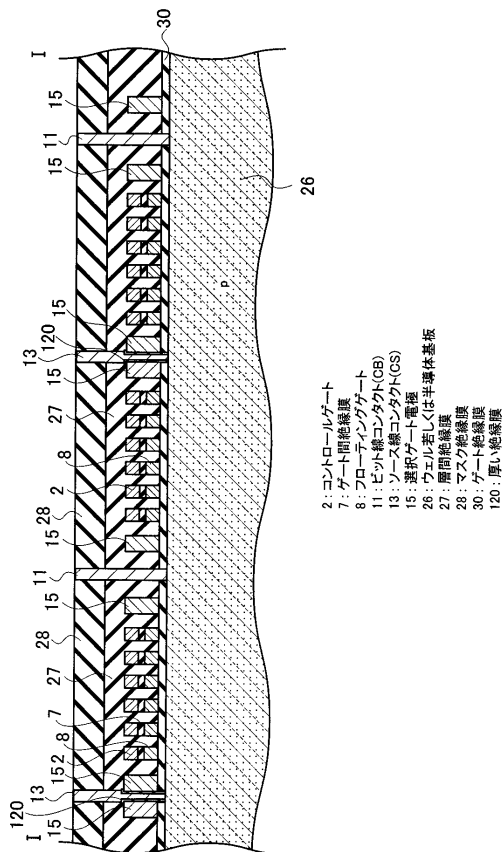
【図 1 3】



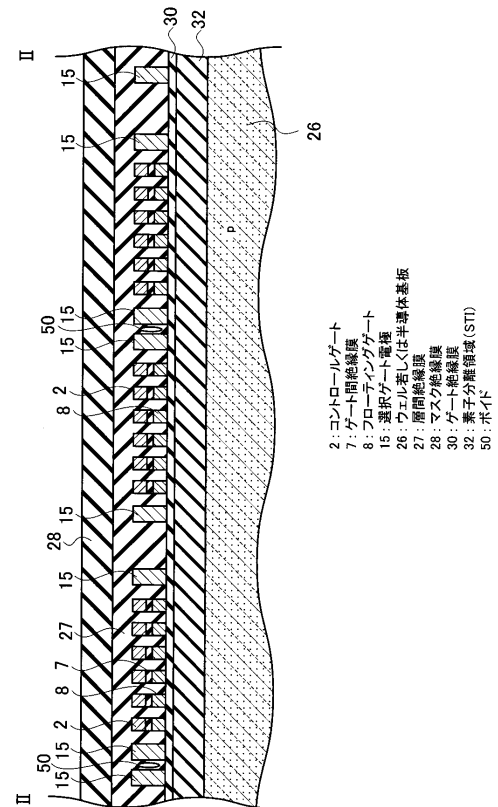
【図 1 4】



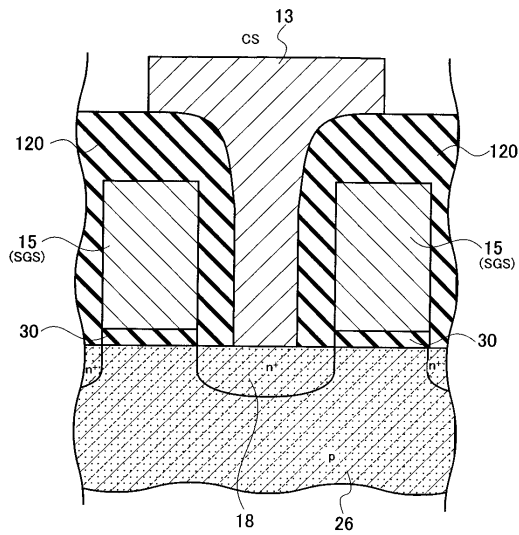
【図 1 5】



【図 1 6】

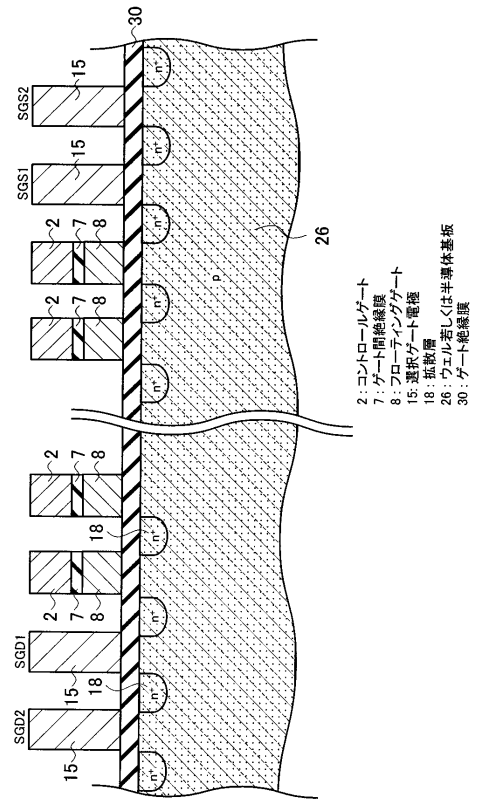


【図 17】



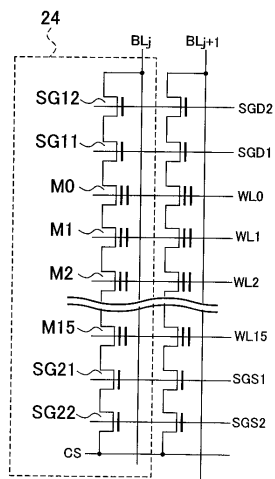
13 : ソース線コンタクト(CS)
 15 : 選択ゲート電極
 18 : 拡散層
 26 : ウェル若しくは半導体基板
 30 : ゲート絶縁膜
 120 : 厚い絶縁膜

【図 18】



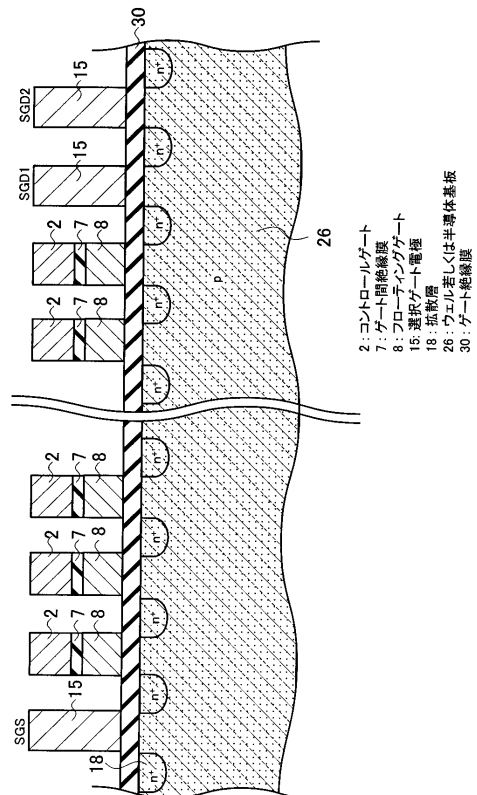
2 : コントロールゲート
 7 : ゲート間絶縁膜
 8 : フloatingゲート
 15 : 選択ゲート電極
 18 : 拡散層
 26 : ウェル若しくは半導体基板
 30 : ゲート絶縁膜

【図 19】



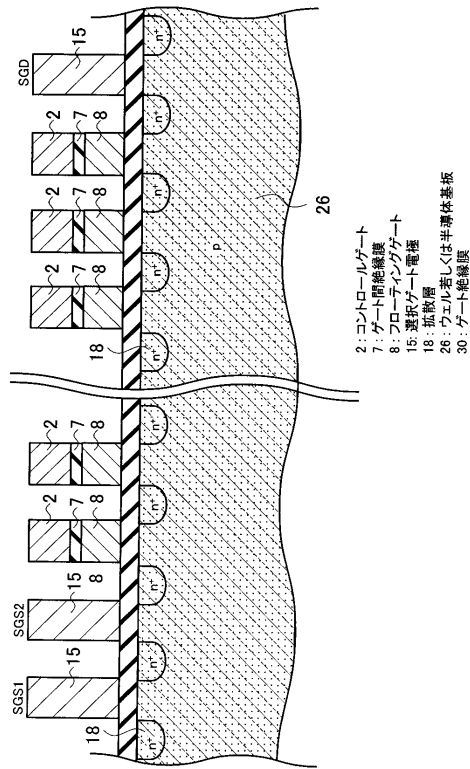
24 : NANDセルユニット

【図 20】

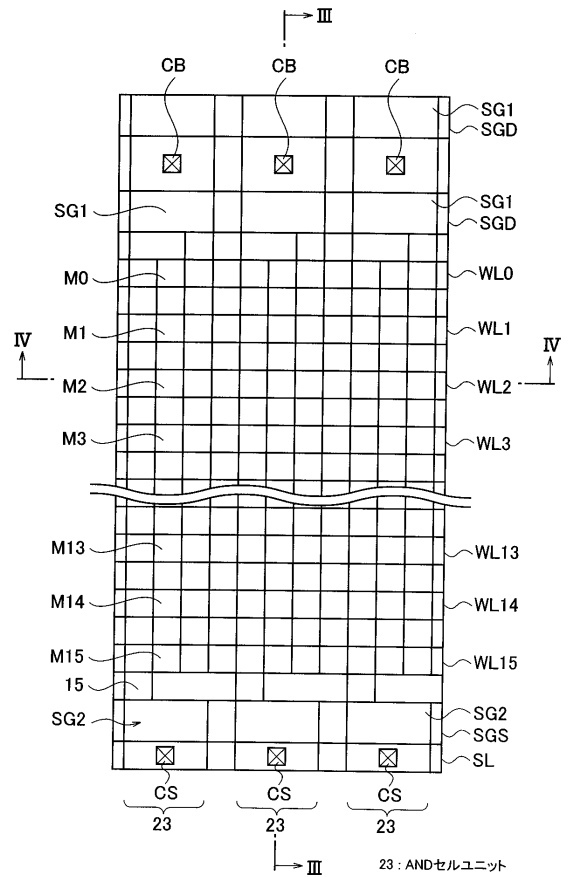


2 : コントロールゲート
 7 : ゲート間絶縁膜
 8 : フloatingゲート
 15 : 選択ゲート電極
 18 : 拡散層
 26 : ウェル若しくは半導体基板
 30 : ゲート絶縁膜

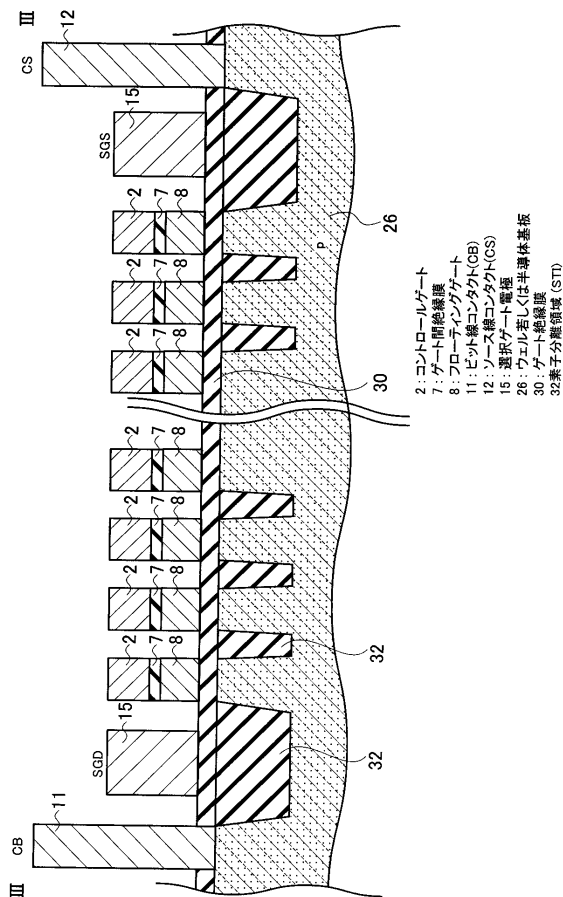
【図 2 1】



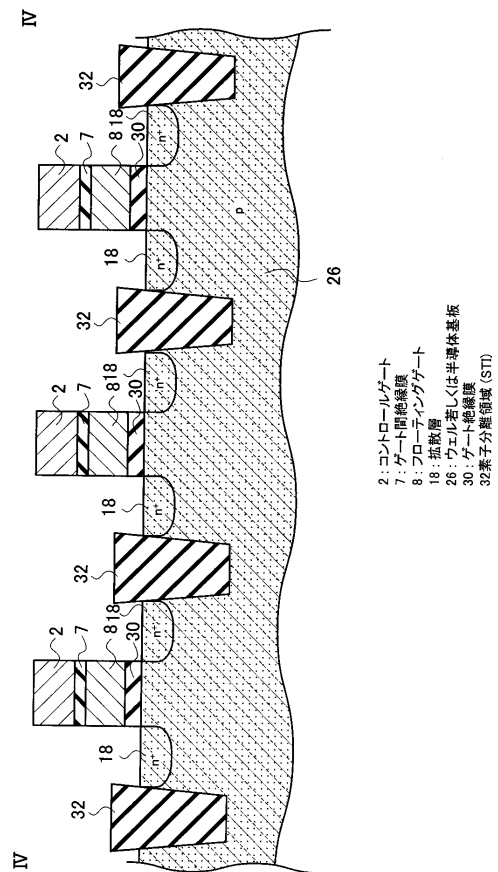
【図 2 2】



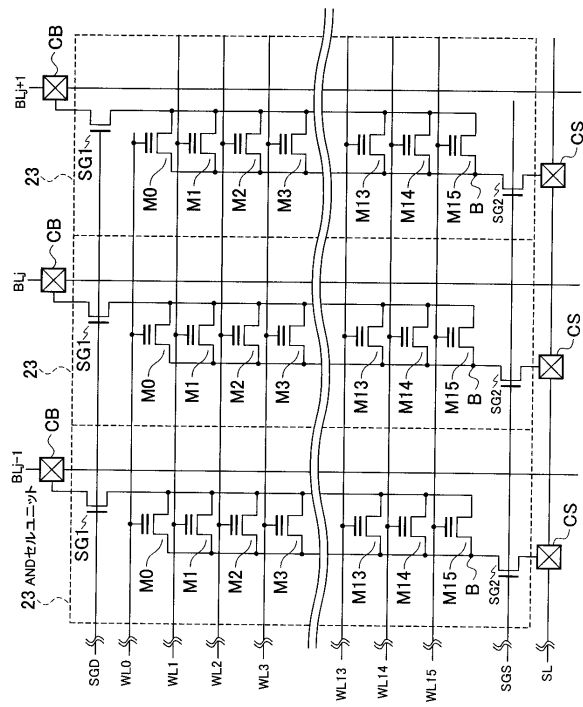
【図 2 3】



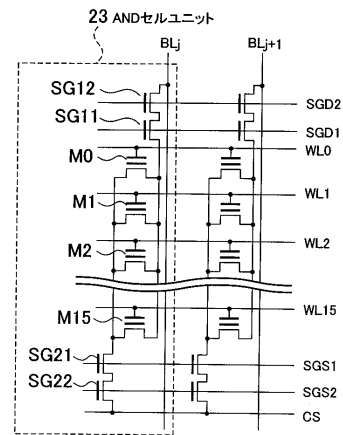
【図 2 4】



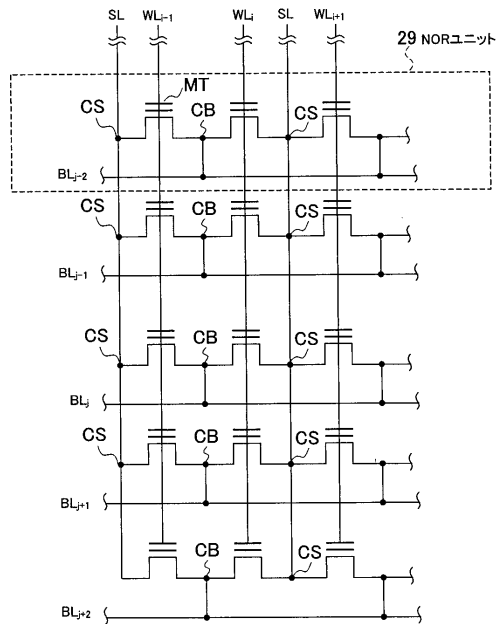
【図 25】



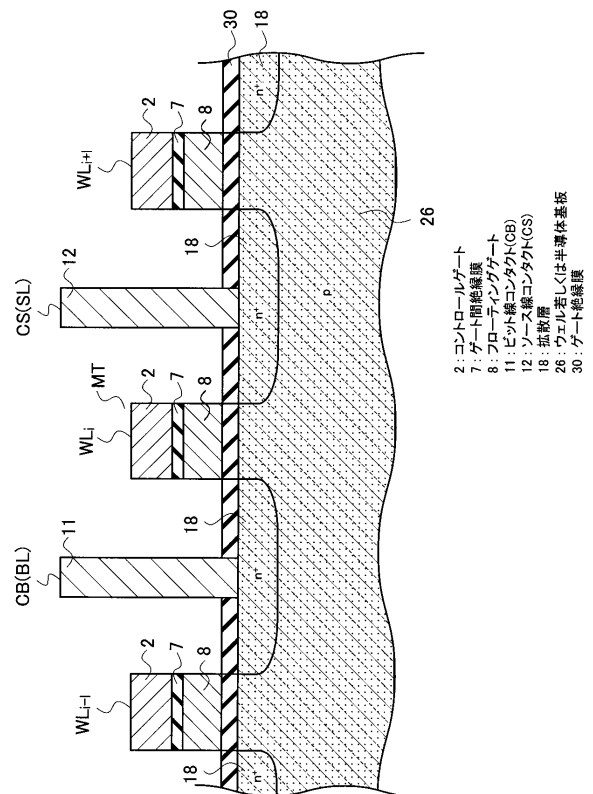
【図 26】



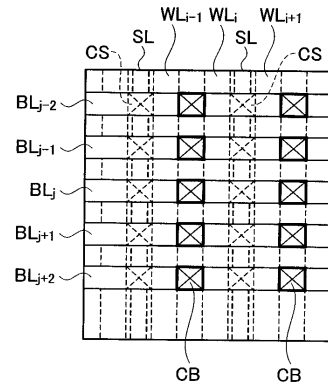
【図 27】



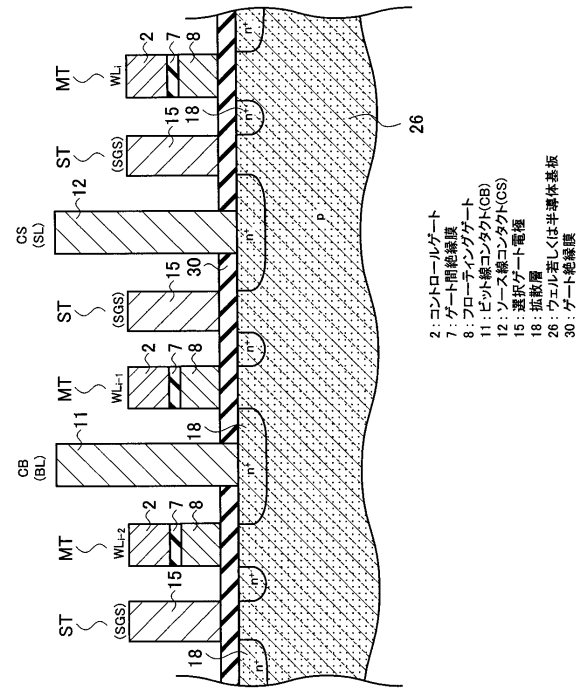
【図 28】



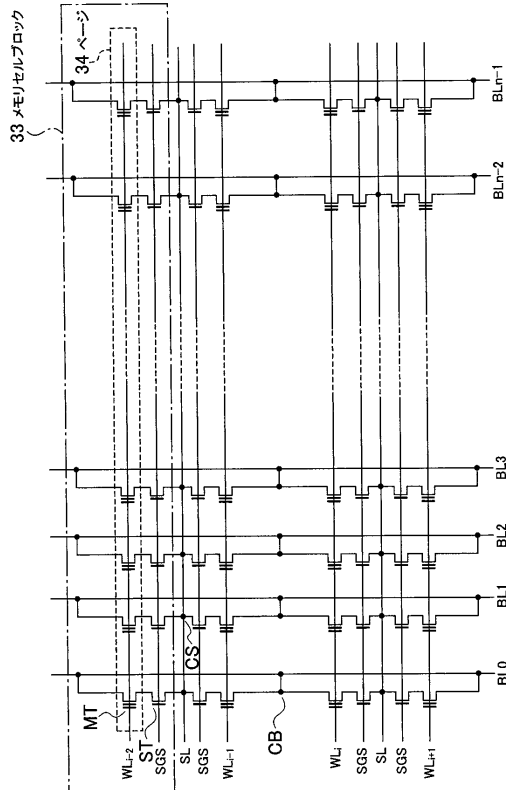
【図 29】



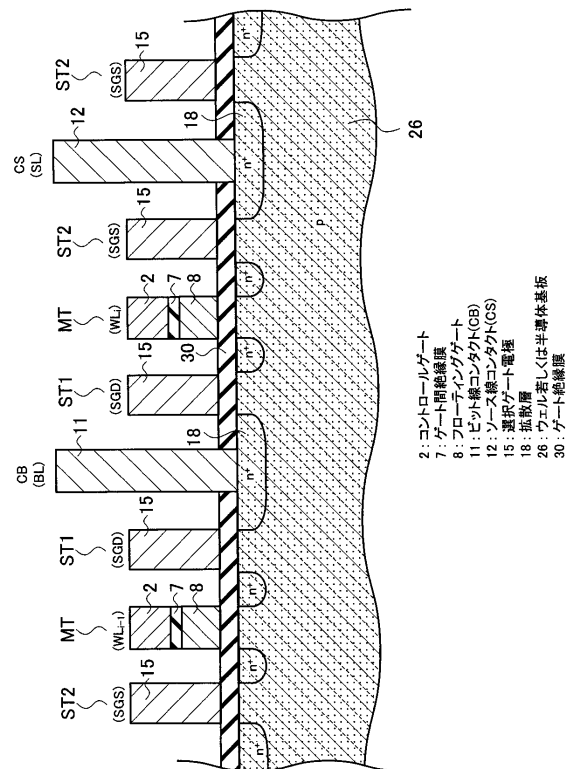
【図 30】



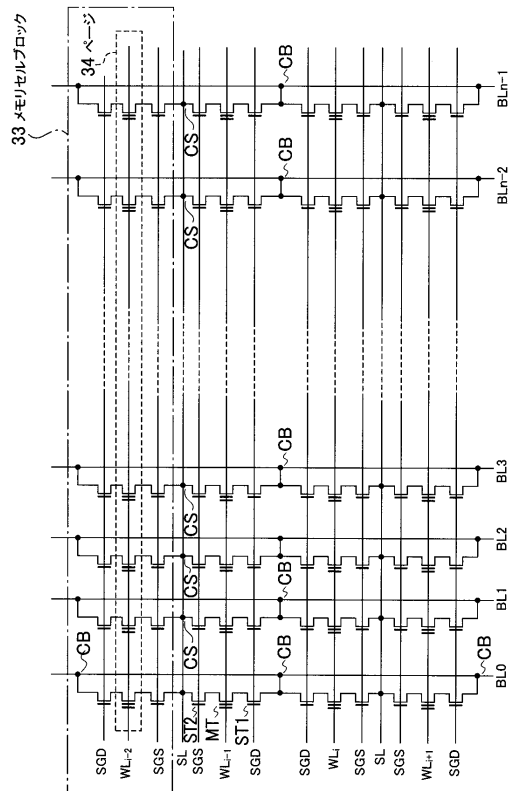
【図 31】



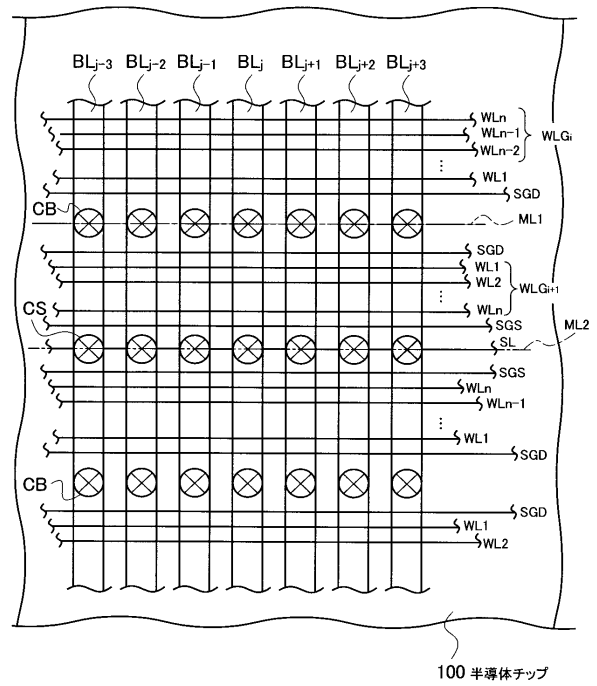
【図 32】



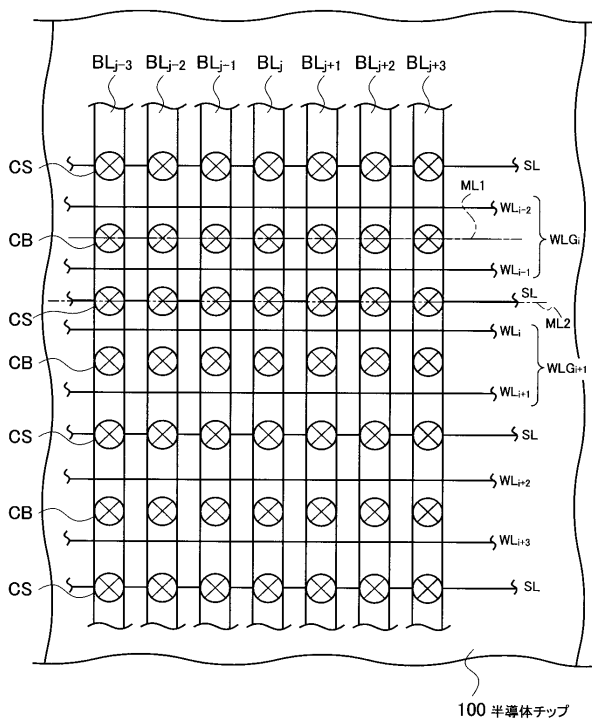
【図 3 3】



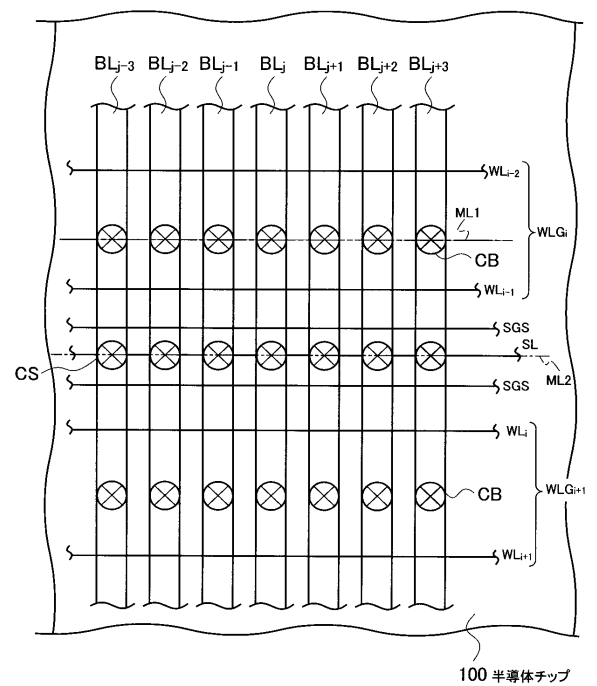
【図 3 4】



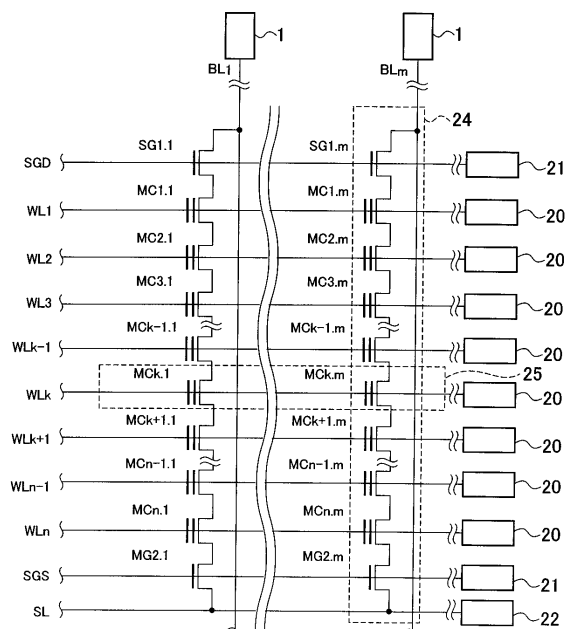
【図 3 5】



【図 3 6】

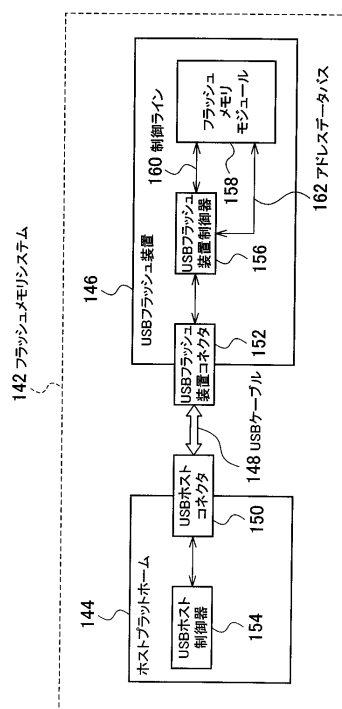


【图 3 8】

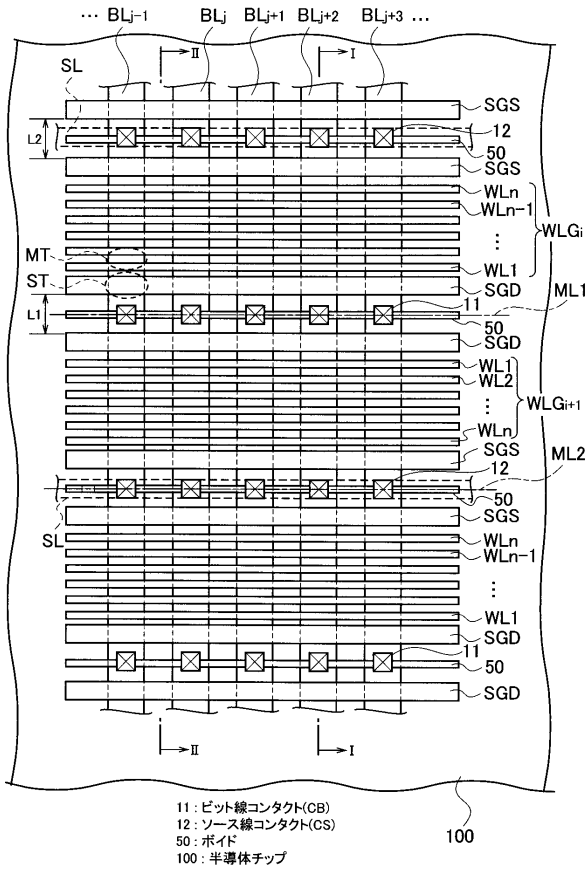


- 1: ビット線駆動回路
- 20: コントロールゲート線駆動回路
- 21: 選択ゲート線駆動回路
- 22: ソース線駆動回路
- 24: NANDセルユニット
- 25: 1本のワード線に接続される全メモリセルランジスタ

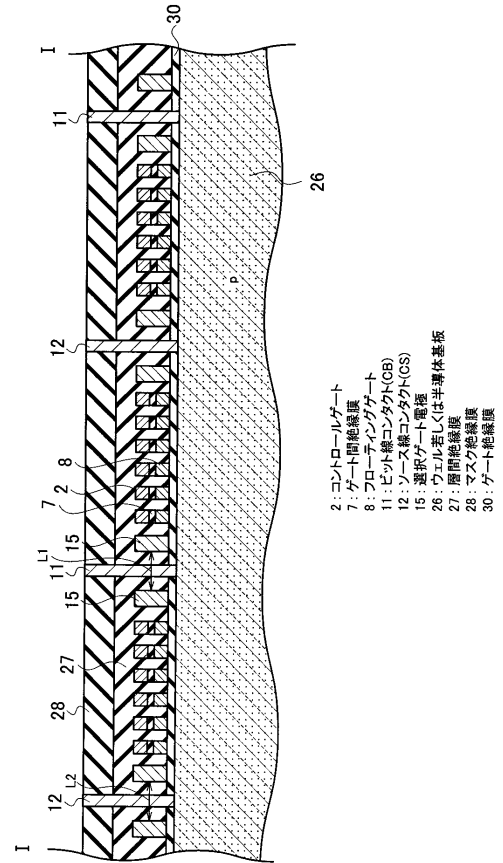
【図 40】



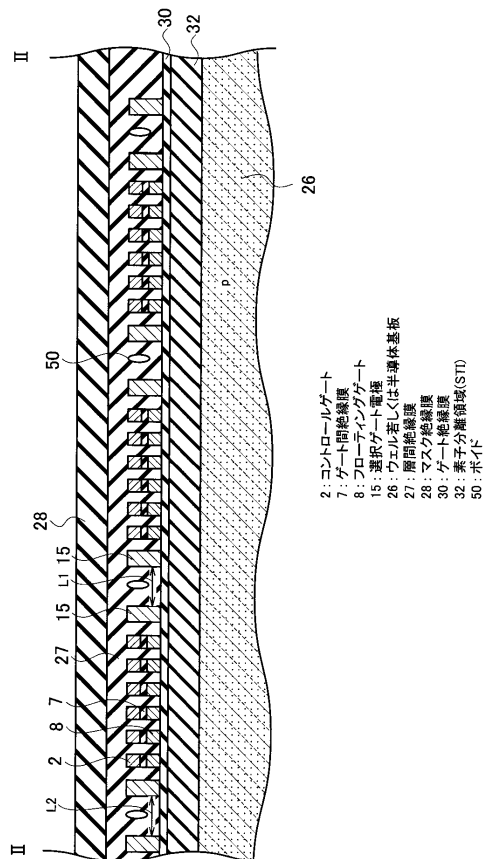
【図 4 1】



【図 4 2】



【図 4 3】



フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 松永 泰彦

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 荒井 史隆

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F033 HH04 HH25 JJ04 KK01 MM08 MM15 NN06 NN19 NN40 QQ09
QQ10 QQ11 QQ28 QQ37 QQ48 QQ58 QQ74 QQ75 RR15 TT08
UU03 VV06 VV16 XX01 XX28 XX31
5F083 EP02 EP23 EP33 EP34 EP76 EP77 EP79 JA56 LA21 MA02
MA03 MA06 MA19 NA01 PR40
5F101 BA01 BB05 BD02 BD10 BD22 BD33 BD34 BD35 BH19