

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G06F 1/08 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200580003445.4

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100565422C

[22] 申请日 2005.1.21

[21] 申请号 200580003445.4

[30] 优先权

[32] 2004.1.29 [33] EP [31] 04100320.3

[86] 国际申请 PCT/IB2005/050245 2005.1.21

[87] 国际公布 WO2005/074138 英 2005.8.11

[85] 进入国家阶段日期 2006.7.28

[73] 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 弗朗切斯科·佩索拉诺

[56] 参考文献

EP0560320A1 1993.9.15

JP3-20809A 1991.1.29

EP0613074B1 1998.4.1

审查员 王伟

[74] 专利代理机构 中科专利商标代理有限责任公  
司

代理人 王波波

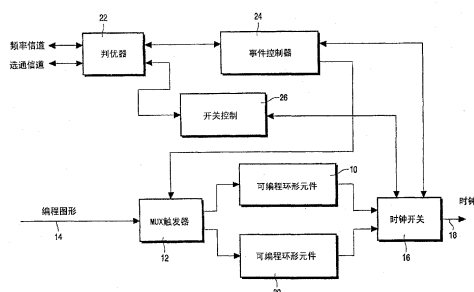
权利要求书 3 页 说明书 7 页 附图 4 页

[54] 发明名称

可编程且可中止的时钟发生单元

[57] 摘要

一种时钟发生电路，包括两个被设置和构造成以相互排斥的方式操作的可编程环形振荡器(10、20)以及可变可编程延迟元件(未示出)。向振荡电路提供输入编程图形(14)作为输入，编程图形(14)提供表示需要产生的时钟信号的一序列频率的数据。两个振荡器(10、20)的输出端连接到时钟开关(16)，从该时钟开关输出所产生的时钟信号(18)。当接收到频率改变的请求时，首先以下一个所需频率启动当前空闲的振荡器(20)，然后当其时钟信号变低时当前操作的振荡器(10)的输出被选通。接着，当其输出变低时振荡器(20)的先前被选通的输出不被选通，且然后使振荡器(10)失效。



1、一种用于产生用于集成电路的时钟信号的电子器件，该器件包括至少两个被设置和构造成响应输入信号在时钟输出端（18）产生单个时钟信号并且以相互排斥的方式操作的时钟发生元件（10、20），所述时钟发生元件（10、20）的输出端可选择性地连接到所述时钟输出端（18），该器件还包括：用于接收表示需要产生的所述时钟信号的一频率序列的数据图形（14）的装置（12）；用于接收表示所述序列中的下一个频率的数据的装置；用于使与产生所述序列中的前一个频率下的所述时钟信号的时钟发生元件不同的时钟发生元件产生所述下一个频率下的所述时钟信号的装置；用于使所述序列中的前一个频率下的所述时钟信号与所述时钟输出端（18）断开的装置（24、16）；以及用于使所述序列中的下一个频率下的所述时钟信号连接到所述时钟输出端（18）的装置（24、16），其特征在于：

当需要改变所述时钟信号的频率时，使与产生所述序列中的前一个频率下的所述时钟信号的时钟发生元件不同的时钟发生元件（10、20）产生所述下一个频率下的时钟信号，使所述序列中的前一个频率下的所述时钟信号与所述时钟输出端（18）断开，并使所述序列中的下一个频率下的时钟信号连接到所述时钟输出端（18）；

使得在所述序列中的每一频率下产生时钟信号的所述时钟发生元件（10、20）与所述频率的值无关，从而离散地安全改变频率。

2、根据权利要求 1 所述的电子器件，其中在将所述序列中的所述下一个频率下的所述时钟信号连接到所述时钟输出端（18）之前，使所述序列中的所述前一个频率下的所述时钟信号与所述时钟输出端（18）断开。

3、根据权利要求 2 所述的电子器件，其中在将所述序列中的所述前一个频率下的所述时钟信号与所述时钟输出端（18）断开之前，开始产生所述序列中的所述下一个频率下的所述时钟信号。

4、根据权利要求 1-3 中的任何一项所述的电子器件，其中当所述序列中的所述下一个频率下的所述时钟信号为低时，使得该时钟信号连接到所述时钟输出端（18）。

5、根据权利要求 1-3 中的任何一项所述的电子器件，其中当所述序列中的所述前一个频率下的所述时钟信号为低时，使得该时钟信号与所述时钟输出端（18）断开。

6、根据权利要求 1-3 中的任何一项所述的电子器件，其中所述至少两个时钟发生元件（10、20）包括可编程环形振荡器。

7、根据权利要求 6 所述的电子器件，包括用于接收数据的可变可编程延迟元件，所述数据表示所述序列中的每一个频率的时钟周期的持续时间。

8、根据权利要求 7 所述的电子器件，其中所述可变可编程延迟元件使得各个时钟发生元件（10、20）产生所需频率下的时钟信号。

9、根据权利要求 1-3 中的任何一项所述的电子器件，其中从对所述时钟信号的频率改变的一系列请求中推导出所述数据图形（14）或者所述数据图形（14）包括对所述时钟信号的频率改变的一系列请求。

10、根据权利要求 9 所述的电子器件，还包括用于确定实施所述请求的次序的判优器（22）。

11、根据权利要求 10 所述的电子器件，其中所述判优器（22）根据“先到者先接受服务”原则来制定要被处理的所述请求的次序。

12、根据权利要求 11 所述的电子器件，其中如果在基本上相同的时间接收到两个请求，则将所述判优器（22）设置成随机地选择处理这两个请求的次序。

13、根据权利要求 1-3 中的任何一项所述的电子器件，还包括事件控制器（24），该事件控制器用于控制使所述时钟发生元件（10、20）开始和停止产生时钟信号的次序和 / 或使所述时钟信号与所述时钟输出端（18）连接和断开的次序。

14、根据权利要求 9 所述的电子器件，被设置和构造成响应于使所

有的所述时钟发生元件（10、20）与所述时钟输出端（18）临时断开的请求而执行该临时断开。

15、一种产生用于集成电路的时钟信号的方法，该方法包括提供至少两个被设置和构造成响应输入信号在时钟输出端（18）产生单个时钟信号并且以相互排斥的方式操作的时钟发生元件（10、20），所述时钟发生元件（10、20）的输出端可选择性地连接到所述时钟输出端（18），该方法还包括：接收表示需要产生的所述时钟信号的一频率序列的数据图形（114）；接收表示所述序列中的下一个频率的数据；其特征在于：

当需要改变所述时钟信号的频率时，使与产生所述序列中的前一个频率下的所述时钟信号的时钟发生元件不同的时钟发生元件（10、20）产生所述下一个频率下的时钟信号；使所述序列中的前一个频率下的所述时钟信号与所述时钟输出端（18）断开；并且使所述序列中的下一个频率下的所述时钟信号连接到所述时钟输出端（18），

使得在所述序列中的每一频率下产生时钟信号的所述时钟发生元件与所述频率的值无关，从而离散地安全改变频率。

## 可编程且可中止的时钟发生单元

本发明涉及用于产生用于集成电路的时钟信号的电子器件，该器件包括至少一个用于响应输入信号来产生时钟信号的可编程振荡器元件，所述输入信号的频率是可变的。

存在许多为了功率或性能管理而需要改变集成电路中的操作时钟信号频率的情况。例如，许多半导体器件设置有工作和备用的操作模式。相对于工作模式中的功耗，减小备用模式中的功耗以增加在器件上电而不工作的时间段内的效率。一种减小备用模式中的功耗的方法是减小在器件上电时必须连续操作的各种电路的操作频率。这可以通过提供两种振荡器频率来实现：较高的频率用于在工作模式下的操作期间以全速驱动电路；而较低的频率用于以较低的速度驱动电路，由此减小在备用模式下的操作期间由电路消耗的功率。

同样，通常对计算机、且特别是对微处理器和微控制器的高性能的需求，导致各方面的提高，包括更高的时钟率以及更简单的指令系统。因此，用于所有集成电路的时钟速度和时钟率的控制和灵活性变得至关重要。用于为这种电路产生时钟信号的振荡器的公知控制系统趋向于过分简单化和/或主要依赖于预布线的硬件电路或预定的可选择频率，因此缺乏灵活性。

我们现在已经发明出改进的装置。

根据本发明，提供一种用于产生用于集成电路的时钟信号的电子器件，该器件包括至少两个被设置和构造成响应输入信号在时钟输出端产生单个时钟信号并且以相互排斥的方式操作的时钟发生元件，所述时钟发生元件的输出端可选择性地连接到所述时钟输出端，该器件还包括：用于接收表示需要产生的所述时钟信号的一序列频率的数据

图形的装置；用于接收表示所述序列中的下一个频率的数据的装置；用于使与产生所述序列中的前一个频率下的时钟信号的时钟发生元件不同的时钟发生元件产生所述下一个频率下的时钟信号的装置；用于使在所述序列中的前一个频率下的时钟信号与所述时钟输出端断开的装置；以及用于使在所述序列中的下一个频率下的时钟信号连接到所述时钟输出端的装置，其特征在于：使得在所述序列中的每一频率下产生时钟信号的时钟发生元件与所述频率的值无关。

优选地，在将序列中的下一个频率下的时钟信号连接到时钟输出端之前，使序列中的前一个频率下的时钟信号与时钟输出端断开，优选在将序列中的前一个频率下的时钟信号与时钟输出端断开之前（并在将序列中的下一频率下的时钟信号连接到时钟输出端之前），开始产生在序列中的下一个频率下的时钟信号。

优选当时钟信号为低时，使序列中的前一个频率下的时钟信号与时钟输出端断开。同样地，优选当时钟信号为低时，使序列中的下一个频率下的时钟信号与时钟输出端连接。

时钟发生元件有利地包括可编程环形振荡器，并且该器件优选还包括用于接收表示序列中的每一频率的时钟周期的持续时间的数据的可变可编程延迟元件。优选将可变可编程延迟元件设置和构造成使得相应的时钟发生元件在所需的频率下产生时钟信号。

优选从对时钟信号的频率变化的一系列请求中推导出数据图形或者其包括对时钟信号的频率变化的一系列请求。电子器件有利地还包括用于确定实施这种请求的次序的判优器。在本发明的一个实施例中，判优器根据“先到者先接受服务”的原则来制定要被处理的请求的次序。在这种情况下，如果在基本上相同的时间接收到两个请求，则有利地将判优器设置成随机地选择处理这两个请求的次序。

该器件还包括事件控制器，该事件控制器用于控制使得时钟发生元件开始和停止产生时钟信号的次序和/或将时钟信号与时钟输出端

连接和断开的次序。可以将该器件设置和构造成响应使所有的所述时钟发生元件（10、20）与所述时钟输出端（18）临时断开的请求而这样做。

因此，本发明提供一种用于产生用于集成电路或其一部分的时钟信号的机制，以便以一个时钟周期的可预测等待时间离散地（即从任何一个值到另外任何一个值）安全改变频率，该机制还与任意的时钟选通装置相兼容。不需要外部振荡器，并且发现该机制与标准的结构测试方案（例如扫描链）相兼容。

本发明还扩展到一种产生用于集成电路的时钟信号的方法，该方法包括提供至少两个被设置和构造成响应输入信号在时钟输出端产生单个时钟信号并且以相互排斥的方式操作的时钟发生元件，所述时钟发生元件的输出端可选择性地连接到所述时钟输出端，该方法还包括：接收表示需要产生的所述时钟信号的一序列频率的数据图形；接收表示所述序列中的下一个频率的数据；使与产生所述序列中的前一个频率下的时钟信号的时钟发生元件不同的时钟发生元件产生所述下一个频率下的时钟信号；使所述序列中的前一个频率下的时钟信号与所述时钟输出端断开；并且使所述序列中的下一个频率下的时钟信号连接到所述时钟输出端，其特征在于：使得在所述序列中的每一频率下产生时钟信号的时钟发生元件与所述频率的值无关。

本发明还扩展到一种制造如上限定的电子器件的方法、以及借助于以上限定的器件或方法而产生的时钟信号。

通过下文所述的实施例，本发明的这些和其他方案将是显而易见的，并且参考下文所述的实施例对本发明的这些和其他方案进行详细说明。

现在仅以举例方式并参考附图来说明本发明的实施例，其中：

图 1 是示出根据本发明的典型实施例的电子器件的示意性方框

图;

图 2 示出从图 1 的器件中所获得的输出信号;

图 3 是示出图 1 的器件的工艺流程的示意性流程图; 以及

图 4 是示出包含在图 1 的器件中的时钟开关的基础结构的示意图。

因此, 本发明旨在提供一种用于产生用于集成电路或其一部分的时钟信号的机制, 以便以例如一个时钟周期的可预测等待时间离散地 (即从任何一个值到另外一个值) 安全改变频率, 该机制还与任意其他的时钟选通机制相兼容。本发明不需要任何外部振荡器, 并且发现该机制与标准的结构测试方案 (例如扫描链) 相兼容。该发明还找到了其在为了功率或性能管理而改变频率的系统中的应用。

US 专利 No. 5,652,536、5,291,528 和 4,855,615 都描述了凭借其可以从两个或多个可用的时钟信号中选择有效的时钟信号的配置, 并且提供开关电路以允许时钟信号之间的切换。

US 专利 No. 6,219,797 描述了一种具有可选择的振荡器源的微控制器。该装置包括片上内部环形振荡器和外部晶体振荡器, 并且用户能够选择这两个振荡器中的哪一个用作系统的主源时钟。当需要微控制器在低功率模式下操作时, 选择内部环形振荡器。

US 专利 No. 5,208,557 描述了一种包括连接到电荷泵的双频振荡器的装置。双频振荡器接收 SELECT 信号并响应该信号向电荷泵提供具有预定频率的振荡信号。当 SELECT 信号为低时振荡器的输出信号具有第一频率  $f_1$ , 而当 SELECT 信号为高时具有第二频率  $f_2$ 。因此, 在备用模式下, SELECT 信号为低, 并且来自振荡器的输出信号的频率  $f_1$  为低。在工作模式下, SELECT 信号为高, 并且来自振荡器的输出信号的频率  $f_2$  为高。

参考附图中的图 1, 根据本发明的典型实施例的时钟发生电路包

括两个可编程环形振荡器 10、20。环形振荡器在集成电路制造领域中是众所周知的，并且通常包括简单的反相逻辑电路作为级。每一级的电流输出花费一定时间来对下一级的输入电容充电和放电以达到阈值电压。将级串联以形成级联环路，以便在某一频率下给予绕环路传递的信号  $180^\circ$  的相移。如果环路增益足够大，则信号很快变成非线性的，导致可以用于各种目的特别是用于数字信号处理的方波振荡。在金属氧化物（MOS）集成电路中，通常使用环形振荡器来驱动电荷泵电路。特别地，将环形振荡器设置在 BiCMOS 或双极性以及纯 CMOS 电路中。环形振荡器的优选应用是作为数据和时钟恢复电路或锁相环（PLL）电路中的装置。

以相互排斥的方式使用本发明的该典型实施例中的环形振荡器 10、20，比较合理的是一个用于产生当前的频率，而另一个用于产生下一个（所需的）频率。在振荡电路中还设置可变可编程延迟元件（未示出）。

包括多个触发器的多路复用器 12 向两个振荡器 10、20 提供输入级，并具有作为其输入的编程图形 14，其用于向可变可编程延迟元件提供表示需要产生的时钟信号的一序列频率的数据。更具体地讲，这种数据表示该序列中的每一频率的时钟周期的持续时间，使得根据所述时钟周期的持续时间来确定需要产生的时钟信号的相应频率。两个振荡器 10、20 的输出连接到时钟开关 16，从该时钟开关 16 输出所产生的时钟信号 18。

该器件还包括用于接收改变时钟信号频率的请求并选择下一个要实施的请求的判优器 22。每一请求等同于所需要的时钟信号的频率改变，如编程图形 14 所表示的那样。该编程图形 14 往往是来自于外部源，例如被设置成控制集成电路的性能和功率管理的小电路，或者其可以通过软件来产生。然而，在这点上本发明不受限制。

在本发明的该典型实施例中，判优器 22 根据先到者先接受服务

的原则来选择下一个请求。如果同时接收到两个请求，则可以将判优器 22 设置成随机地从其中选择下一个请求。将事件控制器 24 设置和构造成接受来自判优器 22 的对改变频率的请求，且然后使新的频率被 MUX 触发器 12（即输入多路复用寄存器）捕获。事件控制器 24 还控制两个环形振荡器 10、20 之间的切换。判优器 22 和开关控制元件 26 一起用于启动时钟选通（这将在下文中进一步阐述）。

判优器是众所周知的接口电路，其在将优先级分配给选自多个输入信号的特定输入信号优先级以便确定输入信号的处理顺序的基础上来控制通信协议。优先级的分配可以基于信号的时间特征，例如到达判优器输入端的次序。因此，在包含在本发明的该典型实施例中的判优器 22 的情况下，其简单地确定多个请求中的哪一个由其输入电路首先接收，并将该请求传递到其输出电路。

判优器 22 来从外部源接收与需要产生的时钟信号的频率改变相应的一系列请求。判优器 22 根据接收请求的顺序来产生序列或编程图形 14。应该注意的是，编程图形和请求包括表示在停止产生当前频率下的时钟信号与开始产生下一个所需频率下的时钟信号之间的所需延迟的数据图形，并且由于该延迟等同于下一个频率下的一个时钟周期，所以其表示下一个所需频率的值。将编程图形 14 提供给 MUX12（包括可变可编程延迟元件）和事件控制器 24。

参考附图中的图 3，当事件控制器 24 接收请求时，其首先以如由通过 MUX 触发器 12 提供的图形 14 所指定的下一个所需频率启动当前空闲的环形振荡器（在这种情况下也就是 20）。因为时钟开关 26 仅允许将来自环形振荡器 10 的输出传送到时钟输出端，所以这并不干涉当前振荡的环形振荡器 10。然后当时钟信号变低时，其使当前工作的环形振荡器 10 的输出被选通。接着，当其输出信号变低时，其使得先前被选通的环形振荡器 20 的输出不被选通，且然后其实际上使环形振荡器 10 无效（即环是打开的以避免振荡）。这整个操作需要

不到新时钟频率的一个时钟周期。在这一点上，事件控制器 24 等待请求撤回且然后返回到其初始状态。

还可以中止图 1 的时钟发生器件。借助于时钟开关 26（其典型实施例在附图中的图 4 中示出）来实现该功能。再次参考图 3，在接收到中止时钟发生器件的请求的情况下，时钟开关 26 使得先前未被选通的环形振荡器 10 被选通，然后在不选通振荡器 10 之前，等待请求被撤回。

从上述说明中可以显而易见地看出，当两个环形振荡器的时钟为低时，采用时钟开关 26 来改变时钟输出端上的频率，由此避免对时钟的低频干扰，并且获得正确的波形（参见图 2）。

应该注意的是，上述实施例只是对本发明进行举例说明而不限制本发明，本领域技术人员可以在不脱离由所附权利要求书所限定的本发明范围的情况下设计出很多可选实施例。在权利要求书中，不应该把放在括号中的任何参考标记认作是对权利要求书的限制。词“包括”等不排除还存在任何权利要求或作为整体的说明书中所列之外的其他元件或步骤。对元件的单数引用不排除对这种元件的复数引用，反之亦然。借助于包括几个不同元件的硬件、并借助于适当编程的计算机来实施本发明。在列举几个装置的器件权利要求中，这些装置中的几个可以由一个且同类的硬件来实施。在相互不同的从属权利要求中列举特定措施的简单事实并不表示这些措施的组合使用不能带来优点。

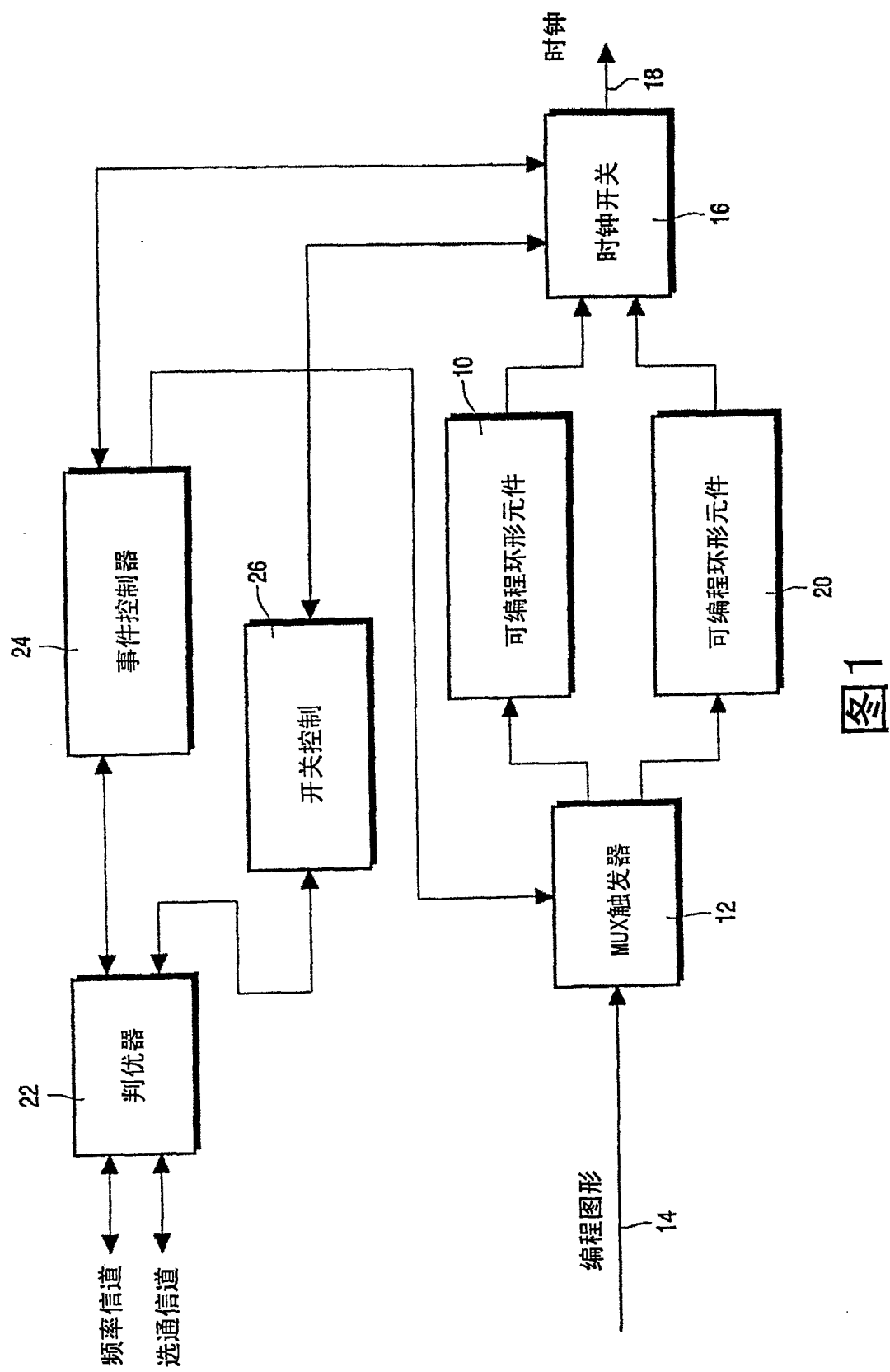


图1

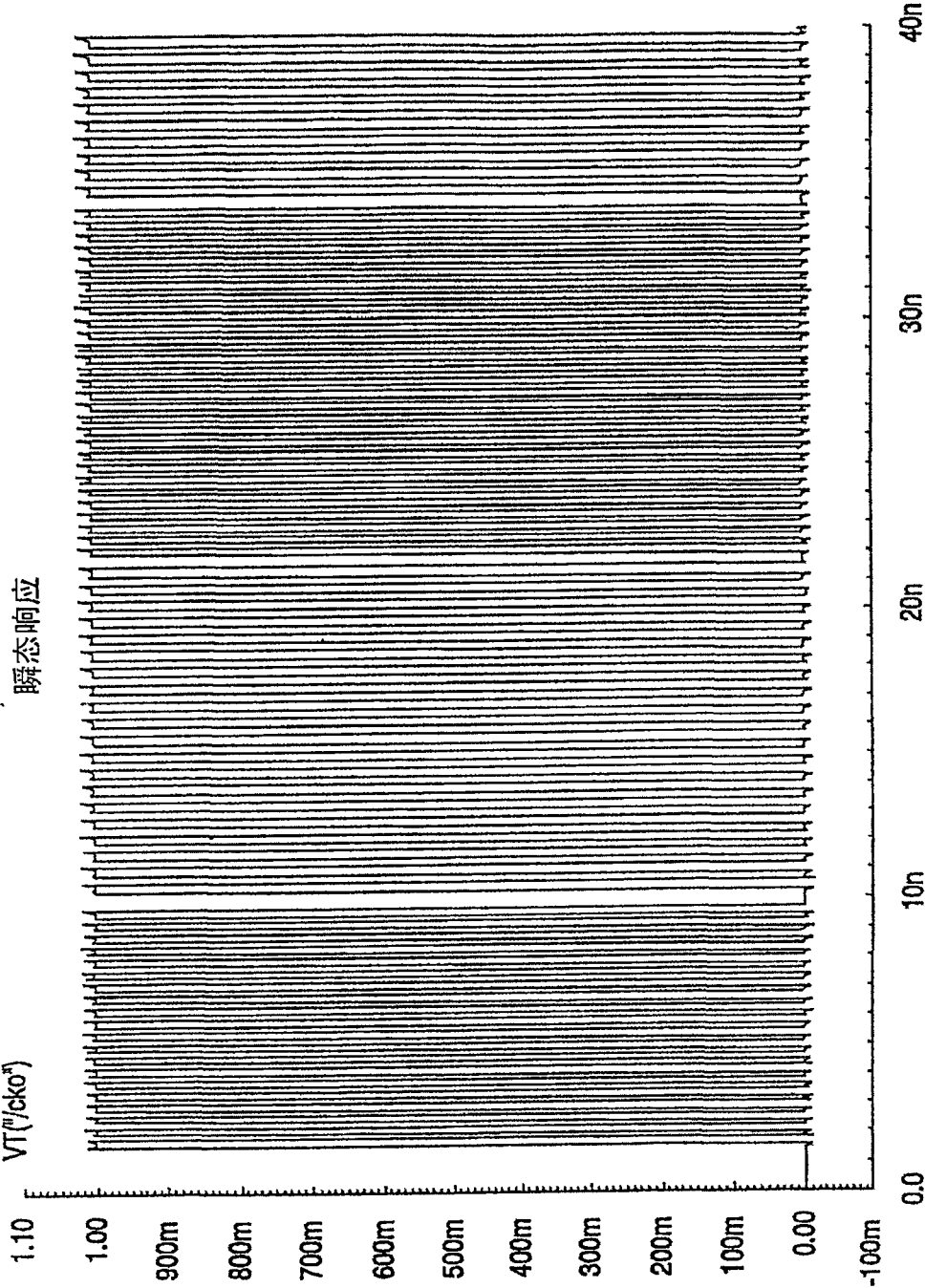


图2

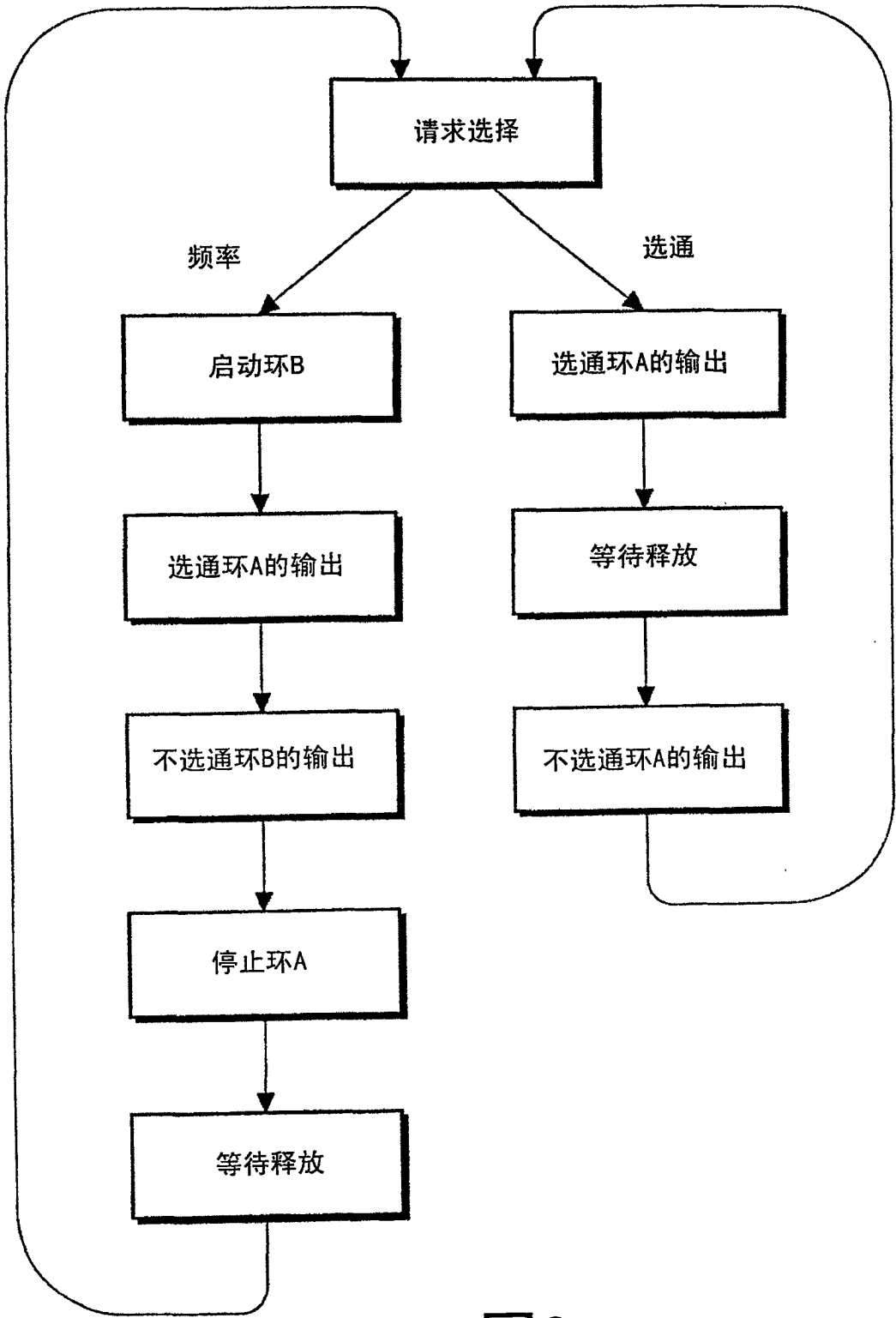


图3

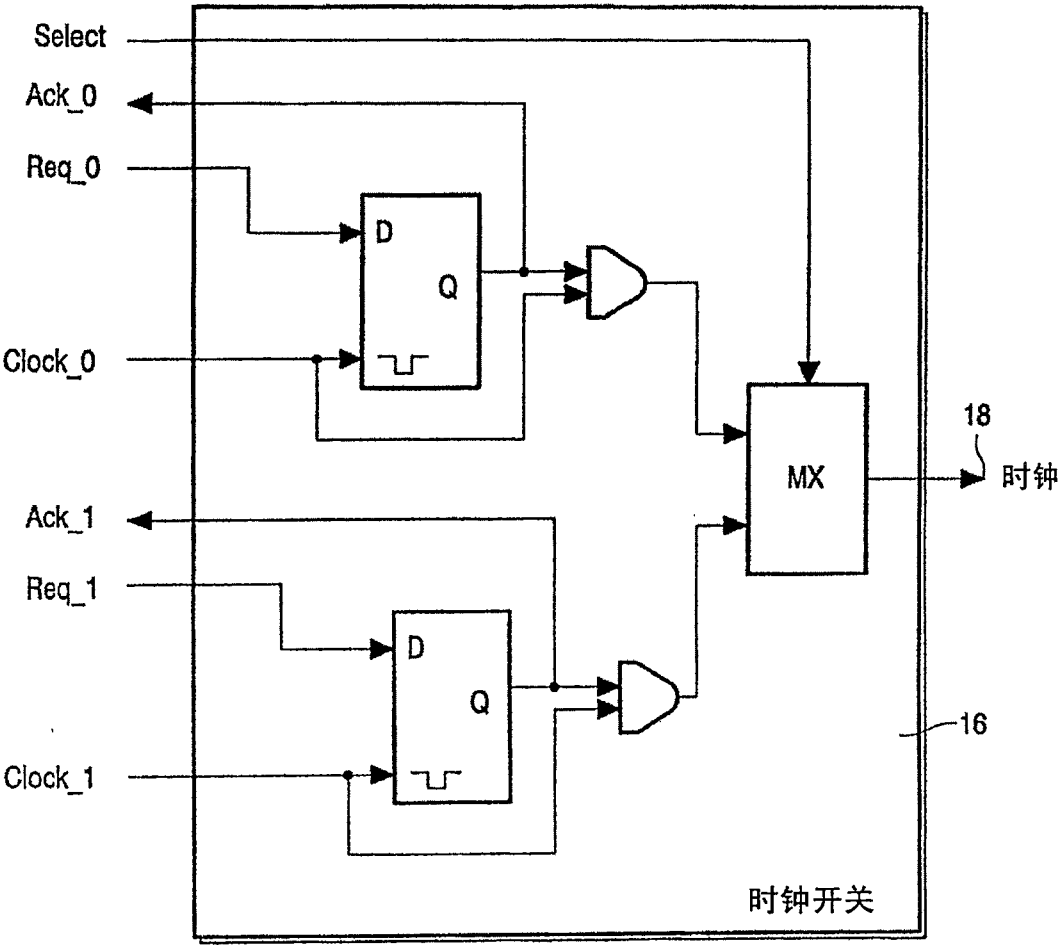


图4