

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6337732号
(P6337732)

(45) 発行日 平成30年6月6日 (2018.6.6)

(24) 登録日 平成30年5月18日 (2018.5.18)

(51) Int.Cl.

HO2M 3/28 (2006.01)

F I

HO2M 3/28 W

HO2M 3/28 P

請求項の数 10 (全 18 頁)

(21) 出願番号	特願2014-208425 (P2014-208425)	(73) 特許権者	000005223
(22) 出願日	平成26年10月9日 (2014.10.9)		富士通株式会社
(65) 公開番号	特開2016-82606 (P2016-82606A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成28年5月16日 (2016.5.16)	(74) 代理人	100087480
審査請求日	平成29年7月4日 (2017.7.4)		弁理士 片山 修平
		(72) 発明者	細山 尚登
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
		(72) 発明者	佐々木 智丈
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【特許請求の範囲】

【請求項 1】

入力端子と出力端子との間に並列に接続された第1および第2スイッチング回路と、
前記第1および第2スイッチング回路をそれぞれオンオフ制御し、互いに位相の異なる
第1および第2制御信号を生成する制御信号生成部と、

前記第2制御信号の周波数を切り換えた後、前記第1制御信号の周波数を切り換える周
波数切換部と、

前記周波数切換部が前記第2制御信号の周波数を切り換えた後に、前記第1制御信号が
オンする第1割り込みがあると、前記第2制御信号の位相を変更する位相変更部と、
を具備することを特徴とする電源回路。

【請求項 2】

前記制御信号生成部は、比較値と、第1および第2キャリア信号と、をそれぞれ比較す
ることにより前記第1および第2制御信号を生成し、

前記周波数切換部は、前記第1および第2キャリア信号の周波数を切り換えることによ
りそれぞれ前記第1および第2制御信号の周波数を切り換え、

前記位相変更部は、前記第2キャリア信号の位相を変更することにより前記第2制御信
号の位相を変更することを特徴とする請求項1記載の電源回路。

【請求項 3】

初期値から単調にカウンタ値を増加または減少させ前記カウンタ値が指定値となると前
記カウンタ値を前記初期値に戻すことで、前記第1および第2キャリア信号を生成するキ

キャリア信号生成部を具備することを特徴とする請求項 2 記載の電源回路。

【請求項 4】

前記周波数切換部は、前記指定値を設定することにより、前記第 1 および第 2 キャリア信号の周波数を切り換え、

前記位相変更部は、前記第 2 キャリア信号のカウンタ値を変更することにより第 2 キャリア信号の位相を変更することを特徴とする請求項 3 記載の電源回路。

【請求項 5】

前記第 2 制御信号がオンする第 2 割り込みがあると、前記比較値の生成するための演算を開始する比較値生成部を具備することを特徴とする請求項 2 記載の電源回路。

【請求項 6】

前記制御信号生成部は、前記周波数切換部が前記第 2 制御信号の周波数を切り換えた直後の前記第 1 制御信号のデューティ比が周波数を切り換える前の前記第 1 制御信号のデューティ比と変わらないように前記第 1 制御信号のデューティ比を補正することを特徴とする請求項 1 から 5 のいずれか一項記載の電源回路。

【請求項 7】

前記制御信号生成部は、前記第 2 制御信号のデューティ比を補正しないことを特徴とする請求項 6 記載の電源回路。

【請求項 8】

前記第 1 制御信号と前記第 2 制御信号との位相差は 180° であることを特徴とする請求項 1 から 7 記載の電源回路。

【請求項 9】

前記位相変更部は、前記第 1 割り込みがあったときの前記第 2 制御信号の周期を T_3 、前記周波数の切り換え前の周期を T_1 、前記周波数の切り換え後の周期を T_2 としたとき、 $T_3 = (T_1 + T_2) / 2$ となるように、前記第 2 制御信号の位相を変更することを特徴とする請求項 8 記載の電源回路。

【請求項 10】

前記入力端子と前記出力端子との間に前記第 1 および第 2 スイッチング回路と並列に接続された第 3 スイッチング回路を具備し、

前記制御信号生成部は、前記第 3 スイッチング回路をオンオフ制御し、前記第 1 および第 2 制御信号と位相の異なる第 3 制御信号を生成し、

前記周波数切換部は、前記第 1 制御信号の周波数を切り換える前に第 3 制御信号の周波数を切り換え、

前記位相変更部は、前記周波数切換部が前記第 2 および第 3 制御信号の周波数を切り換えた後に、前記第 1 制御信号がオンする第 1 割り込みがあると、前記第 2 および第 3 制御信号の位相を変更することを特徴とする請求項 1 から 7 のいずれか一項記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源回路に関し、例えば、複数のスイッチング回路を備える電源回路に関する。

【背景技術】

【0002】

電源回路として、直流電圧を変換する DC (Direct Current) - DC コンバータ等が知られている。例えば、サーバ等の情報処理装置や家庭電化製品においては、整流器と力率改善回路とを用い交流電圧を直流電圧に変換する。その後 DC - DC コンバータを用い直流電圧を降圧する。

【0003】

DC - DC コンバータとして、入力端子と出力端子との間に位相の異なる複数のスイッチング回路が並列に接続された多相スイッチング電源回路が知られている（例えば特許文献 1 および 2）

10

20

30

40

50

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-56838号公報

【特許文献2】特開2006-340442号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

スイッチング電源回路においては、効率向上を図るため、負荷の大小によりスイッチング周波数を変更することがある。しかしながら、多相スイッチング電源において、電源回路の効率向上のためスイッチング周波数を変更しようとする、複数のスイッチング回路により周波数を切り換えるタイミングがずれてしまう。これにより、適切な周波数の切り換えができない。

10

【0006】

本電源回路は、適切な周波数の切り換えを行なうことを目的とする。

【課題を解決するための手段】

【0007】

入力端子と出力端子との間に並列に接続された第1および第2スイッチング回路と、前記第1および第2スイッチング回路をそれぞれオンオフ制御し、互いに位相の異なる第1および第2制御信号を生成する制御信号生成部と、第1および第2制御信号の周波数を前記第2制御信号から切り換える周波数切換部と、前記周波数切換部が前記第2制御信号の周波数を切り換えた後に、前記第1制御信号がオンする第1割り込みがあると、前記第2制御信号の位相を変更する位相変更部と、を具備することを特徴とする電源回路を用いる。

20

【発明の効果】

【0008】

本電源回路によれば、適切な周波数の切り換えを行なうことができる。

【図面の簡単な説明】

【0009】

【図1】図1は、実施例1に係る電源回路の回路図である。

30

【図2】図2は、実施例1の制御部の機能を示すブロック図である。

【図3】図3は、実施例1における各スイッチの制御を示すタイミングチャートである。

【図4】図4は、実施例1におけるキャリア信号の生成方法を示すタイミングチャートである。

【図5】図5は、実施例1における制御信号の生成方法を示すタイミングチャートである。

【図6】図6は、比較例1におけるスイッチング周波数の切り換えを示すタイミングチャート（その1）である。

【図7】図7は、比較例1におけるスイッチング周波数の切り換えを示すタイミングチャート（その2）である。

40

【図8】図8（a）から図8（c）は、実施例1における制御部の制御を示すフローチャートである。

【図9】図9は、実施例1におけるスイッチング周波数の切り換えを示すタイミングチャート（その1）である。

【図10】図10は、実施例1におけるスイッチング周波数の切り換えを示すタイミングチャート（その2）である。

【図11】図11は、比較例2におけるスイッチング周波数の切り換えを示すタイミングチャート（その1）である。

【図12】図12は、比較例2におけるスイッチング周波数の切り換えを示すタイミングチャート（その2）である。

50

【図 1 3】図 1 3 は、実施例 2 に係る電源回路のブロック図である

【図 1 4】図 1 4 は、実施例 2 におけるスイッチング周波数の切り換えを示すタイミングチャートである

【図 1 5】図 1 5 は、実施例 3 における B 相割り込みのときの制御部の処理を示すフローチャートである。

【図 1 6】図 1 6 は、実施例 3 におけるスイッチング周波数の切り換えを示すタイミングチャート（その 1）である。

【図 1 7】図 1 7 は、実施例 3 におけるスイッチング周波数の切り換えを示すタイミングチャート（その 2）である。

【図 1 8】図 1 8 は、実施例 3 の変形例におけるスイッチング周波数の切り換えを示すタイミングチャート（その 1）である。

【図 1 9】図 1 9 は、実施例 3 の変形例におけるスイッチング周波数の切り換えを示すタイミングチャート（その 2）である。

【図 2 0】図 2 0 は、実施例 4 におけるスイッチング周波数の切り換えを示すタイミングチャートである。

【発明を実施するための形態】

【0010】

以下、図面を参照し本発明の実施例について説明する。

【実施例 1】

【0011】

図 1 は、実施例 1 に係る電源回路の回路図である。図 1 に示すように、実施例 1 に係る電源回路 100 は、複数のスイッチング回路 10 a および 10 b 並びに制御部 20 を備えている。複数のスイッチング回路 10 a および 10 b は入力端子 T i n 1 および T i n 2 と出力端子 T o u t 1 および T o u t 2 との間に並列に接続されている。スイッチング回路 10 a および 10 b の位相は異なっており、それぞれの位相を A 相および B 相とする。

【0012】

入力端子 T i n 1 および T i n 2 には入力電圧 V i n の D C 電源が接続されている。入力端子 T i n 1 および T i n 2 は、それぞれ正側および負側の端子である。D C 電源は、例えば交流電圧を直流電圧に変換する A C - D C コンバータに対応する。出力端子 T o u t 1 および T o u t 2 間には負荷 R 1 が接続されている。負荷 R 1 は、例えば情報処理装置または家庭電化製品の内部回路に対応する。出力端子 T o u t 1 および T o u t 2 は、それぞれ正側および負側の端子である。出力端子 T o u t 1 および T o u t 2 の間にキャパシタ C 1 が接続されている。ノード N と出力端子 T o u t 1 との間にインダクタ L 1 が接続されている。ノード N と出力端子 T o u t 2 との間にスイッチ S 4 が接続されている。出力端子 T o u t 1 および T o u t 2 間に出力電圧 V o u t が出力される。負荷 R 1 を流れる電流が出力電流 I o u t である。検出部 14 は、出力電圧 V o u t および出力電流 I o u t を検出し、出力電圧 V o u t および出力電流 I o u t の値を示す信号を制御部 20 に出力する。

【0013】

スイッチング回路 10 a および 10 b は、それぞれスイッチ S 1 から S 3、ダイオード D 1 および D 2 およびトランス 12 を備えている。入力端子 T i n 1 は、スイッチ S 1 の一端と、ダイオード D 1 を逆方向に介しスイッチ S 2 の一端と、に接続されている。入力端子 T i n 2 は、スイッチ S 2 の他端と、ダイオード D 2 を順方向に介しスイッチ S 1 の他端に接続されている。スイッチ S 1 の他端とスイッチ S 2 の一端はそれぞれトランス 12 の入力側に接続されている。トランス 12 の出力側はノード N とスイッチ S 3 を介し出力端子 T o u t 2 にそれぞれ接続されている。スイッチ S 1 から S 4 は、例えば M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) である。スイッチ S 1 から S 4 は、I G B T (Insulated Gate Bipolar Transistor) 等の F E T 以外の素子でもよい。

【0014】

制御部 20 は、検出部 14 が検出した出力電圧 V_{out} および出力電流 I_{out} に対応する信号に基づき、スイッチ S1 から S4 を制御する制御信号を生成する。制御信号は例えばスイッチ S1 から S4 を PWM (Pulse Width Modulation) 制御するための信号である。例えば、制御信号がハイレベルのときスイッチ S1 から S3 はオンし、制御信号がローレベルのときスイッチ S1 から S3 はオフする。制御部 20 は、例えば MPU (Micro Processing Unit) または CPU (Central Processing Unit) 等のプロセッサである。

【0015】

図 2 は、実施例 1 の制御部の機能を示すブロック図である。図 2 に示すように、制御部 20 は、アナログデジタル変換器 AD21、22、比較値生成部 23、周波数切換部 24、キャリア信号生成部 25、制御信号生成部 26、レジスタ 28、29 および位相変更部 30 として機能する。AD21 および 22 は、それぞれ出力電圧 V_{out} および出力電流 I_{out} に対応するアナログ信号をデジタル信号に変換する。比較値生成部 23 は、出力電圧 V_{out} に基づき比較値を生成する。レジスタ 28 は、比較値を保持する。周波数切換部 24 は、出力電流 I_{out} に基づきスイッチング周波数を切り換える。周波数切換部 24 は、スイッチング周波数に対応した指定値を生成する。レジスタ 29 は指定値を保持する。キャリア信号生成部 25 は、タイマカウンタ 27 を備え、クロック信号とレジスタ 28 に保持された指定値に基づき A 相および B 相に対応するキャリア信号を生成する。制御信号生成部 26 は、A 相および B 相のキャリア信号とレジスタ 28 に保持された比較値とを比較することにより、それぞれスイッチング回路 10a および 10b をオンオフ制御する A 相および B 相の制御信号を生成する。位相変更部 30 は、周波数切換部 24 がキャリア信号の周波数を切り換えるときに B 相のキャリア信号の位相を変更する。

【0016】

図 3 は、実施例 1 における各スイッチの制御を示すタイミングチャートである。図 3 に示すように、スイッチング回路 10a およびスイッチング回路 10b の制御信号の周期は T_1 であり同じである。A 相と B 相の位相差 θ は 180° である。時間 t_{0a} において、A 相のスイッチ S1 から S3 がオンする。B 相のスイッチ S1 から S3 およびスイッチ S4 はオフである。時間 t_{1a} において、A 相のスイッチ S1 から S3 がオフする。スイッチ S4 がオンする。時間 t_{0b} において、B 相のスイッチ S1 から S3 がオンする。スイッチ S4 はオフする。時間 t_{1b} において、B 相のスイッチ S1 から S3 がオフする。スイッチ S4 がオンする。その後は、時間 t_{0a} から繰り返す。

【0017】

時間 t_{0a} に A 相のスイッチ S1 から S3 がオンしてから時間 t_{0b} に B 相のスイッチ S1 から S3 がオンするまでの期間が A 相期間 T_{01} である。時間 t_{0b} から時間 t_{0a} までの期間が B 相期間 T_{02} である。スイッチ S1 から S3 がオンしている期間 T_{on} とすると、 T_{on}/T_1 がデューティ比である。A 相と B 相とのオンの時間が重ならないように、A 相および B 相のデューティ比は 50% 以下である。スイッチ S3 は、スイッチ S1 および S2 とオンおよびオフのタイミングが電源回路として機能する範囲で異なってもよい。A 相 + B 相によりスイッチング回路 10a および 10b のいずれかのスイッチ S1 から S3 がオンしたとき、ノード N には正側の電圧が印加される。スイッチング回路 10a および 10b の両方のスイッチ S1 から S3 がオフしたとき、ノード N には負側の電圧が印加される。ノード N の電圧は、インダクタ L1 およびキャパシタ C1 で平滑化され出力電圧 V_{out} となる。A 相 + B 相は、周期 T_1 の $1/2$ の周期 T_9 となる。このように、多相スイッチング回路では、スイッチング周波数を高くできる。これにより、インダクタ L1 等を小型化できる。

【0018】

図 4 は、実施例 1 におけるキャリア信号の生成方法を示すタイミングチャートである。図 4 に示すように、キャリア信号生成部 25 のタイマカウンタ 27 は、指定値 M とクロック信号に基づきキャリア信号を生成する。キャリア信号の周期を T 、クロック信号の周期を Δ とする。周期 T は例えば周期 Δ で割り切れる値である。カウント値を初期値 0 に戻るタイミングで、レジスタ 28 に保持された指定値 M を取得する。タイマカウンタ 27 は、

クロック信号の周期 Δ ごとにカウント値をカウントアップする。カウント値が指定値 M となると、タイマカウンタ27は、カウント値を初期値0にする。指定値 M は T/Δ に対応する。タイマカウンタ27は、再びクロック信号の周期 Δ ごとにカウント値をカウントアップする。このようにして、カウント値から鋸歯状のキャリア信号を生成できる。キャリア信号の周波数を切り換える場合、指定値 M を変更する。これにより、キャリア信号の振幅が変わる。クロック信号の周期 Δ が一定のとき、キャリア信号の周期が切り換わる。図4では、タイマカウンタ27がカウントアップする例を説明したが、タイマカウンタ27はカウントダウンしてもよい。このように、キャリア信号生成部25は、初期値0から時間とともに値を単調に増加または減少し指定値において初期値に戻る鋸波状のキャリア信号を生成する。以後の図面においてはキャリア信号の階段状のステップを省略して直線で図示する。

10

【0019】

図5は、実施例1における制御信号の生成方法を示すタイミングチャートである。図5に示すように、制御信号生成部26は、キャリア信号がレジスタ28に保持された比較値 CMP （図5では150）より小さいとき制御信号をハイレベルとし、キャリア信号が比較値 CMP より大きいとき制御信号をローレベルとする。制御信号がハイレベルのとき、スイッチ $S1$ から $S3$ はオンし、制御信号がローレベルのとき、スイッチ $S1$ から $S3$ はオフする。時間 $t0$ において、キャリア信号は0となり、制御信号はハイレベルとなる。キャリア信号は、時間とともに増加し時間 $t1$ において、比較値 CMP となると、制御信号はローレベルとなる。時間 $t0$ において、キャリア信号は、指定値 M （図5では600）となり、再び0となり、制御信号はハイレベルとなる。比較値生成部23は、出力電圧 V_{out} が目標の電圧より高くなったときは、比較値 CMP を小さくする。これにより、制御信号のデューティ比（ T_{on}/T ）が小さくなり、出力電圧 V_{out} が低くなる。比較値生成部23は、出力電圧 V_{out} が目標の電圧より低くなったときは、比較値 CMP を大きくする。これにより、制御信号のデューティ比が大きくなり、出力電圧 V_{out} が高くなる。

20

【0020】

まず、位相を変えない比較例1について説明する。図6および図7は、比較例1におけるスイッチング周波数の切り換えを示すタイミングチャートである。図6は、周期を $T1$ から $T2$ に長くなるように切り換える例である。すなわちスイッチング周波数を低く切り換える例である。図7は、周期を $T2$ から $T1$ に短くなるように切り換える例である。すなわちスイッチング周波数を高く切り換える例である。

30

【0021】

図6および図7に示すように、A相のキャリア信号とB相のキャリア信号は位相差 $\theta1$ が 180° である。時間 $t0a$ において、A相のキャリア信号が0に戻り、時間 $t0b$ においてB相のキャリア信号が0に戻る。これにより、それぞれA相およびB相の制御信号がハイレベルとなる。時間 $t1a$ および $t1b$ において、それぞれA相およびB相の制御信号はローレベルとなる。このときのレジスタ29に保持されている指定値 M は $M1$ である。矢印50において、周波数切換部24は、スイッチング周波数を切り換えるため、レジスタ29に保持されている指定値 $M1$ を $M2$ に書き換える。その後カウントアップの始まる周期において、新しい指定値 $M2$ が用いられる。

40

【0022】

時間 $t2b$ において、B相のキャリア信号が初期値0に戻ると、キャリア信号が指定値 $M2$ となるまで上昇する。よって、キャリア信号の周期は $T2$ となる。時間 $t2a$ 以降、A相のキャリア信号の周期が $T2$ となる。図6では、A相とB相の位相差 $\theta2$ は 180° より大きくなる。このため、箇所70ではA相+B相のオンの間隔が広くなり、箇所72では、A相+B相の間隔が狭くなる。図7では、A相とB相の位相差 $\theta2$ は 180° より小さくなる。このため、箇所74のように、A相とB相との制御信号のハイレベルの期間が重なっている。このとき、スイッチング回路10aおよび10bの両方のスイッチ $S1$ から $S3$ がオンするため、貫通電流が流れスイッチング電源が破壊する可能性がある。

50

【0023】

以上のように、比較例1では、スイッチング周波数を切り換えると、A相とB相との位相差が 180° からずれる。このため、A相+B相の波形が不均一になる。場合によってはA相とB相との制御信号が同時にハイレベルとなり、貫通電流が流れてしまう。

【0024】

以下に説明する実施例では、このようなA相とB相との位相差のずれを抑制する。

【0025】

図8(a)から図8(c)は、実施例1における制御部の制御を示すフローチャートである。図9および図10は、実施例1におけるスイッチング周波数の切り換えを示すタイミングチャートである。図9は、スイッチング周波数を低くする例であり、図10は、スイッチング周波数を高くする例である。

10

【0026】

図8(a)に示すように、メインのフローS10では、メインループS12からS16の間において、処理S14が実行される。図8(b)において、B相割り込みS20(B相の制御信号がオンする)が入ると、AD変換器21および22は、出力電圧Voutおよび出力電流Ioutのサンプリング(図9および図10の矢印54)を行なう(ステップS22)。比較値生成部23は、出力電圧Voutに基づき、制御信号のデューティ比を演算する(ステップS24)。例えば、出力電圧Voutが目標電圧より低ければデューティ比を大きくし、出力電圧Voutが目標電圧より高ければデューティ比を小さくする。演算が終了するとメイン処理ループに戻る(ステップS26)。

20

【0027】

図8(c)において、A相割り込みS30(A相の制御信号がオンしたときの割り込み)が入ると、比較値生成部23は、A相およびB相に相当するレジスタ28内の比較値を設定する(ステップS32)。周波数切換部24は、出力電流Ioutに基づき、スイッチング周波数を切り換えるか判断する(ステップS34)。Noの場合、メイン処理ループに戻る(ステップS40)。Yesの場合、周波数切換器24は、指定値をレジスタ29に設定する(ステップS36)。位相変更部30は、A相の位相は変更せずB相の位相を変更する(ステップS38)。その後、メイン処理ループに戻る(ステップS40)。

【0028】

図9および図10に示すように、B相の割り込みS30があると、矢印54のように出力電圧Voutおよび出力電流Ioutのサンプリングを行なう。その後、B相期間62において、比較値生成部23は、デューティ比の演算を行なう。A相割り込みの後のA相期間60内において、比較値生成部23は、矢印50のようにレジスタ29の指定値をM1からM2に書き換える。次の割り込みは、時間t4bのB相割り込みである。よって、まずB相のスイッチング周波数が切り換わる。A相の割り込み時間t5aにおいて、矢印52のように、位相変更部30は、キャリア信号生成部25内のB相のカウント値を保持したレジスタをN1からN2に上書きする。例えば、カウント値N2を $M2/2$ とする。これにより、B相の周期T3は $(T1+T2)/2$ となる。また、A相の割り込みにより、A相のスイッチング周波数が切り換わる。A相とB相との位相差 $\theta 2$ は 180° となる。

30

【0029】

このように、B相期間62において、デューティ比の演算が実行される。A相期間60において、レジスタ28および29の設定が行なわれる。これにより、周波数切換部24は、時間t4bにおいて、B相のキャリア信号の周波数を切り換える。その後、時間t5aにおいて、A相のキャリア信号の周波数を切り換える。B相のキャリア信号の周波数が切り換わった後に、時間t5aにおいてA相割り込みがあると、位相変更部30は、B相のキャリア信号の位相を変更する。キャリア信号の位相の変更は、例えばカウント値が保持されたレジスタのカウント値を書き換えることにより行なう。A相のキャリア信号の位相は変更しない。その他の各信号のタイミングは比較例1と同じであり、説明を省略する。

40

【0030】

比較例2として、周波数切換部24がA相のキャリア信号の周波数を切り換えた後に、

50

B相のキャリア信号の周波数を切り換える例を説明する。図11および図12は、比較例2におけるスイッチング周波数の切り換えを示すタイミングチャートである。図11は、スイッチング周波数を低くする例であり、図12は、スイッチング周波数を高くする例である。

【0031】

図11および図12に示すように、B相期間の矢印50において、レジスタ29の指定値がM1からM2に書き換わると、次に割り込みがあるのはA相である。よって、時間t4aにおいてA相が先にスイッチング周波数が切り換わり、時間t4bにおいて、B相のスイッチング周波数が切り換わる。スイッチング周波数の切り換えた後にA相とB相との位相差を180°とするためには、B相の周期T3を $(3 \times T1 - T2) / 2$ となるようにB相のキャリア信号の位相を変更する。このように、B相のキャリア信号の位相を変更するときに、図11では、周期T3が長くなり、図12では、周期T3が短くなる。このため、図11では、箇所70のように、周期T3のときのA相+B相のオンの間隔が長くなり、波形は不均一になってしまう。図12では、箇所74のように、A相とB相とのオンが重なってしまう。その他の各信号のタイミングは実施例1と同じであり、説明を省略する。比較例2のように、周波数切換部24がA相、B相の順にキャリア信号の周波数を切り換えるのは好ましくない。

10

【0032】

実施例1によれば、周波数切換部24は、B相のキャリア信号（第2キャリア信号）の周波数を切り換えることにより、B相の制御信号（第2制御信号）の周波数を切り換える。その後、A相のキャリア信号（第1キャリア信号）の周波数を切り換えることにより、A相の制御信号（第1制御信号）の周波数を切り換える。周波数切換部24がB相の制御信号の周波数を切り換えた後に、A相割り込み（A相制御信号がオンする第1割り込み）があると、B相のキャリア信号の位相を変更することにより、B相の制御信号の位相を変更する。これにより、A相+B相の波形を均一にできる。このように、多相スイッチング電源回路において、適切なスイッチング周波数の切り換えが可能となる。なお、B相のキャリア信号の位相を変更は、A相期間60内に行なえばよい。

20

【0033】

また、図5のように、制御信号生成部26は、比較値とA相のキャリア信号とを比較することによりA相の制御信号を生成する。制御信号生成部26は、比較値とB相のキャリア信号とを比較することによりB相の制御信号を生成する。周波数切換部24は、キャリア信号の周波数を切り換えることにより制御信号の周波数を切り換え、位相変更部30は、キャリア信号の位相を変更することにより制御信号の位相を変更する。このように、比較値とキャリア信号を比較して制御信号を生成する場合、周波数切り換えのときにA相+B相の波形が不均一になりやすい。よって、実施例1により、適切なスイッチング周波数の切り換えが可能となる。

30

【0034】

キャリア信号生成部25は、初期値から単調にカウンタ値を増加または減少させカウンタ値が指定値となるとカウンタ値を初期値に戻すことで、A相およびB相のキャリア信号を生成する。このように、キャリア信号を生成する場合、周波数切り換えのときにA相+B相の波形が不均一になりやすい。よって、実施例1により、適切なスイッチング周波数の切り換えが可能となる。

40

【0035】

周波数切換部24は、指定値を設定することにより、A相およびB相の制御信号の周波数を切り換える。位相変更部30は、B相のキャリア信号のカウンタ値を変更することによりB相のキャリア信号の位相を変更する。このように、指定値とカウンタ値を変更することにより、周波数の切り換えと位相の変更を簡単に行なうことができる。

【0036】

B相割り込みがあると、比較値生成部23は、比較値の生成するための演算を開始する。これにより、A相割り込みのときに、比較値を設定できる。

50

【0037】

A相の制御信号とB相の制御信号との位相差は 180° である。このとき、位相変更部30は、 $T3 = (T1 + T2) / 2$ となるように、B相の制御信号の位相を変更する。ここで、T3はA相割り込みがあったときのB相制御信号の周期、T1は周波数の切り換え前の周期、T2は周波数の切り換え後の周期である。これにより、スイッチング周波数の切り換え前後で、A相とB相との位相差を同じにできる。

【実施例2】

【0038】

図13は、実施例2に係る電源回路のブロック図である。図13に示すように、電源回路102は、スイッチング回路10c（第3スイッチング回路）を備えている。スイッチング回路10cは、入力端子Tin1およびTin2と出力端子Tout1およびTout2との間にスイッチング回路10aおよび10bと並列に接続されている。スイッチング回路10cの構成は、実施例1のスイッチング回路10aおよび10bと同じである。その他の構成は実施例1と同じであり、説明を省略する。

10

【0039】

図14は、実施例2におけるスイッチング周波数の切り換えを示すタイミングチャートである。A相とB相との位相差は 120° 、A相とC相との位相差は 240° である。B相割り込みのときに矢印54のようにサンプリングを行なう。周波数切換部24は、時間t4b、t4cおよびt5aのように、B相のキャリア信号、C相キャリア信号およびA相キャリア信号の順に周波数を切り換える。時間t5aのA相割り込みのときに、位相変更部30は、B相およびC相のキャリア信号の位相を変更する。その他の各信号のタイミングは実施例1と同じであり、説明を省略する。

20

【0040】

実施例2によれば、周波数切換部24は、時間t5aのようにA相のキャリア信号の周波数を切り換える前に、時間t4cのようにC相のキャリア信号の周波数を切り換える。位相変更部30は、周波数切換部24がB相およびC相のキャリア信号の周波数を切り換えた後に、時間t5aのようにA相割り込みがあると、B相およびC相のキャリア信号の位相を変更する。これにより、3相スイッチング電源においても、適切にスイッチング周波数を切り換えることができる。

【0041】

30

A相割り込みのときのB相およびC相のキャリア信号の周期をそれぞれT3およびT4とする。A相とB相との位相差が 120° であり、A相とC相との位相差が 240° の場合、 $T3 = (2 \times T1 + T2) / 3$ および $T4 = (T1 + 2 \times T2) / 3$ となるように、B相およびC相のキャリア信号の位相を変更する。これにより、スイッチング周波数の切り換え前後で、各相間の位相差を同じにできる。

【実施例3】

【0042】

実施例1および2では、比較値生成部23は、出力電圧に基づき比較値を演算する。このため、スイッチング周波数が切り換わった直後の比較値は、スイッチング周波数が切り換わる前の比較値と同じである。このため、図9および10の時間t4bおよびt5aにおいて、キャリア信号の周波数が切り換わった直後の制御信号のハイレベルの期間の長さは周波数が切り換わる前と同じである。これにより、図9では、時間t5aの後のA相の周期は長くなるが、制御信号は時間t1aでオフしてしまう。よって、デューティ比が小さくなる。このため、箇所76のように、A相+B相のオン間隔が長くなる。図10では、時間t5a後のデューティ比が大きくなる。このため、箇所78のように、A相+B相のオン間隔が短くなる。実施例3はこのような問題を解決する。

40

【0043】

図15は、実施例3におけるB相割り込みのときの制御部の処理を示すフローチャートである。図15に示すように、ステップS38の後に、制御信号生成部26は制御信号のデューティ比の補正を行なう（ステップS42）。その他の処理は図8（a）から図8（c

50

）と同じであり説明を省略する。

【0044】

図16および図17は、実施例3におけるスイッチング周波数の切り換えを示すタイミングチャートである。図16は、スイッチング周波数を低くする例であり、図17は、スイッチング周波数を高くする例である。

【0045】

図16および図17に示すように、時間t5aにおいてA相割り込みの後、制御信号生成部26は、A相の制御信号を時間t6aにオフする。これにより、時間t5a直後の制御信号のデューティ比はスイッチング周波数が切り換わる前と同じとなる。図16では、A相の制御信号のローレベルとなる時間t6aは、図9の時間t1aより遅くなる。図17では、A相の制御信号のローレベルとなる時間t6aは、図10の時間t1aより早くなる。制御信号生成部26は、B相の制御信号のデューティ比は補正しない。その他の各信号のタイミングは実施例1と同じであり説明を省略する。

10

【0046】

実施例3の変形例は、A相とB相の制御信号のデューティ比を補正する例である。図18および図19は、実施例3の変形例におけるスイッチング周波数の切り換えを示すタイミングチャートである。図18は、スイッチング周波数を低くする例であり、図19は、スイッチング周波数を高くする例である。

【0047】

図18および図19に示すように、時間t4bにおいてB相割り込みの後、制御信号生成部26は、B相の制御信号を時間t6bにオフする。これにより、時間t4b直後の制御信号のデューティ比はスイッチング周波数が切り換わる前と同じとなる。その他の各信号のタイミングは実施例3と同じであり説明を省略する。図18では、B相でデューティ比を補正するため、時間t4b後にB相の制御信号がローレベルになる時間t6bが図16の時間t1bより遅くなる。これにより、箇所72において、A相+B相の制御信号のオンの間隔が狭くなる。図19では、時間t4b後にB相の制御信号がローレベルとなる時間t6bが図17の時間t1bより早くなる。これにより、箇所70において、A相+B相の制御信号のオンの間隔は広くなる。

20

【0048】

実施例3によれば、制御信号生成部26は、周波数切換部24がB相のキャリア信号の周波数を切り換えた直後のA相の制御信号のデューティ比を補正する。その後はデューティ比の補正を行なわない。デューティ比の補正は、A相の制御信号のデューティ比が周波数を切り換える前のA相の制御信号のデューティ比と変わらないように行なう。これにより、実施例3の変形例に比べA相+B相のオン間隔を均一化できる。

30

【0049】

実施例3の変形例のように、制御信号生成部26がB相の制御信号のデューティ比を補正すると、A相とB相との制御信号のオン間隔が不均一となる。よって、制御信号生成部26は、B相の制御信号のデューティ比を補正しないことが好ましい。

【0050】

例えば周波数切換部24が周波数を周波数f1からf2に切り換えた直後の周期において、制御信号生成部26は、レジスタ28に保持された比較値に $f1/f2$ を乗じた値を比較値として制御信号を生成する。これにより、周波数の切り換え前後で制御信号のデューティ比がほぼ同じとなる。

40

【実施例4】

【0051】

実施例4のブロック図は実施例2と同じであり説明を省略する。図20は、実施例4におけるスイッチング周波数の切り換えを示すタイミングチャートである。図20に示すように、時間t5aにおいてA相割り込みの後、制御信号生成部26は、A相の制御信号を時間t6aにオフする。制御信号生成部26は、B相およびC相の制御信号のデューティ比は補正しない。その他の各信号のタイミングは実施例2と同じであり説明を省略する。実

50

施例 4 のように、3 相スイッチング電源においても A 相の制御信号のデューティ比を補正できる。

【0052】

実施例 4 によれば、制御信号生成部 26 は、周波数切換部 24 が B 相および C 相の制御信号の周波数を切り換えた直後の A 相の制御信号を補正する。これにより、3 相スイッチング電源においても A 相 + B 相 + C 相のオン間隔を均一化できる。

【0053】

さらに、制御信号生成部 26 は、B 相および C 相の制御信号のデューティ比を補正しない。これにより、A 相 + B 相 + C 相のオン間隔をより均一化できる。

【0054】

実施例 1 および 3 は 2 相の例、実施例 2 および 4 は 3 相の例を説明したが 4 相以上でもよい。

【0055】

実施例 1 から 4 は、絶縁型の DC-DC コンバータを例に説明したが、非絶縁型の DC-D コンバータでもよい。また、降圧型のコンバータを例に説明したが昇圧型または反転型のコンバータでもよい。

【0056】

スイッチング周波数の切り換えは、2 つの周波数の切り換えでもよいし、3 以上の周波数の切り換えでもよい。

【0057】

以上、本発明の実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【0058】

なお、以上の説明に関して更に以下の付記を開示する。

(付記 1) 入力端子と出力端子との間に並列に接続された第 1 および第 2 スwitchング回路と、前記第 1 および第 2 スwitchング回路をそれぞれオンオフ制御し、互いに位相の異なる第 1 および第 2 制御信号を生成する制御信号生成部と、前記第 2 制御信号の周波数を切り換えた後、前記第 1 制御信号の周波数を切り換える周波数切換部と、前記周波数切換部が前記第 2 制御信号の周波数を切り換えた後に、前記第 1 制御信号がオンする第 1 割り込みがあると、前記第 2 制御信号の位相を変更する位相変更部と、を具備することを特徴とする電源回路。

(付記 2) 前記制御信号生成部は、比較値と、第 1 および第 2 キャリア信号と、をそれぞれ比較することにより前記第 1 および第 2 制御信号を生成し、前記周波数切換部は、前記第 1 および第 2 キャリア信号の周波数を切り換えることによりそれぞれ前記第 1 および第 2 制御信号の周波数を切り換え、前記位相変更部は、前記第 2 キャリア信号の位相を変更することにより前記第 2 制御信号の位相を変更することを特徴とする付記 1 記載の電源回路。

(付記 3) 初期値から単調にカウンタ値を増加または減少させ前記カウンタ値が指定値となると前記カウンタ値を前記初期値に戻すことで、前記第 1 および第 2 キャリア信号を生成するキャリア信号生成部を具備することを特徴とする付記 2 記載の電源回路。

(付記 4) 前記周波数切換部は、前記指定値を設定することにより、前記第 1 および第 2 キャリア信号の周波数を切り換え、前記位相変更部は、前記第 2 キャリア信号のカウント値を変更することにより第 2 キャリア信号の位相を変更することを特徴とする付記 3 記載の電源回路。

(付記 5) 前記第 2 制御信号がオンする第 2 割り込みがあると、前記比較値の生成するための演算を開始する比較値生成部を具備することを特徴とする付記 2 記載の電源回路。

(付記 6) 前記制御信号生成部は、前記周波数切換部が前記第 2 制御信号の周波数を切り換えた直後の前記第 1 制御信号のデューティ比が周波数を切り換える前の前記第 1 制御信号のデューティ比と変わらないように前記第 1 制御信号のデューティ比を補正することを特徴と

10

20

30

40

50

する付記 1 から 5 のいずれか一項記載の電源回路。

(付記 7) 前記制御信号生成部は、前記第 2 制御信号のデューティ比を補正しないことを特徴とする付記 6 記載の電源回路。

(付記 8) 前記第 1 制御信号と前記第 2 制御信号との位相差は 180° であることを特徴とする付記 1 から 7 記載の電源回路。

(付記 9) 前記位相変更部は、前記第 1 割り込みがあったときの前記第 2 制御信号の周期を T_3 、前記周波数の切り換え前の周期を T_1 、前記周波数の切り換え後の周期を T_2 としたとき、 $T_3 = (T_1 + T_2) / 2$ となるように、前記第 2 制御信号の位相を変更することを特徴とする付記 8 記載の電源回路。

(付記 10) 前記入力端子と前記出力端子との間に前記第 1 および第 2 スイッチング回路と並列に接続された第 3 スイッチング回路を具備し、前記制御信号生成部は、前記第 3 スイッチング回路をオンオフ制御し、前記第 1 および第 2 制御信号と位相の異なる第 3 制御信号を生成し、前記周波数切換部は、前記第 1 制御信号の周波数を切り換える前に第 3 制御信号の周波数を切り換え、前記位相変更部は、前記周波数切換部が前記第 2 および第 3 制御信号の周波数を切り換えた後に、前記第 1 制御信号がオンする第 1 割り込みがあると、前記第 2 および第 3 制御信号の位相を変更することを特徴とする付記 1 から 7 のいずれか一項記載の電源回路。

10

(付記 11) 前記第 1 制御信号と前記第 2 制御信号との位相差は 120° であり、前記第 1 制御信号と前記第 3 制御信号との位相差は 240° であることを特徴とする付記 10 記載の電源回路。

20

(付記 12) 前記位相変更部は、前記第 1 割り込みがあったときの前記第 2 制御信号および前記第 3 制御信号の周期をそれぞれ T_3 および T_4 、前記周波数の切り換え前の周期を T_1 、前記周波数の切り換え後の周期を T_2 としたとき、 $T_3 = (2 \times T_1 + T_2) / 3$ および $T_4 = (T_1 + 2 \times T_2) / 3$ となるように、前記第 2 および第 3 制御信号の位相を変更することを特徴とする付記 11 記載の電源回路。

(付記 13) 前記制御信号生成部は、前記周波数切換部が前記第 2 および第 3 制御信号の周波数を切り換えた直後の前記第 1 制御信号のデューティ比が周波数を切り換える前の前記第 1 制御信号のデューティ比と変わらないように前記第 1 制御信号のデューティ比を補正することを特徴とする付記 10 から 12 のいずれか一項記載の電源回路。

(付記 14) 前記制御信号生成部は、前記第 2 および第 3 制御信号のデューティ比を補正しないことを特徴とする付記 13 記載の電源回路。

30

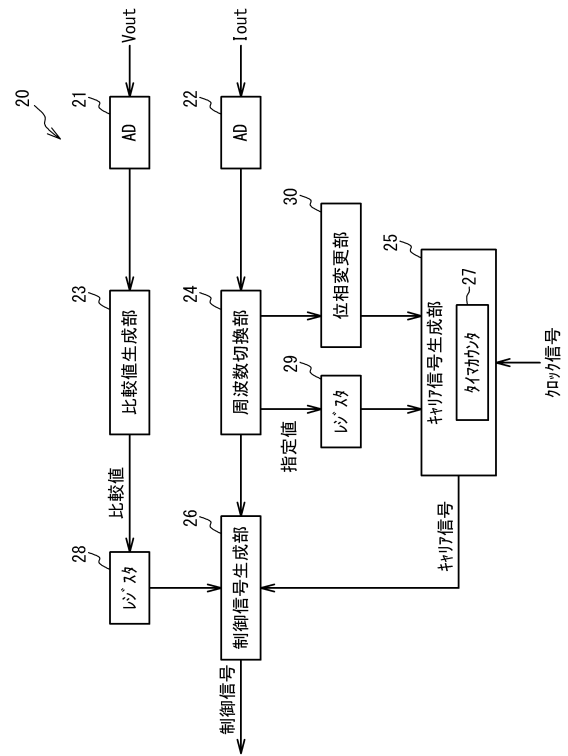
【符号の説明】

【0059】

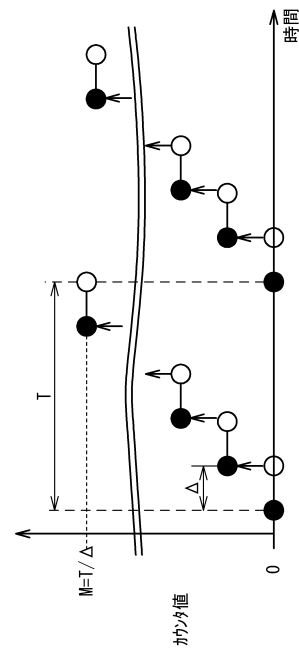
- 10 a - 10 c スイッチング回路
- 12 トランス
- 14 検出部
- 20 制御部
- 21、22 A/D変換器
- 23 比較値生成部
- 24 周波数切換部
- 25 キャリア信号生成部
- 26 制御信号生成部
- 27 タイマカウンタ
- 28、29 レジスタ
- 30 位相変更部

40

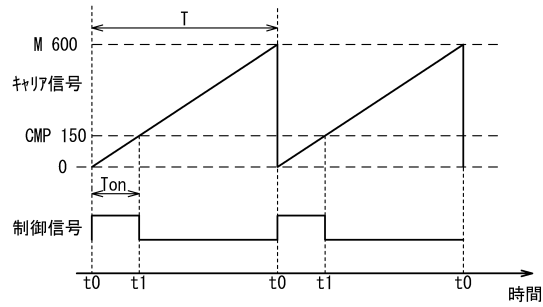
【図 2】



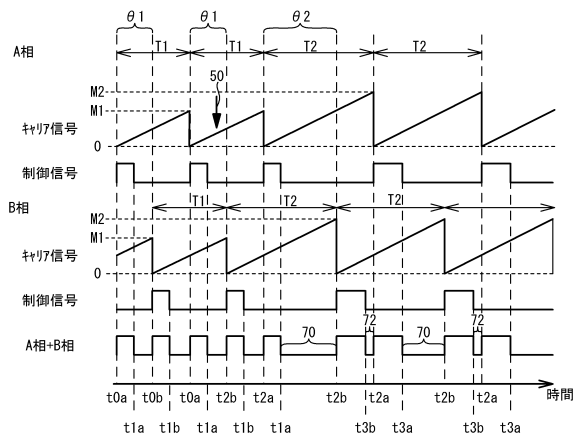
【图 4】



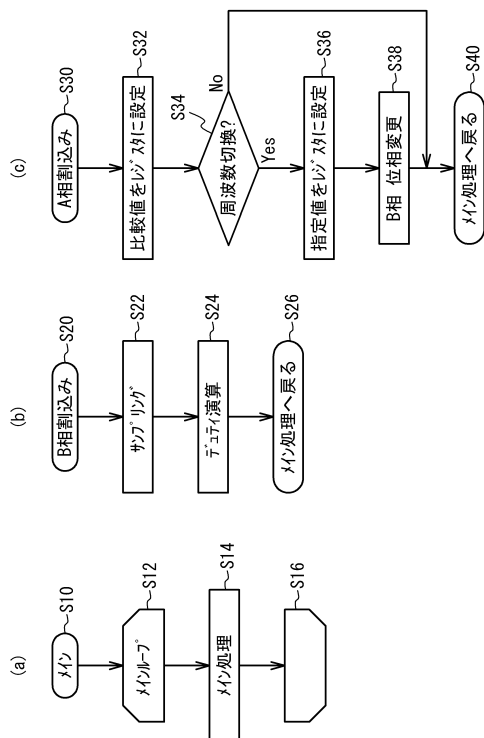
【図 5】



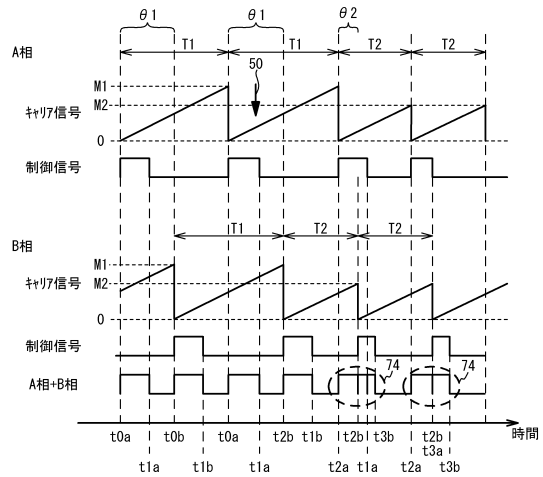
【図 6】



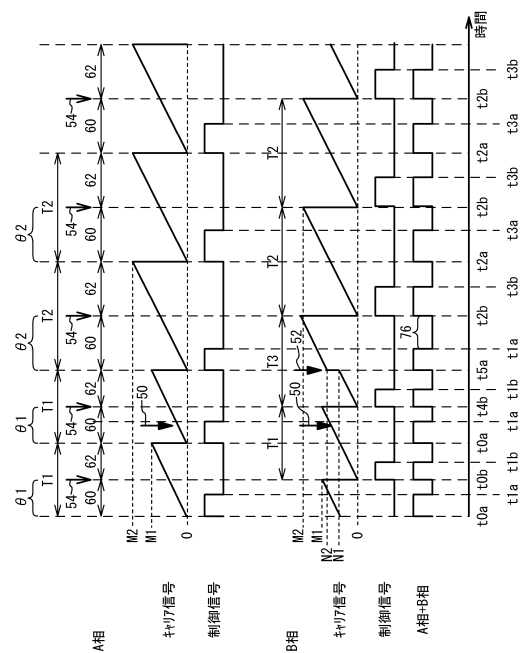
【図 8】



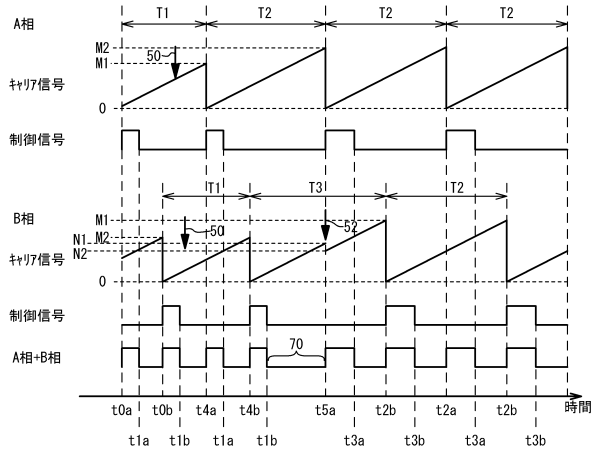
【図 7】



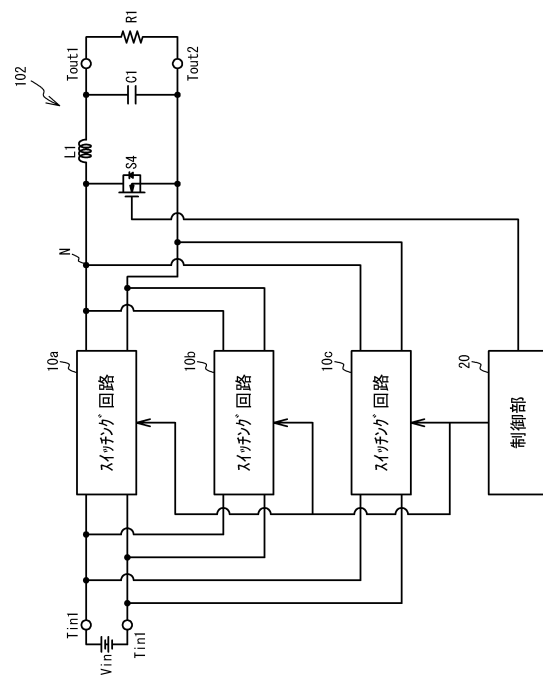
【図 9】



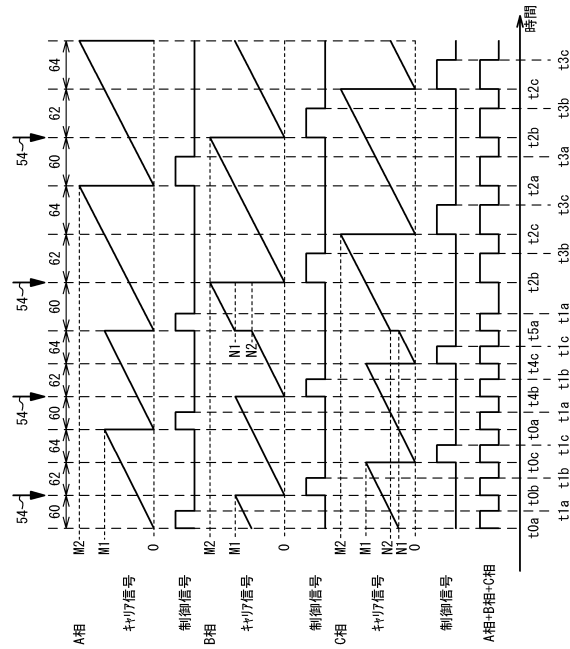
【図 1 1】



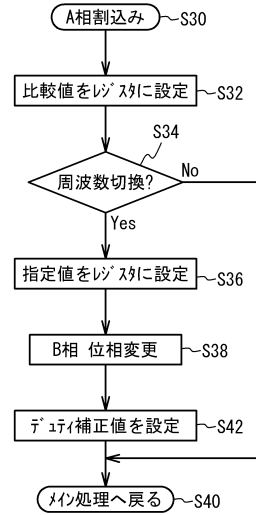
【图 1 3】



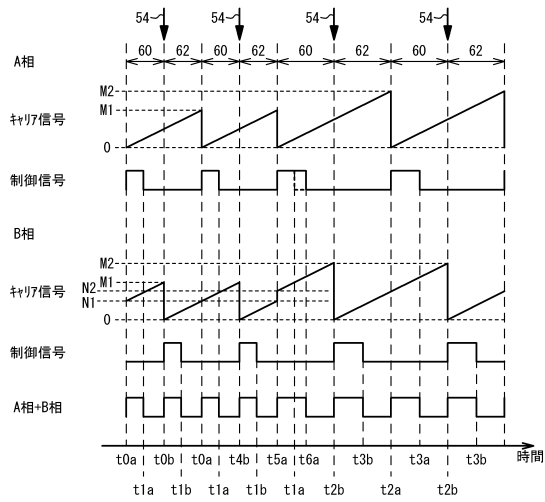
【図 14】



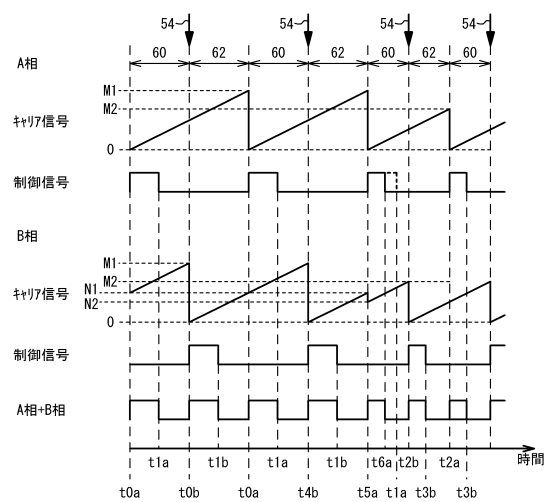
【図 15】



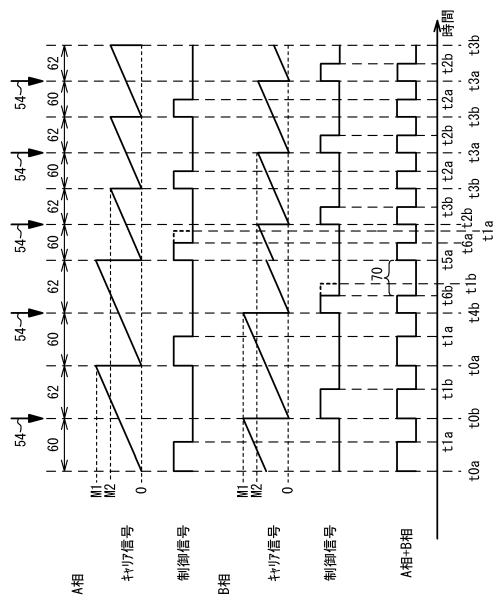
【図 16】



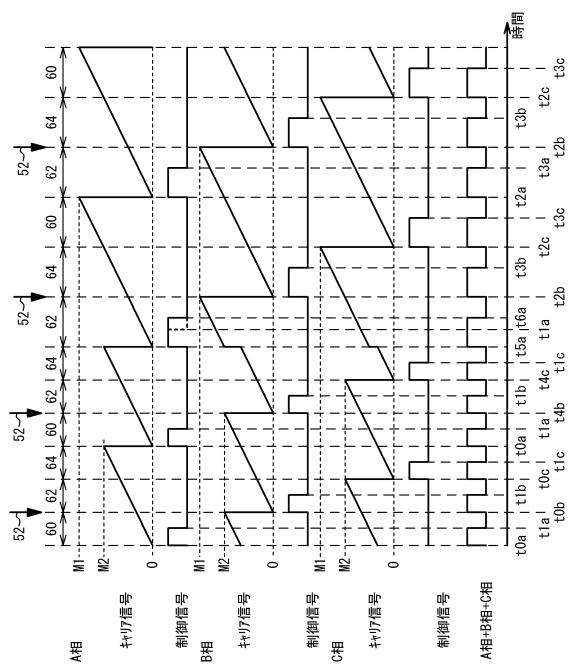
【図 17】



【図 19】



【図 20】



フロントページの続き

(72)発明者 米澤 遊

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 小林 秀和

(56)参考文献 特開2013-042591 (JP, A)

特開2000-037079 (JP, A)

特開2009-303385 (JP, A)

特開2003-088131 (JP, A)

特開2014-161190 (JP, A)

特開2009-278731 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28

H02M 1/08

H02M 3/155

H03K 4/08