

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 23/58

(11) 공개번호 특2000-0029352
(43) 공개일자 2000년05월25일

(21) 출원번호	10-1999-0046840
(22) 출원일자	1999년10월27일
(30) 우선권주장	98-310804 1998년10월30일 일본(JP)
(71) 출원인	신꼬오덴기 고교 가부시카가이샤 모기 준이찌 일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711
(72) 발명자	호리우찌미찌오 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시카가 이샤내 이마이가즈나리 일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시카가 이샤내
(74) 대리인	문기상, 문두현

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은 반도체 칩의 소형화의 요구를 충족하는 반도체 장치에 관한 것이다.

반도체 칩(10)의 전극 단자 구비면에 형성된 접속 랜드(20)가 접속 범프(14)를 통해서 절연재의 중간 기판(12)의 일면에 접속 랜드(20)와 대향하도록 형성된 접속 패드(22)에 전기적으로 접속되는 반도체 장치로서, 접속 패드(22)를 포함하는 도체 배선 패턴(24)이 중간 기판(12)의 일면에 형성되고, 외부 접속 단자(26)가 탑재되는 단자 랜드를 포함하는 도체 배선 패턴(30)이 중간 기판(12)의 타면에 형성되고, 중간 기판(12)의 일면에 형성되는 도체 배선 패턴(24)이 중간 기판(12)의 타면에 형성되는 도체 배선 패턴(30)에 리세스를 도금으로 충전하여 형성된 비아(32)를 통해 접속되며, 리세스는 중간 기판(12)의 절연재를 관통하게 형성하여 절연재 측의 도체 배선 패턴(24)의 배면이 그 저면에 노출되도록 한 것을 특징으로 한다.

대표도

도2

색인어

리세스, 도체 배선 패턴

명세서

도면의 간단한 설명

도1은 반도체 칩의 전극 단자 구비면을 나타내는 평면도.

도2는 본 발명에 의한 반도체 장치의 단면도.

도3은 도2의 반도체 칩(10)의 부분 단면도.

도4a~ 도4f는 도2의 반도체 장치를 구성하는 중간 기판을 제조하는 단계를 나타내는 단면도.

도5a~ 도5c는 본 발명에 의한 반도체 장치를 제조하는 다른 단계를 나타내는 개략도.

도 6은 도5에 나타난 제조 단계를 거쳐서 얻어진 반도체 장치를 나타내는 개략도.

도7a 및 도7b는 본 발명에 의한 비아에 형성된 접속 패드를 갖는 반도체 장치를 제조하는 단계를 나타내는 단면도.

도8a1 및 도8b1은 평면도, 도8a2 및 도8b2는 단면도로서, 각각 본 발명에 의해 비아홀을 도금 금속으로 충전하여 형성된 비아(b1, b2)와 비아홀의 내벽을 단순히 도금하여 형성한 비아(a1, a2)를 나타내는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다. 더욱 상세하게는 본 발명은 핀수를 용이하게 증가시키면서도 제조 비용을 줄일 수 있는 칩사이즈 패키지(CSP) 등의 소형의 반도체 장치와 그 제조 방법에 관한 것이다.

칩사이즈 패키지(CSP)는 땀납볼 등의 외부 접속 단자가 반도체 칩과 거의 동일 크기로 형성된 탑재면에 형성된 반도체 장치이다. 반도체 장치는 외부 접속 단자를 사용하여 마더보드에 탑재된다.

도1에 나타난 바와 같이, 칩사이즈 패키지(CSP)에는 반도체 칩(100)의 주변부 근처에 형성되는 전극 단자(102)가 마더보드에 탑재되는 외부 접속 단자가 탑재될 랜드(106)를 포함하는 배선 패턴(104)에 의해 전기적으로 접속된다.

배선 패턴(104)은 반도체 칩(100)의 패시베이션막 상에 형성되거나, 배선 패턴(104)이 형성되는 배선 패턴막을 반도체 칩(100)의 패시베이션막 상에 결합하여 형성될 수 있다.

발명이 이루고자 하는 기술적 과제

복수의 랜드(106)가 반도체 칩(100)의 전극 단자 구비면에 형성될 때, 인접하는 랜드 간에는 밖으로 도출하는 라인을 배열하는 데에 간격이 유지되어야 한다. 그러나 마더보드에 탑재하는 외부 접속 단자가 접속되는 단자 랜드(106)는 직경이 약 $300\mu\text{m}$ 이어야 한다. 따라서 반도체 칩의 전극 단자 구비면에 형성되는 단자 랜드(106)의 수에는 제한이 가해진다.

한편 현대의 반도체 장치에서는 반도체 칩이 점차 소형으로 제조되고 있고, 그 결과 외부 접속 단자를 형성하는 집적도의 증가를 가져왔다. 그러나 상술한 바와 같이 외부 접속 단자를 탑재하는 단자 랜드가 반도체 칩의 전극 단자 구비면에 탑재할 때에 단자 랜드의 수에 제한이 부여되므로 반도체 칩의 소형화 실현의 요구를 충족시키기가 어려워진다.

본 발명의 목적은 반도체 칩의 소형화 실현의 요구를 용이하게 충족시킬 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서 본 발명자들은 반도체 칩과는 별도로 형성된 중간 기판에 외부 접속 단자를 탑재하는 단자 랜드를 형성하고, 외부 접속 단자보다 작은 접속 범프를 사용하여 반도체 칩에 중간 기판을 전기적으로 접속하는 시도를 하였다. 그 결과, 발명자들은 외부 접속 단자를 탑재하는 단자 랜드보다 직경이 작은 접속 랜드를 반도체 칩의 전극 단자 구비면에 형성할 수 있다는 것을 알았다.

또한 중간 기판의 양면에 형성된 도체 배선 패턴을 전기적으로 서로 접속하는 비아가 절연재의 일면의 도체 배선 패턴의 배면이 그 저면에 노출되도록 중간 기판의 절연재를 관통하는 리세스를 도금에 의해 금속으로 충전하여 형성된다. 따라서 매우 미세한 비아가 형성되고 접속 랜드는 더욱 감소한 직경으로 중간 기판에 형성된다. 이로써 접속 범프를 통해 중간 기판의 접속 랜드에 접속되는 반도체 칩의 전극 단자 구비면에 더욱 감소한 직경을 갖는 접속 랜드를 형성할 수 있고, 따라서 반도체 칩의 소형화 실현의 요구를 완전히 충족시킬 수 있다. 발명자들은 이렇게 해서 본 발명에 이르렀다.

본 발명에 의하면 전극 단자와, 전극 단자에 전기적으로 접속되는 도체 랜드가 형성되는 전극 단자 구비면을 갖는 반도체 칩과;

전면과 배면을 가지며, 전면이 반도체 칩의 전극 단자 구비면에 대향하도록 배치되며, 전면에는 도체 패드를 포함하는 도체 배선 패턴이 형성되고, 배면에는 도체 랜드를 포함하는 도체 배선 패턴이 형성되고, 배면의 도체 랜드에는 외부 접속 단자가 형성되고, 전면의 도체 배선 패턴과 배면의 도체 배선 패턴을 전기적으로 접속하는 비어홀을 금속 도금으로 충전한 도체 비어가 관통하는 중간 기판과;

반도체 칩의 도체 랜드를 중간 기판의 도체 패드에 전기적으로 접속하는 범프를 구비하는 반도체 장치가 제공된다.

본 발명에 의한 반도체 장치에서는 배면의 도체 배선 패턴이 열가소성 접착제층을 개재하여 배면에 효과적으로 접착되므로 장치의 제조를 용이하게 할 수 있다.

본 발명에 의하면 또한 전면이 금속박으로 피복되어 본딩되고, 배면이 열가소성 접착제층으로 피복되어 형성된 절연재를 준비하고;

전면이 금속박으로, 배면이 개구로 구획되는 저면을 가지며, 절연재를 관통하는 리세스를 형성하고;

전류 공급 경로로서 금속박을 사용하여 전기 금속 도금으로 리세스를 충전하여 절연재를 관통하는 도체 비아를 형성하고;

금속박을 열가소성 수지 접착제층으로 절연재의 이면에 접착하고;

금속박의 전면과 배면을 패터닝하여 전면과 배면에 각각 도체 배선 패턴을 형성함으로써, 반도체 칩의 전극 단자 구비면 상의 도체 랜드에 접속하는 도체 패드를 포함하는 도체 배선 패턴이 형성되는 전면과, 외부 접속 단자의 도체 랜드를 포함하는 도체 배선 패턴이 형성되는 이면을 갖는 중간 기판을 형성하고, 각 도체 배선 패턴은 도체 비아를 통해 서로 전기적으로 접속하고;

반도체 칩의 도체 랜드를 중간 기판의 도체 패드에 범프로 본딩하여 전기적으로 접속하고;

외부 접속 단자를 중간 기판의 도체 랜드에 형성하는 단계를 구비하는 반도체 장치의 제조 방법이 제공된다.

본 발명에 의한 제조 방법에서는 금속박을 패터닝하는 단계 이후의 단계를

반도체 칩 대신에 각각이 반도체 칩에 대응하고 반도체 칩의 도체 랜드에 대응하는 도체 랜드를 갖는 복수의 반도체 칩 영역을 포함하는 반도체 웨이퍼를 사용하고,

중간 기판의 도체 랜드의 외부 접속 단자를 형성하고,

외부 접속 단자 형성 단계 전후에, 서로 본딩된 반도체 웨이퍼와 중간 기판을 반도체 칩 영역 사이의 위치에서 절단하는 단계

로 대체하여도 좋다.

본 발명의 반도체 장치의 제조 방법에 의하면, 레이저빔 가공으로 절연재를 관통하여 절연재 측의 금속박의 배면이 저면에 노출되도록 리세스가 형성된다. 이로써 에칭 등의 방법으로 형성된 것보다 직경이 더 작은 리세스를 형성할 수 있다.

또한 비아가 용점이 300℃ 이하의 저융점 합금으로 형성됨으로써, 비아가 형성된 후 금속박을 패터닝하는 동안 비아가 금속박의 에칭 용액에 대해 견딘다.

본 발명에 의하면 외부 접속 단자를 탑재하는 단자 랜드가 반도체 칩과는 별도로 형성된 중간 기판에 형성되고, 중간 기판과 반도체 칩이 외부 접속 단자보다 작은 접속 범프를 사용하여 전기적으로 서로 연결될 수 있다.

따라서 외부 접속 단자를 탑재하는 단자 랜드보다 직경이 작은 접속 랜드가 반도체 칩의 전극 단자 구비면에 형성될 수 있다.

또한 비아는 리세스를 도금에 의해 금속으로 충전하여 형성되고, 리세스는 절연재 측의 금속박의 배면이 그 저면에 노출되도록 절연재를 관통한다. 이로써 비아가 전기적으로 도통인 페이스트로 리세스를 충전하여 형성될 때에 비해 매우 미세한 비아가 형성될 수 있고, 따라서 전극 구비면에 형성된 작은 접속 랜드를 갖는 반도체 칩을 중간 기판에 탑재할 수 있게 된다.

또한 비아가 도금으로 형성되므로 접속 패드와 단자 랜드를 바로 비아 위에 형성할 수 있어 도체 배선 패턴을 고집적으로 형성할 수 있게 한다.

그 결과 외부 접속 단자를 탑재하기 위해 단자 랜드가 형성될 때에 비해 반도체 칩의 전극 단자 구비면에 단자 랜드가 고집적으로 형성됨으로써 반도체 칩의 소형화 실현의 요구를 충족할 수 있다.

(발명의 실시예)

도2는 본 발명에 의한 반도체 장치의 단면도이다. 웨이퍼에서 절단된 반도체 칩(10)은 접속 범프(14)를 통해 중간 기판(12)에 전기적으로 접속된다.

도2에 나타난 반도체 장치에서는 중간 기판(12)에 접속되는 반도체 칩(10)의 접속면은 도3에 나타난 바와 같이 전극 단자(16)가 그 위에 형성되는 전극 단자 구비면으로서 기능한다. 전극 단자(16)에 전기적으로 접속되는 접속 랜드(20)는 반도체 칩(10)의 전극 단자 구비면의 패시베이션막(18) 상에 형성된다. 중간 기판(12)에 탑재되는 접속 범프(14)가 접속 랜드(20)에 접속된다.

도3에서 접속 랜드(20)는 전극 단자(16)와 떨어져서 형성된다. 그러나 여기서 전극 단자(16)는 접속 랜드(20)로서 기능하여도 좋다.

접속 범프(14)를 통해 반도체 칩(10)에 접속되는 중간 기판(12)은 반도체 칩(10)의 전극 단자 구비면에 대향하는 일면에 형성되는 접속 패드(22)를 포함하는 도체 배선 패턴(24)을 갖는다. 중간 기판(12)은 타면에 형성되는 도체 배선 패턴(30)을 더 가지며, 도체 배선 패턴(30)은 외부 접속 단자(26)가 탑재될 단자 랜드(28)를 포함한다.

중간 기판(12)을 형성하는 절연재는 주로 폴리이미드 등으로 된 막(34)으로 되고, 막(34)의 일면에 형성되는 열가소성 접착제층(36)을 갖는다. 열가소성 접착제층(36)은 단자 랜드(28)를 포함하는 도체 배선 패턴(30)을 막(34)에 결합시킨다.

열가소성 접착제층(36)은 실온에서 영률이 500MPa 이하인 열가소성 접착제로 형성되는 것이 바람직하다. 마더보드에 탑재될 때에, 도2에 나타난 바와 같이 영률이 낮은 열가소성 접착제로 된 열가소성 접착제층(36)을 갖는 반도체 장치는 열가소성 접착제층(36)이 막(34)에 의존하는 치수 안정성을 유지하는 가운데 변형을 겪으면서 열팽창 계수차에 기인하는 응력을 마더보드로부터 흡수한다.

실온에서 영률이 500Mpa 이하인 열가소성 접착제로서 열가소성 폴리올레핀 수지 또는 폴리이미드 수지가 사용될 수 있다.

막(34)의 절연재와 열가소성 접착제층(36)으로 된 중간 기판(12)의 일면에 형성된 도체 배선 패턴(24)은 비아(32)를 통해 중간 기판(12)의 타면에 형성된 도체 배선 패턴(30)에 전기적으로 접속된다. 비아(32)는 리세스에 도금으로 금속을 충전하여 형성되고, 리세스는 중간 기판(12)의 절연재를 관통하여 도체 배선 패턴(24) 또는 절연재측의 도체 배선 패턴(30)의 배면이 리세스의 저면에 노출되도록 한다.

이에 따라 접속 패드(22)와 단자 랜드(28)가 도2에 나타난 바와 같이 중간 기판(12)의 비아(32)의 위에 바로 형성될 수 있게 되어 도체 배선 패턴(24, 30)을 고집적으로 형성할 수 있다.

또한 비아(32)는 주석-납 용융 합금(땀납) 등의 300℃ 이하의 융점을 갖는 저융점 합금으로 형성되는 것이 바람직하다.

접속 패드(22), 단자 랜드(28)의 접속 범프(14) 및 외부 접속 단자가 접속되는 부분을 제외한 중간 기판(12)의 양면에 땀납 레지스트(37, 38)가 부착된다.

도2에 나타난 반도체 장치에서 사용되는 중간 기판(12)은 도4a~ 도4f에 나타난 방법으로 형성될 수 있다.

도4a에 나타난 바와 같이, 중간 기판(12)을 형성하는 절연재는 동박 등의 금속박(42)이 그 일면에 형성되고 열가소성 접착제층(36)이 타면에 형성되는 폴리이미드 등의 막(34)으로 된다.

리세스(46)가 레이저빔 가공으로 절연재에 형성되고, 그 일면에 리세스가 개구되어 금속박(42)의 배면이 저면에 노출되게 한다(도4b). 레이저빔 가공은 에칭 등의 방법으로 형성된 리세스보다 더 미세한 리세스(46)를 형성할 수 있게 한다.

리세스(46)는 전류 공급층으로서 금속박(42)을 사용하는 전기 도금으로 금속이 충전된다(도4c). 금속은 주석-납 합금(땀납) 등의 용점이 300℃ 이하인 저융점 금속이 바람직하다. 레이저빔 가공으로 매우 미세한 리세스(46)가 형성되면, 이와 같은 초미세 리세스(46)에 전기적으로 도통인 페이스트를 충전함에 있어 큰 어려움이 따른다.

다음에 전기 도금으로 리세스(46)를 금속으로 충전하여 비아(32)가 형성되는 절연재에 열가소성 접착제층(36)에 의해 동박 등의 금속박(50)이 접착된다(도4d). 리세스(46)를 전기 도금으로 금속 충전할 때에, 열가소성 접착제층(36)이 전기 도금 용액에 담기나 여전히 만족할 정도의 접착 능력을 발휘한다. 열가소성 접착제층(36) 대신에 열경화성 접착제층이 형성되면, 전기 도금 용액에 담길 때에 열경화성 접착제층의 접착 능력을 상실한다. 비아(32)가 주석-납 용융 합금(땀납)으로 형성되면 동박 등의 금속박(50)의 결합이 수월해진다.

절연재의 양면에 형성된 금속박(42, 50)을 포스트트리그래피법으로 패턴 형성함으로써 접속 패드(22)를 포함하는 도체 배선 패턴(24)과 단자 랜드(28)를 포함하는 도체 배선 패턴(30)을 형성한다(도4e). 비아(32)가 주석-납 용융 합금(땀납)으로 형성되면, 비아(32)를 형성하는 금속은 비아(32)의 끝면이 도체 배선 패턴(22, 24)을 통해 약간 드러나더라도 금속박(42, 50)을 패턴닝할 때에 에칭 용액에 의해 에칭되는 것을 방지할 수 있다.

도4e에서 도체 배선 패턴(24)은 금속박(42)으로 형성되고, 도체 배선 패턴(30)은 금속박(50)으로 형성된다. 그러나 금속박(42)을 사용하여 도체 배선 패턴(30)을 형성하고, 금속박(50)을 사용하여 도체 배선 패턴(24)을 형성하여도 된다.

도체 배선 패턴(24, 30)을 보호하기 위해서, 또한 중간 기판(12)은 접속 패드(22)와 단자 랜드(28)를 제외한 절연재의 양면에 땀납 레지스트(37, 38)를 붙여서 얻어도 좋다(도4f).

그 후에 반도체 칩(10)의 접속 랜드(20)는 얻어진 중간 기판(12)의 접속 패드(22)에 탑재되는 접속 범프(14)에 접촉하게 되고, 리플로우 처리를 하여 중간 기판(12)과 반도체 칩(10)을 서로 접속하게 된다. 반도체 칩(10)과 중간 기판(12)은 도2에 나타난 바와 같이 언더필(52)로 충전하여도 좋다.

그 다음 외부 접속 단자가 중간 기판(12)의 단자 랜드(28)에 탑재되어 도2에 나타난 반도체 장치를 얻는다.

앞서의 설명에서 접속 범프(14)가 중간 기판(12)의 접속 패드(22)에 탑재된 다음 반도체 칩(10)의 접속 랜드(20)에 접속된다. 그러나 반도체 칩(10)의 접속 랜드(20)에 탑재되는 접속 범프(14)는 중간 기판(12)의 접속 패드(22)에 접속되어도 좋다.

도2, 도3 및 도4a~ 도4f에 나타난 반도체 장치에서, 외부 접속 단자(26)보다 작은 접속 범프(14)가 반도체 칩(10)의 전극 단자 구비면에 형성된 접속 랜드에 접속된다. 따라서 접속 랜드(20)는 외부 접속 단자(26)가 탑재되는 단자 랜드(28)보다 직경이 작게 형성된다.

또한 반도체 칩(10)에 연결되는 중간 기판(12)에 형성되는 비아(32)는 전기적으로 도통인 페이스트로 충전되는 비아보다 더욱 미세하게 형성될 수 있어 접속 범프(14)를 통해 반도체 칩(10)의 접속 랜드(20)에 접속되는 중간 기판(12)의 접속 패드(22)의 직경을 줄일 수 있다. 반도체 칩(10)이 소형으로 형성되고, 직경이 감소한 접속 랜드(20)는 고집적으로 형성되지만, 소형의 반도체 칩은 중간 기판(12)에 탑재될 수 있다.

앞서의 설명은 개개의 반도체 칩(10)을 사용하는 반도체 장치를 제조하는 방법에 대해서 다루었다. 그러나 본 발명에 의하면 반도체 장치는 또한 개개의 반도체 칩(10)으로 절단되어 중간 기판에 올려지기 전에 웨이퍼를 결합한 다음 웨이퍼를 개개의 칩(10)으로 절단함으로써 얻어질 수 있다. 이 공정을 도5a~ 도5c를 참조하여 설명한다.

도5a에 나타난 바와 같이, 먼저 도2에 나타내는 반도체 칩(10)에 각각 대응하는 복수의 반도체 칩 영역(11)을 갖는 웨이퍼(60)와 도4f의 중간 기판(12)에 각각 대응하는 복수의 중간 기판 영역(13)을 갖는 판상의 중간 기판 집합체(62)가 제공되고, 이 둘은 반도체 칩 영역(11)과 중간 기판 영역(13)이 대응하도록 위치되어 있다.

도5a에서 땀납 등으로 형성된 접속 범프(14)는 반도체 칩 영역(11)의 접속 랜드(20)에 탑재된다. 따라서 웨이퍼(60)와 중간 기판 집합체(62)는 중간 기판 영역(13)의 접속 패드(22)가 접속 범프(14)에 대응하도록 위치되어 있다.

접속 범프(14)는 중간 기판 집합체(62)의 중간 기판 영역(13)에 형성된 접속 패드(22)에 탑재되어도 좋다.

다음에 웨이퍼(60)와 중간 기판 집합체(62)가 리플로우 등으로 서로 완전히 접속되고, 웨이퍼(60)와 중간 기판 집합체(62)는 반도체 칩 영역(11)의 접속 랜드(20)가 접속 범프(14)를 통해 중간 기판 영역(13)의 접속 패드(22)에 전기적으로 접속되도록 위치된다.

다음에 도5b에 나타난 바와 같이 웨이퍼(60)와 중간 기판 집합체(62) 간의 갭이 언더필재(52)로 충전되고, 필요에 따라 도5c에 나타내는 바와 같이 외부 접속 단자(26)가 중간 기판 영역(13)의 단자 랜드(28)에 탑재된다. 그 후에 적층은 점선(64)의 위치에서 반도체 칩 영역(11)과 중간 기판 영역(13)으로 되는 개개의 조각으로 절단되고, 이들이 서로 결합하여 그 하나가 도6에 나타내는 바와 같은 반도체 장치를 이루게 된다.

이와 같이 해서 얻어진 반도체 장치는 도6에 나타난 바와 같이 반도체 칩(10)이 중간 기판(12)과 거의 동일 크기인 것을 제외하고는 도2에 나타난 반도체 장치와 거의 동일한 구조를 갖는다.

외부 접속 단자(26)는 적층이 점선(64)의 위치에서 절단된 후에 탑재되어도 좋고, 반도체 칩 영역(11)과 중간 기판 영역(13)이 별개로 서로 결합하여도 좋다.

(실시에)

25 μ m 두께의 폴리이미드 막(34)의 일면에 35 μ m 두께의 열가소성 접착제막을 적층하고 금속박(42)으로서 12 μ m 두께의 동박을 타면에 형성하여 열가소성 접착제층(36)이 형성된다.

열가소성 접착제층(36)에 UV-YAG 레이저빔을 조사하여 열가소성 접착제층(36) 측이 개구되어 동박의 배면이 저면에 노출되게 하는 내경이 약 50 μ m인 리세스(46)를 형성한다.

다음에 이와 같이 형성된 리세스(46)에 전류 공급층으로서 동박을 사용하는 전기 도금으로 주석-납 용융 합금(땀납)이 충전되어 비아(32)가 형성되어, 예를 들면 18 μ m 두께의 동박의 금속박(50)에 열가소성 접착제층(36)을 사용하여 결합된다.

그 다음 동박은 폴리이미드 막(34)과 열가소성 접착제층(36)으로 된 절연재의 양면에 동박이 결합되고, 포토리소그래피법 등으로 패터닝되어 도체 배선 패턴을 형성한다. 도체 배선 패턴은 접속 패드(22)를 포함하는 도체 배선 패턴(24)과 단자 랜드(28)를 포함하는 도체 배선 패턴(30)이다. 접속 패드(22)는 단자 랜드(28)보다 직경이 작다.

그 후에 도체 배선 패턴(24, 30)을 보호하기 위해서 땀납 레지스트(37, 38)가 접속 패드(22)와 단자 랜드(28)를 제외한 절연재의 양면에 부착되어 복수의 중간 기판 영역(13)이 형성된 중간 기판 집합체(62)를 얻는다.

웨이퍼(60)와 중간 기판 집합체(62)는 개개의 반도체 칩(10)으로 절단되기 전에, 웨이퍼(60)에 형성된 중간 기판 영역(13)의 접속 랜드(20)에 탑재된 땀납의 접속 범프(14)가 중간 기판 집합체(62)의 접속 패드(22)와 접촉하게 되고, 리플로우 처리를 하여 접속 범프(14)와 접속 패드(22)를 결합한다.

또한 웨이퍼(60)와 중간 기판(12) 간의 갭이 예폭시 수지 충전제로 된 언더필재(5)로 충전된다. 이어서 적층은 개개의 조각으로 절단된 다음 땀납 볼로 된 외부 접속 단자(26)가 단자 랜드(28)에 탑재되어 반도체 장치를 얻는다.

이와 같이 해서 얻어진 반도체 장치는 900개의 외부 접속 단자(26)가 설치된 동일 형상의 중간 기판(12)에 탑재되는 15mm×15mm 크기의 정사각형 반도체 칩(10)을 갖게 된다.

(비교예)

실시에에서는 내경이 약 50 μ m인 리세스(46)를 전기적으로 도통인 페이스트를 충전하여 비아를 형성하려고 하였다. 그러나 은 충전제가 혼합된 열가소성 수지의 전기적으로 도통인 페이스트로 리세스가 충분히 충전되지 않아서 비아의 형성을 포기하였다. 리세스는 그 내경이 약 80 μ m일 때는 충분한 정도로 전기적으로 도통인 페이스트로 충전될 수 있다.

내경이 약 80 μ m인 리세스는 펀칭으로 폴리이미드 막(34)에 약 80 μ m의 내경의 관통공을 형성한 다음 금속박을 폴리이미드 막(34)의 일면에 결합함으로써 형성될 수 있다.

본 발명에 의하면, 비아는 도금 금속으로 중간 기판을 관통하는 비아홀을 충전하여 고정 부재로서 형성되며, 단지 비아홀의 내벽에 금속을 도금함으로써 비아가 중공 부재로서 형성되는 것에 비해 다음과 같은 장점을 갖는다.

먼저 본 발명의 비아는 반도체 칩에 접속시키는 패드가 그 위에 형성되게 하는 고정 부재이다. 비아홀의 내벽에만 금속을 도금하여 형성한 중공 비아에 비해 그 중심부가 공동이므로 비아에 패드를 형성할 수 없다. 본 발명에 의하면, 예를 들면 도4f의 단계를 도7a에 나타난 솔리드 비아(32)의 위에 접속 패드(22)를 바로 형성하도록 변형하여도 좋고, 반도체 칩(10)에의 접속이 도7b에 나타난 바와 같이 접속 범프(14)가 그 위에 형성됨으로써 이루어져도 좋다.

또한 본 발명에 의한 비아는 고정 부재로서 패드를 포함하는 도체 배선 패턴의 패터닝 중에 위치가 어긋날 때에도 파손되지 않는다. 도8a1의 평면도 및 도8a2의 단면도로 나타난 바와 같은 중공 비아의 경우, 도체 배선 패턴의 패터닝 중에 위치가 크게 어긋나고, 패드(22)가 비아(17)에 완전하게 배치되지 않더라도, 중심부의 중공(19)이 노출하게 됨으로써 도금막에 형성될 비아(17)가 에칭 용액과 접촉하여 파손이 발생한다.

한편 본 발명에 의하면 도8b1의 평면도 및 도8b2의 단면도로 나타난 바와 같이 비아(14)가 도체 배선 패턴의 패터닝 중에 위치가 크게 벗어나 패드(22)가 완전하게 비아(14)에 배치되지 않을 때에도 비아(14)는 에칭 용액과 접촉하지 않는다.

발명의 효과

본 발명에 의하면 반도체 칩의 소형화 실현의 요구를 용이하게 충족시킬 수 있는 반도체 장치 및 그 제조 방법을 제공할 수 있다.

(57) 청구의 범위**청구항 1**

전극 단자와, 상기 전극 단자에 전기적으로 접속되는 도체 랜드가 형성되는 전극 단자 구비면을 갖는 반도체 칩과;

전면과 배면을 가지며, 상기 전면이 상기 반도체 칩의 전극 단자 구비면에 대향하도록 배치되며, 상기 전면에는 도체 패드를 포함하는 도체 배선 패턴이 형성되고, 상기 배면에는 도체 랜드를 포함하는 도체 배선 패턴이 형성되고, 상기 배면의 상기 도체 랜드에는 외부 접속 단자가 형성되고, 상기 전면의 도체 배선 패턴과 상기 배면의 도체 배선 패턴을 전기적으로 접속하는 비어홀을 금속 도금으로 충전한 상기 도체 비어가 관통하는 중간 기판과;

상기 반도체 칩의 상기 도체 랜드를 상기 중간 기판의 도체 패드에 전기적으로 접속하는 범프를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 도체 비아의 도금 금속은 융점이 300℃ 이하인 저융점 합금으로 된 것을 특징으로 하는 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 배면의 도체 배선 패턴은 상기 배면에 열가소성 수지 접착제층을 개재하여 접착되는 것을 특징으로 하는 반도체 장치.

청구항 4

전면이 금속박으로 피복되어 본딩되고, 배면이 열가소성 접착제층으로 피복되어 형성된 절연재를 준비하고;

상기 전면이 금속박으로, 배면이 개구로 구획되는 저면을 가지며, 상기 절연재를 관통하는 리세스를 형성하고;

전류 공급 경로로서 금속박을 사용하여 전기 금속 도금으로 상기 리세스를 충전하여 상기 절연재를 관통하는 도체 비아를 형성하고;

상기 금속박을 열가소성 수지 접착제층으로 상기 절연재의 이면에 접착하고;

상기 금속박의 상기 전면과 상기 배면을 패터닝하여 상기 전면과 상기 배면에 각각 도체 배선 패턴을 형성함으로써, 반도체 칩의 전극 단자 구비면 상의 도체 랜드에 접속하는 도체 패드를 포함하는 도체 배선 패턴이 형성되는 상기 전면과, 외부 접속 단자의 도체 랜드를 포함하는 도체 배선 패턴이 형성되는 상기 이면을 갖는 중간 기판을 형성하고, 상기 각 상기 도체 배선 패턴은 상기 도체 비아를 통해 서로 전기적으로 접속하고;

상기 반도체 칩의 상기 도체 랜드를 상기 중간 기판의 상기 도체 패드에 범프로 본딩하여 전기적으로 접속하고;

외부 접속 단자를 상기 중간 기판의 상기 도체 랜드에 형성하는

각 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 금속박을 패터닝하는 단계 이후의 단계를,

상기 반도체 칩 대신에 각각이 상기 반도체 칩에 대응하고, 상기 반도체 칩의 상기 도체 랜드에 대응하는 도체 랜드를 갖는 복수의 반도체 칩 영역을 포함하는 반도체 웨이퍼를 사용하여;

상기 중간 기판의 상기 도체 랜드의 외부 접속 단자를 형성하고,

외부 접속 단자 형성 단계 전후에, 서로 본딩된 상기 반도체 웨이퍼와 상기 중간 기판을 상기 반도체 칩 영역 간의 경계에서 절단하는 단계

로 대체하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제4항 또는 제5항에 있어서,

상기 리세스의 형성은 상기 배면의 상기 절연재의 레이저빔 가공에 의하는 것을 특징으로 하는 반도체 장치의 제조 방법.

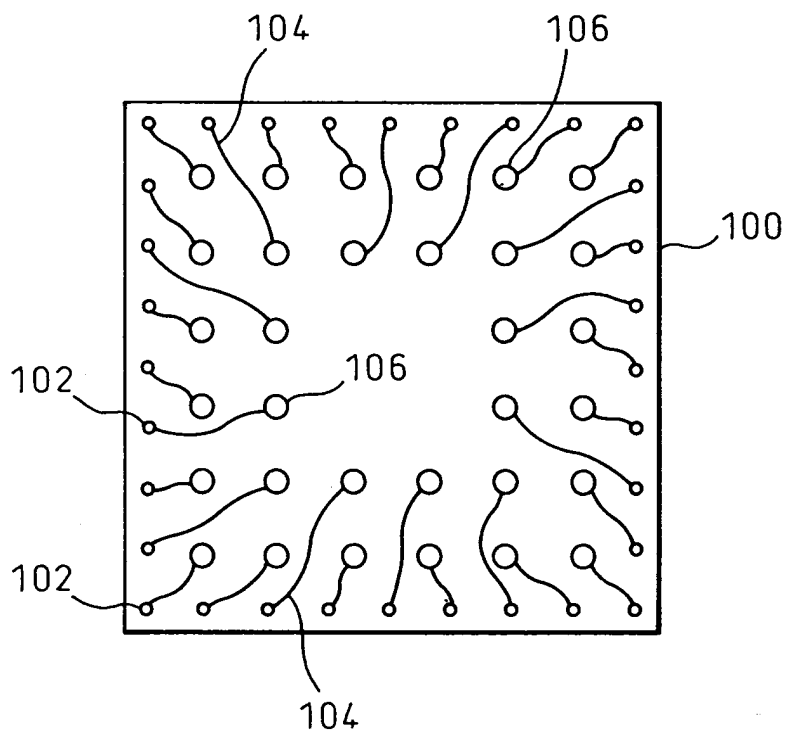
청구항 7

제4항 내지 제6항중 어느 한항에 있어서,

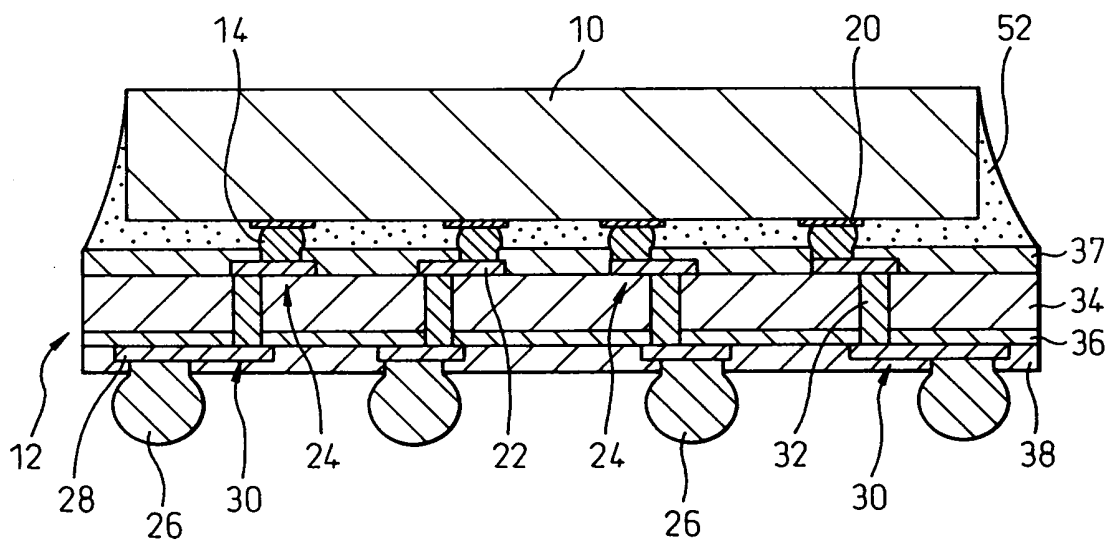
상기 리세스를 충전하는 금속은 융점이 300℃ 이하인 저융점 합금으로 된 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

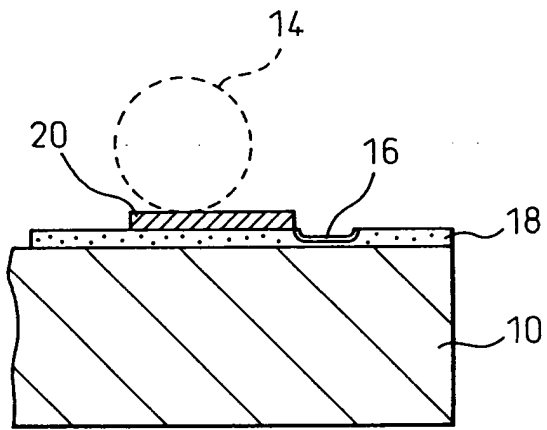
도면1



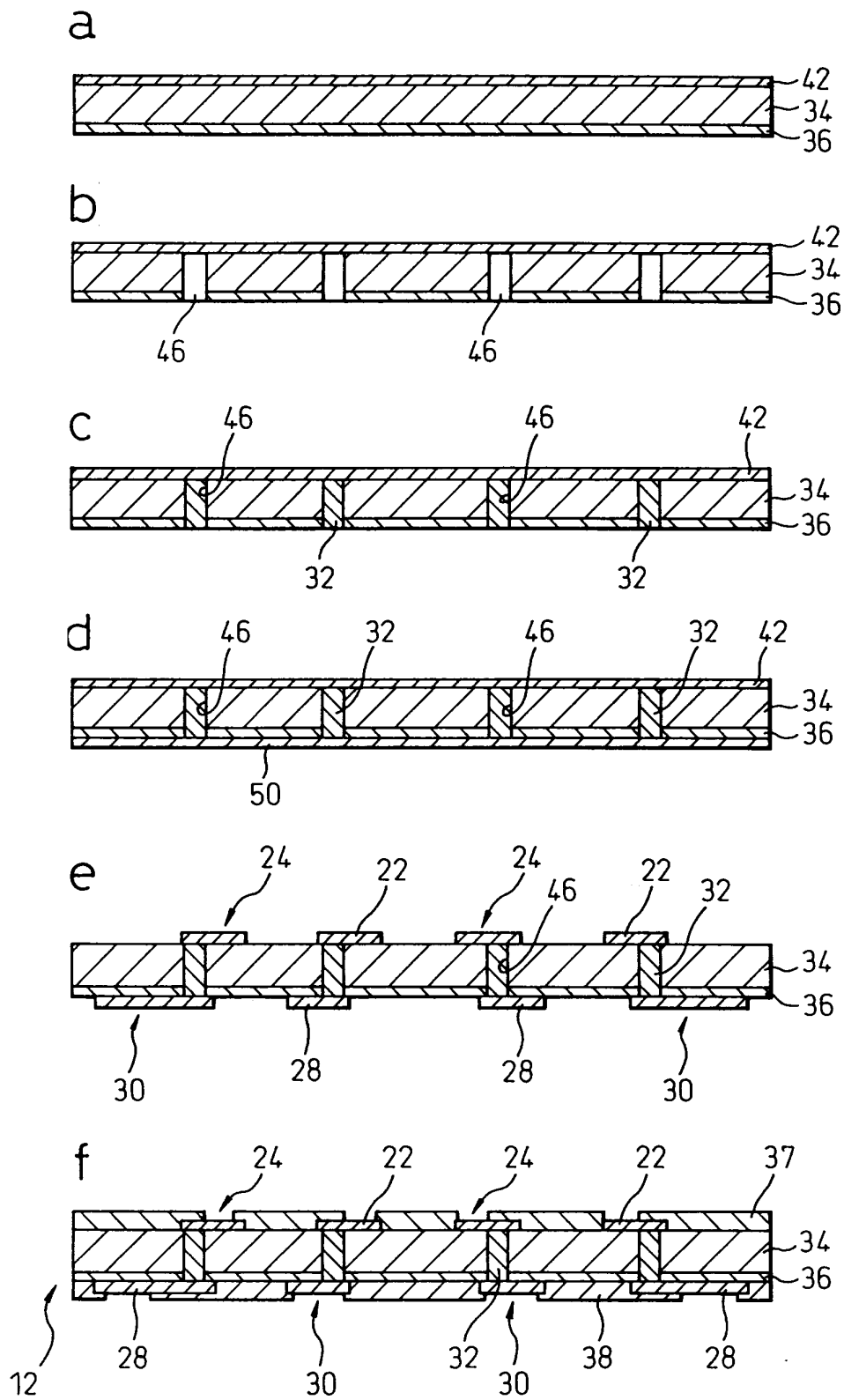
도면2



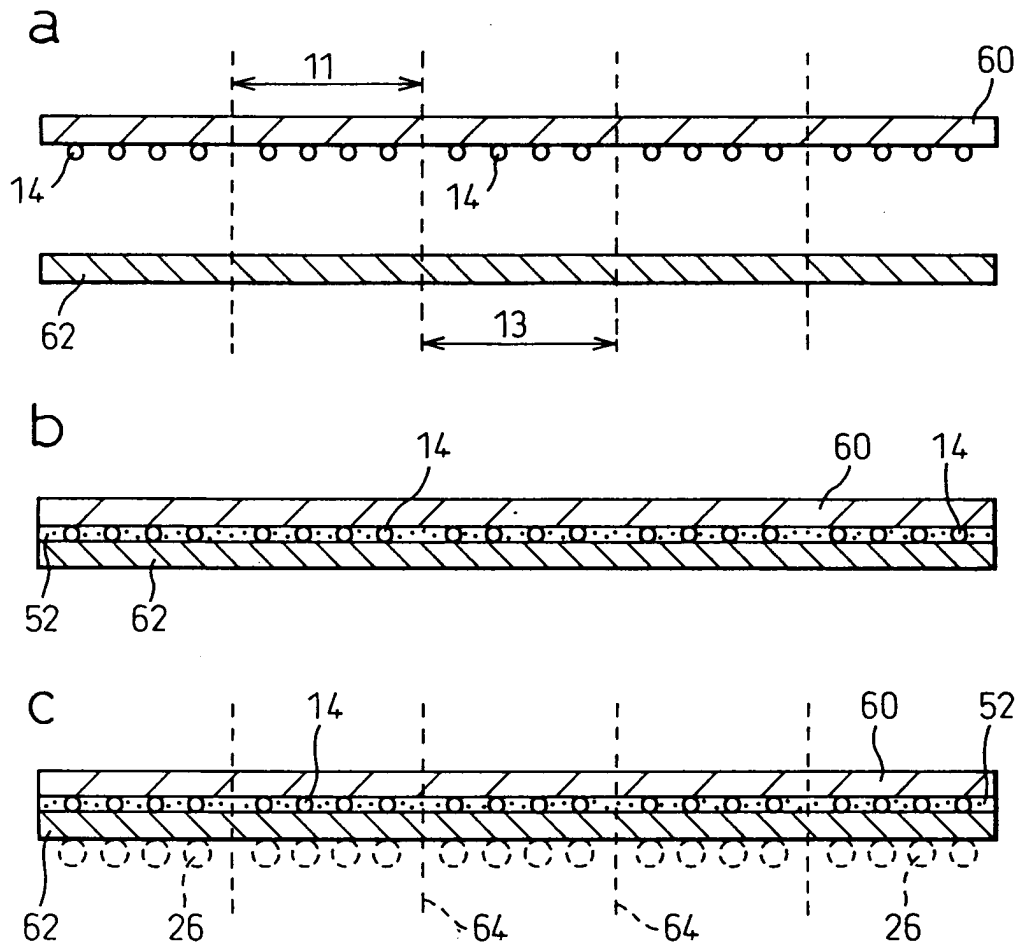
도면3



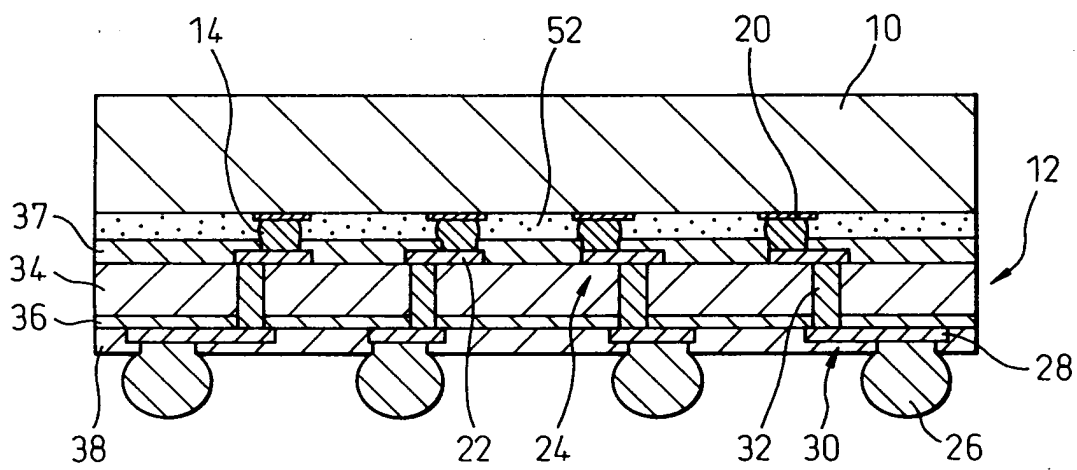
도면4



도면5

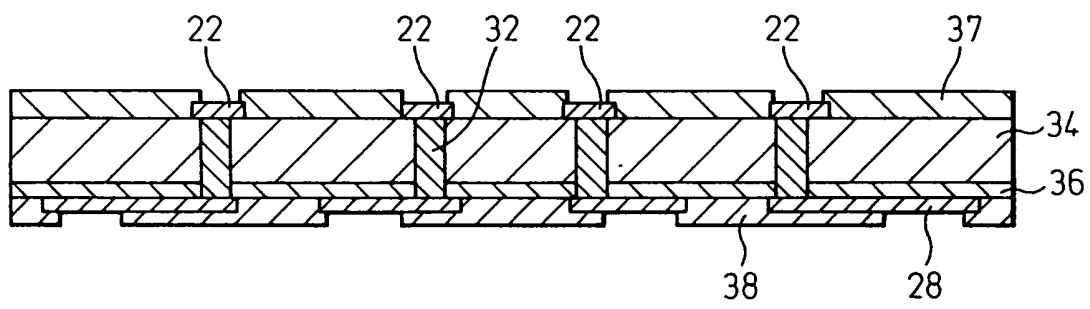


도면6

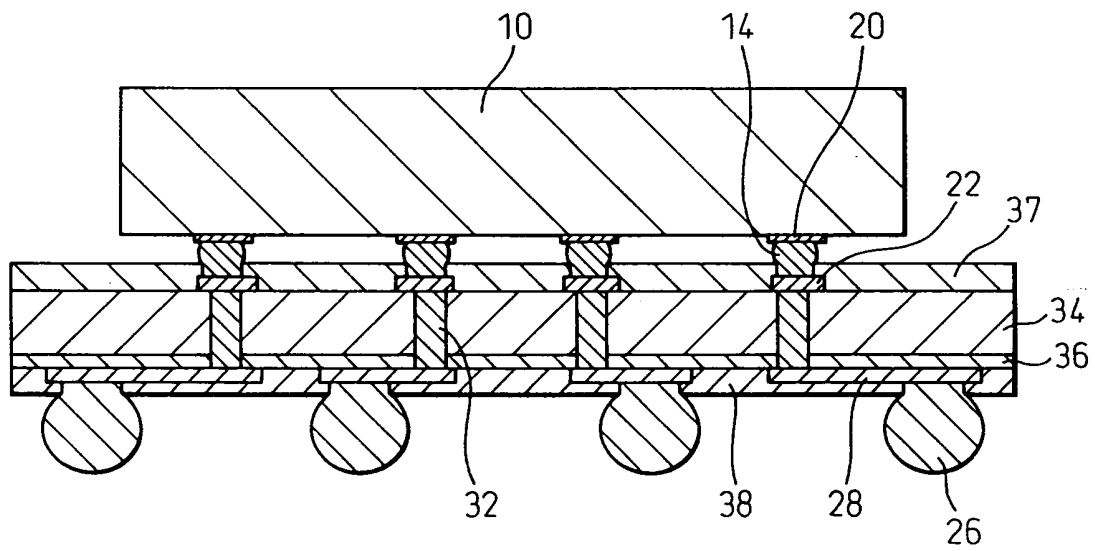


도면7

a



b



도면8

