



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월14일
(11) 등록번호 10-1021405
(24) 등록일자 2011년03월03일

(51) Int. Cl.
G06F 1/32 (2006.01) G06F 9/46 (2006.01)
(21) 출원번호 10-2008-7015968
(22) 출원일자(국제출원일자) 2006년12월18일
심사청구일자 2008년06월30일
(85) 번역문제출일자 2008년06월30일
(65) 공개번호 10-2008-0072095
(43) 공개일자 2008년08월05일
(86) 국제출원번호 PCT/US2006/048296
(87) 국제공개번호 WO 2007/078925
국제공개일자 2007년07월12일
(30) 우선권주장
11/323,254 2005년12월30일 미국(US)
(56) 선행기술조사문헌
US06711691 B1
US20030101362 A1
전체 청구항 수 : 총 10 항

(73) 특허권자
인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자
밀스트레이, 로버트
미국 95610 캘리포니아주 시트러스 하이츠 맨스필드 드라이브8444
나베, 알론
이스라엘 라마트 하샤론 우시쉬킨 스트리트 97
(뒷면에 계속)
(74) 대리인
양영준, 백만기

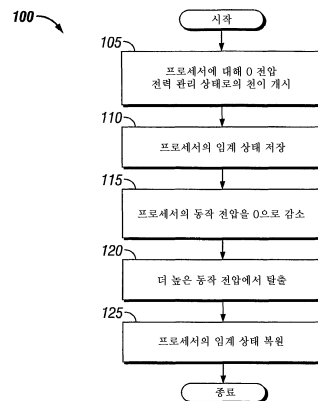
심사관 : 안철용

(54) 제로 전압 프로세서 슬립 상태를 위한 방법 및 장치

(57) 요약

본 발명의 실시예들은 0 전압 프로세서 슬립 상태를 위한 방법 및 장치에 관한 것이다. 프로세서는 전용 캐시 메모리를 포함할 수 있다. 전압 조절기는 프로세서에 연결되어 프로세서에 동작 전압을 공급할 수 있다. 프로세서에 대해 0 전압 전력 관리 상태로의 천이 중에, 전압 조절기에 의해 프로세서에 인가되는 동작 전압은 대략 0으로 감소할 수 있으며, 프로세서와 관련된 상태 변수는 전용 캐시 메모리에 저장될 수 있다.

대표도 - 도1



(72) 발명자

조지, 바게스

미국 95630 캘리포니아주 폴섬 핼리던 웨이 1113

자하기르다르, 산지브

미국 95630 캘리포니아주 폴섬 폴리 레인 116

피셔, 스티븐, 에이.

미국 95670 캘리포니아주 골드 리버 투넬 힐 웨이
11357

콘라드, 존, 비.

미국 95630 캘리포니아주 폴섬 존 헨리 씨클 124

특허청구의 범위

청구항 1

프로세서에 인가되는 동작 전압이 제0(0) 볼트로 감소하는 0 전압 전력 관리 상태로 천이(transition)하는 단계 - 상기 프로세서는 적어도 제1 코어 및 제2 코어를 포함함 - ;

상기 프로세서의 상태 변수들을 상기 프로세서에 인가되는 동작 전압이 0으로 감소하는 동안에 전력 공급이 유지되는 전용 캐시 메모리에 저장하는 단계 - 상기 프로세서의 상태 변수들의 저장은 상기 프로세서가 상기 제1 코어의 상태 및 상기 제2 코어의 상태의 복원을 동기화하기 위해 상기 0 전압 전력 관리 상태로 천이할 때 상기 제1 코어의 상태 및 상기 제2 코어의 상태 모두를 저장하는 것을 포함함 - ; 및

상기 0 볼트보다 높은 상기 프로세서에 인가되는 동작 전압에서 상기 0 전압 전력 관리 상태를 탈출(exit)하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 0 전압 전력 관리 상태를 탈출한 후에 상기 프로세서의 상기 상태 변수들을 복원하는 단계를 더 포함하는 방법.

청구항 3

제1항에 있어서,

상기 0 전압 전력 관리 상태로의 천이 중에 현재 전압 레벨을 모니터링하는 단계를 더 포함하는 방법.

청구항 4

제3항에 있어서,

상기 현재 전압 레벨 모니터 단계는,

아날로그-디지털 변환기(ADC)를 이용하여 상기 프로세서의 현재 전압 레벨을 결정하는 단계;

상기 프로세서에 상기 동작 전압을 공급하는 전압 조절기에 상기 결정된 현재 전압 레벨에 기초하여 디지털 전압 식별(VID) 표현을 제공하는 단계; 및

각각의 VID들을 비교함으로써 상기 현재 전압 레벨이 상기 동작 전압보다 높은지의 여부를 판정하는 단계

를 더 포함하는 방법.

청구항 5

적어도 제1 코어, 제2 코어 및 프로세서와 관련된 전용 캐시 메모리를 포함하는 프로세서 - 상기 제1 코어는 제1 고유 식별자를 갖고, 상기 제2 코어는 제2 고유 식별자를 갖고, 상기 전용 캐시 메모리는 특정 코어의 고유 식별자에 기초하여 상기 특정 코어의 상태 변수들을 복원함 - ; 및

상기 프로세서에 연결되어 상기 프로세서에 동작 전압을 공급하는 전압 조절기

를 포함하고,

상기 전압 조절기는 상기 프로세서에 대한 0 전압 전력 관리 상태로의 천이 중에 상기 프로세서에 인가되는 상기 동작 전압을 0 볼트로 감소시키고, 상기 0 전압 전력 관리 상태를 탈출한 후에 상기 전압 조절기는 상기 0 볼트보다 높은 전압을 공급함으로써 상기 프로세서에 인가되는 상기 동작 전압을 동작 전압 상태로 증가시키고, 상기 프로세서의 상기 동작 상태는 상기 전용 캐시 메모리로부터 복원되고,

상기 전용 캐시 메모리는 (i) 상기 프로세서에 관련된 상태 변수들을 수신하고, (ii) 특정 코어의 고유 식별자에 기초하여 상기 특정 코어의 상태 변수들을 복원하고, (iii) 상기 프로세서에 인가되는 상기 동작 전압이 0으

로 감소하는 동안에 전력 공급이 유지되는 장치.

청구항 6

제5항에 있어서,

상기 전용 캐시 메모리는 상기 프로세서를 포함하는 패키지에 내장된 동기식 랜덤 액세스 메모리(SRAM)인 장치.

청구항 7

제5항에 있어서,

상기 전용 캐시 메모리는 상기 전용 캐시 메모리 내에 상태 변수들을 저장하는 최종 코어였던 코어에 대한 상태 변수들을 복원하는 장치.

청구항 8

프로세서를 포함하는 머신(machine)에 의해 실행될 때에, 상기 머신이,

인가된 동작 전압이 0으로 감소하는 0 전압 전력 관리 상태로 천이하는 단계;

상기 동작 전압이 0으로 감소하는 동안에 전력 공급이 유지되는 전용 캐시 메모리에 상태 변수들을 저장하는 단계 - 상기 상태 변수들은 상기 프로세서의 제1 코어의 상태 변수 및 상기 프로세서의 제2 코어의 상태 변수를 포함함 -

보다 높은 동작 전압에서 상기 0 전압 전력 관리 상태를 탈출(exit)하는 단계; 및

상기 0 전압 전력 관리 상태를 탈출한 후에 상기 캐시 메모리로부터 상기 상태 변수들을 복원하는 단계를 포함하는 동작들을 수행하도록 하는 명령어들이 저장된 머신 판독가능 저장 매체.

청구항 9

제8항에 있어서,

상기 캐시 메모리는 동기식 랜덤 액세스 메모리(SRAM)인 머신 판독가능 저장 매체.

청구항 10

제8항에 있어서,

상기 0 전압 전력 관리 상태로의 천이 중에 현재 전압 레벨을 모니터하라는 명령어들을 더 포함하는 머신 판독가능 저장 매체.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

명세서

기술분야

[0001] 관련 출원의 상호인용

[0002] 본 출원은 미국출원 제10/931,565호(출원일: 2004년 8월 31일, 발명자: 커츠(Kurts) 등, 양수인: 인텔 코퍼레이션); 미국출원 제10/934,034호(출원일: 2004년 9월 3일, 발명자: 나베흐(Naveh) 등, 양수인: 인텔 코퍼레이션); 미국출원 제11/024,538호(출원일: 2004년 12월 28일, 발명자: 나베흐(Naveh) 등, 양수인: 인텔 코퍼레이션); 미국출원 제10/899,674호(출원일: 2004년 7월 27일, 발명자: 나베흐(Naveh) 등, 양수인: 인텔 코퍼레이션); 및 동시 출원된 특허출원(발명의 명칭: "다이나믹 메모리 사이징의 대기 시간 최적화 방법 및 시스템(Method and System for Optimizing Latency of Dynamic Memory Sizing)", 발명자: 자하지르다르(Jahagirdar), 양수인: 인텔 코퍼레이션, 도CKET번호: 042390.P22076)

[0003] 본 발명의 실시예들은 전자 시스템과 전력 관리 분야에 관한 것이다. 특히 본 발명의 실시예들은 제로(0) 전압 프로세서 슬립 상태(sleep state)를 위한 방법 및 장치에 관한 것이다.

배경기술

[0004] 중앙 처리 장치(CPU)와 같은 마이크로프로세서가 트랜지스터 수와 주파수의 증가로 고성능화되어 감에 따라서, 컴퓨터 설계자나 제조업자는 전력이나 에너지 소비 증가 문제에 자주 직면하게 된다. 특히 모바일 장치 같은 경우에는 전력 소모가 증가하면 장치가 과열되어 성능에 악영향을 미칠 뿐만 아니라 배터리 수명도 현저히 단축될 수 있다. 통상적으로 배터리 용량은 한정되어 있으므로 모바일 장치의 프로세서가 필요 이상으로 동작하면 배터리 용량은 원하는 것 이상으로 빨리 소진될 수 있다.

[0005] 따라서 랩탑 컴퓨터, 무선 핸드셋, 개인 휴대 정보 단말과 같은 모바일 장치에서는 전력 소모가 중요한 문제가 되고 있다. 오늘날의 모바일 장치에서는, 예컨대 전력 소산 문제를 해결하기 위하여 특정 컴포넌트의 경우 그 활동이나 요구가 감소하는 경우에 저전력 슬립 상태(sleep state)로 전환될 수 있다.

[0006] 한가지 방법으로서, 운영 체제는 ACPI(Advanced Configuration and Power Interface)(예컨대, ACPI Ver.x285, 2004년 6월)와 같은 내장형 전력 관리 소프트웨어 인터페이스를 지원할 수 있다. ACPI는 프로세서 및/또는 칩셋이 지원할 수 있는 여러 가지 "C 상태"를 포함하는 전력 관리 정책(policy)을 기술한다. 이 정책에서 C0는 프로세서가 고전압 및 고주파수에서 동작하는 런 타임(Run Time) 상태로 정의된다. C1은 코어 클럭이 내부적으로 정지되는 오토 홀트(Auto HALT) 상태로 정의된다. C2는 코어 클럭이 외부적으로 정지되는 스톱 클럭(Stop Clock) 상태로 정의된다. C3은 프로세서 클럭 모두가 셧 다운(shut down)되는 딥 슬립(Deep Sleep) 상태로 정의되며, C4는 프로세서 클럭 모두가 정지되고 프로세서 전압이 더 낮은 데이터 보유점(retention)으로 감소하는 디퍼 슬립(Deeper Sleep) 상태로 정의된다. 여러 가지 추가적인 디퍼 슬립 상태(C5...Cn)도 제안되어 있다. 이들 추가적인 전력 상태들은 C1 내지 C4와는 의미(semantics)에 있어서는 동일하나 진입/탈출 대기 시간(entry/exit latency)과 전력 절감에 있어서는 다르다.

[0007] 동작에 있어서 디퍼 슬립 상태로 들어가기 위하여 ACPI는 모바일 프로세서에 대해 새로운 인터럽트나 계속중인 인터럽트가 없는 타임 슬롯을 검출할 수 있다. 그러면 ACPI 폴리는 입/출력(I/O) 컨트롤러나 기타 다른 칩셋 피쳐(feature)를 이용하여 그 모바일 프로세서를 디퍼 슬립 상태로 전환한다.

[0008] 프로세서가 디퍼 슬립 상태로 전환되고 나면 운영 체제나 기타 다른 소스로부터의 중단 이벤트(break event),

즉 인터럽트가 칩셋으로 전송될 수 있으며, 그러면 이 칩셋은 프로세서가 디퍼 슬립 상태를 탈출할 수 있도록 할 것이다. 디퍼 슬립 상태를 포함한 여러 가지 전력 관리 상태들 간에 천이할 수 있게 되면 전력 소산이 줄어들고 배터리 수명이 늘어날 수 있을 것이다.

[0009] 현재, 프로세서 전압 조절기 회로에서 외부 전압 기준을 참조하여, I/O 컨트롤러나 기타 집적 회로가 DPRSLPVR 신호나 기타 유사 신호와 같은 플랫폼 "디퍼 슬립" 신호를 어서션할 때마다 이러한 기준 전압으로 조정함으로써 디퍼 슬립 상태로 들어간다. 그러면 전압 조절기는 제1 전압에서 디퍼 슬립 상태와 관련된 제2 전압으로 천이한다. 디퍼 슬립 상태를 탈출하면 다른 방향에서 유사한 특정 타임 윈도우를 갖고서 전압 천이가 발생한다.

[0010] 전술한 바와 같이, 모바일 장치에서 배터리 수명을 늘리려면 저전력 슬립 상태를 얻는 것이 중요하다. 모바일 장치 시장은 경쟁이 매우 심한 분야로서 이 분야에서의 발전을 위한 핵심 영역들 중 하나는 배터리 수명 보전에 대한 저전력 해결책이다.

[0011] 불행히도 모바일 장치에서 프로세서를 위한 기존의 디퍼 슬립 상태는, 여전히 프로세서에 전압이 공급되어야 하고 따라서 프로세서에의 전력 공급이 완전히 차단될 수는 없기 때문에, 여전히 무시할 수 없을 정도의 전력을 소모하게 된다.

실시예

[0017] 하기 상세 설명에서는 본 발명의 여러 가지 실시예들에 대해서 상세히 설명한다. 그러나 그와 같은 세부 사항들은 본 발명의 이해를 용이하게 하고 본 발명을 구현하는 예시적인 실시예들을 설명하기 위한 것이다. 그와 같은 세부 사항들은 본 발명의 범위에서 벗어남이 없이 다른 변형이나 실시예들도 가능하므로 본 발명을 설명된 특정 실시예들로 한정하는 데 사용되어서는 안된다. 더욱이 본 발명의 실시예들의 철저한 이해를 위하여 많은 세부 사항들이 기재되지만 당업자라면 그와 같은 특징의 세부 사항들은 본 발명의 실시예들을 실시하는데 반드시 요구되는 것은 아님을 잘 알 것이다.

[0018] 하기 상세 설명에서 특정 컴포넌트, 회로, 상태도, 소프트웨어 모듈, 시스템, 타이밍 등은 예시적으로 기술된다. 그러나 다른 여러 가지 실시예들도 다른 형태의 컴포넌트, 회로, 상태도, 소프트웨어 모듈, 시스템 및/또는 타이밍에 적용될 수 있음을 알아야 할 것이다.

[0019] 도 1을 참조로 설명하면, 일 실시예에서, 블록(105)에서 예컨대 프로세서와 같은 집적 회로 장치가 0 전압 전력 관리 상태로의 천이를 개시한다. 0 전압 전력 관리 상태는 예컨대 2002년 3월 31일자의 ACPI(Advanced Configuration and Power Interface) 명세, 개정 2.0a(컴팩 컴퓨터 코포레이션, 인텔 코포레이션, 마이크로소프트 코포레이션, 휘닉스 테크놀로지 엘티디 및 도시바 코포레이션에서 발간함)에 따라서 디퍼 슬립 상태일 수 있다. 이 천이 중에 프로세스의 임계 상태가 저장된다(블록(110)). 프로세서의 임계 상태는 구조적(architectural), 미세구조적(micro-architectural), 디버그 상태와 연관된 상태 변수, 및/또는 그 프로세서와 연관된 유사한 상태 변수를 포함한다. 이어서 프로세서의 동작 전압은, 프로세서가 매우 낮은 전력 소모 특성을 가진 베리 딥(very deep) 슬립 상태에 있도록 대략 제로로 감소한다(블록(115)). 이하에 프로세서 또는 CPU의 상태 또는 임계 상태라는 말은 프로세서 또는 CPU와 연관된 상태 변수를 포함하는 것을 의미한다.

[0020] 이어서 프로세서는 0 전압 전력 관리 상태를 탈출하라는 요구를 수신하면 블록(120)에서 더 높은 기준 동작 전압에서 0 전압 전력 관리 상태를 탈출한다. 프로세서와 연관된 임계 상태 변수도 복원된다(블록(125)). 여기서 일부 실시예에서는 기준 동작 전압은 예컨대 최소 활성(active) 상태 동작 전압일 수 있음에 유의한다.

[0021] 이하, 이 실시예와 기타 다른 실시예에 대해 자세히 설명한다.

[0022] 본 발명의 실시예들은 하드웨어, 펌웨어 및 소프트웨어들 중 하나 또는 이들의 조합으로 구현될 수 있다. 본 발명의 실시예들은 여기서 설명되는 동작들을 수행하는 적어도 하나의 프로세서가 읽고 실행할 수 있는, 머신 판독가능 매체에 저장된 명령들의 전부 또는 일부로서 구현될 수도 있다. 머신 판독가능 매체는 정보를 머신(예컨대, 컴퓨터)이 읽을 수 있는 형태로 저장 또는 전송하기 위한 임의의 기구를 포함할 수 있다. 예컨대 머신 판독가능 매체는 ROM(Read Only Memory); RAM(Random Access Memory); 자기 디스크 저장 매체; 광 저장 매체; 플래시 메모리 장치; 전기, 광학, 음향 또는 기타 다른 형태의 전파 신호(예컨대 방송파, 적외선 신호, 디지털 신호 등) 등을 포함할 수 있다.

[0023] 도 2는 하나 이상의 실시예의 0 전압 전력 관리 상태 천이 방식을 구현할 수 있는 예시적인 시스템(200)의 블록도이다. 도 2는 도 2A와 도 2B로 나누어져 있음을 주의해야 한다. 시스템(200)은 노트북 또는 랩탑 컴퓨터 시스템일 수 있으며, 또는 모바일 장치, 개인 휴대 정보 단말, 무선 전화/핸드셋과 같은 각종 모바일 전자 시스템

일 수 있으며, 심지어는 데스크탑이나 기업용 컴퓨팅 시스템과 같은 비모바일(non-mobile) 시스템일 수 있다. 다른 형태의 전자 시스템도 여러 가지 실시예의 범위 내에 있다.

- [0024] 시스템(200)은 프로세서(205), 플랫폼 레벨 클록 발생기(211), 프로세서(205)에 연결된 전압 조절기(212), 버스(217)를 통해 프로세서(205)에 연결된 메모리 제어 허브(215), 하나 이상의 RAM(Random Access Memory), 플래시 메모리 및/또는 다른 형태의 메모리를 포함할 수 있는 메모리(220), 버스(227)를 통해 메모리 제어 허브(215)에 연결된 입/출력(I/O) 제어 허브(225), 및 버스(232)를 통해 I/O 제어 허브(225)에 연결된 대용량 저장 장치(230)를 포함한다. 일 실시예에서 비록 시스템(200)은 설명되는 서브시스템들을 가진 모바일 장치일 수 있지만, 시스템(200)은 설명되는 서브시스템보다 많거나 적은 서브 시스템을 갖는, 다른 형태의 모바일 장치 또는 비모바일 장치일 수 있음을 알아야 한다.
- [0025] 일 실시예에서, 프로세서(205)는 예컨대 하나 이상의 프로세싱 코어(예컨대 320, 322) 및 명령을 처리하는 적어도 하나의 실행 유닛(310)을 포함하는 인텔 펜티엄® M 프로세서에 대한 후속 프로세서와 같은 인텔® 아키텍처 마이크로프로세서일 수 있다. 그와 같은 실시예에서 프로세서(205)는 2 가지 이상의 전압/주파수 동작점을 제공하는 Intel SpeedStep® 기술이나 기타 다른 전력 관리 관련 기술을 포함할 수 있다. 프로세서(205)에는 2 가지 이상의 전압/주파수 쌍들 간의 전이를 제어하는 관련 클록/전력 관리 유닛(350)이 포함될 수 있다.
- [0026] 다른 실시예에서 프로세서(205)는 디지털 신호 프로세서, 임베디드 프로세서, 또는 다른 소스로부터의 마이크로 프로세서와 같은 다른 종류의 프로세서일 수 있다.
- [0027] 더욱이, 프로세서(205)는, 후술하는 바와 같이 프로세서가 0 전압 슬립 상태로 들어갈 때에 프로세서의 임계 상태 변수를 저장하는데 이용될 수 있는 전용 캐시 메모리(340)(예컨대 동기식 RAM(synchronous RAM)를 포함할 수 있다. 캐시 메모리는 프로세서의 칩에 내장되거나 동일한 하우징 내에 프로세서 칩으로서 패키징될 수 있다.
- [0028] Intel SpeedStep® 기술이나 기타 다른 전력 관리 관련 기술이 프로세서(205)에 포함된 경우에, 이 기술과 연관된 가용 전압/주파수 쌍은 완전 기능 동작 모드에 있어서 프로세서(205)와 연관된 최소 활성 모드 동작 전압과 최소 동작 주파수에 대응하는 최소 전압/주파수 쌍을 포함한다. 이들 쌍은 여기서는 각각 최소 동작 전압과 최소 동작 주파수, 또는 최소 활성 모드 동작 전압과 주파수라고 한다. 마찬가지로, 최대 동작 전압과 주파수가 정의될 수 있다. 다른 가용 전압 주파수 쌍은 동작 전압/주파수 쌍 또는 간단히 기타 전압/주파수 또는 주파수/전압 쌍이라 할 수 있다.
- [0029] 프로세서(205)의 전력 관리 로직(350)의 내부 또는 외부에는 0 전압 슬립 상태(여기서는 C6 상태라고도 함)로의 진입과 그로부터의 탈출을 제어하는 0 전압 진입/탈출 로직(354)도 포함될 수 있다. 저전력 0 전압 프로세서 슬립 상태에 대해서는 뒤에 더 자세히 설명한다.
- [0030] 0 전압 진입/탈출 로직(354)이 액세스할 수 있고 전압 식별 코드 록업 테이블을 저장하는 전압 식별(VID) 메모리(352)도 포함될 수 있다. VID 메모리는 온 칩 또는 오프 칩 레지스터나 기타 다른 형태의 메모리일 수 있으며, VID 데이터는 소프트웨어, 기본 입/출력 시스템(BIOS) 코드(278)(펌웨어 허브(279)나 기타 다른 메모리에 저장될 수 있음), 운영 체제, 기타 다른 펌웨어를 통해 메모리에 로드될 수 있고, 그리고/또는, 예컨대 하드코딩될(hardcoded) 수 있다. 대안으로서, VID 및 이와 관련된 데이터를 포함하는 소프트웨어 록업 테이블이 로직(350)에 의해 액세스될 수 있다. VID 정보도 퓨즈로서 CPU(예컨대 프로그래머블 ROM(PROM))에 저장될 수 있다.
- [0031] 0 전압 진입/탈출 로직(354)의 일부로서, 전압 공급 레벨을 모니터링하여 관련 디지털 출력(뒤에 자세히 설명함)을 제공하는 아날로그-디지털 변환기(ADC)(356)도 구비될 수 있다.
- [0032] 전압 조절기(212)는 프로세서(205)에 공급 동작 전압을 제공하며, 예컨대 IMVP-6 명세와 같은 IMVP(Intel Mobile Voltage Positioning) 명세의 버전에 따를 수 있다. 그와 같은 실시예에 있어서 전압 조절기(212)는 버스(235)를 통해 프로세서(205)로부터 VID 신호를 수신하도록 연결되며, 이 VID 신호에 응답하여 관련 동작 전압을 신호 라인(240)을 통해 프로세서(205)에 제공한다. 전압 조절기(212)는 하나 이상의 신호에 응답하여 프로세서(205)로의 전압(240)을 0 상태로 감소시킨 다음에, 0 전압 슬립 상태에서 빠져나온 후에 프로세서에의 전압을 다시 상승시키는 0 전압 슬립 로직(302)을 포함할 수 있다. 다른 실시예에 있어서 다른 명세에 따른 전압 조절기를 포함하여 다른 종류의 전압 조절기가 사용될 수 있다. 더욱이, 일부 실시예에 있어서 전압 조절기는 프로세서(205)를 포함하는 시스템(200)의 다른 컴포넌트와 일체화될 수 있다. 전압 조절기는 설계 고려 사항에 따라서 CPU와 일체화되거나 되지 않을 수도 있다.
- [0033] 메모리 제어 허브(215)는 그래픽 및 메모리 제어 능력을 가질 수 있으며, 여기서는 그래픽 및 메모리 제어 허브

(G/MCH) 또는 노스(North) 브리지라고 할 수 있다. 그래픽 및 메모리 제어 허브(215)와 I/O 제어 허브(225)(사우스 브리지라고도 할 수 있음)는 합쳐서 칩셋이라고 할 수 있다. 다른 실시예에 있어서 칩셋 피쳐(feature)는 다른 방식으로 구현될 수 있으며, 그리고/또는 상이한 수의 집적 회로 칩을 이용하여 구현될 수 있다. 예컨대 일부 실시예에 있어서 별도의 집적 회로 장치를 이용하여 그래픽 및 메모리 제어 능력이 제공될 수 있다.

[0034] 일 실시예의 I/O 제어 허브(225)는 다르게는 C 상태 제어 로직이라고도 하는 전력 관리 상태 제어 로직(242)을 포함한다. 전력 관리 상태 제어 로직(242)은 자율적으로 또는 운영 체제나 기타 다른 소프트웨어나 하드웨어 이벤트에 응답하여 프로세서(205)와 관련된 몇 가지 전력 관리 및/또는 정상 동작 상태들 간의 천이 양상을 제어할 수 있다. 예컨대, 적어도 활성 모드와, C0, C1, C2 및 C4 상태라고 하는 전력 관리 상태들을 지원하는 Intel® 아키텍처 프로세서에 있어서 전력 관리 상태 제어 로직(242)은 스톱 클럭(STPCLK#), 프로세서 슬립(SLP#), 딥 슬립(DPSLP#), 디퍼 스톱(DPRSTP#), 및/또는 스톱 프로세서(STPCPU#) 신호(이들에 대해서는 뒤에 더 자세히 설명함) 중 하나 이상을 이용하여 이들 상태의 적어도 서브세트들 간의 천이를 적어도 부분적으로 제어할 수 있다.

[0035] 또한, 일 실시예에서, 동작 전압(240)이 0 상태로 감소됨에 의해 프로세서(205)의 나머지 부분에 전력 공급이 중단되는 동안에 전용 캐시 메모리(340)가 프로세서(205)와 연관된 임계 상태 변수를 저장할 수 있도록 전용 캐시 메모리(340)에 충분한 전력을 공급하기 위하여 I/O 제어 허브(225)로부터의 전압(V_{I/O} (349))이 프로세서(205)에 공급될 수 있다.

[0036] 여러 가지 종류의 아키텍처 및/또는 여러 가지 전력 관리 및/또는 정상 동작 상태들을 지원하는 프로세서에 있어서 전력 관리 상태 제어 로직(242)은 도 2에 도시된 신호와 유사하거나 다를 수 있는 하나 이상의 신호를 이용하여 2 이상의 서로 다른 전력 관리 및/또는 정상 동작 상태들 간의 천이를 제어할 수 있다.

[0037] 대용량 저장 장치(230)는 네트워크를 통해 컴퓨팅 시스템(200)이 액세스할 수 있는 하나 이상의 콤팩트 디스크 ROM(CD-ROM) 드라이브와 이에 관련된 디스크(들), 하나 이상의 하드 드라이브(들)와 이에 관련된 디스크(들) 및/또는 하나 이상의 대용량 저장 장치를 포함할 수 있다. 예컨대 광 드라이브와 이에 관련된 매체와 같은 다른 종류의 대용량 저장 장치도 여러 가지 실시예의 범위 내에 있다.

[0038] 일 실시예에서 대용량 저장 장치(230)는 ACPI(Advanced Configuration and Power Interface) 명세의 현재판 및/또는 후속판을 지원하는 코드(250)를 포함하는 운영 체제(245)를 저장한다. ACPI는 뒤에 더 자세히 설명되는 몇 가지 전력 관리 양상을 제어하는데 이용될 수 있다. 운영 체제(245)는 워싱턴 레드몬드시에 소재하는 마이크로소프트사로부터 입수할 수 있는 Windows™ 또는 기타 다른 종류의 운영 체제일 수 있다. 대안으로서, 다른 실시예에서 예컨대 리눅스(Linux) 운영 체제와 같은 다른 종류의 운영 체제 및/또는 다른 종류의 운영 체제 기반 전력 관리가 이용될 수 있다. 더욱이 ACPI와 관련하여 여기서 설명되는 전력 관리 기능과 능력은 다른 여러 가지 소프트웨어나 하드웨어에 의해 제공될 수 있다.

[0039] 또한 시스템(200)은 정보를 사용자에게 표시하기 위하여 음극선관(CRT) 또는 액정 표시 장치(LCD)와 같은 디스플레이 장치를 포함할 수 있다. 더욱이 시스템(200)은 정보와 커맨드 선택을 프로세서(205)에 전달하기 위하여 영숫자와 기타 다른 키를 포함하는 영숫자 입력 장치(예컨대 키보드)를 포함할 수 있다. 추가적인 사용자 입력 장치로는 정보와 커맨드 선택을 프로세서(205)에 전달하고 디스플레이 장치 상의 커서 움직임을 제어하기 위한 마우스, 트랙볼, 트랙 패드, 스타일러스(stylus), 또는 커서 방향키와 같은 커서 제어 장치가 있을 수 있다.

[0040] 시스템에 포함될 수 있는 다른 장치로는 종이, 필름 또는 기타 유사한 종류의 매체와 같은 매체에 명령, 데이터 또는 기타 다른 정보를 프린트하는데 이용될 수 있는 하드 카피 장치가 있다. 더욱이 시스템(200)에는 오디오 인터페이스를 위해 스피커 및/또는 마이크로폰(도시 않됨)과 같은 음향 녹음 및 재생 장치가 선택적으로 포함될 수 있다.

[0041] 시스템(200)이 모바일 또는 휴대형 시스템인 경우에는 배타적으로(exclusively) 또는 다른 형태의 전원이 없을 때에 시스템(200)을 동작시키는 전력을 제공하기 위해 배터리 또는 배터리 커넥터(255)가 포함될 수 있다. 추가적으로 일부 실시예에서 안테나(260)가 포함되어, 예컨대 시스템(200)에 대한 무선 접속을 제공하는 무선 근거리 통신망(WLAN) 장치(261)를 통해 시스템(200)에 연결될 수 있다.

[0042] (WLAN) 장치(261)는 무선 통신 채널을 구축하기 위해 무선 애플리케이션 프로토콜(Wireless Application Protocol)을 채용할 수 있는 무선 통신 모듈을 포함할 수 있다. 무선 통신 모듈은 1999년에 발간된 IEEE(Institute of Electrical and Electronics Engineers) 802.11 표준, IEEE std. 802.11-1999와 같은 무선

네트워킹 표준을 구현할 수 있다.

- [0043] 일 실시예에서 도 2의 프로세서(205)는 여러 가지 공지의 C 상태들 간에 천이할 수 있다. 프로세서(205)의 정상 동작 상태 또는 활성 모드는 프로세서가 명령을 능동적으로 처리하는 C0 상태이다. C0 상태에서 프로세서(205)는 최대 전압/주파수 쌍이 전압/주파수 설정을 제공할 수 있는 고주파 모드(HFM)에 있다.
- [0044] 예컨대 전력을 보존하고 그리고/또는 열적 부하를 감소시키기 위하여 프로세서(205)는 가능할 때마다 저전력 상태로 천이될 수 있다. 예컨대 마이크로코드와 같은 펌웨어, 운영 체제(245)와 같은 소프트웨어, 또는 어떤 경우에는 HALT 또는 MWAIT 명령(도시 않됨)을 실행하는 ACPI 소프트웨어에 응답하여 프로세서(205)는 C0 상태에서 C1 또는 Auto-HALT 상태로 천이할 수 있다. C1 상태에서 프로세서(205)의 일부에는 전력 공급이 중단될 수 있으며, 로컬 클럭이 게이트될 수 있다.
- [0045] 예컨대 I/O 제어 허브(225)가 STPCLK# 또는 이와 유사한 신호를 어서션(assertion)하면 프로세서는 스톱 그랜트(stop grant) 또는 SLEEP 상태라고도 하는 C2 상태로 천이할 수 있다. I/O 제어 허브(225)는 운영 체제(245)가 저전력 모드로 들어갈 수 있거나 들어가야 한다고 판단하고 이를 ACPI 소프트웨어(250)를 통해 표시하는 것에 응답하여 STPCLK# 신호를 어서트(assert)할 수 있다. 특히 I/O 컨트롤러(225)에는 하나 이상의 ACPI 레지스터(도시 않됨)가 포함될 수 있으며, ACPI 소프트웨어(250)는 이 레지스터에 기록하여 상태들 간의 적어도 일부 천이를 제어할 수 있다. C2 상태에서의 동작 중에 프로세서(205) 회로의 일부에 전력 공급이 중단될 수 있고, 내부 및 외부 코어 클럭은 게이팅될 수 있다. 일부 실시예에서 프로세서는 C0 상태에서 C2 상태로 바로 천이할 수 있다.
- [0046] 마찬가지로, 프로세서(205)는 I/O 컨트롤러(225)나 기타 다른 칩셋 피처가 CPUSLP# 신호를 발생하고 그 다음에 DPUSLP# 신호나 기타 유사한 신호를 발생하는 것에 응답하여 딥 슬립(Deep Sleep) 상태라고도 하는 C3 상태로 천이할 수 있다. 딥 슬립 상태에서는 내부 프로세서 회로에 전력 공급을 중단하는 것 이외에도 프로세서(205) 내의 모든 위상 고정 루프(PLL)가 작동 중지될 수 있다. 더욱이 일부 실시예에서 STOP_CPU 신호가 I/O 제어 허브(225)에 의해 어서트되고 클럭 발생기(211)에 의해 수신되어 이 클럭 발생기가 CPU(205)로의 클럭 신호(CLK)를 중지시킬(halt) 수 있게 한다.
- [0047] 도 2의 시스템(200)에서 예컨대 ACPI 소프트웨어(250)가 계류중인 프로세서 인터럽트가 없다는 것을 검출하는 것에 응답하여 C4 상태 또는 0 전압 슬립 상태로의 천이가 일어날 수 있다. ACPI 소프트웨어는 ICH(225)가 예시적인 디퍼 스톱(DPRSTP#) 신호와 예시적인 DPUSLP# 신호와 같은 하나 이상의 전력 관리 관련 신호를 어서트하게 함으로써 이 동작을 수행할 수 있다. 디퍼 스톱(DPRSTP#) 신호는 칩셋으로부터 프로세서로 직접 제공되어, 프로세서 상의 클럭/전력 관리 로직(350)가 저주파 모드(LFM)를 개시하도록 한다. 저주파 모드에서 프로세서는 예컨대 최소 또는 다른 저 동작 주파수로 천이할 수 있다.
- [0048] 후술하는 바와 같이, 본 발명의 일부 실시예에 따라서, DPRSTP# 신호가 어서트하면 내부 VID 타겟이 0 전압 레벨로 설정될 수 있고, 그 결과, 프로세서가 매우 낮은 전력 소모 특성을 가진 베리(very) 딥 슬립 상태로 전환하도록 전압 조절기(212)에 의해 0 동작 전압이 프로세서(205)에 인가된다.
- [0049] 본 발명의 일 실시예에 따라서 예컨대 프로세서(205)와 같은 집적 회로는 0 전압 전력 관리 상태로의 천이를 개시할 수 있다. 일례에서 프로세서(205)는 중앙 처리 장치(CPU)(205)일 수 있다. 더욱이, 0 전압 전력 관리 상태는 예컨대 ACPI 표준에 따른 디퍼 슬립 상태일 수 있다. 이 천이 중에 CPU(205)의 임계 상태가 저장될 수 있다. 예컨대 CPU(205)와 연관된 임계 상태 변수는 전용 캐시 메모리(예컨대 SRAM)(340)에 저장될 수 있다.
- [0050] 이어서 CPU(205)의 동작 전압은, CPU(205)가 매우 낮은 전력 소모 특성을 가진 베리 딥 슬립 상태에 있도록 제로로 감소될 수 있다. 특히 0 전압 슬립 상태 로직(302)을 이용하는 전압 조절기(212)는 동작 전압(240)을 제로로 감소시킬 수 있다. 전술한 바와 같이, 이것은 CPU(205)의 클럭/전력 관리 로직(350)의 0 전압 진입/탈출 로직(354)과 관련하여 행해질 수 있다.
- [0051] 일 실시예에서 이러한 0 전압 전력 관리 상태는 ACPI 표준과 관련하여 구현될 때에는 C6 상태라고 할 수 있다.
- [0052] 이어서 0 전압 전력 관리 상태를 탈출하라는 요구의 수신에 응답하여 CPU(205)는 보다 높은 기준 동작 전압에서 0 전압 전력 관리 상태를 탈출한다. 특히 전술한 바와 같이 CPU(205)의 0 전압 진입/탈출 로직(354)과 전압 조절기(212)의 0 전압 슬립 로직(302)의 제어 하에, 전압 조절기(212)는 CPU(205)가 올바르게 동작할 수 있도록 기준 동작 전압(240)을 적당한 레벨로 상승시킬 수 있다. 그러면 CPU(205)의 임계 상태 변수는 전용 캐시 메모리(340)로부터 복원된다.

- [0053] 따라서 이 전력 관리 방식에 따라서 CPU(205)는 그 상태를 저장하고, 전력을 턴오프시키고, 필요에 따라 기동(wake up)하고, 임계 상태를 복원하고, CPU 동작이 중단된 곳에서 그 동작을 계속할 수 있다. 일부 실시예에서 이것은 운영 체제(245)로부터의 명시적인 지원없이도 행해질 수 있으며, 극히 짧은 대기 시간 주기로 수행될 수 있다.
- [0054] 특히 일 실시예에서 0 전압 프로세서 슬립 상태(ACPI 표준에 따른 C6 상태라고 할 수 있음)에서, CPU(205)의 코어 동작 전압(240)이 대략 0볼트로 감소하는 동안에 CPU(205)의 임계 상태는 I/O 전력 공급($V_{I/O}$ (349))이 중단될 수 있는 전용 슬립 상태 SRAM 캐시(340)에 저장된다. 이 때 CPU(205)에는 전력 공급이 거의 완전히 중단되어 전력 소모가 거의 없다.
- [0055] 탈출 이벤트 발생시 CPU(205)는 전압 조절기(212)에게 (예컨대 VID 코드(235)를 가지고) 동작 전압(240)을 다시 상승시키라고 지시하고, 위상 고정 루프(PLL)를 다시 고정시키고, 클럭/전력 관리 로직(350)과 0 전압 진입/탈출 로직(354)을 통해 클럭을 다시 턴온시킨다. 더욱이, CPU(205)는 내부 RESET을 수행하여 상태들을 클리어시킨 다음에, 전용 슬립 상태 SRAM 캐시(340)로부터 CPU(205)의 상태를 복원할 수 있다. 또한 CPU(205)는 실행 스트림에서 동작이 중단된 곳에서부터 그 동작을 계속한다. 이러한 동작들은, CPU(205) 하드웨어가 운영 체제(245)와 기존의 전력 관리 소프트웨어 기반 구조에 투명하게 되도록 CPU(205) 하드웨어에서 매우 짧은 기간(예컨대 100 마이크로초) 동안 수행될 수 있다.
- [0056] 일 실시예에서 이 방법은 복수의 프로세서 코어를 가진 CPU(205)에 대해 특히 적합하다. 이 예에서 코어(320)(예컨대 코어#0)와 코어(322)(예컨대 코어#1), 즉 듀얼 코어 CPU가 일례로서 설명될 것이다. 그러나 임의의 적당한 수의 CPU 코어가 이용될 수 있음은 물론이다. 이 듀얼 코어 구조에서 CPU 코어(320, 322)는 공유 캐시(330)를 이용한다. 예컨대 이 공유 캐시(330)는 코어(320, 322)가 공유하는 레벨 2(L2) 캐시(320)일 수 있다.
- [0057] 더욱이, 각 코어(320, 322)는 코어 ID(321), 마이크로코드(323), 공유 상태(324) 및 전용 상태(325)를 포함한다. 코어(320, 322)의 마이크로코드(323)는 CPU 상태의 저장/복원 기능을 수행하고, CPU(205)의 클럭/전력 관리 로직(350)의 0 전압 진입/탈출 로직(354)와 관련하여 0 전압 프로세서 슬립 상태의 실행에서의 각종 데이터 흐름에 이용된다. 더욱이 전용 슬립 상태 SRAM 캐시(340)는 뒤에 더 자세히 설명하는 바와 같이 코어의 상태를 저장하는데 이용된다.
- [0058] 여러 가지 실시예의 시스템(200) 및/또는 기타 다른 시스템은 도 2에 도시되지 않은 다른 컴포넌트나 요소를 포함할 수 있으며 그리고/또는 도 2에 도시된 요소들 전부가 모든 실시예의 시스템에 존재할 수 있는 것은 아니다.
- [0059] 도 3을 참조로 설명하면 도 3은 본 발명의 일 실시예에 따라서 전용 슬립 상태 SRAM 캐시(340)와 SRAM 인터페이스(364)의 일례를 도시한 블록도이다. 전용 슬립 상태 SRAM 캐시(340)는 CPU(205)가 앞서 설명한 0 전압 슬립 상태(예컨대 C6 상태)에 있을 때에 구조적, 미세구조적, 디버그 상태, 마이크로코드 패치와 연관된 상태 변수를 저장할 수 있다.
- [0060] 일 예로서 SRAM(340)의 크기는 CPU 코어당 8KB일 수 있으며, 그 폭이 32 비트일 수 있으며, 클럭/전력 관리 로직(350)에 의해 클럭될 수 있다. 전술한 바와 같이 전용 슬립 상태 SRAM 캐시(340)에는 CPU(205)를 위한 동작 전압이 차단될 때에 그 내용이 유지되도록 I/O 전압($V_{I/O}$ (349))에 의해 전력이 공급된다.
- [0061] 전용 슬립 상태 SRAM(340)은 32 비트의 2K 진입으로서 구조화될 수 있으며 단일 비트 에러 검출 및 교정을 위해 ECC 보호를 가질 수 있다. 데이터 경로는 32 비트일 수 있으며 어레이 내로 2-사이클 대기 시간을 지원할 수 있다. 도 3에서 보는 바와 같이 SRAM 인터페이스(364)는 32 비트 데이터를 이용하는 데이터 버퍼(370)로부터의 32 비트 데이터 버스를 포함할 수 있다.
- [0062] 일 예로서 SRAM 어드레싱의 복잡성을 줄이기 위해 프론트 엔드(front end) 클러스터(cluster) 인터페이스를 이용함으로써 단순한 형태로 마이크로코드와 인터페이스하기 위해 제어 레지스터 버스 인터페이스가 이용될 수 있다. 이 인터페이스는 2K 제어 레지스터와 2 레벨 어드레싱 방식을 이용할 수 있다. SRAM에 어드레스를 할당하기 위하여 두 개의 레지스터가 정의될 수 있는데, 제1 레지스터는 SRAM 베이스 레지스터일 수 있고 제2 레지스터는 SRAM 데이터 레지스터일 수 있다. 마이크로코드는 SRAM으로의 액세스를 시작하기 전에 베이스 레지스터를 초기화할 수 있다. 베이스 레지스터의 내용은 데이터 레지스터로의 다음 번 판독/기입을 위해 SRAM으로의 인덱스로서 이용될 수 있다. 데이터 레지스터로의 모든 액세스 후에 SRAM으로의 인덱스는 1씩 자동 증분될 수 있다.

- [0063] 도 3에 도시된 바와 같이, 일 예로서 SRAM 인터페이스(364)는, 어드레스 디코더(380)로부터의 판독/기입 가능 신호에 기초하여 32 비트 데이터를 SRAM(340) 내부 또는 외부로 버퍼링하는 데이터 버퍼(370)를 포함할 수 있다. 어드레스 디코더(380)는 또한 베이스 레지스터(382)로의 기입 인에이블과 리셋 포인터를 인에이블할 수 있다. 베이스 레지스터(382)는 12 비트 포인터와 2 비트 판독/기입 인에이블에 의해 SRAM(340) 상에서 동작하는 레지스터(384)를 증분시키는데 이용될 수 있다. 베이스 레지스터(382)의 내용은 데이터 레지스터로의 다음 번 판독/기입을 위해 SRAM으로의 인덱스로서 이용될 수 있다. 데이터 레지스터로의 모든 액세스 후에는 SRAM으로의 인덱스는 1씩 자동 증분될 수 있다. 더욱이 리셋 포인터에 기초하여 레지스터(384)는 SRAM을 리셋할 수 있다.
- [0064] 이제 도 4를 참조로 설명하면, 도 4는 본 발명의 일 실시예에 따라서 0 전압 프로세서 슬립 상태로 들어가는 데 이용될 수 있는 프로세스(400)를 도시한 흐름도이다. 일 실시예에서 다음의 일련의 동작들은 CPU(205)의 CPU 코어(320, 322)의 마이크로코드(323)에 의해 지시될 수 있다. C6 상태를 설명하는 ACPI 실시예에서 0 전압 프로세서 슬립 상태로의 진입은 전술한 바와 같이 MWAIT 명령을 통해 개시될 수 있다.
- [0065] 소프트웨어 관점에서 보면 각 CPU 코어(320 또는 322)는 MWAIT 명령을 독립적으로 실행할 수 있다. 그러나 일 실시예에서 CPU 코어(320, 322)는 L2 공유 캐시(330)와 동일 전압 평면을 이용한다. 그러므로 이러한 실시예에서는 패키지 레벨 C 상태, 특히 C6 상태를 위해 CPU(205)에서 하드웨어 조정(coordination)이 필요하다.
- [0066] 이 실시예에서 각 코어(320, 322)는 MWAIT 명령을 실행할 수 있으며, 초기화하는 CPU 코어는 대기 상태(예컨대 CC6)로 들어가서, (예컨대 코어(320, 322) 모두를 포함하는) 전체 패키지가 패키지 C6 슬립 상태라고 부르는 상태로 천이하기 전에, 마찬가지로 CC6 상태로 들어가는 다른 코어를 대기한다.
- [0067] 특히 도 4를 보면 0 전압 프로세서 슬립 상태로 들어가는 것을 예시적으로 보여준다. 도 4에 도시된 바와 같이 0 전압 프로세서 슬립 상태가 개시될 때에 각 코어는 상태 저장을 독립적으로 수행한다. 특히 CPU 코어 #0(320)을 보면 제1 CPU 코어 #0이 활성이면(원 402) 0 전압 슬립 상태를 위한 커맨드가 (예컨대 슬립 또는 MWAIT 명령을 통해) 개시된다(원 404). 이에 응답하여 CPU 코어(320)의 상태는 원(406)에서 전용 캐시 메모리(340)에 저장된다. 이것은 전용 상태(325)와 공유 상태(324)를 포함한다. 그러면 CPU 코어(320)는 제1 슬립 상태(408)(예컨대 CC6)로 들어가고, 이 상태에서 전체 패키지가 전체 패키지 C6 슬립 상태(예컨대 C6)로 천이할 수 있기 전에, 마찬가지로 CC6 상태로 들어가는 다른 코어를 대기한다.
- [0068] 같은 방식으로 다른 CPU 코어(예컨대 CPU 코어 #1(322))도 마찬가지로 원(414)에서 슬립 명령(예컨대 MWAIT)을 내리며, 그 상태(예컨대 그 공유 상태(324) 및 전용 상태(325))도 전용 캐시 메모리(340)에 저장된다(원 418). 그러나 이 경우에는 이것이 슬립 상태로 들어가는 마지막 코어이므로 공유 캐시(330)도 축소되어 전용 캐시 메모리(340)에 저장된다(원 416). 그 다음 원(420)에서 제2 CPU 코어(322)도 마찬가지로 슬립 상태(예컨대 CC6)로 들어간다.
- [0069] CPU 코어(320, 322)의 마이크로코드(323)는 일반적으로 0 전압 프로세서 슬립 상태를 위해 어느 제어 레지스터가 저장되고 복원될 필요가 있는지를 알 필요가 있을 수 있다. 레지스터 리스트는 CPU(205) 상의 전체 레지스터의 서브세트일 수 있다. 예컨대 이 리스트는 비트 벡터(예컨대 1024 비트 길이)로서 저장될 수 있다. 이 벡터 내의 각 비트는 제어 레지스터 어드레스 베이스 내의 하나의 제어 레지스터에 대응할 수 있다. 예컨대 마이크로코드는 비트 위치를 제어 레지스터 어드레스로 변환하고, 비트가 "1"이면 레지스터를 저장/복원하고, 비트가 "0"이면 스킵할 수 있다. 만일 제어 레지스터가 특별한 처리를 필요로 한다면 벡터 내의 저장/복원 비트는 "0"으로 설정될 수 있으며, 특별한 마이크로코드에 의해 처리된 저장/복원은 메인 저장/복원 루프 밖으로 흘러 나간다.
- [0070] 전술한 바와 같이 마이크로코드 동작이 수행된 후에는 클록/전력 관리 로직(350)의 0 전압 진입/탈출 로직(354)은 데이터 흐름(예컨대 C6 흐름)을 인계받는다(take over). 특히 이것은 마이크로코드 동작이 상태 저장(406, 418)에 대하여 종료된 후에 그리고 각 CPU 코어(320, 322)가 개별적인 슬립 상태(408, 420)(예컨대 CC6 상태)에 도달한 후에 일어난다.
- [0071] 이 때 CPU(205)의 모든 필요한 상태는 CPU(205)로부터 저장 또는 플러시(flush)된다. 그 다음, 클록/전력 관리 로직(340)의 0 전압 진입/탈출 로직(354)은 ICH(225)로부터 판독된 I/O 레지스터를 실행함으로써 외부 플랫폼 레벨 진입 시퀀스(예컨대 C6 시퀀스)를 개시한다. 일 실시예에서 이것은 CPU "C" 상태로 들어가는 ACPI 정의 방법일 수 있다.
- [0072] 이 관점에서 본 외부 버스로부터의 이벤트들의 시퀀스가 도 4에 도시되어 있다. I/O 커맨드(410)는

ICH(225)/MCH(215)로부터 발행될 수 있다. 특히 원(430)에서는 스톱 클럭 신호가 어서트될 수 있다(예컨대 STPCLK#). 그 다음 슬립 신호가 어서트될 수 있다(원(431))(예컨대 SLP#). 더욱이 원(432)에서는 딥 슬립 신호가 어서트될 수 있다(DPSLP#). 이들 커맨드는 CPU(205)가 그 내부 클럭 분배(distribution)와 PLL을 차단함으로써 응답하도록 전술한 순서로 발행된다.

- [0073] 원(435)에서 디퍼 스톱 신호가 어서트되면(예컨대 DPRSTP#), CPU(205)는 전압 조절기(212)에게 전력을 제거하라고 지시하고 그렇게 하는 것이 안전하다는 것을 알려주기 위하여 그 VID를 0 전압 레벨로 천이시킨다. 이것은 C6 VID라고 말할 수 있다. 이런 식으로 전력 발생이 디어서트(deassert)된다. 그러나 여기서 0 볼트 대신에 다른 매우 작은 양의 전압이 VID로서 선택될 수 있음을 알아야 한다.
- [0074] 여기서 정확한 0 전압 레벨 대신에 전압 레벨은 "대략 0 전압 레벨"로 설정될 수 있음을 알아야 한다. 이 대략 0 전압 레벨은 0.3V 또는 0.5V와 같이 매우 작은 전압 레벨일 수 있다. 일부 실시예에서 그와 같은 매우 작은 대략 0 전압 레벨은 슬립 상태로의 그리고 슬립 상태에서부터의 진입 및 탈출 대기 시간을 최소화할 수 있다. 추가적으로 여기서 대략 0 전압 레벨은 제조 중에(예컨대 테이프 아웃(tape-out) 후에) (예컨대 실리콘으로 된) 시스템을 위해 선택될 수 있고 그리고 CPU의 여러 가지 스텝핑(steping)과 개정(revision) 중에 다양하게 프로그램될 수 있음을 알아야 한다.
- [0075] CPU 코어(예컨대 코어(320) 및 코어(322))의 패키지는, 전압 조절기(212)로부터의 동작 전압(240)이 0 볼트 또는 다른 명목상의 작은 레벨에 도달할 때에 원(440)에서 패키지 슬립 상태(C6)에 있는 것으로 간주된다. 여기서 동작 전압을 끌어내리는 활성 장치가 없기 때문에 동작 전압은 CPU(205) 누설로 인해 전하가 누설됨에 따라 단순히 느리게 아래로 드리프트(drift)한다. 따라서 CPU(205)는 0 전압 패키지 슬립 상태(C6)로 들어간다. 여기서 전술한 동작의 시퀀스는 다양한 순서로 실시될 수 있고 전술한 동작의 순서는 단지 일례임을 이해해야 한다.
- [0076] 이제 도 5를 참조로 설명하면, 도 5는 0 전압 프로세서 슬립 상태에서부터의 탈출 시퀀스를 위한 프로세스(500)의 일례를 도시한 흐름도이다. 통상적으로 0 전압 프로세서 슬립 상태에서부터의 탈출은 칩셋이 CPU(205)의 기동을 필요로 하는 이벤트(아마도 인터럽트 이벤트를)를 검출할 때에 개시한다. 그러나 여기서 칩셋은 스누핑(snoop)을 행할 때에 CPU를 기동시키지 않고 메모리에의 마스터 액세스를 진행할 수 있음을 알아야 한다. 0 전압 프로세서 슬립 상태의 탈출 동안에 칩셋과 CPU(205) 간에 발생하는 외부 이벤트와 핸드셰이크(handshake) 시퀀스에 대해서 도 5를 참조로 설명한다. 특히 이 시퀀스는 앞에서 설명한 진입 단계 중에 발생하는 것과 반대로 간주될 수 있다.
- [0077] 일 실시예에서 패키지 슬립 상태(C6)(원(440))로부터 디퍼 스톱 신호(DPRSTP#)가 디어서트되는데(원(502)), 이는 저주파 모드(LFM) VID가 전압 조절기(212)로 보내지도록 CPU(205)와 클럭/전력 관리 로직(350)의 0 전압 진입/탈출 로직(354)에 의해 검출된다. 이것은 전압 조절기(212)에게 코어 동작 전압을 요구되는 VID로 백업시키라고 지시한다.
- [0078] (예컨대 ICH(225) 내의 타이머에 의해 제어되는) 소정 시각에서 클럭 백온(back on)을 발생하는 신호가 발생되고, 딥 슬립(DPSLP#) 신호는 발생 중지되며(원(505)), 이에 따라 클럭/전력 관리 로직(350)의 PLL을 개시한다. 이 후에 CPU(205)는 내부 RESET을 개시한다(원(506)). 이 리셋이 완료된 후에는 CPU(205)는 전력과 클럭을 연동시켜 CPU(205)와 연관된 임계 상태 변수를 쉽게 복원할 수 있다.
- [0079] 일례로서 ACPI 실시예에서 통상적으로 C 상태 탈출 이벤트 중에 CPU(205)는 CPU 내에서 내부적으로 무엇인가를 하기 위해 STPCLK# 디어션(deassertion)까지 대기한다. 그러나 본 발명의 실시예들에 따르면 0 전압 프로세서 슬립 상태(예컨대 C6)에서는 상태들 등을 복원하는 대기 시간이 더 길어지기 때문에 STPCLK#이 무시되고, 전력과 클럭이 이용가능하게 되자마자 C6 탈출에 대비하여 CPU(205)의 각 코어(320, 322)에 대한 상태 복원(원(510) 및 원(530))이 시작된다. 코어(320, 322)의 상태들이 복원되면 CPU(205)는 그 동작을 중지한 곳에서부터 그 동작을 계속할 준비를 갖추게 된다. CPU(205)의 코어(320, 322) 모두로부터의 마이크로코드(323)는 각각 리셋된다(원(512, 532)).
- [0080] 그러나 슬립 신호가 디어서트되고(원(540)) 스톱 클럭 신호(STPCLK#)가 디어서트될 때까지는 CPU 코어(320, 322)는 어느 것도 활성으로 되지 못하고(원(514, 534)) 명령들은 실행되지 못한다. 그러나 일단 스톱 클럭이 디어서트되고 슬립 신호가 디어서트되면 CPU(205), 코어(320, 322) 및 칩셋 모두에 전력이 공급되어 작동되며, 코어도 모두 활성으로 된다(원(514) 및 원(534)). 그러면 CPU(205)는 통상적으로 그 캐시가 비어 있으므로 일부 코드 페치를 시작하여 정상적인 동작을 시작할 것이다. 특히 코어는 모두 C0 상태에서 기동된다. 운영 체

제는 어느 CPU 코어가 이벤트를 처리할지를 판정할 수 있고 그 후에 곧 다른 코어가 슬립 상태로 다시 들어갈 수 있다.

[0081] 양호하게는 전술한 바와 같이 CPU(205)는 하드웨어적으로 C 상태 조정의 대부분을 실시하므로 소프트웨어는 다른 코어에 대한 임의의 소프트웨어 조정 없이도 각 코어에서 0 전압 프로세서 슬립 상태(예컨대 C6)로 들어가도록 독립적으로 요구할 수 있다. 특히 0 전압 프로세서 슬립 상태(예컨대 C6)를 이용함으로써 슬립 상태에 있는 CPU(205)가 요구하는 전력이 실질적으로 0으로 감소한다.

[0082] 또한 C6 상태에 대해 설명한 ACPI 실시예에서는, 코어 ID 필드(321)를 이용하여 프로세서(205)의 코어(320, 322)의 공유 상태(324)의 상태 저장 및 복원을 달성하는 효율적인 방법이 개시된다. 이 방법은 C0로의 코어 탈출에 대한 동기화로서 기능한다. 코어 식별자(321)는 퓨즈를 통해 각 코어(320, 322)에 하드와이어(hardwire)될 수 있으며 CPU(205)의 코어에 언제나 이용될 수 있다.

[0083] 코어(320, 322) 모두 진입 시에 전용 상태(325)와 공유 상태(324)를 저장할 수 있다. 코어(320, 322)는 바람직하게는 상태 저장 중에는 (세마포어(semaphore)와 같은) 임의의 정렬 방법을 이용하지 않을 것이다. 상태 저장 종료 시에 각 코어는 그 고유 코어 식별자를 하드웨어 상태로 기록할 수 있다.

[0084] 제2 코어가 그 상태 저장을 완료하면, 그 코어는 그 고유 코어 식별자(321)를 동일한 하드웨어 상태로 기록할 수 있고, 제1 코어의 코어 식별자를 사실상 무시할 수 있다. 코어 식별자를 포함하는 이 하드웨어 상태는 항상 ON 상태인 전원으로 전력을 공급함으로써 C6 상주(residence) 중에 저장될 것이다. 전술한 바와 같이 C6 탈출에서 코어(320, 322)가 상태 복원을 수행하면 그 저장된 코어 식별자와 일치하는 코어 식별자는 공유 상태(324)의 복원을 수행할 수 있게 될 것이다. 코어(320, 322)는 모두 전용 상태(325)의 복원을 수행할 수 있다. 그러면 코어들은 이들이 저장된 상태의 복원을 수행할 필요가 있는지 여부를 체크하기 위하여 저장된 코어 식별자(321)에 액세스할 것이다. 복원을 수행하도록 허용하기 위해서는 하나의 코어만이 필요하다. 다른 코어는 공유 상태(324)가 복원되고 있는 동안에 대기할 수 있다. 복원이 완료되면 코어는 모두 C0 상태로 진행한다.

[0085] 일 실시예에서 코어(320, 322)는 복원 중에 코어 식별자(321) 필드로의 배타적인 액세스를 보장하기 위하여 하드웨어 세마포어 "C6 오더 세마포어(order semaphore)"를 이용할 수 있다. 공유 상태 복원을 가능하게 하는 의사 코드의 일례는 다음과 같다.

Core that went into CC6 first

Restore dedicated state

Grab C6 Order Semaphore

Read C6 wakeup.coreID

Match C6 wakeup.coreID against own coreID

No match, release C6 Order Semaphore

Restore_Complete: Wait

Read C6 wakeup.coreID

If coreID !=00 jump to Restore_Complete

If coreID = 0 jump to instruction after mwait

Core that went into CC6 last

Restore dedicated state

Grab C6 Order Semaphore

Read C6 wakeup.coreID

Match C6 wakeup.core ID against own coreID

Match, lock C6 Order Semaphore

Go to shared state restore

[0086]

[0087] 지금까지 중앙 처리 장치와 전압 조절기와 관련된 디퍼 슬립 C6 상태로 및 그로부터 천이하는 0 전압 프로세서 슬립 상태를 참조하여 예시적인 실시예들에 대해 설명하였지만, 여러 가지 종류의 전력 관리 구성 및/또는 여러

가지 종류의 집적 회로에 여러 가지 실시예들이 적용될 수 있음을 알아야 한다. 더욱이, 여기서 설명된 예시적인 실시예에서는 VID 신호를 이용하여 전압 제어를 수행하지만, 전압 제어를 제공하는 다른 방식들도 여러 가지 실시예의 범위 내에 있다.

[0088] 이와 같이 0 전압 프로세스 슬립 상태를 위한 방법 및 장치의 여러 가지 실시예들을 설명하였다. 본 명세서에서 본 발명은 특정한 예시적인 실시예들을 참조하여 설명하였다. 그러나 첨부된 청구범위에 기재된 본 발명의 본질과 범위로부터 벗어남이 없이 여러 가지 변형이나 수정이 있을 수 있음을 알아야 한다. 따라서 본 명세서와 도면은 한정적인 것이 아니라 예시적인 것으로 보아야 한다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따라서 프로세서를 위한 0 전압 전력 관리 상태로 천이하고 그로부터 천이하는 프로세스를 도시한 흐름도.

[0013] 도 2는 본 발명의 일 실시예에 따라서 0 전압 전력 관리 상태 방식을 구현하는데 이용될 수 있는 예시적인 시스템의 블록도.

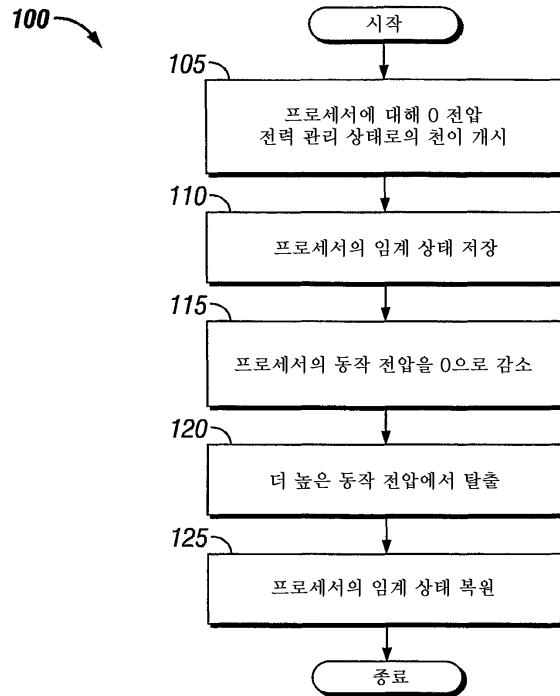
[0014] 도 3은 본 발명의 일 실시예에 따라서 전용 슬립 상태 SRAM 캐시와 SRAM 인터페이스의 일례를 도시한 블록도.

[0015] 도 4는 본 발명의 일 실시예에 따라서 0 전압 프로세서 슬립 상태로 들어가는 데 이용될 수 있는 프로세스를 도시한 흐름도.

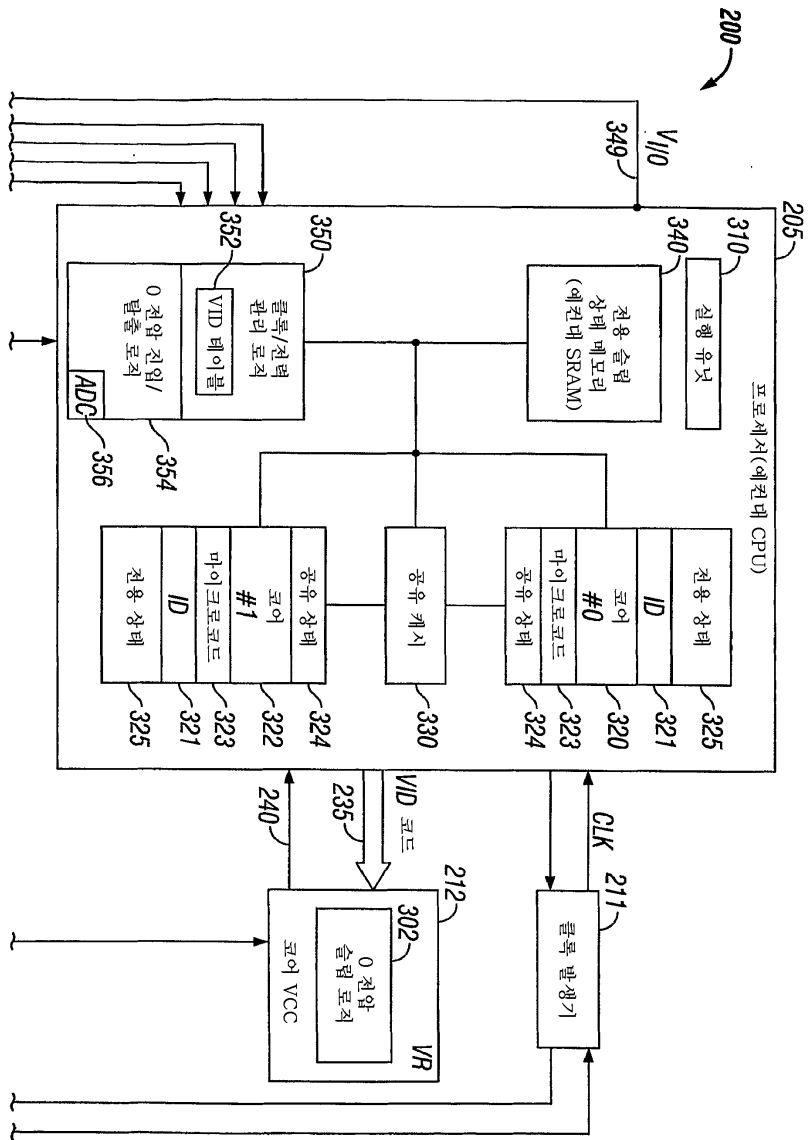
[0016] 도 5는 본 발명의 일 실시예에 따라서 0 전압 프로세서 슬립 상태에서부터 빠져나오는데 이용될 수 있는 프로세스를 도시한 흐름도.

도면

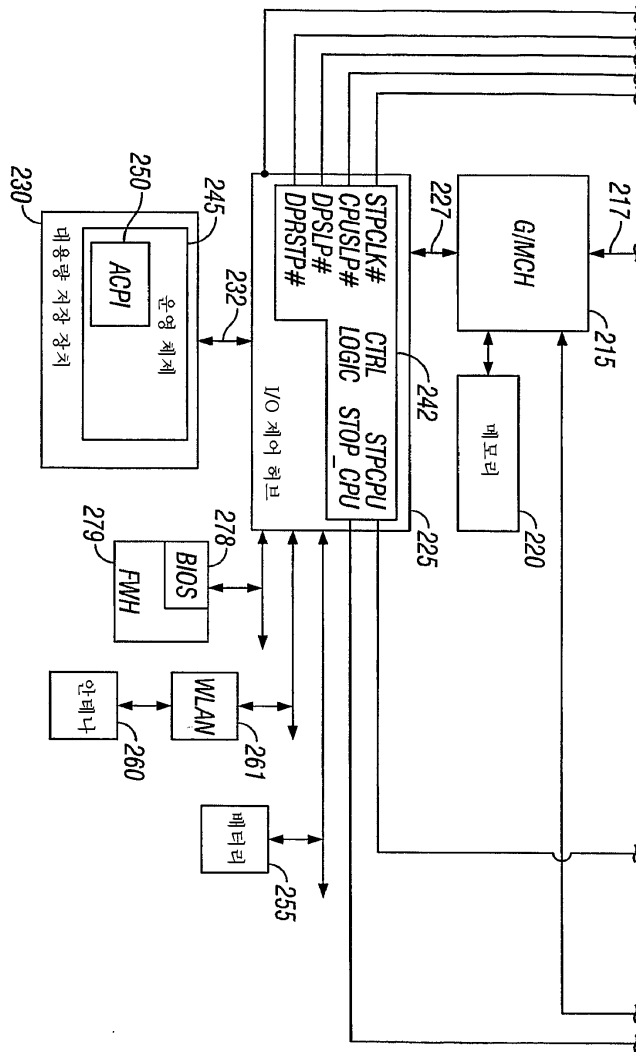
도면1



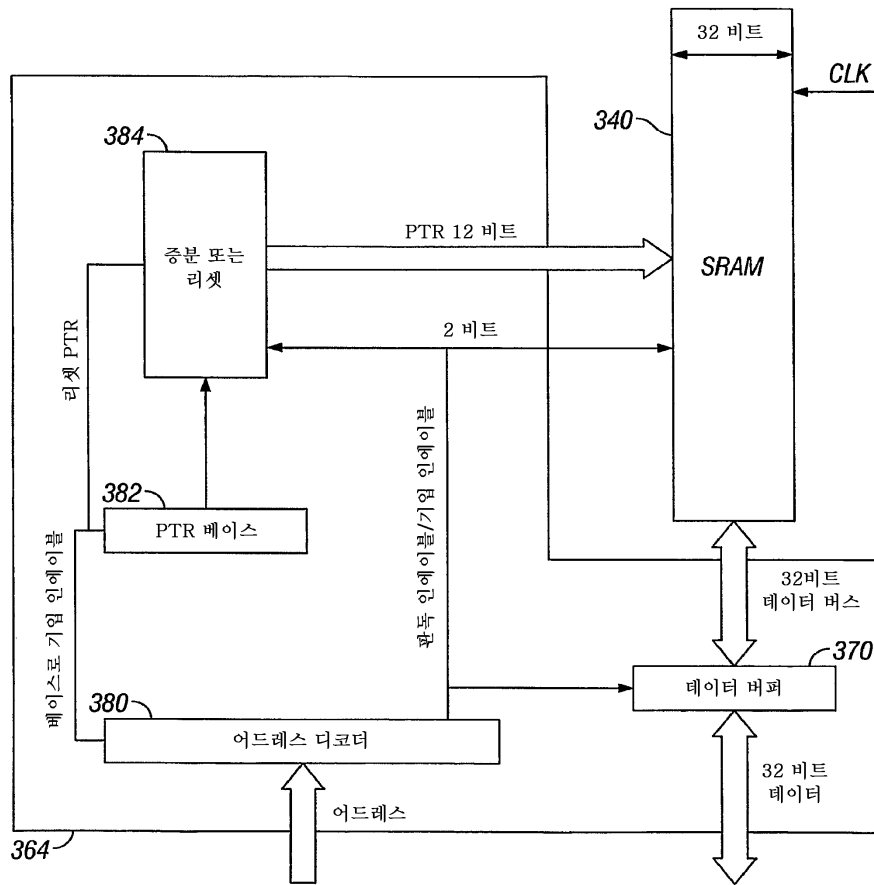
도면2A



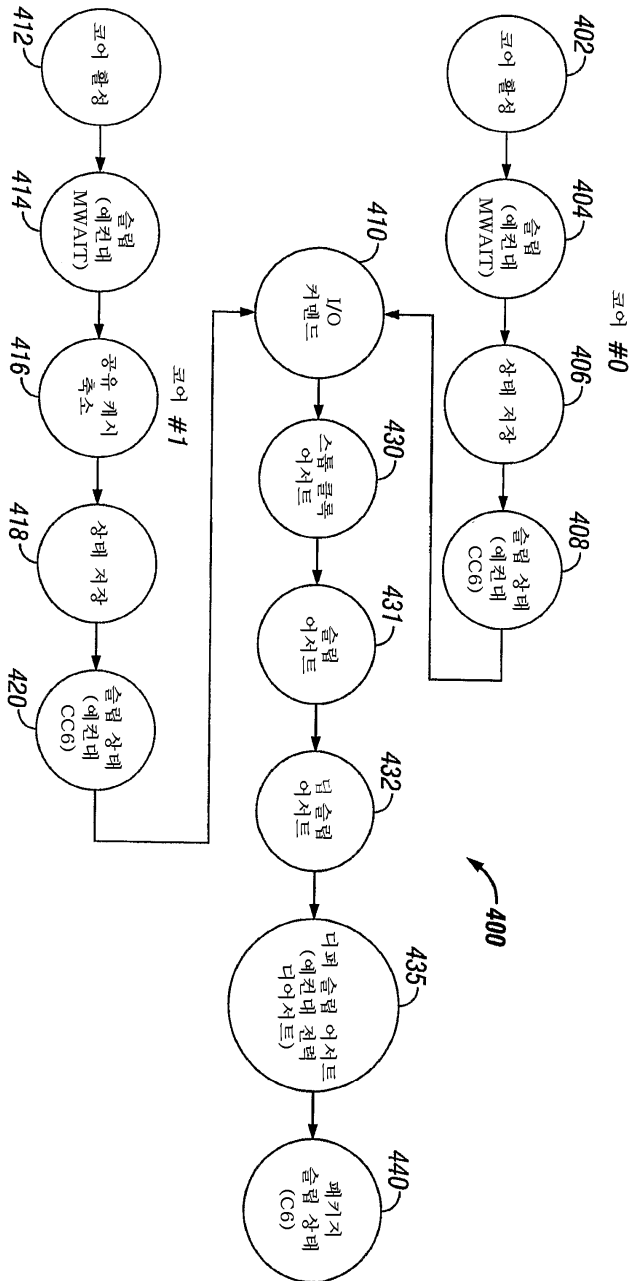
도면2B



도면3



도면4



도면5

