(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

PCT

(10) 国際公開番号
WO 2012/008079 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 27/08* (2006.01)
H01L 21/8234 (2006.01) *H01L 27/088* (2006.01)

(21) 国際出願番号: PCT/JP2011/002832

(22) 国際出願日: 2011 年 5 月 20 日(20.05.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-162074 2010 年 7 月 16 日(16.07.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 菊池哲郎 (KIKUCHI, Tetsuo). 片岡義晴 (KATAOKA, Yoshiharu). 田中信也(TANAKA, Shinya). 嶋田純也(SHIMADA, Junya). 山崎周郎(YAMASAKI, Chikao).

(74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

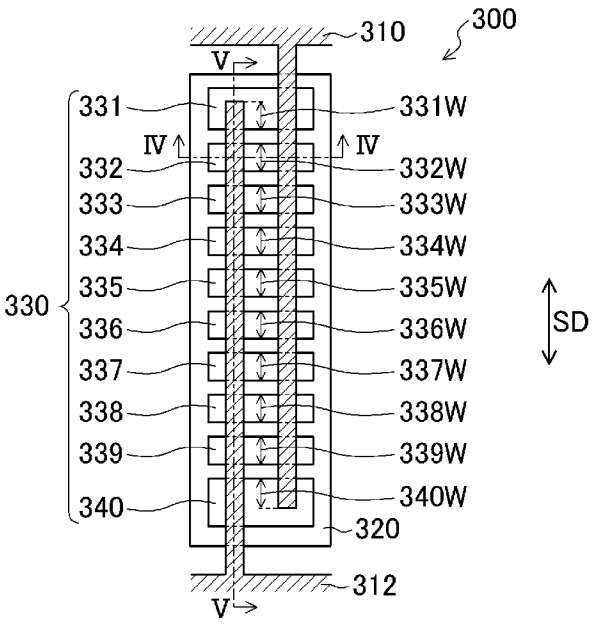
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: THIN FILM TRANSISTOR AND SHIFT REGISTER

(54) 発明の名称 : 薄膜トランジスタおよびシフトレジスタ

[図3]



(57) **Abstract**: Disclosed is a thin film transistor having a high current driving capability and a suitable threshold voltage. The thin film transistor is provided with a gate electrode, an insulating layer formed on the gate electrode, a semiconductor layer formed on the aforementioned insulating layer, and source and drain electrodes formed on the aforementioned semiconductor layer, wherein the aforementioned semiconductor layer includes multiple regions partitioned in the longitudinal direction of the source and drain electrodes.

(57) 要約: 大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを提供する。ゲート電極と、ゲート電極上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記半導体層上に形成されたソース・ドレイン電極とを備える薄膜トランジスタであって、前記半導体層は、前記ソース・ドレイン電極の長手方向に分割された複数領域を含む。

WO 2012/008079 A1

明　細　書

発明の名称 ： 薄膜トランジスタおよびシフトレジスタ

技術分野

[0001] 本開示は、インジウム・ガリウム・亜鉛複合酸化物（ＩＧＺＯ）を用いた薄膜トランジスタ、および薄膜トランジスタを用いたシフトレジスタに関する。

背景技術

[0002] 薄膜トランジスタ（ＴＦＴ）は、電界効果型トランジスタの一種である。ＴＦＴは、液晶ディスプレイ（ＬＣＤ）パネルの画素を駆動するためなどに広く利用されている。トランジスタの特性に影響するパラメータにチャネル長Ｌおよびチャネル幅Ｗがある。

[0003] 特許文献１は、トランジスタの特性を変化させるために、チャネル長Ｌに対するチャネル幅Ｗの比Ｗ／Ｌを変えることについて記載している。

先行技術文献

特許文献

[0004] 特許文献1：特開２００８－８９９１５号公報

発明の概要

発明が解決しようとする課題

[0005] ＬＣＤパネルを駆動するためには、ゲートドライバおよびソースドライバが用いられる。ゲートドライバには、ゲート線に対応するシフトレジスタが設けられる。それぞれのシフトレジスタには、典型的には数個のトランジスタが用いられる。シフトレジスタにおいて、ゲート線に電流を出力するトランジスタ（出力トランジスタ）は、他のトランジスタに比べて、大電流の駆動能力が必要である。

[0006] 大電流で駆動するためには、トランジスタは大きいチャネル幅を有する必要がある。ＩＧＺＯを用いたＴＦＴ（ＩＧＺＯ　ＴＦＴ）のチャネル幅が大きいと、閾値電圧が下がる。この場合、トランジスタがターンオフしている

時のリーク電流も増えてしまう。換言すれば従来のＩＧＺＯ　ＴＦＴは、大電流駆動能力を提供しつつ、リーク電流の増加しない適切な閾値を得ることができなかった。

[0007] 特許文献１は、アモルファスシリコン（ａ－Ｓｉ）ＴＦＴの使用を想定するが、ＩＧＺＯ　ＴＦＴを使用する具体的な手法についての示唆を与えるものではない。例えば特許文献１は、閾値電圧のチャネル幅依存性について考慮していない。

[0008] 上記を鑑みて、本発明の目的は、大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを提供することにある。本発明の他の目的は、トランジスタのリーク電流を全体として減少させることができるシフトレジスタを提供することにある。

課題を解決するための手段

[0009] 本発明のある実施形態による薄膜トランジスタは、ゲート電極と、ゲート電極上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記半導体層上に形成されたソース・ドレイン電極とを備え、前記半導体層は、前記ソース・ドレイン電極の長手方向に分割された複数領域を含む。

[0010] 上記構成により、大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを提供できる。

[0011] ある具体的な実施形態によれば、前記複数領域に対応するトランジスタのチャネル幅Wは、約１２５μｍ以下である。

[0012] 上記構成により、より高い閾値電圧を実現できる。

[0013] ある具体的な実施形態によれば、前記複数領域に対応するトランジスタのチャネル幅Wは、約５０μｍ以下である。

[0014] 上記構成により、チャネル幅Wが約１２５μｍの場合よりも高い閾値電圧を実現できる。

[0015] ある具体的な実施形態によれば、エッチングストッパ層が前記半導体層と前記ソース・ドレイン電極との間に形成されている。

[0016] 上記構成により、エッチングストッパ層がソース・ドレイン電極下のチャ

ネル領域をエッチング処理から保護できる。

[0017] ある具体的な実施形態によれば、前記複数領域の間には、前記エッチングストッパ層が設けられている。

[0018] 上記構成により、複数領域の間にエッチングストッパ層が設けられていない場合と比較して、チャネル領域をよりよく保護できる。

[0019] ある具体的な実施形態によれば、前記複数領域の間には、前記ソース・ドレイン電極が設けられている。

[0020] 上記構成により、チャネル幅が狭くなることを防ぎつつ、そのデバイス面積を縮小できる。換言すれば電流駆動能力を低下させることなく、デバイス面積を小さくできる。

[0021] 本発明のある実施形態による薄膜トランジスタは、ゲート電極と、ゲート電極上に形成された絶縁層と、前記絶縁層上に形成されたソース・ドレイン電極と、前記ソース・ドレイン電極上に形成された半導体層と、を備える薄膜トランジスタであって、前記半導体層は、前記ソース・ドレイン電極の長手方向に分割された複数領域を含む。

[0022] 上記構成により、大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを提供できる。

[0023] 本発明のある実施形態によるシフトレジスタは、複数の薄膜トランジスタを備えるシフトレジスタであって、前記複数の薄膜トランジスタは、ゲート電極と、ゲート電極上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、前記半導体層上に形成されたソース・ドレイン電極とを含む第１薄膜トランジスタであって、前記半導体層は、前記ソース・ドレイン電極の長手方向に分割された複数領域を含む第１薄膜トランジスタと、第２薄膜トランジスタとを含み、前記第１薄膜トランジスタの前記複数領域は、第１チャネル幅を有し、前記第２薄膜トランジスタは、前記第１の薄膜トランジスタ以外の前記複数の薄膜トランジスタのうち、最も小さい第２チャネル幅を有し、前記第１チャネル幅Ｗ１は、実質的に前記第２チャネル幅と等しい。

[0024] 上記構成により、シフトレジスタ内のトランジスタがほぼ等しい閾値を有

する。その結果、シフトレジスタのトランジスタのリーク電流を全体として減少させることができるという効果を奏する。

発明の効果

[0025] 本発明によれば、大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを提供することができる。本発明によれば、トランジスタのリーク電流を全体として減少させることができるシフトレジスタを提供することができる。

図面の簡単な説明

[0026] [図1]図１は、液晶ディスプレイのゲートドライバのブロック図である。

[図2]図２は、シフトレジスタの具体例の回路図である。

[図3]図３は、ＴＦＴの平面図である。

[図4]図４は、図３の線ＩＶ－ＩＶに沿った断面図である。

[図5]図５は、図３の線Ｖ－Ｖに沿った断面図である。

[図6]図６は、ＴＦＴを製造する方法を示すフローチャートである。

[図7]図７は、ＴＦＴの平面図である。

[図8]図８は、ＴＦＴの平面図である。

[図9]図９は、閾値電圧のチャネル幅依存性を示すグラフである。

[図10]図１０は、ドレイン電流のゲート電圧依存性を示すグラフである。

[図11]図１１は、ＴＦＴの平面図である。

[図12]図１２は、図１１の線ＸＩＩ－ＸＩＩに沿った断面図である。

[図13]図１３は、図１１の線ＸＩＩＩ－ＸＩＩＩに沿った断面図である。

[図14]図１４は、ＴＦＴの平面図である。

[図15]図１５は、ＴＦＴの平面図である。

[図16]図１６は、図１５の線ＸＶＩ－ＸＶＩに沿った断面図である。

[図17]図１７は、図１５の線ＸＶＩＩ－ＸＶＩＩに沿った断面図である。

[図18]図１８は、ＴＦＴの平面図である。

[図19]図１９は、図１８の線ＸＩＸ－ＸＩＸに沿った断面図である。

[図20]図２０は、図１８の線ＸＸ－ＸＸに沿った断面図である。

発明を実施するための形態

[0027] 本発明の例示的実施形態による薄膜トランジスタについて、図面を参照して詳細に説明する。図面において同一または同様の構成要素は、同じ参照符号によって表される。

[0028] （用語および定義）

「結合される」という語は、「直接的に接続される」という語を包含し、この語よりも広いと意図される。もしＡがＢに直接的に接続され、ＢがＣに直接的に接続されるなら、ＡはＣに「結合される」と言える。換言すれば「結合される」という語は、「間接的に接続される」という語を含む。

[0029] 本明細書および特許請求の範囲において、「層Ａ上に形成された層Ｂ」というような、ある２つの層について用いられる「～の上に」という語は、それらの層の間に少なくともなんらかの接触が存在することを意味する。「～を覆って」という語は、その２層が近接して存在することを意味するが、１つ以上の別の層が間に存在してもよく、その場合、２層が接触してもよいが、接触していなくてもよい。「～の上に」も「～を覆って」も、ここで用いられるように、方向を表すものではない。

[0030] 本明細書および特許請求の範囲で用いられるように、「～の上に」という語は、明示的にその旨が述べられていない限り、第２層「の上にある」第１層が、第２層の直上にあり、第２層に直接に接触していることを意味しない。つまり第１層と、第１層の上にある第２層との間には第３層または他の構造が存在し得る。

[0031] 「平面図」という語は、基板の２つの主面のうち、要素（例えばゲート、ソース・ドレイン電極）が形成される側から見た図である。

[0032] 「層」という語は、任意の適切な堆積プロセスによって形成され得る任意の層を指す。「層」という語は、液晶ディスプレイ業界を含む半導体業界で特に用いられる層を含み、例えば、これらには限定されないが、導電性層、絶縁層、およびエッチングストッパ層を含む。「層」という語は、半導体業界でよく用いられる「膜」という語と同義である。これら層は、基板の最も

下の表面上に直接に形成されてもよく、またはさまざまな層（または膜）の任意のものの上に形成されてもよい。層は、典型的には同じステップによって同じ材料を用いて形成されるが、これには限定されず、複数のステップを用いて、または異なる材料を用いて形成されてもよい。

[0033] 本明細書および特許請求の範囲において、「チャネル幅」という語は、ソース・ドレイン電極の長手方向（図中、方向ＳＤ）に沿って、対向する２つのソース・ドレイン電極（例えばＴＦＴ　３００のソース・ドレイン電極３１０，３１２）が、個々の領域（例えば領域３３１）内で重なる長さを指す。ソース・ドレイン電極にコンタクトが設けられる場合（ＴＦＴ　１１００，１５００など）は、チャネル幅は、ソース・ドレイン電極の長手方向に沿って、対向する２つのソース・ドレイン電極に設けられたコンタクト（例えばＴＦＴ　１１００のコンタクト１１３１ｃ１，１１３１ｃ２）が重なる長さを指す。

[0034] ソース・ドレイン電極という語は、ソース電極およびドレイン電極を総称する。したがって２つの対向するソース・ドレイン電極のいずれか一方がソース電極として機能すれば、他方はドレイン電極として機能する。

[0035] （システムの概略）

図１は、液晶ディスプレイ（ＬＣＤ）１００のゲートドライバのブロック図である。ＬＣＤ　１００は、パネルアクティブエリア１１０、シフトレジスタ１５０，１５１，１５２を含む。パネルアクティブエリア１１０は、画素１１０ａ～１１０ｉを有する。簡単のために図１では、９つの画素しか示されないが、パネルアクティブエリア１１０は、マトリックス状に配置された任意の個数の画素を含み得る。シフトレジスタ１５０～１５２の個数は、画素１１０ａ～１１０ｉの個数に依存して変わり得る。

[0036] シフトレジスタ１５０～１５２のグランドＶｓｓは、電源のグランドＶｓｓに接続される。シフトレジスタ１５０，１５２のクロック入力ＣＫは、ゲートクロックＧＣＫ１に接続される。シフトレジスタ１５１のクロック入力ＣＫは、ゲートクロックＧＣＫ２に接続される。

[0037] シフトレジスタ１５０の出力Ｇｏｕｔは、画素１１０ａ～１１０ｃのゲート線に結合される。シフトレジスタ１５０の入力Ｑｎ－１は、その前段（不図示）の出力Ｇｏｕｔを受け取る。シフトレジスタ１５０の入力Ｑｎ＋１は、その後段（シフトレジスタ１５１）の出力Ｇｏｕｔを受け取る。図１において、前段とは、その段の直上に位置する段を指し、後段とは、その段の直下に位置する段を指す。よってシフトレジスタ１５１の前段は、シフトレジスタ１５０である。シフトレジスタ１５１の後段は、シフトレジスタ１５２である。

[0038] シフトレジスタ１５１の出力Ｇｏｕｔは、画素１１０ｄ～１１０ｆのゲート線に結合される。シフトレジスタ１５１の入力Ｑｎ－１は、その前段（シフトレジスタ１５０）の出力Ｇｏｕｔを受け取る。シフトレジスタ１５１の入力Ｑｎ＋１は、その後段（シフトレジスタ１５２）の出力Ｇｏｕｔを受け取る。

[0039] シフトレジスタ１５２の出力Ｇｏｕｔは、画素１１０ｇ～１１０ｉのゲート線に結合される。シフトレジスタ１５２の入力Ｑｎ－１は、その前段（シフトレジスタ１５１）の出力Ｇｏｕｔを受け取る。シフトレジスタ１５２の入力Ｑｎ＋１は、その後段（不図示）の出力Ｇｏｕｔを受け取る。

[0040] シフトレジスタ１５０～１５２は、出力Ｇｏｕｔに結合されたゲート線を逐次、駆動する。ＬＣＤ　１００の具体的な構成は、図１に示すものには限定されず、任意の適切な構成を用いることができる。

[0041] 図２は、シフトレジスタ１５０～１５２の具体例である回路２００の図である。回路２００は、トランジスタＱ１～Ｑ５を有する。シフトレジスタ１５０～１５２は、回路２００には限定されず、任意の適切な回路であり得る。シフトレジスタ１５０～１５２は、任意の個数のトランジスタを含み得る。

[0042] トランジスタＱ１～Ｑ５を流れるドレイン電流は、シフトレジスタ１５０～１５２の構成によって異なる。ここではゲート線を駆動するために、トランジスタＱ２がトランジスタＱ１～Ｑ５のうち最も大きいドレイン電流を流

す必要がある。従来技術によれば、大きいドレイン電流を流すことを可能にするためには、大きいチャネル幅を必要とした。そのため、従来の技術によれば、トランジスタＱ１，Ｑ２，Ｑ３，Ｑ４，Ｑ５は、例えばそれぞれ約１００μｍ，約５００μｍ，約２００μｍ，約１００μｍ，約５０μｍのチャネル幅を有することになる。

[0043] 以下に説明される薄膜トランジスタ（ＴＦＴ）は、例えばトランジスタＱ２として利用され得るが、他のトランジスタ（例えばトランジスタＱ１，Ｑ３，およびＱ４）のうちの１つであってもよい。

[0044] （ＴＦＴの構造）

図３は、ＴＦＴ　３００の平面図である。図４は、図３の線ＩＶ－ＩＶに沿った断面図である。図５は、図３の線Ｖ－Ｖに沿った断面図である。図６は、ＴＦＴ　３００を製造する方法６００を示すフローチャートである。以下、図３～図６を参照して、ＴＦＴ　３００の構造およびその製造方法を詳細に説明する。

[0045] ＴＦＴ　３００は、ソース・ドレイン電極３１０，３１２、ゲート電極３２０、および半導体層３３０を有する。ＴＦＴ　３００は、例えばＬＣＤのゲートドライバを実現するのに利用されるが、このような応用例には限定されない。本明細書で開示されるさまざまなＴＦＴ（具体的にはＴＦＴ　３００，７００，８００，１１００，１４００，１５００，１８００）は、任意の適切な回路において利用され得る。

[0046] ソース・ドレイン電極３１０，３１２は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ソース・ドレイン電極３１０，３１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0047] ゲート電極３２０は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ゲート電極３２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0048] 半導体層３３０は、領域３３１～３４０を含む。半導体層３３０は、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）、酸素（Ｏ）を主要な構

成元素として含むアモルファス酸化物半導体（以下「ＩＧＺＯ」と呼ぶ）でできている。ここではＴＦＴ　３００は、ＩＧＺＯ　ＴＦＴと呼ばれる。

[0049] 図３に示すように半導体層３３０は、ソース・ドレイン電極３１０，３１２の長手方向ＳＤに分割された複数領域３３１～３４０を含む。領域３３１～３４０は、それぞれチャネル幅３３１Ｗ～３４０Ｗを有する。典型的にはチャネル幅３３１Ｗ～３４０Ｗは、実質的に同じであり、例えば約５０μｍである。ＴＦＴ　３００は、並列に結合された領域３３１～３４０に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅３３１Ｗ～３４０Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0050] （ＴＦＴの製造方法）

６０２において、基板４１０の上にゲート電極３２０が形成される。基板４１０は、典型的にはガラス基板である。ゲート電極３２０は、ゲート電極の材料を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0051] ６０４において、ゲート電極３２０の上にゲート絶縁膜４２０が形成される。ゲート絶縁膜４２０は、ＳｉＯ２／ＳｉＮの積層構造を有する。ゲート絶縁膜４２０は、ゲート絶縁膜の材料を堆積することによって形成される。

[0052] ６０６において、ゲート絶縁膜４２０の上に半導体層３３０が形成される。半導体層３３０は、ＩＧＺＯを堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0053] ６０８において、半導体層３３０の上にソース・ドレイン電極３１０，３１２が形成される。ソース・ドレイン電極３１０，３１２は、ソース・ドレイン電極の材料を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0054] ６１０において、ソース・ドレイン電極３１０，３１２の上に保護膜４３０が形成される。保護膜４３０は、ＳｉＯ２を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される

。このときゲート絶縁膜４２０と保護膜４３０とは、同時にエッチングされる。

[0055] ６１２において、画素１１０ａ～１１０ｉ内に画素電極が形成される。画素電極は、酸化インジウムスズ（ＩＴＯ）を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0056] 図７は、ＴＦＴ　７００の平面図である。ＴＦＴ　７００は、半導体層７３０が２つの領域７３１，７３２を有することを除けば、ＴＦＴ　３００と同様である。よってＴＦＴ　７００の製造方法は、ＴＦＴ　３００の製造方法と同様である。

[0057] ＴＦＴ　７００は、ソース・ドレイン電極７１０，７１２、ゲート電極７２０、および半導体層７３０を有する。

[0058] ソース・ドレイン電極７１０，７１２は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ソース・ドレイン電極７１０，７１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0059] ゲート電極７２０は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ゲート電極７２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0060] 半導体層７３０は、領域７３１および７３２を含む。半導体層７３０は、ＩＧＺＯでできている。図７に示すように半導体層７３０は、ソース・ドレイン電極７１０，７１２の長手方向ＳＤに分割された複数領域７３１および７３２を含む。領域７３１および７３２は、それぞれチャネル幅７３１Ｗおよび７３２Ｗを有する。典型的にはチャネル幅７３１Ｗおよび７３２Ｗは、実質的に同じであり、例えば約５０μｍである。ＴＦＴ　７００は、並列に結合された領域７３１および７３２に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅７３１Ｗおよび７３２Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0061] 図８は、ＴＦＴ　８００の平面図である。ＴＦＴ　８００は、半導体層８３０が４つの領域８３１～８３４を有することを除けば、ＴＦＴ　３００と

同様である。よってＴＦＴ　８００の製造方法は、ＴＦＴ　３００の製造方法と同様である。

[0062] ＴＦＴ　８００は、ソース・ドレイン電極８１０，８１２、ゲート電極８２０、および半導体層８３０を有する。

[0063] ソース・ドレイン電極８１０，８１２は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ソース・ドレイン電極８１０，８１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0064] ゲート電極８２０は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ゲート電極８２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0065] 半導体層８３０は、領域８３１～８３４を含む。半導体層８３０は、ＩＧＺＯでできている。図８に示すように半導体層８３０は、ソース・ドレイン電極８１０，８１２の長手方向ＳＤに分割された複数領域８３１～８３４を含む。領域８３１～８３４は、それぞれチャネル幅８３１Ｗ～８３４Ｗを有する。典型的にはチャネル幅８３１Ｗ～８３４Ｗは、実質的に同じであり、例えば約１２５μｍである。ＴＦＴ　８００は、並列に結合された領域８３１～８３４に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅８３１Ｗ～８３４Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0066] （閾値電圧）

図９は、閾値電圧のチャネル幅依存性を示すグラフ９００である。グラフ９００の横軸はチャネル幅Ｗ［μｍ］を示し、グラフ９００の縦軸は閾値電圧［Ｖ］を示す。点線９１０は、ＬＣＤの周辺回路（例えばゲートドライバ）において用いられるＴＦＴが有するのが好ましい閾値電圧Ｖｔｈ（例えば約３．０Ｖ）である。実線９２０は、チャネル幅Ｗが変化したときのＩＧＺＯ　ＴＦＴの閾値電圧Ｖｔｈの変化を示す。従来のＩＧＺＯ　ＴＦＴは、実線９２０に示されるように、チャネル幅Ｗが大きくなる従って閾値電圧Ｖｔｈが減少する。例えばチャネル幅Ｗ２００μｍ（点９３４）および５００μ

ｍ（点９３６）に対応する閾値電圧Ｖｔｈはそれぞれ２．０Ｖおよび１．０Ｖであり、これら閾値電圧Ｖｔｈは、ＬＣＤの周辺回路として使うには許容できない。

[0067] これに対してＴＦＴ ３００，７００はチャネル幅約５０μｍを有するので、閾値電圧Ｖｔｈは約３．０Ｖ（点９３０）である。ＴＦＴ ８００はチャネル幅約１２５μｍを有するので、閾値電圧Ｖｔｈは約２．５Ｖ（点９３２）である。本発明の実施形態によるＴＦＴ ３００，７００，８００が実現するこれらの閾値電圧（すなわち約２．５Ｖ～約３．０Ｖ）は、ＬＣＤの周辺回路において利用するのに許容できる。したがって本発明のさまざまな実施形態において、チャネル幅Wは、好ましくは約１２５μｍ以下であり、より好ましくは約５０μｍ以下である。

[0068] 以上より本発明の実施形態によれば、従来のＩＧＺＯ ＴＦＴと比較して、大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを実現できる。

[0069] （リーク電流）

図１０は、ドレイン電流のゲート電圧依存性を示すグラフ１０００である。グラフ１０００の横軸はゲート電圧ＶＧＳ［Ｖ］を示し、グラフ１０００の縦軸はドレイン電流ＩＤＳ［Ａ］を示す。実線１０１０は、ＴＦＴ ３００についてのドレイン電流のゲート電圧依存性を示す。破線１０２０は、従来のＩＧＺＯ ＴＦＴについてのドレイン電流のゲート電圧依存性を示す。トランジスタがターンオフされているときに流れる電流はリーク電流と呼ばれ、回路の不安定な動作をつながる。図１０から、ゲート電圧ＶＧＳがゼロのときのＴＦＴ ３００のドレイン電流Ｉｏｆｆ１は、ゲート電圧ＶＧＳがゼロのときの従来のＴＦＴのドレイン電流Ｉｏｆｆ２よりもかなり低いことがわかる。したがってＴＦＴ ３００は、回路の安定な動作に寄与し得る。

[0070] （エッチングストッパ層）

図１１は、ＴＦＴ １１００の平面図である。図１２は、図１１の線ＸＩＩ－ＸＩＩに沿った断面図である。図１３は、図１１の線ＸＩＩＩ－ＸＩＩ

Ｉに沿った断面図である。ＴＦＴ　１１００は、ソース・ドレイン電極１１１０，１１１２がそれぞれコンタクト１１３１ｃ１、１１３１ｃ２などを有すること、およびエッチングストッパ層１２２５が半導体層１１３０の上に形成されることを除けば、ＴＦＴ　３００と同様である。図６および図１１～図１３を参照して、ＴＦＴ　１１００の構造およびその製造方法を詳細に説明する。

[0071] ＴＦＴ　１１００は、ソース・ドレイン電極１１１０，１１１２、ゲート電極１１２０、および半導体層１１３０を有する。ＴＦＴ　１１００は、例えばＬＣＤのゲートドライバに利用されるが、このような応用例には限定されない。

[0072] ソース・ドレイン電極１１１０，１１１２は、Ｔｉ／ＡＩ／Ｔｉの積層構造を有する。ソース・ドレイン電極１１１０，１１１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0073] ゲート電極１１２０は、Ｔｉ／ＡＩ／Ｔｉの積層構造を有する。ゲート電極１１２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0074] 半導体層１１３０は、領域１１３１～１１４０を含む。半導体層１１３０は、ＩＧＺＯでできている。ＴＦＴ　１１００も、ＩＧＺＯ　ＴＦＴと呼ばれる。

[0075] 図１１に示すように半導体層１１３０は、ソース・ドレイン電極１１１０，１１１２の長手方向ＳＤに分割された複数領域１１３１～１１４０を含む。領域１１３１～１１４０は、それぞれチャネル幅１１３１Ｗ～１１４０Ｗを有する。典型的にはチャネル幅１１３１Ｗ～１１４０Ｗは、実質的に同じであり、例えば約５０μｍである。ＴＦＴ　１１００は、並列に結合された領域１１３１～１１４０に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅１１３１Ｗ～１１４０Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0076] コンタクト１１３１ｃ１，１１３１ｃ２と同様のコンタクトが領域１１３

２～１１４０についても設けられる。

[0077] 以下、再び図６を参照して、ＴＦＴ　１１００の製造方法を説明する。

[0078] ６０２において、基板１２１０の上にゲート電極１１２０が形成される。基板１２１０は、典型的にはガラス基板である。ゲート電極１１２０は、ゲート電極の材料を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0079] ６０４において、ゲート電極１１２０の上にゲート絶縁膜１２２０が形成される。ゲート絶縁膜１２２０は、ＳｉＯ２／ＳｉＮの積層構造を有する。ゲート絶縁膜１２２０は、ゲート絶縁膜の材料を堆積することによって形成される。

[0080] ６０６において、ゲート絶縁膜１２２０の上に半導体層１１３０が形成される。半導体層１１３０は、ＩＧＺＯを堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0081] ６０６の後かつ６０８の前に、エッチングストッパ層１２２５が形成される。エッチングストッパ層１２２５は、例えば酸化シリコンを堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0082] ６０８において、半導体層１１３０の上にソース・ドレイン電極１１１０，１１１２が形成される。ソース・ドレイン電極１１１０，１１１２は、ソース・ドレイン電極の材料を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0083] ６１０において、ソース・ドレイン電極１１１０，１１１２の上に保護膜１２３０が形成される。保護膜１２３０は、ＳｉＯ２を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。このときゲート絶縁膜１２２０と保護膜１２３０とは、同時にエッチングされる。

[0084] ６１２において、画素１１０ａ～１１０ｉ内に画素電極が形成される。画素電極は、ＩＴＯを堆積し、フォトリソグラフィによってパターニングし、

その後、エッチングすることによって形成される。

[0085] 図１３に示すようにエッチングストッパ層１２２５は、半導体層１１３０とソース・ドレイン電極１１１０，１１１２との間に形成されている。半導体層１１３０の複数領域１１３１～１１４０の間には、エッチングストッパ層１２２５が設けられている。

[0086] 図１１に示すようにエッチングストッパ層１２２５は、２０個のコンタクトホールを有する。これらのコンタクトホールは、ソース・ドレイン電極１１１０，１１１２の長手方向に平行な直線に沿って配置される。ソース・ドレイン電極１１１０，１１１２のコンタクト（例えば１１３１ｃ１，１１３１ｃ２）は、これらのコンタクトホールを通して半導体層１１３１～１１４０に接触している。ＴＦＴ　１１００は、ＴＦＴ　３００の有する効果に加えて、エッチングストッパ層１２２５がソース・ドレイン電極下のチャネル領域をエッチング処理から保護できるという効果を有する。

[0087] 図１３に示すように領域１１３１～１１４０の間には、エッチングストッパ層１２２５が設けられている。この構成により、領域１１３１～１１４０の間にエッチングストッパ層１２２５が設けられていない場合と比較して、チャネル領域をよりよく保護できる。

[0088] （連結されたコンタクトホール）

図１４は、ＴＦＴ　１４００の平面図である。ＴＦＴ　１４００は、半導体層１４３０が４つの領域１４３１～１４３４を有することを除けば、ＴＦＴ　１１００と同様である。よってＴＦＴ　１４００の製造方法は、ＴＦＴ　１１００の製造方法と同様である。

[0089] ＴＦＴ　１４００は、ソース・ドレイン電極１４１０，１４１２、ゲート電極１４２０、および半導体層１４３０を有する。

[0090] ソース・ドレイン電極１４１０，１４１２は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ソース・ドレイン電極１４１０，１４１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0091] ゲート電極１４２０は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ゲート電

極１４２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0092] 半導体層１４３０は、領域１４３１～１４３４を含む。半導体層１４３０は、ＩＧＺＯでできている。図１４に示すように半導体層１４３０は、ソース・ドレイン電極１４１０，１４１２の長手方向ＳＤに分割された複数領域１４３１～１４３４を含む。領域１４３１～１４３４は、それぞれチャネル幅１４３１Ｗ～１４３４Ｗを有する。典型的にはチャネル幅１４３１Ｗ～１４３４Ｗは、実質的に同じであり、例えば約１２５μｍである。ＴＦＴ　１４００は、並列に結合された領域１４３１～１４３４に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅１４３１Ｗ～１４３４Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0093] 図１５は、ＴＦＴ　１５００の平面図である。図１６は、図１５の線ＸＶＩ－ＸＶＩに沿った断面図である。図１７は、図１５の線ＸＶＩＩ－ＸＶＩＩに沿った断面図である。ＴＦＴ　１５００は、ソース・ドレイン電極１５１０，１５１２がそれぞれコンタクト１５３１ｃ１、１５３１ｃ２などを有すること、およびエッチングストッパ層１２２５が半導体層１５３０の上に形成されることを除けば、ＴＦＴ　３００と同様である。図６および図１５～図１７を参照して、ＴＦＴ　１５００の構造およびその製造方法を詳細に説明する。

[0094] ＴＦＴ　１５００は、ソース・ドレイン電極１５１０，１５１２、ゲート電極１５２０、および半導体層１５３０を有する。ＴＦＴ　１５００は、例えばＬＣＤのゲートドライバに利用されるが、このような応用例には限定されない。

[0095] ソース・ドレイン電極１５１０，１５１２は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ソース・ドレイン電極１５１０，１５１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0096] ゲート電極１５２０は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ゲート電

極１５２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0097] 半導体層１５３０は、領域１５３１～１５４０を含む。半導体層１５３０は、ＩＧＺＯでできている。ＴＦＴ　１５００も、ＩＧＺＯ　ＴＦＴと呼ばれる。

[0098] 図１５に示すように半導体層１５３０は、ソース・ドレイン電極１５１０，１５１２の長手方向ＳＤに分割された複数領域１５３１～１５４０を含む。領域１５３１～１５４０は、それぞれチャネル幅１５３１Ｗ～１５４０Ｗを有する。典型的にはチャネル幅１５３１Ｗ～１５４０Ｗは、実質的に同じであり、例えば約５０μｍである。ＴＦＴ　１５００は、並列に結合された領域１５３１～１５４０に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅１５３１Ｗ～１５４０Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0099] コンタクト１５３１ｃ１，１５３１ｃ２と同様のコンタクトが領域１５３２～１５４０についても設けられる。

[0100] 以下、再び図６を参照して、ＴＦＴ　１５００の製造方法を説明する。

[0101] ６０２において、基板１６１０の上にゲート電極１５２０が形成される。基板１６１０は、典型的にはガラス基板である。ゲート電極１５２０は、ゲート電極の材料を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0102] ６０４において、ゲート電極１５２０の上にゲート絶縁膜１６２０が形成される。ゲート絶縁膜１６２０は、ＳｉＯ２／ＳｉＮの積層構造を有する。ゲート絶縁膜１６２０は、ゲート絶縁膜の材料を堆積することによって形成される。

[0103] ６０６において、ゲート絶縁膜１６２０の上に半導体層１５３０が形成される。半導体層１５３０は、ＩＧＺＯを堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0104] ６０６の後かつ６０８の前に、エッチングストッパ層１６２５が形成され

る。エッチングストッパ層１６２５は、例えば酸化シリコンを堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0105] ６０８において、半導体層１５３０の上にソース・ドレイン電極１５１０，１５１２が形成される。ソース・ドレイン電極１５１０，１５１２は、ソース・ドレイン電極の材料を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0106] ６１０において、ソース・ドレイン電極１５１０，１５１２の上に保護膜１６３０が形成される。保護膜１６３０は、ＳｉＯ２を堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。このときゲート絶縁膜１６２０と保護膜１６３０とは、同時にエッチングされる。

[0107] ６１２において、画素１１０ａ～１１０ｉ内に画素電極が形成される。画素電極は、ＩＴＯを堆積し、フォトリソグラフィによってパターニングし、その後、エッチングすることによって形成される。

[0108] 図１７に示すようにエッチングストッパ層１６２５は、半導体層１５３０とソース・ドレイン電極１５１０，１５１２との間に形成されている。半導体層１５３０の複数領域１５３１～１５４０の間には、ソース・ドレイン電極１５１０，１５１２が設けられている。

[0109] 図１５に示すようにエッチングストッパ層１６２５は、２個の細長いコンタクトホールを有する。これらのコンタクトホールは、ソース・ドレイン電極１５１０，１５１２の長手方向に平行である。ソース・ドレイン電極１５１０，１５１２のコンタクト（例えば１５３１ｃ１，１５３１ｃ２）は、これらのコンタクトホールを通して半導体層１５３１～１５４０に接触している。ＴＦＴ　１５００は、ＴＦＴ　３００の有する効果に加えて、エッチングストッパ層１６２５がソース・ドレイン電極下のチャネル領域をエッチング処理から保護できるという効果を有する。

[0110] 加えてＴＦＴ　１１００のエッチングストッパ層１２２５が２０個のコン

タクトホールを有するのに対して、ＴＦＴ　１５００のエッチングストッパ層１６２５は２個の細長いコンタクトホールを有するだけである。具体的には図１７に示すように領域１５３１～１５４０の間には、エッチングストッパ層がなく、ソース・ドレイン電極１５１０，１５１２が設けられている。このように連結されたコンタクトホールによって、ＴＦＴ１５００は、チャネル幅Wが狭くなることを防ぎつつ、そのデバイス面積を縮小できる。換言すればＴＦＴ　１５００は、電流駆動能力を低下させることなく、デバイス面積を小さくする効果も有する。

[0111]　（変形例）

図１８は、ＴＦＴ　１８００の平面図である。図１９は、図１８の線ＸＩＸ－ＸＩＸに沿った断面図である。図２０は、図１８の線ＸＸ－ＸＸに沿った断面図である。以下、図１８～図２０，図６を参照して、ＴＦＴ　１８００の構造およびその製造方法を詳細に説明する。

[0112]　ＴＦＴ　１８００は、ソース・ドレイン電極１８１０，１８１２、ゲート電極１８２０、および半導体層１８３０を有する。ＴＦＴ　１８００は、例えばＬＣＤのゲートドライバを実現するのに利用されるが、このような応用例には限定されない。

[0113]　ソース・ドレイン電極１８１０，１８１２は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ソース・ドレイン電極１８１０，１８１２は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0114]　ゲート電極１８２０は、Ｔｉ／Ａｌ／Ｔｉの積層構造を有する。ゲート電極１８２０は、上記構造には限定されず、任意の適切な導電性を有する材質から作られ得る。

[0115]　半導体層１８３０は、領域１８３１～１８４０を含む。半導体層１８３０は、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）、酸素（Ｏ）を主要な構成元素として含むアモルファス酸化物半導体（以下「ＩＧＺＯ」と呼ぶ）でできている。ここではＴＦＴ　１８００は、ＩＧＺＯ　ＴＦＴと呼ばれる。

[0116] 図１８に示すように半導体層１８３０は、ソース・ドレイン電極１８１０，１８１２の長手方向ＳＤに分割された複数領域１８３１～１８４０を含む。領域１８３１～１８４０は、それぞれチャネル幅１８３１Ｗ～１８４０Ｗを有する。典型的にはチャネル幅１８３１Ｗ～１８４０Ｗは、実質的に同じであり、例えば約５０μｍである。ＴＦＴ　１８００は、並列に結合された領域１８３１～１８４０に対応するトランジスタと等価である。これらトランジスタは、実質的に同じチャネル幅１８３１Ｗ～１８４０Ｗを有するので、個々のトランジスタの閾値電圧も実質的に等しい。

[0117] ＴＦＴ　１８００の製造方法は、６０８においてソース・ドレイン電極１８１０，１８１２がまず形成されてから、次に６０６において半導体層１８３０が形成されることを除いて、図６に示されるＴＦＴ　３００の製造方法と同じである。すなわち基板１９１０，ゲート絶縁膜１９２０，および保護膜１９３０は、基板４１０，ゲート絶縁膜４２０，および保護膜４３０にそれぞれ対応し、これらと同様の構造および機能を有する。

[0118] ＴＦＴ　１８００の半導体層１８３０は、ソース・ドレイン電極１８１０，１８１２を覆っている。図１９を図４と比較すれば理解できるように、ＴＦＴ　３００，１８００は、基板に対するソース・ドレイン電極と半導体層との位置関係が異なる。しかし半導体層１８３０がソース・ドレイン電極１８１０，１８１２の近くに位置する構造により、ＴＦＴ　１８００は、ＴＦＴ　３００と同様に動作し、それによってＴＦＴ　３００と同様の効果を有する。

[0119] （シフトレジスタ内のトランジスタの閾値）

上述の分割された複数領域を含むＴＦＴ（具体的にはＴＦＴ　３００，７００，８００，１１００，１４００，１５００，１８００）は、例えばＬＣＤのゲートドライバに含まれるシフトレジスタ（例えばシフトレジスタ２００）に用いられる。このとき、上述のＴＦＴは、例えば最も大きいドレイン電流を流す必要があるトランジスタに用いることができる。ここでは一例として、ＴＦＴ　３００がシフトレジスタ２００のトランジスタＱ２として用

いられると仮定する。ＴＦＴ　３００の複数領域に対応するトランジスタが、チャネル幅Ｗ１（例えば５０μｍ）を有し、シフトレジスタ２００に含まれる他のトランジスタＱ１，Ｑ３～Ｑ５が有するチャネル幅のうち、最も小さいものをチャネル幅Ｗ２（例えばトランジスタＱ５の５０μｍ）とする。このときチャネル幅Ｗ１は、実質的にチャネル幅Ｗ２と等しい。チャネル幅についてのこの条件が満たされると、シフトレジスタ２００内のトランジスタＱ１～Ｑ５がほぼ等しい閾値を有する。その結果、シフトレジスタ２００のトランジスタのリーク電流を全体として減少させることができるという効果を奏する。

[0120] 本発明の実施形態によるさまざまなＴＦＴの構造およびその製造方法が説明された。

[0121] 上述のＴＦＴは、ゲート電極がソース・ドレイン電極よりも基板に近い、ボトムゲート型（逆スタガ型ともいう）である。しかし本発明の実施形態は、トップゲート型（スタガ型ともいう）ＴＦＴとしても実現され得る。

[0122] 本明細書の実施形態によるＴＦＴは、ＬＣＤ以外の用途に用いられてもよい。そのような場合、基板の材料はガラスには限定されず、任意の他の適切な材料であり得る。

[0123] 全ての図面、特に断面図は、その要素が原寸に比例して描かれたのではない概略的なものである。

[0124] 以上の記載は、特許請求の範囲に規定される主題の例示を含む。特許請求の範囲に規定される主題を説明する目的で、構成要素または方法の想定可能なあらゆる組み合わせを記載することはもちろん不可能であるが、当業者であれば、特許請求の範囲に規定される主題についてさまざまなさらなる組み合わせおよび順列が可能であることが理解されよう。したがって特許請求の範囲に規定される主題は、特許請求の範囲の精神および範囲に入る、全てのそのような改変、変更および変形を包含するように意図される。さらに「有する」および「含む」という語は、特許請求の範囲において移行部の語として用いられる時に「備える」が解釈されるように、「備える」という語と同

様に、包含的であることが意図される。

産業上の利用可能性

[0125] 大電流駆動能力と、適正な閾値電圧とを有する薄膜トランジスタを提供できる点において有用である。トランジスタのリーク電流を全体として減少させることができるシフトレジスタを提供できる点において有用である。

符号の説明

[0126] ３００　ＴＦＴ

３１０，３１２　ソース・ドレイン電極

３２０　ゲート電極

３３０　半導体層

３３１～３４０　領域

３３１Ｗ～３４０Ｗ　チャネル幅

ＳＤ　ソース・ドレイン電極の長手方向

請求の範囲

[請求項1] ゲート電極と、

ゲート電極上に形成された絶縁層と、

前記絶縁層上に形成された半導体層と、

前記半導体層上に形成されたソース・ドレイン電極と

を備える薄膜トランジスタであって、

前記半導体層は、前記ソース・ドレイン電極の長手方向に分割された複数領域を含む

薄膜トランジスタ。

[請求項2] 前記複数領域に対応するチャネル幅は、約１２５μｍ以下である

請求項１に記載の薄膜トランジスタ。

[請求項3] 前記複数領域に対応するチャネル幅は、約５０μｍ以下である

請求項２に記載の薄膜トランジスタ。

[請求項4] エッチングストッパ層が前記半導体層と前記ソース・ドレイン電極との間に形成されている

請求項１に記載の薄膜トランジスタ。

[請求項5] 前記複数領域の間には、前記エッチングストッパ層が設けられている

請求項４に記載の薄膜トランジスタ。

[請求項6] 前記複数領域の間には、前記ソース・ドレイン電極が設けられている

請求項４に記載の薄膜トランジスタ。

[請求項7] ゲート電極と、

ゲート電極上に形成された絶縁層と、

前記絶縁層上に形成されたソース・ドレイン電極と、

前記ソース・ドレイン電極上に形成された半導体層と、

を備える薄膜トランジスタであって、

前記半導体層は、前記ソース・ドレイン電極の長手方向に分割され

た複数領域を含む

薄膜トランジスタ。

[請求項8] 複数の薄膜トランジスタを備えるシフトレジスタであって、

前記複数の薄膜トランジスタは、

ゲート電極と、

ゲート電極上に形成された絶縁層と、

前記絶縁層上に形成された半導体層と、

前記半導体層上に形成されたソース・ドレイン電極と

を含む第１薄膜トランジスタであって、

前記半導体層は、前記ソース・ドレイン電極の長手方向に分割された複数領域を含む第１薄膜トランジスタと、

第２薄膜トランジスタと

を含み、

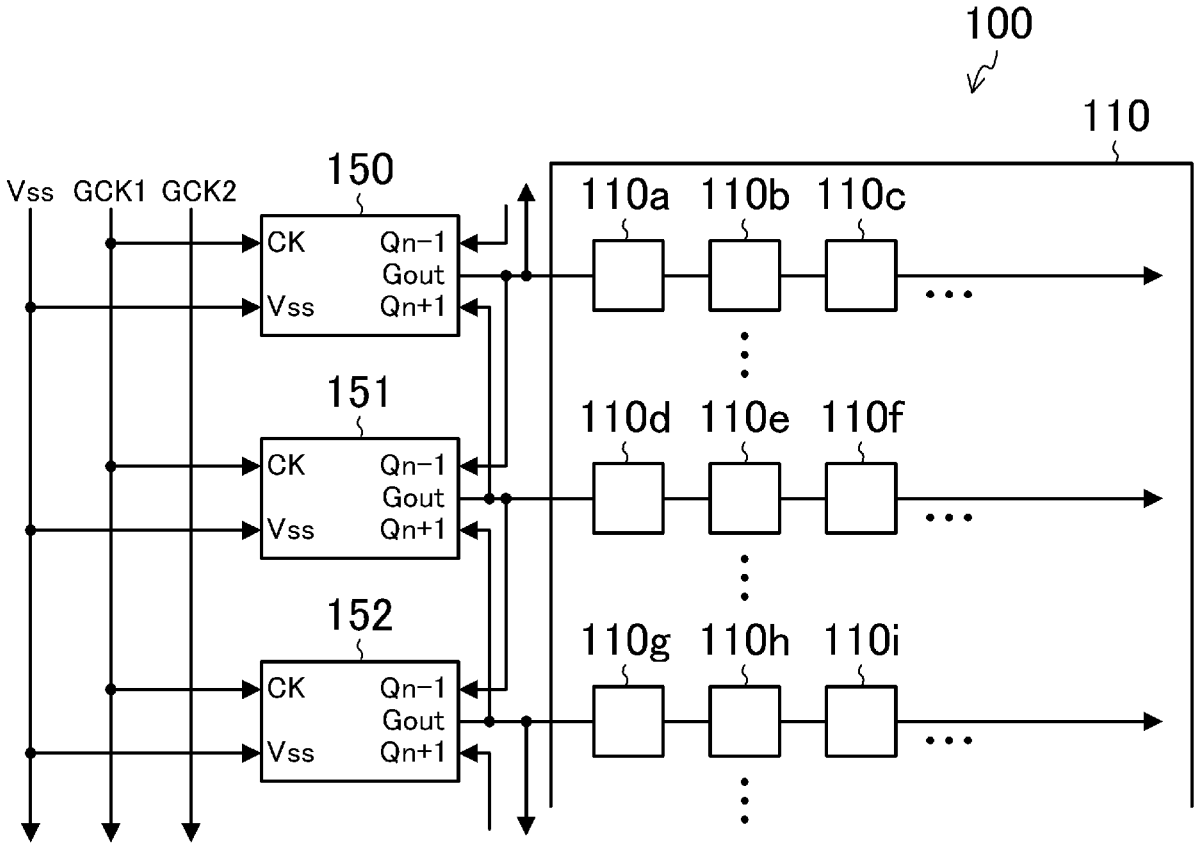
前記第１薄膜トランジスタの前記複数領域は、第１チャネル幅を有し、

前記第２薄膜トランジスタは、前記第１の薄膜トランジスタ以外の前記複数の薄膜トランジスタのうち、最も小さい第２チャネル幅を有し、

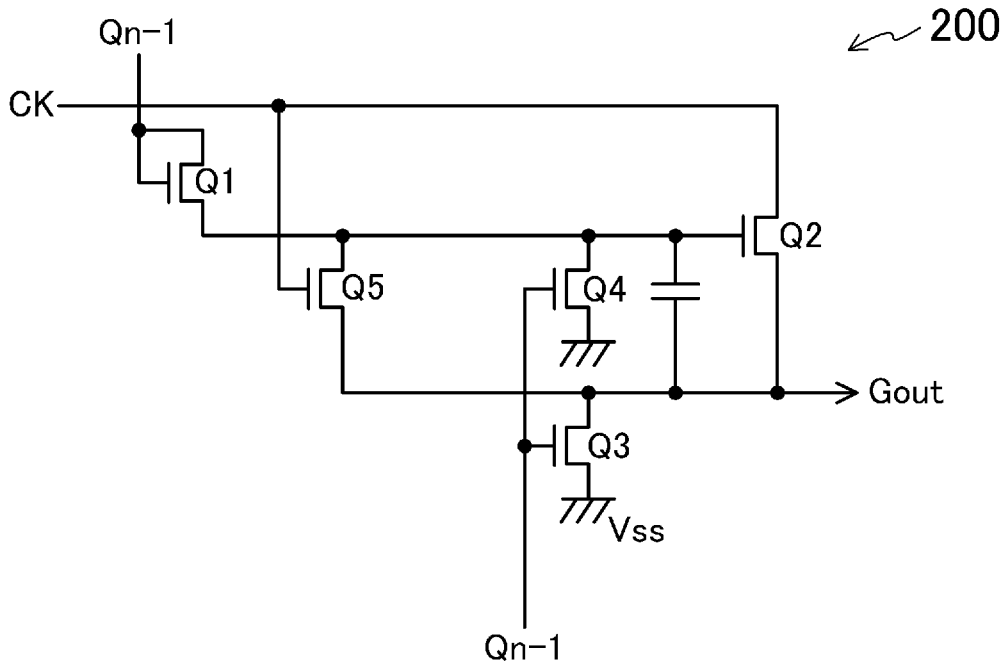
前記第１チャネル幅は、実質的に前記第２チャネル幅と等しい

シフトレジスタ。

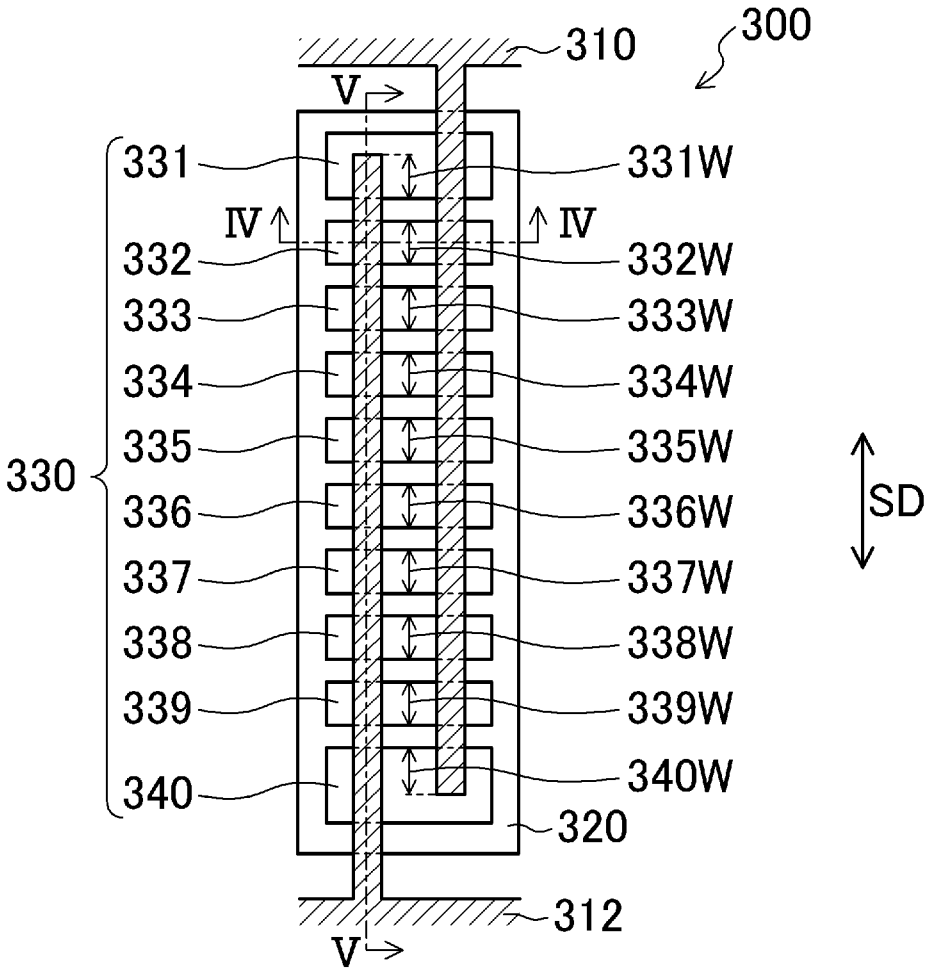
[図1]


100
110
150
151
152
Vss
GCK1
GCK2
CK
Qn-1
Gout
Vss
Qn+1
110a
110b
110c
110d
110e
110f
110g
110h
110i

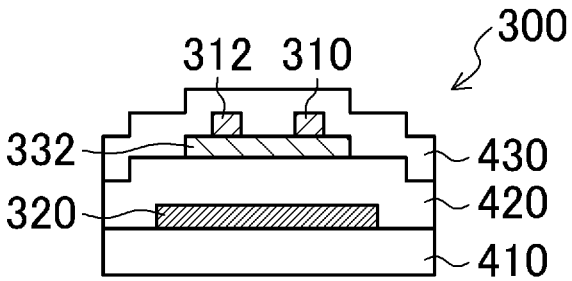
[図2]


200
Qn-1
CK
Q1
Q2
Q5
Q4
Gout
Q3
Vss
Qn-1

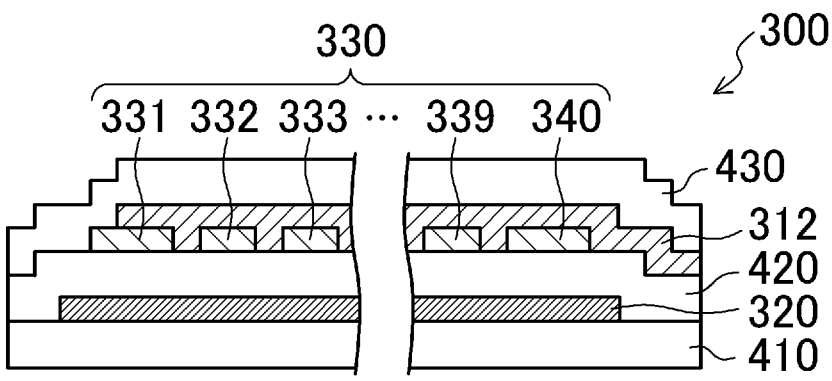
[図3]


300
310
V
331
331W
IV
IV
332
332W
333
333W
334
334W
335
335W
330
336
336W
SD
337
337W
338
338W
339
339W
340
340W
320
312
V

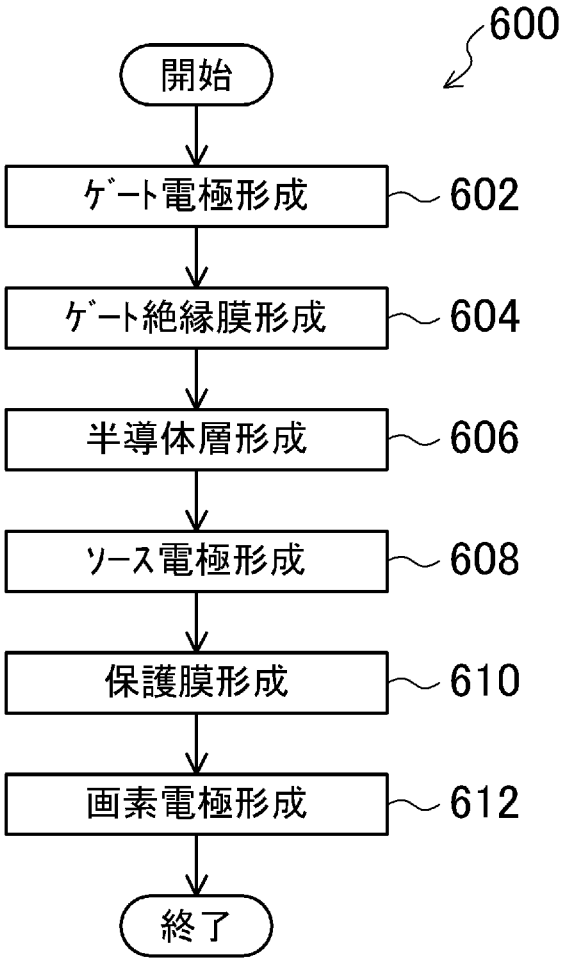
[図4]


300
312
310
332
430
320
420
410

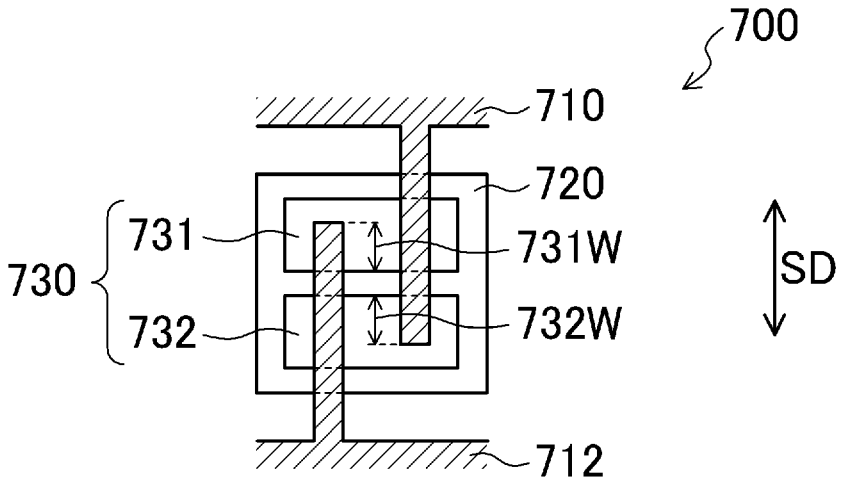
[図5]


330
300
331
332
333
339
340
430
312
420
320
410

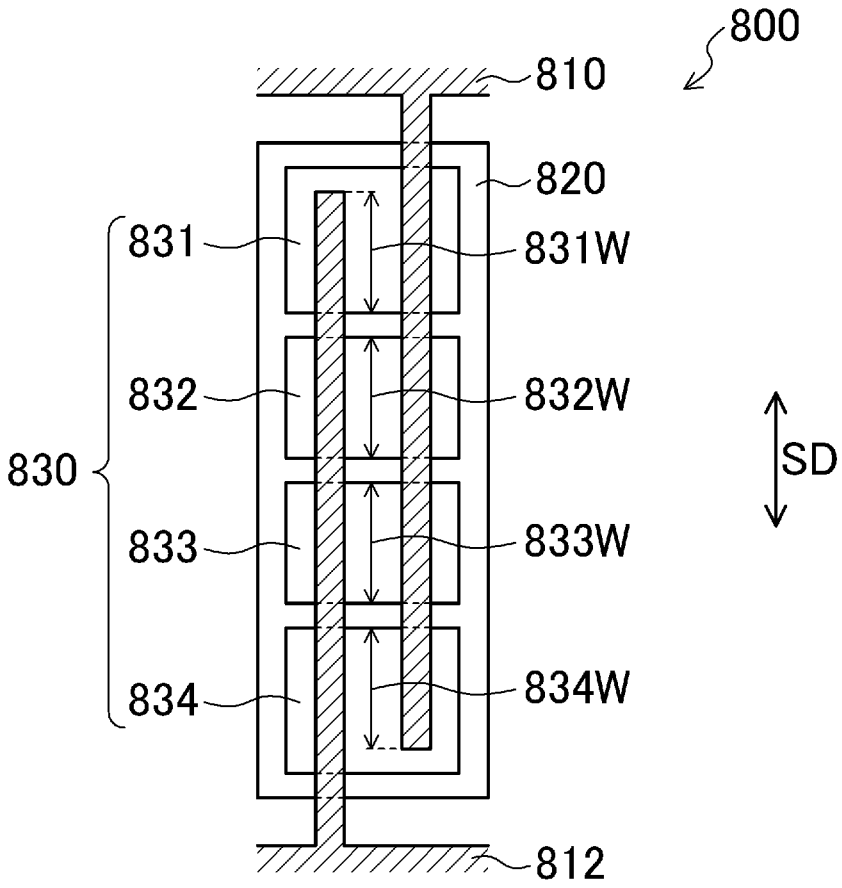
[図6]


600
開始
ゲート電極形成
602
ゲート絶縁膜形成
604
半導体層形成
606
ソース電極形成
608
保護膜形成
610
画素電極形成
612
終了

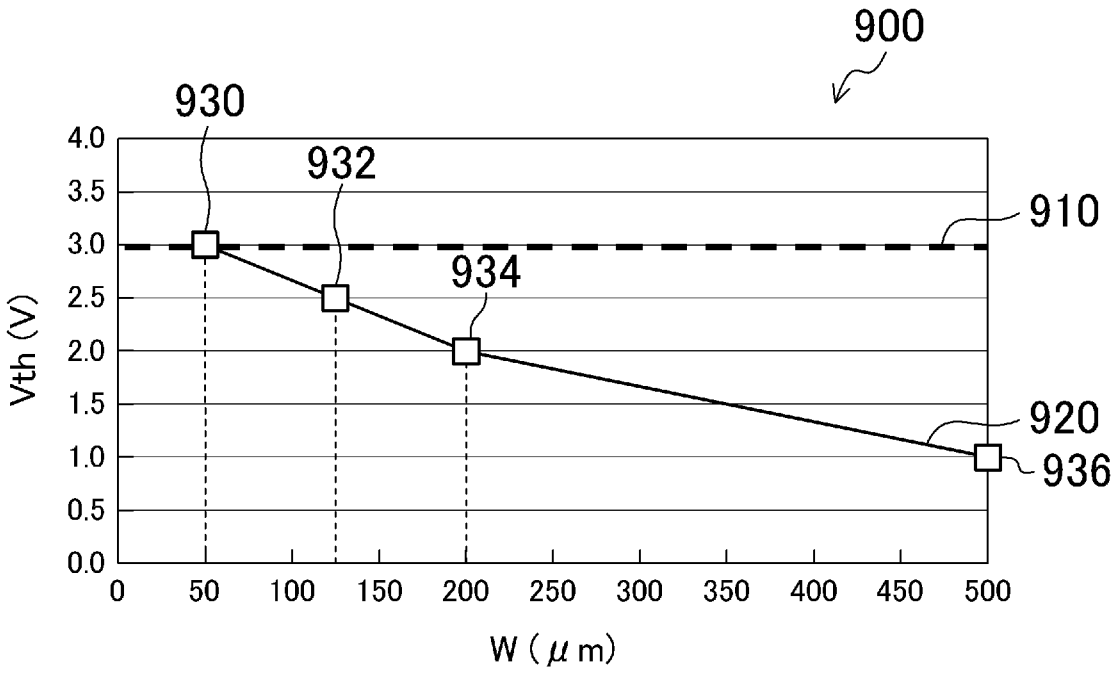
[図7]


700
710
720
730
731
731W
732
732W
SD
712

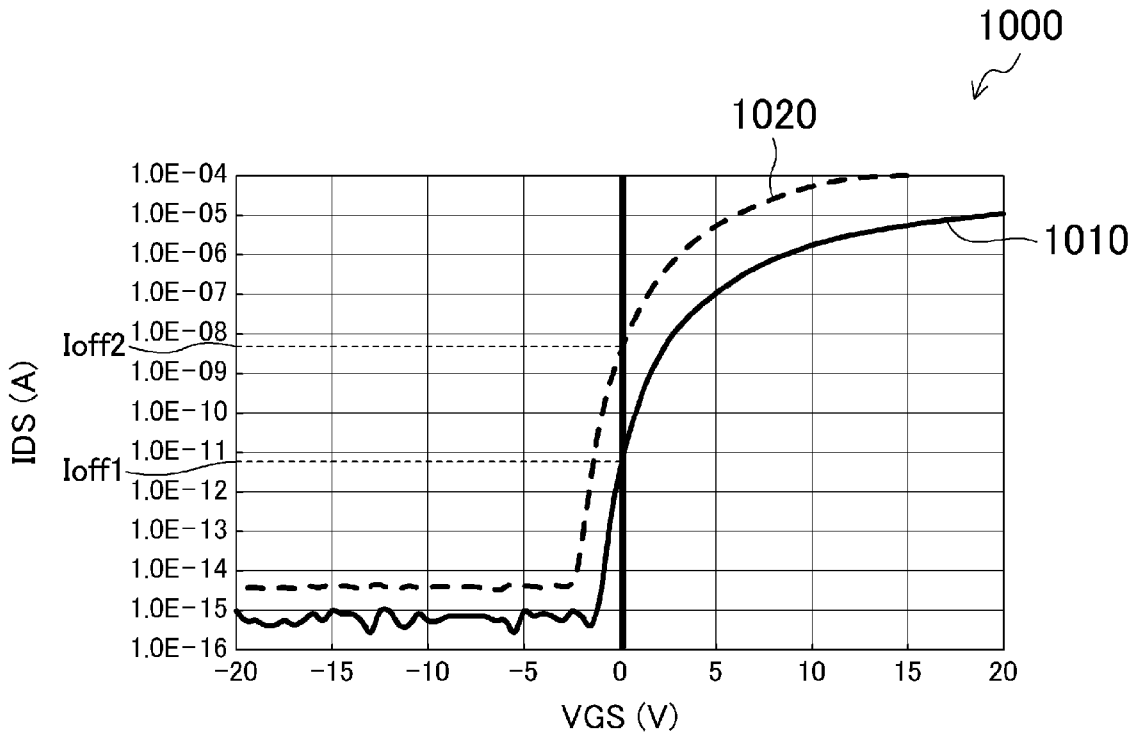
[図8]


800
810
820
831
831W
832
832W
830
833
833W
834
834W
812
SD

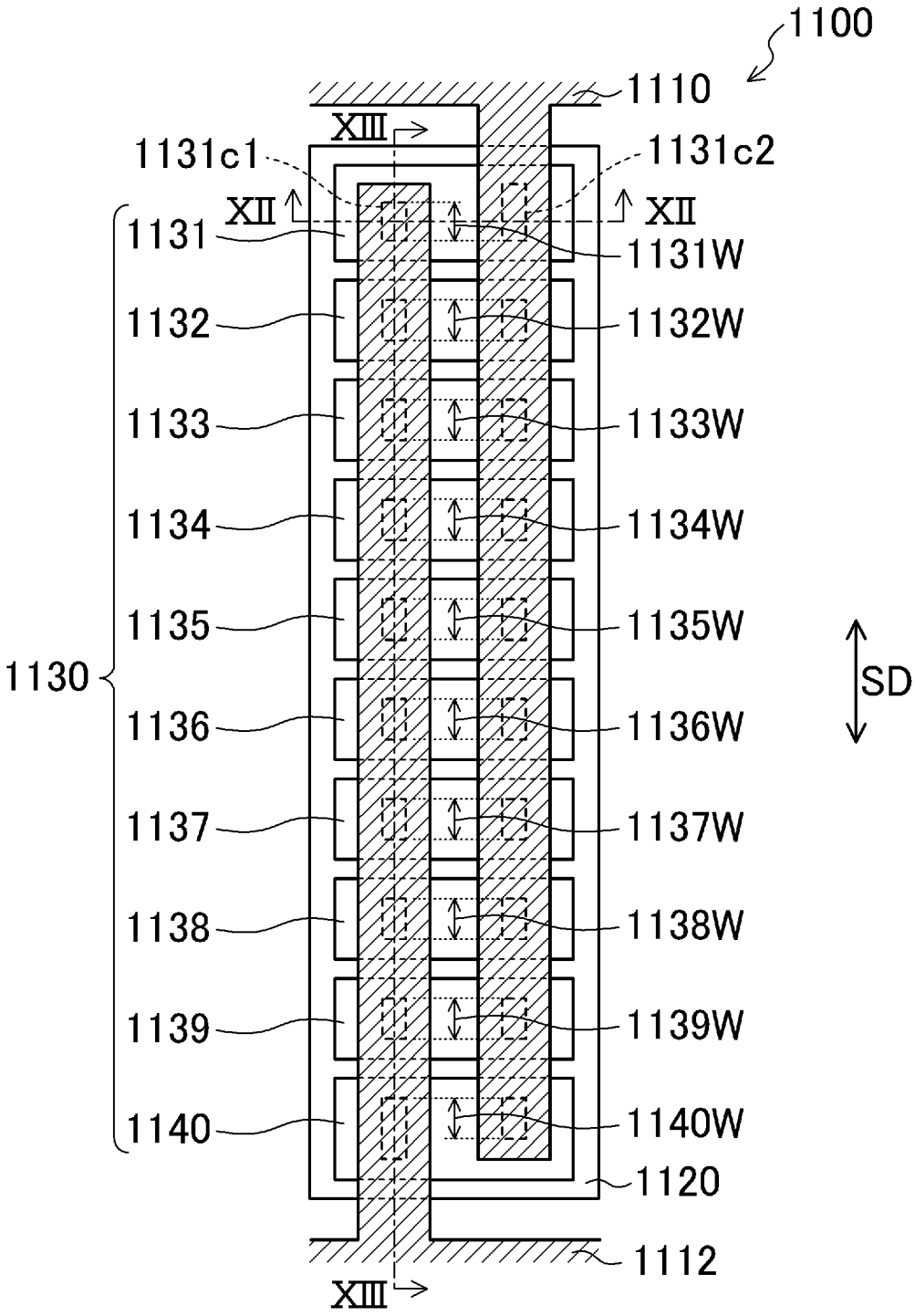
[図9]


900
930
932
910
934
920
936
Vth (V)
4.0
3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
0
50
100
150
200
250
300
350
400
450
500
W (μm)

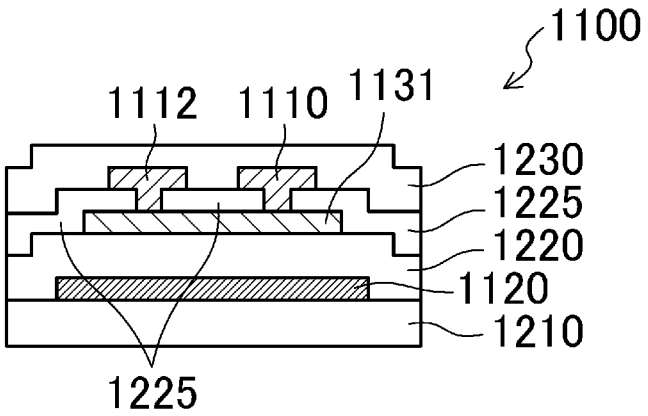
[図10]


1000
1020
1010
1.0E-04
1.0E-05
1.0E-06
1.0E-07
1.0E-08
1.0E-09
1.0E-10
1.0E-11
1.0E-12
1.0E-13
1.0E-14
1.0E-15
1.0E-16
Ioff2
Ioff1
IDS (A)
-20
-15
-10
-5
0
5
10
15
20
VGS (V)

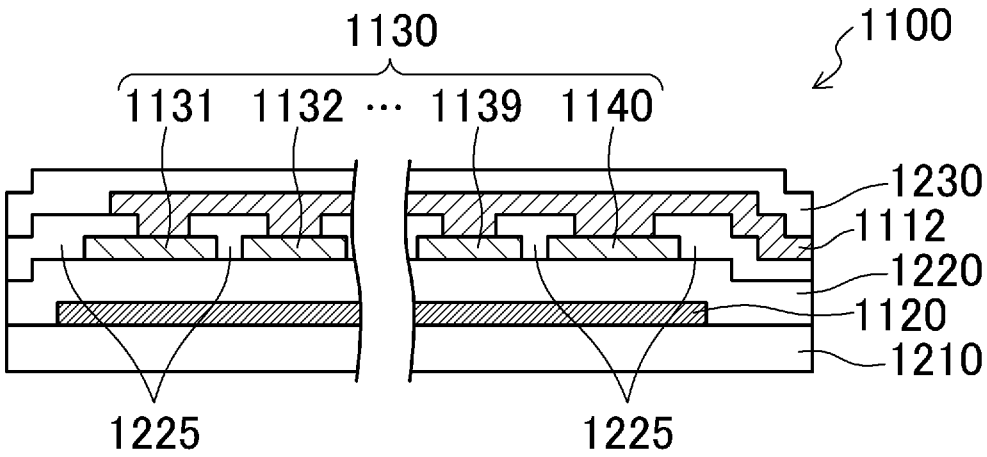
[図11]


1100
1110
XIII
1131c1
1131c2
XII
XII
1131
1131W
1132
1132W
1133
1133W
1134
1134W
1135
1135W
1130
SD
1136
1136W
1137
1137W
1138
1138W
1139
1139W
1140
1140W
1120
1112
XIII

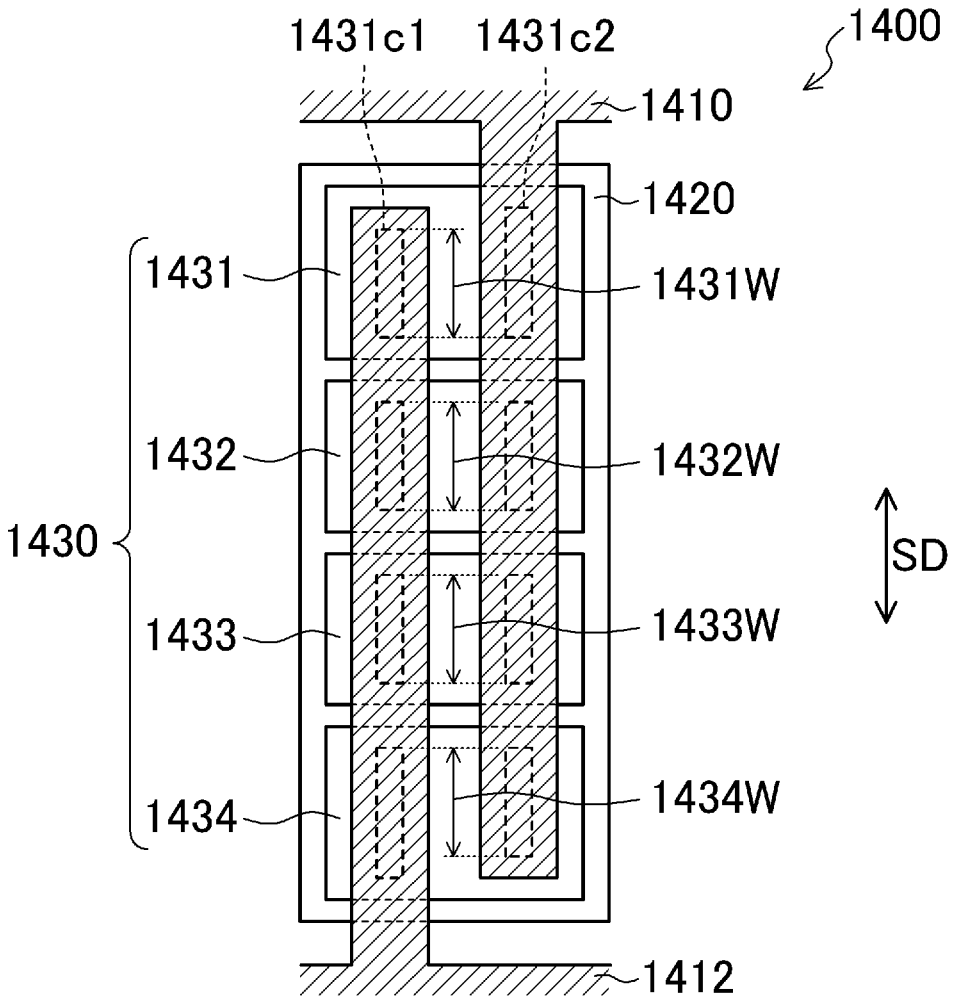
[図12]


1100
1112
1110
1131
1230
1225
1220
1120
1210
1225

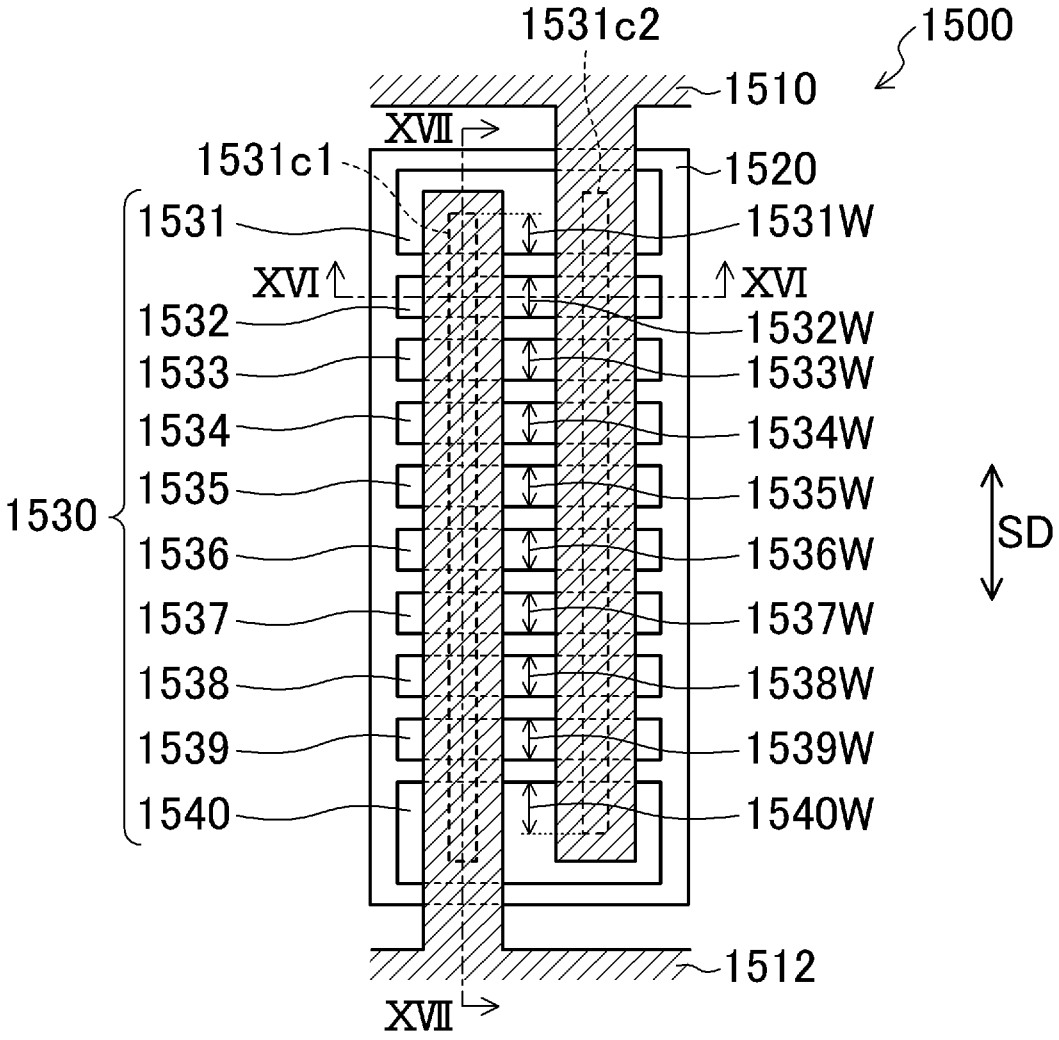
[図13]


1130
1100
1131
1132
1139
1140
1230
1112
1220
1120
1210
1225
1225

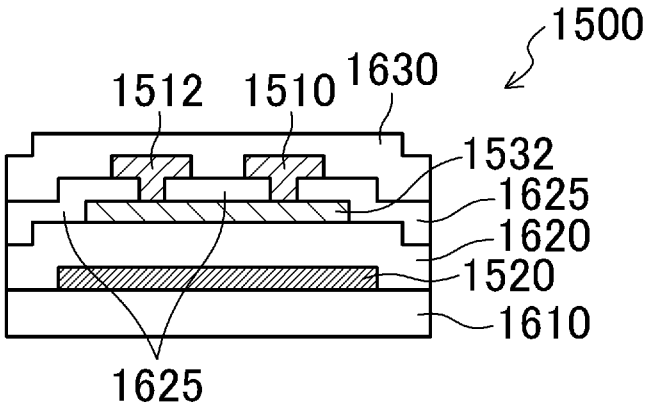
[図14]


1431c1
1431c2
1400
1410
1420
1431
1431W
1432
1432W
1430
SD
1433
1433W
1434
1434W
1412

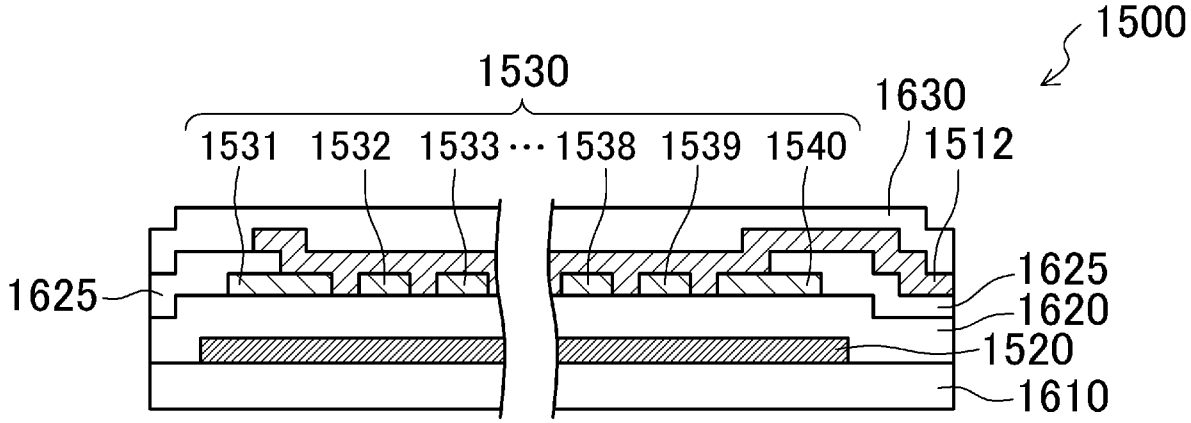
[図15]


1531c2
1500
1510
XVII
1531c1
1520
1531
1531W
XVI
XVI
1532
1532W
1533
1533W
1534
1534W
1535
1535W
1530
1536
1536W
SD
1537
1537W
1538
1538W
1539
1539W
1540
1540W
1512
XVII

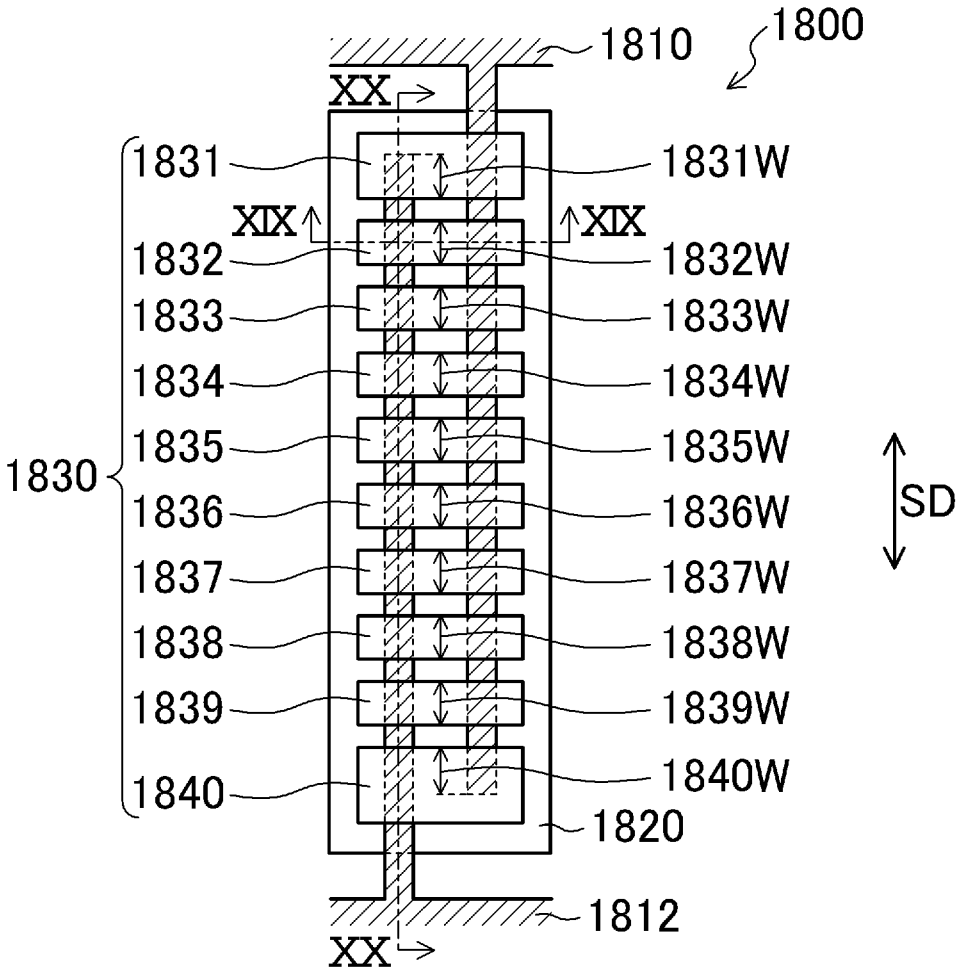
[図16]


1500
1512
1510
1630
1532
1625
1620
1520
1610
1625

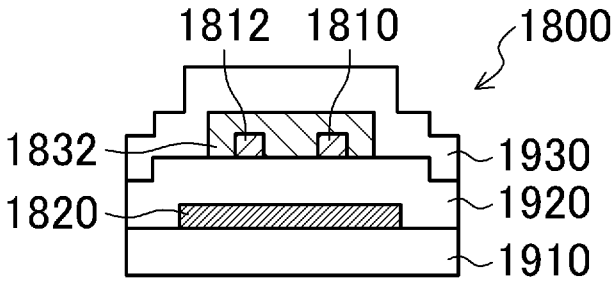
[図17]


1500
1530
1630
1531
1532
1533
1538
1539
1540
1512
1625
1625
1620
1520
1610

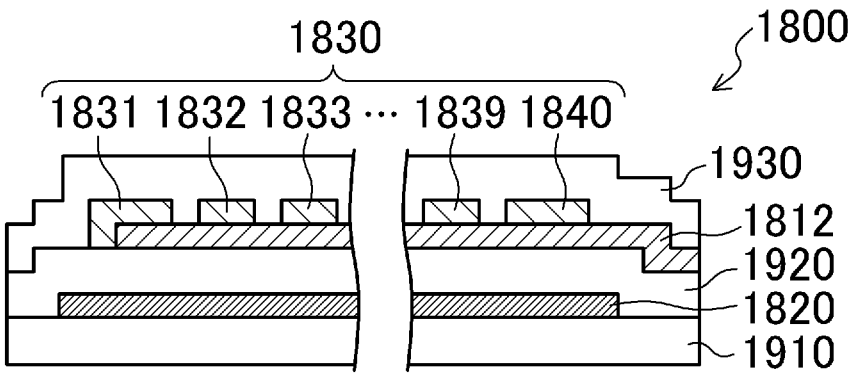
[図18]


1800
1810
XX
1831
1831W
XIX
XIX
1832
1832W
1833
1833W
1834
1834W
1835
1835W
1830
1836
1836W
SD
1837
1837W
1838
1838W
1839
1839W
1840
1840W
1820
1812
XX

[図19]


1812
1810
1800
1832
1930
1820
1920
1910

[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/002832

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *H01L21/8234*(2006.01)i, *H01L27/08*(2006.01)i, *H01L27/088*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, H01L21/8234, H01L27/08, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2007/148653 A1 (Matsushita Electric Industrial Co., Ltd.), 27 December 2007 (27.12.2007), paragraphs [0027] to [0066] & US 2010/0001259 A1	1-3 4-6,8
X Y	JP 2010-087098 A (Epson Imaging Devices Corp.), 15 April 2010 (15.04.2010), paragraphs [0005] to [0034] (Family: none)	1-3 4-6,8
Y	JP 11-097701 A (Seiko Epson Corp.), 09 April 1999 (09.04.1999), paragraphs [0024] to [0055] (Family: none)	4-6,8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 August, 2011 (10.08.11)	23 August, 2011 (23.08.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/002832

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-261423 A (Ricoh Co., Ltd.), 28 September 2006 (28.09.2006), paragraphs [0024] to [0031] (Family: none)	7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／００２８３２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, H01L21/8234(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, H01L21/8234, H01L27/08, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	WO 2007/148653 A1（松下電器産業株式会社）2007.12.27, 段落［００２７］－［００６６］ & US 2010/0001259 A1	1-3 4-6,8
X Y	JP 2010-087098 A（エプソンイメージングデバイス株式会社） 2010.04.15, 段落【０００５】－【００３４】（ファミリーなし）	1-3 4-6,8
Y	JP 11-097701 A（セイコーエプソン株式会社）1999.04.09, 段落【００２４】－【００５５】（ファミリーなし）	4-6,8

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．０８．２０１１	国際調査報告の発送日 ２３．０８．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　３３４９ 川村　裕二 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2006-261423 A（株式会社リコー）2006.09.28，段落【００２４】－【００３１】（ファミリーなし）	7