

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 3 月 3 日 (2016.3.3)

【公表番号】特表 2015-505644 (P2015-505644A)

【公表日】平成 27 年 2 月 23 日 (2015.2.23)

【年通号数】公開・登録公報 2015-012

【出願番号】特願 2014-554795 (P2014-554795)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 A

H 0 1 L 27/06 3 1 1 B

H 0 1 L 27/06 3 1 1 C

【手続補正書】

【提出日】平成 28 年 1 月 14 日 (2016.1.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のイントリンシックボディダイオードを含む第 1 の P 型電界効果トランジスタ (P F E T) と、

前記第 1 の P F E T のソースに結合される静電放電 (E S D) サブ回路と、
そのアノードが前記第 1 の P F E T のゲートに結合される、逆バイアス電圧要素と、
前記逆バイアス電圧要素のカソードに結合されるソースを有する第 2 の P F E T と、
前記第 2 の P F E T のゲートに結合されるキャパシタと、
前記第 2 の P F E T のゲートに結合される第 1 のレジスタと、
を含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、

前記第 1 の P F E T のドレインと前記第 1 のボディダイオードのアノードとに結合される入力ノードを更に含む、装置。

【請求項 3】

請求項 1 に記載の装置であって、

出力ノードを更に含み、

前記 E S D サブ回路が前記出力ノードと接地との間に結合される、装置。

【請求項 4】

請求項 3 に記載の装置であって、

前記第 1 の P F E T のゲートと前記接地との間に結合される第 2 のレジスタを更に含む、装置。

【請求項 5】

請求項 3 に記載の装置であって、

前記第 1 のレジスタが前記接地に結合される、装置。

【請求項 6】

請求項 3 に記載の装置であって、
前記キャパシタが、前記第 2 の P F E T のドレインと前記第 2 の P F E T の前記ゲートとの間に並列に結合される、装置。

【請求項 7】

請求項 1 に記載の装置であって、
前記装置が単一の集積回路内に具現化される、装置。

【請求項 8】

請求項 1 に記載の装置であって、
前記逆バイアス電圧要素がツェナーダイオードである、装置。

【請求項 9】

第 1 のボディダイオードを有する第 1 の P F E T と、
前記第 1 の P F E T のソースに結合される E S D サブ回路と、
そのアノードが前記第 1 の P F E T のゲートに結合される、逆バイアス電圧要素と、
第 2 のボディダイオードを有し、前記逆バイアス電圧要素のカソードに結合されるソースを有する、第 2 の P F E T と、
前記第 2 の P F E T のゲートに結合される第 1 のレジスタと、
前記第 1 の P F E T のゲートと接地との間に結合される第 2 のレジスタと、
前記第 2 の P F E T のゲートに結合されるキャパシタと、
を含む装置であって、
前記キャパシタが、前記第 2 の P F E T のドレインと前記第 2 の P F E T の前記ゲートとの間に並列に結合され、
前記第 1 のレジスタが前記接地にも結合される、装置。

【請求項 10】

請求項 9 に記載の装置であって、
前記第 1 の P F E T の前記ソースに結合される出力ノードを更に含む、装置。

【請求項 11】

請求項 9 に記載の装置であって、
正の電流のスパイクが、少なくとも部分的に前記第 1 のボディダイオードを介して及び前記 E S D サブ回路を介して前記接地まで通る、装置。

【請求項 12】

請求項 9 に記載の装置であって、
前記第 1 の P F E T の前記ドレインに結合されるノードを更に含み、
負の電流のスパイクが、前記 E S D サブ回路を介し、その後前記第 1 の P F E T を介して、前記ノードまで通る、装置。

【請求項 13】

請求項 9 に記載の装置であって、
前記第 1 の P F E T の前記ドレインと前記ソースとの間のツェナーダイオードの少なくとも逆バイアス電圧の電圧降下を更に含む、装置。

【請求項 14】

請求項 9 に記載の装置であって、
前記装置が単一の集積回路内に具現化される、装置。

【請求項 15】

請求項 9 に記載の装置であって、
前記第 2 のボディダイオードが電圧降下を前記逆バイアス電圧要素の前記カソードに搬送する、装置。

【請求項 16】

請求項 9 に記載の装置であって、
前記第 1 のレジスタと前記キャパシタとが、入力ノード上で負の電圧スパイクが生じる時間の経過後に前記第 2 の P F E T をオフにするため時定数を作成するように構成される

、装置。

【請求項 17】

請求項 9 に記載の装置であって、

前記逆バイアス電圧要素がツェナーダイオードである、装置。

【請求項 18】

第 1 のボディダイオードを有する第 1 の P F E T と、

前記第 1 の P F E T のソースに結合される E S D サブ回路と、

そのアノードが前記第 1 の P F E T のゲートに結合される、逆バイアス電圧要素と、

第 2 のボディダイオードを有し、前記逆バイアス電圧要素のカソードに結合されるソースを有する、第 2 の P F E T と、

前記第 2 の P F E T のゲートに結合される第 1 のレジスタと、

前記第 1 の P F E T のゲートと接地との間に結合される第 2 のレジスタと、

前記第 2 の P F E T のゲートに結合されるキャパシタと、

前記第 1 の P F E T のドレインに結合される第 1 のノードと、

を含む装置であって、

前記キャパシタが、前記第 2 の P F E T のドレインと前記第 2 の P F E T の前記ゲートとの間に並列に結合され、

前記第 1 のレジスタが前記接地にも結合され、

前記第 1 のノードが、前記第 2 の P F E T のドレインと前記キャパシタとに結合される

、装置。

【請求項 19】

請求項 18 に記載の装置であって、

前記第 1 の P F E T のソースに結合される出力ノードを更に含む、装置。

【請求項 20】

請求項 18 に記載の装置であって、

前記キャパシタが可変容量を有する、装置。