



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0154675
(43) 공개일자 2022년11월22일

- (51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) *H01L 23/02* (2006.01)
H01L 23/31 (2006.01) *H01L 23/482* (2006.01)
H01L 27/088 (2006.01) *H01L 29/786* (2006.01)
- (52) CPC특허분류
H01L 24/04 (2013.01)
H01L 23/02 (2013.01)
- (21) 출원번호 10-2022-7028780
- (22) 출원일자(국제) 2021년03월01일
 심사청구일자 없음
- (85) 번역문제출일자 2022년08월19일
- (86) 국제출원번호 PCT/IB2021/051671
- (87) 국제공개번호 WO 2021/181192
 국제공개일자 2021년09월16일
- (30) 우선권주장
 JP-P-2020-044668 2020년03월13일 일본(JP)
- (71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 오시마 가즈아키
 일본 2430036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 나이
 구니타케 히토시
 일본 2430036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 나이
- (74) 대리인
 김태홍, 김진희

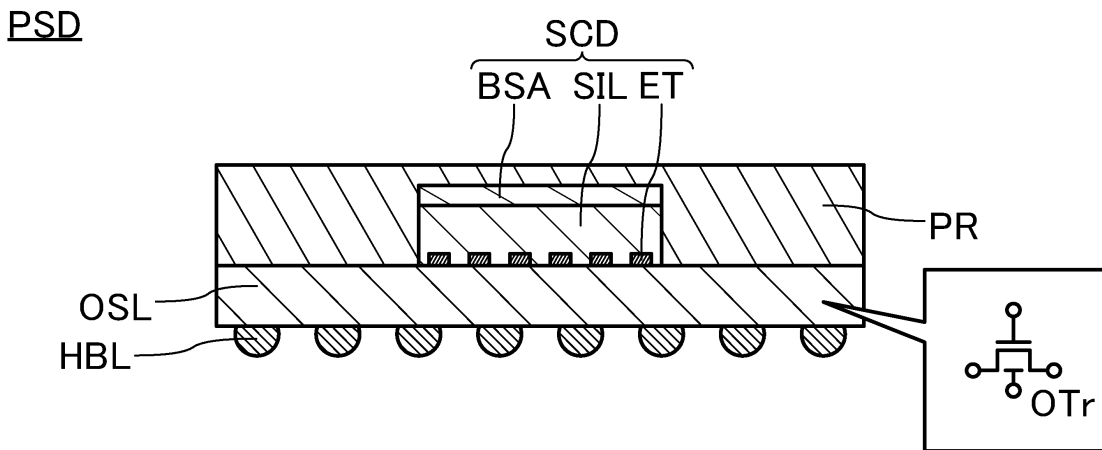
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 반도체 장치 및 전자 기기

(57) 요약

고속 데이터 전송(傳送)이 가능하고, 또한 회로 면적이 감소된 반도체 장치를 제공한다. 마주 보는 2개의 면을 갖는 층과, 반도체 칩과, 외부 단자를 포함하는 반도체 장치이다. 반도체 칩은 층의 한쪽 면 측에 제공되고, 외부 단자는 층의 다른 쪽 면 측에서 적어도 반도체 칩과 중첩되지 않는 영역에 제공되어 있다. 반도체 칩은 제 1 트랜지스터를 포함한 제 1 회로를 포함하고, 층은 제 2 트랜지스터를 포함한 제 2 회로를 포함한다. 제 1 회로는 제 2 회로에 전기적으로 접속되고, 제 2 회로는 외부 단자에 전기적으로 접속되어 있다. 또한 제 2 트랜지스터는 채널 형성 영역에 금속 산화물을 포함한다. 또한 제 2 회로는 CML 회로로 하여도 좋다. 또한 층의 한쪽 면의 위쪽과 반도체 칩의 측면에 절연체가 제공되어도 좋다.

대표도 - 도1



(52) CPC특허분류

H01L 23/3107 (2013.01)

H01L 23/482 (2013.01)

H01L 27/088 (2013.01)

H01L 29/7869 (2013.01)

H03K 19/09432 (2013.01)

H01L 2224/02333 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,
2개의 면을 갖는 층과, 반도체 칩과, 외부 단자를 포함하고,
상기 반도체 칩은 상기 층의 한쪽 면 측에 제공되고,
상기 외부 단자는 상기 층의 다른 쪽 면 측에서 적어도 상기 반도체 칩과 중첩되지 않는 영역에 제공되고,
상기 반도체 칩은 제 1 트랜지스터를 포함한 제 1 회로를 포함하고,
상기 층은 제 2 트랜지스터를 포함한 제 2 회로를 포함하고,
상기 제 1 회로는 상기 제 2 회로에 전기적으로 접속되고,
상기 제 2 회로는 상기 외부 단자에 전기적으로 접속되고,
상기 제 2 트랜지스터는 채널 형성 영역에 금속 산화물을 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 제 2 회로는 CML 회로인, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
상기 층의 한쪽 면의 위쪽과 상기 반도체 칩의 측면에 절연체가 제공되는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
상기 반도체 칩은 접속 단자를 포함하고,
상기 제 1 회로와 상기 제 2 회로는 상기 접속 단자를 통하여 전기적으로 접속되고,
상기 외부 단자의 피치 폭은 상기 접속 단자의 피치 폭보다 큰, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
상기 금속 산화물은 인듐과, 원소 M(M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 중에서 선택된 1종류 또는 2종류 이상의 원소)과, 아연을 포함하는, 반도체 장치.

청구항 6

전자 기기로서,
제 1 항 내지 제 5 항 중 어느 한 항에 따른 반도체 장치와 하우징을 포함하는, 전자 기기.

발명의 설명

기술분야

[0001] 본 발명의 일 형태는 반도체 장치 및 전자 기기에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물론, 동작 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 센서, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로서 들 수 있다.

배경 기술

[0003] 근년, 퍼스널 컴퓨터, 표시 장치 등의 전자 기기에서 처리되는 데이터양이 많아지고 있다. 이것은 프로세서 등의 처리 능력이 향상된 것, 기억 장치 등의 기억 용량이 증대된 것, 표시 장치의 고정세(高精細)화가 진행된 것 등에 기인하는 것으로 생각된다.

[0004] 또한 프로세서의 처리 능력의 향상, 기억 장치의 기억 용량의 증대에 따라 데이터 전송(傳送)의 고속화도 요구되고 있다. 예를 들어 프로세서의 처리 능력이 향상되어도 데이터의 전송량이 적으면, 전체적인 처리 시간은 길어지는 경우가 있다. 또한 예를 들어 기억 장치가 기록 동작 또는 판독 동작에서 처리하는 데이터양이 많은 경우, 상기 기억 장치에 입출력되는 데이터의 전송에도 긴 시간이 요구되는 경우가 있다. 특허문헌 1 및 특허문헌 2에는, CML(current mode logic) 회로를 사용한 고속 데이터 전송이 가능한 회로의 구성에 대하여 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 특개2015-2408호
 (특허문헌 0002) 일본 공개특허공보 특개2014-50087호

발명의 내용

해결하려는 과제

[0006] CML 회로는 예를 들어 바이폴러 트랜지스터 또는 MOS 트랜지스터를 사용하여 구성할 수 있다. 그러나 예를 들어 바이폴러 트랜지스터를 사용한 CML 회로는 바이폴러 트랜지스터 이외의 트랜지스터를 사용한 회로와 동일한 기관 위에 형성하는 것이 어렵다. 또한 예를 들어 MOS 트랜지스터를 사용한 CML 회로는 MOS 트랜지스터 이외의 트랜지스터를 사용한 회로와 동일한 기관 위에 형성하는 것이 어렵다.

[0007] 그러므로 CML 회로와 다른 회로의 각각을 다른 트랜지스터로 구성하는 경우, CML 회로와 다른 회로의 각각을 다른 기관 위에 형성할 필요가 있다. 예를 들어 CML 회로와 다른 회로를 한 장의 인쇄 회로 기관에 실장하는 경우에는, 인쇄 회로 기관의 면적이 크게 되기 때문에, CML 회로와 다른 회로를 포함한 반도체 장치의 제조 비용도 높아질 우려가 있다.

[0008] 또한 CML 회로와 다른 회로의 각각을 동일한 트랜지스터로 동일한 기관(예를 들어 반도체 웨이퍼 등) 위에 형성할 수 있더라도, 회로 규모에 따라서는 회로 면적이 크게 되는 경우가 있다. 이 경우에도 회로 면적이 크게 되면 기관에 회로를 형성하는 데 필요한 면적이 크게 되기 때문에, CML 회로와 다른 회로를 포함한 반도체 장치의 제조 비용이 높아질 우려가 있다.

[0009] 본 발명의 일 형태는 고속 데이터 전송이 가능한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 회로 면적이 감소된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 제조 비용이 절감된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0010] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도

하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

- [0011] (1) 본 발명의 일 형태는 2개의 면을 갖는 층과, 반도체 칩과, 외부 단자를 포함하는 반도체 장치이다. 반도체 칩은 층의 한쪽 면 측에 제공되고, 외부 단자는 층의 다른 쪽 면 측에서 적어도 반도체 칩과 중첩되지 않는 영역에 제공되어 있다. 반도체 칩은 제 1 트랜지스터를 포함한 제 1 회로를 포함하고, 층은 제 2 트랜지스터를 포함한 제 2 회로를 포함한다. 제 1 회로는 제 2 회로에 전기적으로 접속되고, 제 2 회로는 외부 단자에 전기적으로 접속되어 있다. 또한 제 2 트랜지스터는 채널 형성 영역에 금속 산화물을 포함한다.
- [0012] (2) 또는 본 발명의 일 형태는 상기 (1)에서, 제 2 회로를 CML 회로로 하는 구성으로 하여도 좋다.
- [0013] (3) 또는 본 발명의 일 형태는 상기 (1) 또는 (2)에서, 층의 한쪽 면의 위쪽과 반도체 칩의 측면에 절연체가 제공된 구성으로 하여도 좋다.
- [0014] (4) 또는 본 발명의 일 형태는 상기 (1) 내지 (3) 중 어느 하나에서, 반도체 칩이 접속 단자를 포함하고, 제 1 회로와 제 2 회로가 접속 단자를 통하여 전기적으로 접속되는 구성으로 하여도 좋다. 또한 외부 단자의 피치 폭은 접속 단자의 피치 폭보다 큰 것이 바람직하다.
- [0015] (5) 또는 본 발명의 일 형태는 상기 (1) 내지 (4) 중 어느 하나에서, 금속 산화물이 인듐과, 원소 M(M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 중에서 선택된 1종류 또는 2종류 이상의 원소)과, 아연을 포함하는 구성으로 하여도 좋다.
- [0016] (6) 또는 본 발명의 일 형태는 상기 (1) 내지 (5) 중 어느 하나의 반도체 장치와 하우징을 포함하는 전자 기기이다.
- [0017] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고, 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함한 회로, 이 회로를 포함한 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 포함한 칩, 패키지에 칩을 수납한 전자 부품 등은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치인 경우나, 반도체 장치를 포함하는 경우가 있다.
- [0018] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0019] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온과 오프가 제어되는 기능을 갖는다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 갖는다.
- [0020] X와 Y가 기능적으로 접속되는 경우에는, 일례로서 X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.
- [0021] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y가 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다.
- [0022] 또한 예를 들어 "X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순

서로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0023] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0024] 또한 본 명세서 등에서 "저항 소자"란, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 배선 등으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 갖는 배선, 소스와 드레인 간을 전류가 흐르는 트랜지스터, 다이오드, 코일 등을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", "저항값을 갖는 영역" 등의 용어로 바꿔 말할 수 있고, 반대로 "저항", "부하", "저항값을 갖는 영역"이라는 용어는 "저항 소자" 등의 용어로 바꿔 말할 수 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더욱 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 $1 \times 10^{9\Omega}$ 이하로 하여도 좋다.

[0025] 또한 본 명세서 등에서 "용량 소자"는, 예를 들어 0F보다 정전 용량의 값이 높은 회로 소자, 정전 용량의 값을 갖는 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 할 수 있다. 그러므로 본 명세서 등에서 "용량 소자"는 한 쌍의 전극과, 상기 전극 사이에 포함되는 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 발생하는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 "용량 소자", "기생 용량", "게이트 용량" 등이라는 용어는 "용량" 등의 용어로 바꿔 말할 수 있고, 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", "게이트 용량" 등의 용어로 바꿔 말할 수 있다. 또한 "용량"의 "한 쌍의 전극"이라는 용어는 "한 쌍의 도전체", "한 쌍의 도전 영역", "한 쌍의 영역" 등으로 바꿔 말할 수 있다. 또한 정전 용량의 값은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0026] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 포함한다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스 및 드레인이라는 용어는 바꿔 말할 수 있는 것으로 한다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 포함하는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 포함하는 경우, 본 명세서 등에서는 각 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0027] 또한 본 명세서 등에서 노드는 회로 구성, 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.

[0028] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화됨으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도

변화된다.

- [0029] 또한 본 명세서 등에서 "고레벨 전위", "저레벨 전위"라는 용어는 특정의 전위를 의미하는 것은 아니다. 예를 들어 2개의 배선의 양쪽이 "고레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 고레벨 전위는 서로 같지 않아도 된다. 또한 마찬가지로 2개의 배선의 양쪽이 "저레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 저레벨 전위는 서로 같지 않아도 된다.
- [0030] "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"라고 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 별도의 설명이 없는 한, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어란 전자, 정공, 음이온, 양이온, 착이온 등이고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 진공 중 등)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양의 캐리어가 이동하는 방향이고, 양의 전류량으로 기재한다. 바꿔 말하면, 음의 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 별도의 설명이 없는 경우, "소자 A로부터 소자 B로 전류가 흐른다" 등의 기재는 "소자 B로부터 소자 A로 전류가 흐른다" 등으로 바꿔 말할 수 있는 것으로 한다. 또한 "소자 A에 전류가 입력된다" 등의 기재는 "소자 A로부터 전류가 출력된다" 등으로 바꿔 말할 수 있는 것으로 한다.
- [0031] 또한 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 생략될 수도 있다.
- [0032] 또한 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 용어는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"라고 바꿔 말할 수 있다.
- [0033] 또한 "위" 또는 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접촉하는 것에 한정되지 않는다. 예를 들어 "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0034] 또한 본 명세서 등에서 "막", "층" 등의 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막", "층" 등의 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 "도전층" 또는 "도전막"이라는 용어를 "도체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.
- [0035] 또한 본 명세서 등에서 "전극", "배선", "단자" 등의 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 또는 "배선"이라는 용어는, 복수의 "전극" 또는 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선" 및/또는 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는, 복수의 "전극", "배선", "단자" 등이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", "단자" 등의 용어는 경우에 따라 "영역" 등의 용어로 치환되는 경우가 있다.
- [0036] 또한 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는, 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어

로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 "전위"라는 용어를 경우 또는 상황에 따라 "신호" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.

[0037] 본 명세서 등에서 반도체의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체의 결함 준위 밀도가 높아지거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 구체적으로는, 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소, 산소 등이 있다.

[0038] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 갖는 것을 말한다. 일례로서는, 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0039] 전기적 스위치의 일례로서는, 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0040] 기계적 스위치의 일례로서는, MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 포함하고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.

[0041] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

발명의 효과

[0042] 본 발명의 일 형태에 의하여, 고속 데이터 전송이 가능한 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 회로 면적이 감소된 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 제조 비용이 절감된 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 신규 반도체 장치를 제공할 수 있다.

[0043] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 갖는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

[0044] 도 1은 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 2의 (A) 및 (B)는 반도체 장치의 구성예를 나타낸 블록도이다.

도 3의 (A) 내지 (C)는 반도체 장치에 포함되는 회로의 일례를 나타낸 회로도이다.

도 4의 (A) 내지 (C)는 반도체 장치에 포함되는 회로의 일례를 나타낸 회로도이다.

도 5의 (A) 내지 (D)는 반도체 장치에 포함되는 회로의 일례를 나타낸 회로도이다.

도 6의 (A) 내지 (E)는 반도체 장치의 제작 방법의 일례를 설명하는 단면 모식도이다.

도 7의 (A) 내지 (E)는 반도체 장치의 제작 방법의 일례를 설명하는 단면 모식도이다.

도 8의 (A) 내지 (E)는 반도체 장치의 제작 방법의 일례를 설명하는 단면 모식도이다.

도 9는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 10은 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 11의 (A) 내지 (C)는 트랜지스터의 구성예를 나타낸 단면 모식도이다.

도 12는 반도체 장치의 구성예를 나타낸 단면 모식도이다.

도 13의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이고, 도 13의 (B)는 결정성 IGZO의 XRD 스펙트럼을 설명하는 도면이고, 도 13의 (C)는 결정성 IGZO의 나노빔 전자 회절 패턴을 설명하는 도면이다.

도 14의 (A)는 반도체 웨이퍼의 일례를 나타낸 사시도이고, 도 14의 (B)는 다이의 일례를 나타낸 사시도이고, 도 14의 (C) 및 (D)는 반도체 장치의 일례를 나타낸 사시도이고, 도 14의 (E)는 실장 기관의 일례를 나타낸 사시도이다.

도 15는 전자 기기의 일례를 나타낸 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0045] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 갖는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 할 수 있다. 또한 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 포함하는 트랜지스터로 바꿔 말할 수 있다.
- [0046] 또한 본 명세서 등에서, 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.
- [0047] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.
- [0048] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.
- [0049] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0050] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.
- [0051] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 사시도 등에서는, 도면의 명확성을 기하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.

- [0052] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하고, 이들을 특별히 구별할 필요가 있는 경우에는, 부호에 "_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다.
- [0053] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0054] (실시형태 1)
- [0055] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치에 대하여 설명한다.
- [0056] <반도체 장치의 구성예>
- [0057] 도 1은 FOWLP(Fan Out Wafer Level Package)의 구성을 갖는 반도체 장치의 단면도의 일례를 나타낸 것이다. 반도체 장치(PSD)는 일례로서 다이(SCD)와, 층(OSL)과, 절연체(PR)와, 범프(HBL)를 포함한다. 또한 다이(SCD)는 기판(BSA)과, 층(SIL)과, 접속 단자(ET)를 포함한다.
- [0058] 다이(SCD)는 실시형태 4에서 후술하는 반도체 웨이퍼로부터 잘라 낸 반도체 칩으로 할 수 있다. 본 실시형태에서는, 다이(SCD)에서 층(SIL)은 기판(BSA) 위에 형성되어 있다. 층(SIL)은 예를 들어 전환 회로, 논리 회로, 아날로그 회로 등을 포함할 수 있다. 또한 아날로그 회로로서는, 예를 들어 신호 변환 회로, 전위 레벨 변환 회로, 증폭 회로 등이 포함되는 경우가 있다. 또한 층(SIL)에는 기억 장치, 연산 회로 등이 포함되어도 좋다.
- [0059] 기판(BSA)은 예를 들어 실리콘을 재료로 한 반도체 기판으로 할 수 있다. 또한 기판(BSA)을, 실리콘을 재료로 한 반도체 기판으로 함으로써, 실리콘을 채널 형성 영역에 포함한 트랜지스터(이하, Si 트랜지스터라고 함)를 기판(BSA) 위에 형성할 수 있고, 층(SIL)에 포함되어 있는 전환 회로, 논리 회로, 아날로그 회로 등을 Si 트랜지스터로 구성할 수 있다.
- [0060] 또한 기판(BSA)은 예를 들어 저마늄을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨 등을 재료로 한 화합물 반도체 기판 등으로 하여도 좋다. 또한 기판(BSA)으로서의 반도체 기판 내부에 절연체 영역을 갖는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등도 사용하여도 좋다.
- [0061] 또한 기판(BSA)으로서 예를 들어 절연체 기판을 사용하여도 좋다. 상기 절연체 기판으로서의 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 기판(BSA)으로서의 예를 들어 도전체 기판을 사용하여도 좋다. 상기 도전체 기판으로서의 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등을 들 수 있다. 다만 기판(BSA)으로서 절연체 기판 또는 도전체 기판을 적용한 경우, 절연체 기판 및 도전체 기판은 반도체 기판과 달리 기판에 채널 형성 영역을 형성할 수 없기 때문에, 절연체 기판 및 도전체 기판에 트랜지스터를 직접 형성할 수 없다. 그러므로 절연체 기판 또는 도전체 기판에 트랜지스터를 형성하기 위해서는, 절연체 기판 또는 도전체 기판의 위쪽에 반도체막을 별도로 제공할 필요가 있다.
- [0062] 다이(SCD)는 접속 단자(ET)가 층(OSL) 위에 접촉하도록 제공되어 있다. 접속 단자(ET)는 다이(SCD)에 포함되어 있는 회로와, 층(OSL)에 포함되어 있는 배선을 전기적으로 접속하기 위한 단자로서 기능한다.
- [0063] 또한 층(OSL)에서 다이(SCD)가 제공된 면과 반대쪽에는 범프(HBL)가 제공되어 있다. 층(OSL)에는, 다이(SCD)에 포함되어 있는 회로와 범프(HBL)를 전기적으로 접속하기 위한 배선이 제공되어 있다. 그러므로 층(OSL)은 FOWLP에서의 재배선층으로서 기능한다.
- [0064] 또한 도 1에는 일례로서 범프(HBL)로서 볼을 나타내었다. 또한 범프(HBL)는 뿔납을 사용하여 형성할 수 있다. 이와 같이 반도체 장치(PSD)는 BGA(Ball Grid Array)의 단자를 포함한다. 또한 반도체 장치(PSD)에 포함되는 단자는 BGA에 한정되지 않는다. 예를 들어 반도체 장치(PSD)는 BGA가 아니라 LGA(Land Grid Array), PGA(Pin Grid Array) 등의 단자를 포함하여도 좋다.
- [0065] 또한 범프(HBL)가 층(OSL)에서 다이(SCD)와 중첩되지 않는 영역에 제공되는 경우, 접속 단자(ET)를 다이(SCD)의 외측까지 확장할 수 있다. 그러므로 범프(HBL)는 적어도 층(OSL)에서 다이(SCD)와 중첩되지 않는 영역에 제공되는 것이 바람직하고, 이에 더하여 층(OSL)에서 다이(SCD)와 중첩되는 영역에도 제공되는 것이 바람직하다. 또한 범프(HBL)가 층(OSL)에서 다이(SCD)와 중첩되지 않는 영역에 제공되는 경우, 범프(HBL)의 피치 폭을 다이

(SCD)의 접속 단자(ET)의 피치 폭보다 크게 할 수 있다.

- [0066] 또한 층(OSL)에는 트랜지스터(OTr)가 제공되어 있다. 트랜지스터(OTr)로서는 예를 들어 OS 트랜지스터를 적용할 수 있다. OS 트랜지스터의 채널 형성 영역은 인듐, 갈륨, 아연 중 적어도 하나를 포함한 산화물인 것이 더 바람직하다. 또한 상기 산화물 대신에, 인듐, 원소 M(원소 M로서는, 예를 들어 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류 등이 있음), 아연 중 적어도 하나를 포함한 산화물을 사용하여도 좋다. OS 트랜지스터는 특히 실시형태 2에서 기재하는 트랜지스터의 구조를 갖는 것이 더 바람직하다.
- [0067] 또한 재배선층인 층(OSL)에 트랜지스터(OTr)를 제공함으로써, 재배선층에 원하는 회로를 구성할 수 있다. 즉 예를 들어 층(OSL)은 트랜지스터(OTr)가 포함되어 있는 회로를 포함하여도 좋다.
- [0068] 도 1의 반도체 장치(PSD)에서, 다이(SCD)와 층(OSL)은 서로 전기적으로 접속되도록 접합되어 있다. 구체적으로는, 다이(SCD)에 포함되어 있는 전기적인 접속 단자와, 층(OSL)에 포함되어 있는 전기적인 접속 단자가 접촉되도록 접합되어 있다. 또한 여기서 전기적인 접속 단자로서는, 예를 들어 도전체, 배선 등이 있다. 또한 다이(SCD) 위에 형성되어 있는 회로와, 층(OSL)의 재배선층의 전기적인 접속 방법에 대해서는 후술한다.
- [0069] 또한 다이(SCD) 및 층(OSL) 위에는 밀봉재로서 절연체(PR)가 제공되어 있다. 절연체(PR)는 다이(SCD)의 정전 파괴를 방지하기 위한 보호층으로서의 기능과, 외부의 성분이 다이(SCD)에 들어가는 것을 방지하기 위한 밀봉재로서의 기능을 갖는다.
- [0070] 절연체(PR)로서는, 예를 들어 에폭시계 수지 등의 유기 수지층 등을 사용할 수 있다.
- [0071] 여기서, 구체적인 예로서, 도 1의 반도체 장치(PSD)에 포함되는 회로의 구성예를 도 2의 (A)의 블록도에 나타내었다. 도 2의 (A)의 반도체 장치(PSD)에서, 일례로서 층(SIL)은 회로(SIC)를 포함하고, 층(OSL)은 회로(OSC)를 포함한다. 회로(SIC) 또는 회로(OSC)로서는, 예를 들어 전환 회로, 논리 회로, 아날로그 회로 등을 포함할 수 있다. 또한 도 2의 (A)의 반도체 장치(PSD)에서는, 일례로서 회로(SIC)는 회로(OSC)에 전기적으로 접속되고, 회로(OSC)는 외부 단자(EXT1)에 전기적으로 접속되어 있다. 여기서 외부 단자(EXT1)는, 예를 들어 도 1의 반도체 장치(PSD)에 나타난 범프(HBL)에 상당한다. 또한 회로(SIC)는 도 2의 (A)에 나타난 바와 같이, 회로(OSC)를 통하지 않고, 외부 단자(EXT2)에 전기적으로 접속되어도 좋다. 여기서 외부 단자(EXT2)는, 예를 들어 외부 단자(EXT1)와 마찬가지로, 도 1의 반도체 장치(PSD)에 나타난 범프(HBL)에 상당한다.
- [0072] 특히, 도 2의 (A)의 반도체 장치(PSD)에서, 회로(OSC)로서는 예를 들어 CML(Current Mode Logic) 회로를 포함하여도 좋다. CML 회로는 차동 증폭 회로를 이용한 소신폭 차동 전송 방식을 사용한 신호 전송 회로이고, 신호의 고속 전송을 실현한다. 또한 CML 회로는 고속 데이터 통신에서의 출력 버퍼 회로로서의 기능을 갖고, CML 회로를 통하여 출력되는 신호의 레벨을 안정화시킬 수 있다.
- [0073] 층(OSL)에 CML 회로를 제공함으로써, 층(SIL)에 포함되어 있는 회로(SIC)로부터 반도체 장치(PSD1)의 외부로의 신호 전송 및/또는 반도체 장치(PSD1)의 외부로부터 층(SIL)에 포함되어 있는 회로(SIC)로의 신호 전송을 고속화할 수 있다.
- [0074] 또한 본 발명의 일 형태의 반도체 장치는 도 2의 (A)에 나타난 반도체 장치(PSD)의 구성에 한정되지 않는다. 본 발명의 일 형태의 반도체 장치는 예를 들어 도 2의 (B)의 블록도에 나타난 구성을 가져도 좋다. 도 2의 (B)의 반도체 장치(PSD)는 층(SIL)이 회로(SIC)를 포함하고, 또한 층(OSL)이 회로(OSC)를 포함한다는 점에서 도 2의 (A)의 반도체 장치(PSD)의 회로 구성과 같지만, 회로(SIC)와 회로(OSC)로 회로(DEV)가 구성되어 있다는 점에서 도 2의 (A)의 반도체 장치(PSD)의 회로 구성과 다르다. 즉 회로(OSC)는 층(SIL)에 포함되어 있는 회로(SIC)와 조합됨으로써 회로(DEV)를 구성할 수 있는 일부분의 회로로 하여도 좋다. 또한 회로(DEV)는 예를 들어 기억 장치, 연산 회로 등으로 할 수 있다. 또한 도 2의 (B)에 나타난 바와 같이, 도 2의 (A)의 반도체 장치(PSD)와 마찬가지로, 회로(SIC)는 회로(OSC)를 통하지 않고 외부 단자(EXT2)에 전기적으로 접속되어도 좋다.
- [0075] <<CML 회로의 구성예>>
- [0076] 여기서는, 회로(OSC)로서 제공할 수 있는 CML 회로의 구성예에 대하여 설명한다.
- [0077] [발진기]
- [0078] 도 3의 (A)에 나타난 회로(RGCM)는 발진기로서 기능하는 CML 회로이고, 차동 증폭 회로(CM[1]) 내지 차동 증폭

회로(CM[n+1])를 포함한다(여기서 n은 4 이상의 짝수임).

- [0079] 또한 회로(RGCM)는 단자(OCLN)와 단자(OCLP)를 포함한다. 단자(OCLP) 및 단자(OCLN)는 회로(RGCM)에서의 출력 단자로서 기능한다.
- [0080] 차동 증폭 회로(CM[1])의 반전 출력 단자는 차동 증폭 회로(CM[2])의 비반전 입력 단자에 전기적으로 접속되고, 차동 증폭 회로(CM[1])의 비반전 출력 단자는 차동 증폭 회로(CM[2])의 반전 입력 단자에 전기적으로 접속되어 있다. 또한 차동 증폭 회로(CM[n-1])의 반전 출력 단자는 차동 증폭 회로(CM[n])의 반전 입력 단자에 전기적으로 접속되고, 차동 증폭 회로(CM[n-1])의 비반전 출력 단자는 차동 증폭 회로(CM[2])의 비반전 입력 단자에 전기적으로 접속되어 있다. 또한 차동 증폭 회로(CM[n])의 반전 출력 단자는 차동 증폭 회로(CM[n+1])의 반전 입력 단자와 차동 증폭 회로(CM1)의 비반전 입력 단자에 전기적으로 접속되고, 차동 증폭 회로(CM[n])의 비반전 출력 단자는 차동 증폭 회로(CM[n+1])의 비반전 입력 단자와 차동 증폭 회로(CM[1])의 반전 입력 단자에 전기적으로 접속되어 있다. 또한 차동 증폭 회로(CM[n+1])의 반전 입력 단자는 단자(OCLN)에 전기적으로 접속되고, 차동 증폭 회로(CM[n+1])의 비반전 입력 단자는 단자(OCLP)에 전기적으로 접속되어 있다.
- [0081] 즉 도 3의 (A)에 나타낸 바와 같이 차동 증폭 회로(CM[1]) 내지 차동 증폭 회로(CM[n])를 링 형상으로 결합함으로써, 발진기(링 오실레이터)를 구성할 수 있다. 또한 상기 발진기는 어떤 인접한 차동 증폭 회로들 사이에서는 한쪽 비반전 출력 단자와 다른 쪽 비반전 입력 단자가 전기적으로 접속되고, 한쪽 반전 출력 단자와 다른 쪽 반전 입력 단자가 전기적으로 접속되고, 나머지 인접한 차동 증폭 회로들 사이에서는 앞단의 차동 증폭 회로의 비반전 출력 단자와 뒤단의 차동 증폭 회로의 반전 입력 단자가 전기적으로 접속되고, 앞단의 차동 증폭 회로의 반전 출력 단자와 뒤단의 차동 증폭 회로의 비반전 입력 단자가 전기적으로 접속된 구성을 갖는다.
- [0082] 또한 도 3의 (A)에 나타낸 회로(RGCM)는 차동 증폭 회로(CM[n+1])를 포함한 구성을 갖지만, 도 3의 (A)의 회로(RGCM)는 차동 증폭 회로(CM[n+1])가 제공되지 않는 구성을 가져도 좋다. 예를 들어 도 3의 (A)의 회로(RGCM)는 차동 증폭 회로(CM[n])의 반전 출력 단자와 단자(OCLN)가 전기적으로 접속되고, 차동 증폭 회로(CM[n])의 비반전 출력 단자와 단자(OCLP)가 전기적으로 접속된 구성을 가져도 좋다.
- [0083] 차동 증폭 회로는 NAND 회로, AND 회로, NOT 회로(인버터 회로) 등의 논리 게이트보다 고속으로 동작할 수 있다. 또한 차동 증폭 회로는 전원 노이즈 등에도 강하다는 특징을 갖는다. 그러므로 도 3의 (A)에 나타낸 회로(RGCM)는 발진기로서, 예를 들어 고주파 회로 등에 사용할 수 있다.
- [0084] 또한 도 3의 (A)에서는 링 형상으로 결합되는 차동 증폭 회로의 개수를 4개 이상의 짝수로 나타내었지만, 경우에 따라서는 2개로 하여도 좋다. 또한 예를 들어 링 형상으로 결합되는 차동 증폭 회로의 개수를 3개 이상의 홀수로 하는 경우에는, 예를 들어 도 3의 (B)에 나타낸 회로(RGCM)의 구성을 적용하면 좋다. 도 3의 (B)의 회로(RGCM)도 발진기로서 기능하는 CML 회로이고, 차동 증폭 회로(CM[1]) 내지 차동 증폭 회로(CM[m+1])를 포함한다(여기서 m은 3 이상의 홀수임).
- [0085] 또한 도 3의 (B)에 나타낸 회로(RGCM)는 차동 증폭 회로(CM[m+1])를 포함한 구성을 갖지만, 도 3의 (B)의 회로(RGCM)는 차동 증폭 회로(CM[m+1])가 제공되지 않는 구성을 가져도 좋다. 예를 들어 도 3의 (B)의 회로(RGCM)는 차동 증폭 회로(CM[m])의 반전 출력 단자와 단자(OCLN)가 전기적으로 접속되고, 차동 증폭 회로(CM[m])의 비반전 출력 단자와 단자(OCLP)가 전기적으로 접속된 구성을 가져도 좋다.
- [0086] [고속 전송 회로]
- [0087] 도 3의 (C)에 나타낸 회로(HSTC)는 고속 전송 회로로서 기능하는 CML 회로이고, 차동 증폭 회로(CMA)와, 차동 증폭 회로(CMB)와, 용량 소자(C1P)와, 용량 소자(C1N)와, 부하(LE2P)와, 부하(LE2N)를 포함한다.
- [0088] 또한 회로(HSTC)는 단자(HIP)와, 단자(HIN)와, 단자(HON)와, 단자(HOP)를 포함한다. 단자(HIP) 및 단자(HIN)는 회로(HSTC)에서의 입력 단자로서 기능하고, 단자(HON) 및 단자(HOP)는 회로(HSTC)에서의 출력 단자로서 기능한다.
- [0089] 차동 증폭 회로(CMA)의 비반전 입력 단자는 단자(HIP)에 전기적으로 접속되고, 차동 증폭 회로(CMA)의 반전 입력 단자는 단자(HIN)에 전기적으로 접속되어 있다. 또한 차동 증폭 회로(CMA)의 반전 출력 단자는 용량 소자(C1N)의 제 1 단자에 전기적으로 접속되고, 차동 증폭 회로(CMA)의 비반전 출력 단자는 용량 소자(C1P)의 제 1 단자에 전기적으로 접속되어 있다. 용량 소자(C1P)의 제 2 단자는 부하(LE2P)의 제 1 단자와 차동 증폭 회로(CMB)의 비반전 입력 단자에 전기적으로 접속되고, 용량 소자(C1N)의 제 2 단자는 부하(LE2N)의 제 1 단자와 차동 증폭 회로(CMB)의 반전 입력 단자에 전기적으로 접속되어 있다. 차동 증폭 회로(CMB)의 반전 출력 단자는

단자(HON)에 전기적으로 접속되고, 차동 증폭 회로(CMB)의 비반전 출력 단자는 단자(HOP)에 전기적으로 접속되어 있다. 부하(LE2P)의 제 2 단자는 배선(VBL1)에 전기적으로 접속되고, 부하(LE2N)의 제 2 단자는 배선(VBL2)에 전기적으로 접속되어 있다.

- [0090] 배선(VBL1) 및 배선(VBL2)은 정전압을 공급하는 배선으로서 기능한다. 상기 정전압으로서, 예를 들어 양의 전위, 음의 전위, 접지 전위 등으로 할 수 있다. 또한 배선(VBL1) 및 배선(VBL2)의 각각이 공급하는 정전압은 서로 같아도 좋고 서로 달라도 좋다.
- [0091] 또한 용량 소자(C1P) 및 용량 소자(C1N)는 차동 증폭 회로(CMA)와 차동 증폭 회로(CMB)를 AC 결합하기 위한 DC 차단 커패시터로서 기능한다.
- [0092] 도 3의 (C)에 나타낸 회로(HSTC)는 같은 고속 전송 회로인 LVDS(Low Voltage Differential Signaling) 회로보다 에지 레이트(edge rate)가 빠르다는 특징을 갖는다. 또한 회로(HSTC)의 신호 진폭은 LVDS 회로의 신호 진폭보다 높게 할 수 있는 경우가 있다.
- [0093] [차동 증폭 회로]
- [0094] 다음으로, 회로(RGCM) 및 회로(HSTC)에 적용할 수 있는 차동 증폭 회로에 대하여 설명한다. 도 4의 (A)는 회로(RGCM)에 포함되는 차동 증폭 회로(CM[1]) 내지 차동 증폭 회로(CM[n+1]), 및 회로(HSTC)에 포함되는 차동 증폭 회로(CMA), 차동 증폭 회로(CMB)에 적용할 수 있는 차동 증폭 회로의 구성예를 나타낸 것이다. 도 4의 (A)에 나타낸 차동 증폭 회로(CM)는, 일례로서 트랜지스터(DTrA)와, 트랜지스터(DTrB)와, 부하(LE1A)와, 부하(LE1B)와, 전류원(CC)을 포함한다. 또한 차동 증폭 회로(CM)는 단자(INP)와, 단자(INN)와, 단자(OUTP)와, 단자(OUTN)를 포함한다. 특히, 트랜지스터(DTrA)와 트랜지스터(DTrB)는 서로 차동 쌍으로서 기능한다.
- [0095] 또한 차동 증폭 회로(CM)에서 단자(INP)는 비반전 입력 단자에 상당하고, 단자(INN)는 반전 입력 단자에 상당하고, 단자(OUTP)는 비반전 출력 단자에 상당하고, 단자(OUTN)는 반전 출력 단자에 상당한다.
- [0096] 트랜지스터(DTrA) 및/또는 트랜지스터(DTrB)는 일례로서 상술한 트랜지스터(OTr)로서 제공된다.
- [0097] 또한 도 4의 (A)에 나타낸 트랜지스터(DTrA) 및 트랜지스터(DTrB)는 백 게이트를 갖지만, 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않는다. 예를 들어 도 4의 (A)에 나타낸 트랜지스터(DTrA) 및 트랜지스터(DTrB)는 백 게이트를 갖지 않는 구성, 즉 싱글 게이트 구조의 트랜지스터로 하여도 좋다. 또한 일부의 트랜지스터는 백 게이트를 갖고, 다른 일부의 트랜지스터는 백 게이트를 갖지 않아도 된다.
- [0098] 또한 트랜지스터(DTrA) 및 트랜지스터(DTrB)의 각각의 크기(예를 들어 채널 길이, 채널 폭, 트랜지스터의 구성 등)는 서로 같은 것이 바람직하다. 트랜지스터의 크기를 서로 같게 함으로써, 각 트랜지스터의 전기 특성을 거의 같게 할 수 있다. 그러므로 트랜지스터(DTrA) 및 트랜지스터(DTrB)의 크기를 같게 함으로써, 트랜지스터(DTrA) 및 트랜지스터(DTrB)의 각각은 서로 동일한 조건을 갖는 경우에 거의 같은 동작을 수행할 수 있다. 여기서 동일한 조건이란, 예를 들어 트랜지스터(DTrA)의 소스, 드레인, 게이트 등의 전위, 트랜지스터(DTrB)의 소스, 드레인, 게이트 등의 전위를 가리킨다.
- [0099] 또한 특별히 언급이 없는 경우, 트랜지스터(DTrA) 및 트랜지스터(DTrB)의 각각은 온 상태일 때는 최종적으로 포화 영역에서 동작하는 경우가 있다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우가 있다. 다만 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 트랜지스터(DTrA) 및 트랜지스터(DTrB)는 온 상태일 때는 선형 영역에서 동작하여도 좋고, 또한 포화 영역에서 동작하는 경우와 선형 영역에서 동작하는 경우가 혼재되어도 좋다.
- [0100] 트랜지스터(DTrA)의 게이트는 단자(INP)에 전기적으로 접속되고, 트랜지스터(DTrA)의 제 1 단자는 부하(LE1A)의 제 1 단자와 단자(OUTP)에 전기적으로 접속되어 있다. 트랜지스터(DTrB)의 게이트는 단자(INN)에 전기적으로 접속되고, 트랜지스터(DTrB)의 제 1 단자는 부하(LE1B)의 제 1 단자와 단자(OUTN)에 전기적으로 접속되어 있다. 전류원(CC)의 입력 단자는 트랜지스터(DTrA)의 제 2 단자와 트랜지스터(DTrB)의 제 2 단자에 전기적으로 접속되고, 전류원(CC)의 출력 단자는 배선(VSE)에 전기적으로 접속되어 있다. 부하(LE1A)의 제 2 단자와 부하(LE1B)의 제 2 단자는 배선(VDE)에 전기적으로 접속되어 있다.
- [0101] 배선(VDE)은 예를 들어 정전압을 공급하는 배선으로서 기능한다. 상기 정전압으로서, 예를 들어 고레벨 전위 등으로 할 수 있다.
- [0102] 배선(VSE)은 예를 들어 정전압을 공급하는 배선으로서 기능한다. 상기 정전압으로서, 예를 들어 저레벨

전위, 접지 전위(GND) 등으로 할 수 있다.

- [0103] 도 4의 (A)에서, 트랜지스터(DTrA) 및/또는 트랜지스터(DTrB)에는 백 게이트가 도시되고, 상기 백 게이트의 접속 구성은 도시되지 않았지만, 상기 백 게이트가 전기적으로 접속되는 대상은 설계의 단계에서 결정할 수 있다. 예를 들어 백 게이트를 갖는 트랜지스터에서, 그 트랜지스터의 온 전류를 증가시키기 위하여 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 즉 예를 들어 트랜지스터(DTrA)의 게이트와 백 게이트를 전기적으로 접속하여도 좋고, 또한 트랜지스터(DTrB)의 게이트와 백 게이트를 전기적으로 접속하여도 좋다. 또한 예를 들어 백 게이트를 갖는 트랜지스터에서, 그 트랜지스터의 문턱 전압을 변동시키거나 그 트랜지스터의 오프 전류를 저감하기 위하여, 그 트랜지스터의 백 게이트와 외부 회로 등을 전기적으로 접속하기 위한 배선을 제공하여, 상기 외부 회로 등에 의하여 그 트랜지스터의 백 게이트에 전위를 공급하는 구성으로 하여도 좋다. 구체적으로는, 차동 증폭 회로(CM)는 도 4의 (B)에 나타난 구성으로 할 수 있다. 도 4의 (B)의 차동 증폭 회로(CM)는 도 4의 (A)의 차동 증폭 회로(CM)에 포함되어 있는 트랜지스터(DTrA), 트랜지스터(DTrB)의 각각의 백 게이트에 배선(BGE1)이 전기적으로 접속된 구성을 갖는다. 배선(BGE1)에 소정의 전위를 공급함으로써, 트랜지스터(DTrA), 트랜지스터(DTrB)의 각각의 문턱 전압을 변동시킬 수 있다.
- [0104] 또한 도 4의 (B)의 차동 증폭 회로(CM)에서 트랜지스터(DTrA), 트랜지스터(DTrB)의 각각의 문턱 전압을 변동시킴으로써, 원하는 이득을 얻을 수 있다. 또한 도 1 등에 나타난 바와 같이, 패키징된 반도체 장치(PSD)에서 트랜지스터(DTrA), 트랜지스터(DTrB)의 각각의 문턱 전압을 조정할 수 있다.
- [0105] 또한 도 4의 (A)에 나타난 트랜지스터(DTrA) 및 트랜지스터(DTrB)는 n채널형 트랜지스터이지만, 본 발명의 일 형태의 반도체 장치는 이에 한정되지 않는다. 예를 들어 트랜지스터(DTrA) 및 트랜지스터(DTrB)의 일부 또는 전체를 p채널형 트랜지스터로 치환하여도 좋다.
- [0106] 또한 상기 트랜지스터의 구조, 극성에 관한 변경예는 트랜지스터(DTrA) 및 트랜지스터(DTrB)에 한정되는 것이 아니다. 예를 들어 명세서의 다른 부분에 기재된 트랜지스터 또는 다른 도면에 나타난 트랜지스터의 구조, 극성도 마찬가지로 변경하여도 좋다.
- [0107] 도 4의 (A)의 차동 증폭 회로(CM)에 포함되어 있는 전류원(CC)은, 예를 들어 도 4의 (C)에 나타난 회로 구성을 가질 수 있다. 또한 도 4의 (C)에는 전류원(CC)의 접속 구성을 나타내기 위하여 배선(VSE)도 나타내었다.
- [0108] 도 4의 (C)에 나타난 전류원(CC)은 일례로서 트랜지스터(TrC)를 포함한다.
- [0109] 트랜지스터(TrC)로서는 트랜지스터(DTrA) 또는 트랜지스터(DTrB)에 적용할 수 있는 트랜지스터를 사용할 수 있다. 예를 들어 트랜지스터(TrC)로서는 트랜지스터(DTrA), 트랜지스터(DTrB)에 적용할 수 있는 OS 트랜지스터를 사용할 수 있다.
- [0110] 또한 특별히 언급이 없는 경우, 트랜지스터(TrC)는 온 상태일 때는 최종적으로 포화 영역에서 동작하는 경우가 있다. 즉 상술한 각 트랜지스터의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 경우가 있다. 예를 들어 트랜지스터(TrC)는 온 상태일 때는 선형 영역에서 동작하여도 좋고, 또한 포화 영역에서 동작하는 경우와 선형 영역에서 동작하는 경우가 혼재되어도 좋다.
- [0111] 트랜지스터(TrC)의 제 1 단자는 전류원(CC)의 입력 단자에 전기적으로 접속되고, 트랜지스터(TrC)의 제 2 단자는 전류원(CC)의 출력 단자에 전기적으로 접속되어 있다. 즉 도 4의 (A)의 차동 증폭 회로(CM)에 도 4의 (C)의 전류원(CC)을 적용한 경우, 트랜지스터(TrC)의 제 1 단자는 트랜지스터(DTrA)의 제 2 단자와 트랜지스터(DTrB)의 제 2 단자에 전기적으로 접속되어 있다. 또한 트랜지스터(TrC)의 게이트는 배선(VAL)에 전기적으로 접속되어 있다.
- [0112] 배선(VAL)은 예를 들어 정전압을 공급하는 배선으로서 기능한다. 특히 상기 정전압은 트랜지스터(TrC)의 게이트-소스 간 전압이 트랜지스터(TrC)의 문턱 전압보다 높아지도록 설정하면 좋다.
- [0113] 부하(LE1A) 및 부하(LE1B)는 예를 들어 저항 소자, 다이오드 등으로 할 수 있다.
- [0114] 일례로서, 부하(LE1A) 및 부하(LE1B)를 저항 소자로 한 경우의 회로 구성을 도 5의 (A)에 나타내었다. 도 5의 (A)에 나타난 차동 증폭 회로(CM1)는 부하(LE1A) 및 부하(LE1B)의 각각으로서 저항 소자(REA) 및 저항 소자(REB)를 적용한 회로 구성을 갖는다. 저항 소자(REA)의 제 1 단자는 트랜지스터(DTrA)의 제 1 단자와 단자(OUTP)에 전기적으로 접속되고, 저항 소자(REB)의 제 1 단자는 트랜지스터(DTrB)의 제 1 단자와 단자(OUTN)에 전기적으로 접속되어 있다. 또한 저항 소자(REA)의 제 2 단자와 저항 소자(REB)의 제 2 단자는 배선(VDE)에 전

기적으로 접속되어 있다.

- [0115] 또한 일례로서, 부하(LE1A) 및 부하(LE1B)를 다이오드로 한 경우의 회로 구성을 도 5의 (B)에 나타내었다. 도 5의 (B)에 나타낸 차동 증폭 회로(CM2)는 부하(LE1A) 및 부하(LE1B)의 각각으로서 다이오드(DEA) 및 다이오드(DEB)를 적용한 회로 구성을 갖는다. 다이오드(DEA)의 출력 단자는 트랜지스터(DTrA)의 제 1 단자와 단자(OUTP)에 전기적으로 접속되고, 다이오드(DEB)의 출력 단자는 트랜지스터(DTrB)의 제 1 단자와 단자(OUTN)에 전기적으로 접속되어 있다. 또한 다이오드(DEA)의 입력 단자와 다이오드(DEB)의 입력 단자는 배선(VDE)에 전기적으로 접속되어 있다.
- [0116] 또한 도 5의 (B)에 나타낸 차동 증폭 회로(CM2)에 포함되어 있는 다이오드(DEA) 및 다이오드(DEB)로서는 다이오드 접속된 트랜지스터를 사용하여도 좋다. 도 5의 (C)에 나타낸 차동 증폭 회로(CM2)는 다이오드(DEA) 및 다이오드(DEB)의 각각으로서 트랜지스터(ITrA) 및 트랜지스터(ITrB)를 적용한 회로 구성을 갖는다. 트랜지스터(ITrA)의 제 1 단자는 트랜지스터(DTrA)의 제 1 단자와 단자(OUTP)에 전기적으로 접속되고, 트랜지스터(ITrB)의 제 1 단자는 트랜지스터(DTrB)의 제 1 단자와 단자(OUTN)에 전기적으로 접속되어 있다. 또한 배선(VDE)은 트랜지스터(ITrA)의 제 2 단자와, 트랜지스터(ITrA)의 게이트와, 트랜지스터(ITrB)의 제 2 단자와, 트랜지스터(ITrB)의 게이트에 전기적으로 접속되어 있다.
- [0117] 트랜지스터(ITrA) 및 트랜지스터(ITrB)로서는 트랜지스터(DTrA) 또는 트랜지스터(DTrB)에 적용할 수 있는 트랜지스터를 사용할 수 있다. 예를 들어 트랜지스터(TrC)로서는 OS 트랜지스터를 적용할 수 있다.
- [0118] 또한 도 5의 (C)에 나타낸 바와 같이, 트랜지스터(ITrA) 및 트랜지스터(ITrB)는 트랜지스터(DTrA) 또는 트랜지스터(DTrB)와 마찬가지로 백 게이트를 갖는 트랜지스터이어도 좋다. 또한 도 4의 (B)의 차동 증폭 회로(CM)에서의 트랜지스터(DTrA)와 트랜지스터(DTrB)와 마찬가지로, 트랜지스터(ITrA) 및 트랜지스터(ITrB)의 각각의 백 게이트에 전위를 공급하는 배선을 전기적으로 접속하여도 좋다. 구체적으로는, 예를 들어 도 5의 (C)의 차동 증폭 회로(CM2)는 도 5의 (D)에 나타낸 차동 증폭 회로(CM2)와 같이, 트랜지스터(ITrA) 및 트랜지스터(ITrB)의 각각의 백 게이트에 배선(BGE2)이 전기적으로 접속된 구성을 가져도 좋다. 도 5의 (D)에서, 배선(BGE2)에 소정의 전위를 공급함으로써, 트랜지스터(ITrA), 트랜지스터(ITrB)의 각각의 문턱 전압을 변동시킬 수 있다. 또한 도 5의 (D)의 차동 증폭 회로(CM2)는 도 4의 (B)의 차동 증폭 회로(CM)의 구성과 마찬가지로, 트랜지스터(DTrA)와 트랜지스터(DTrB)의 각각의 백 게이트에 배선(BGE1)이 전기적으로 접속된 구성을 갖는다.
- [0119] 또한 도 5의 (D)의 차동 증폭 회로(CM)에서 트랜지스터(DTrA), 트랜지스터(DTrB), 트랜지스터(ITrA), 트랜지스터(ITrB)의 각각의 문턱 전압을 변동시킴으로써, 원하는 이득을 얻을 수 있다. 또한 도 1 등에 나타낸 바와 같이, 패키징된 반도체 장치(PSD)에서 트랜지스터(DTrA), 트랜지스터(DTrB), 트랜지스터(ITrA), 트랜지스터(ITrB)의 각각의 문턱 전압을 조정할 수 있다.
- [0120] <반도체 장치의 제작예 1>
- [0121] 다음으로, 반도체 장치(PSD)의 제작 방법의 예에 대하여 설명한다.
- [0122] 도 6의 (A) 내지 (D)는 제작 공정 도중의 반도체 장치(PSD1)를 모식적으로 나타낸 단면도이고, 도 6의 (E)는 제작 공정이 완료된 반도체 장치(PSD1)를 모식적으로 나타낸 단면도이다. 또한 본 제작 방법은 제 1 단계 내지 제 5 단계를 갖는다.
- [0123] <<제 1 단계>>
- [0124] 먼저, 다이(SCD)를 준비한다. 다이(SCD)는 예를 들어 웨이퍼 위에 회로를 형성하는 반도체 공정, 웨이퍼 연마 공정, 다이싱 공정 등을 거쳐 얻을 수 있다.
- [0125] 또한 도 6의 (A) 내지 (E)에 나타낸 다이(SCD)에서, 층(SIL)에는 전기적인 접속 단자(ET)가 제공되어 있다.
- [0126] 다음으로, 다이(SCD)를 박리층(RL)이 제공된 지지체(SB) 위에 접합하여 고정시킨다(도 6의 (A) 참조). 구체적으로는, 다이(SCD)의 층(SIL) 및 접속 단자(ET)와 지지체(SB)의 박리층(RL)이 서로 접촉하도록 접합한다.
- [0127] 지지체(SB)로서는, 예를 들어 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI(Silicon On Insulator) 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 포함한 기판, 텅스텐 기판, 텅스텐·포일을 포함한 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함한 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판, 접합 필름, 기재 필름 등의

일례로서는 이하의 것을 들 수 있다. 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱이 있다. 또는 일례로서는, 아크릴 등의 합성 수지 등이 있다. 또는 일례로서는, 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 또는 폴리염화 바이닐 등이 있다. 또는 일례로서는, 폴리아마이드, 폴리이미드, 아라미드, 에폭시 수지, 무기 증착 필름, 또는 종이류 등이 있다.

[0128] 또한 박리층(RL)은 예를 들어 텅스텐막과 산화 실리콘막을 포함한 적층막, 폴리이미드 등의 유기 수지막 등으로 할 수 있다. 또는 박리층(RL)은 자외선 등의 광에 의하여 접착력이 저하되는 테이프도 하여도 좋다.

[0129] <<제 2 단계>>

[0130] 다음으로, 다이(SCD) 위 및 박리층(RL) 위에 절연체(PR)가 형성된다(도 6의 (B) 참조).

[0131] 구체적으로는, 예를 들어 절연체(PR)의 재료로서 상술한 유기 수지 등을 적용하고, 성형용 금형 등을 사용하여 절연체(PR)를 형성한다.

[0132] <<제 3 단계>>

[0133] 다음으로, 다이(SCD) 및 형성한 절연체(PR)를 지지체(SB) 및 박리층(RL)으로부터 박리한다(도 6의 (C) 참조). 이 공정에 의하여 다이(SCD)의 접속 단자(ET)를 노출시키는 것이 바람직하다. 또한 예를 들어 지지체(SB) 및 박리층(RL)의 박리 후에 표면의 연마 처리, 오존 분위기하에서의 자외선 조사에 의한 유기물 제거 등을 수행하여도 좋다.

[0134] <<제 4 단계>>

[0135] 다음으로, 다이(SCD) 및 절연체(PR) 위에 층(OSL)을 형성한다(도 6의 (D) 참조).

[0136] 또한 도 6의 (D)에 나타난 다이(SCD) 및 절연체(PR)는 도 6의 (C)의 다이(SCD) 및 절연체(PR)를 180° 회전시켜 나타난 것이다.

[0137] 층(OSL)은 예를 들어 반도체 공정에 의하여 형성할 수 있다. 특히, 층(OSL)의 형성 공정에서는, 다이(SCD)에 포함되어 있는 접속 단자(ET) 위에 배선, 단자, 패드 등(도시하지 않았음)이 형성된다. 또한 층(OSL)에서 다이(SCD)가 제공된 면과 반대쪽 면에는, 배선, 단자, 패드 등(도시하지 않았음)이 노출되도록 형성된다.

[0138] 또한 상기 반도체 공정에 의하여 층(OSL)에 트랜지스터(OTr)를 형성할 수 있다.

[0139] 층(OSL)을 형성함으로써, 다이(SCD)의 접속 단자(ET)에 전기적으로 접속되는 배선과 트랜지스터(OTr)를 층(OSL)에 제공할 수 있다.

[0140] <<제 5 단계>>

[0141] 다음으로, 다이(SCD)가 제공된 층(OSL)의 면과 반대쪽에 노출되어 있는 층(OSL)의 배선, 단자, 패드 등에 범프(HBL)를 형성한다(도 6의 (E) 참조). 또한 범프(HBL)는 층(OSL)에 포함되어 있는 배선에 전기적으로 접속되도록 제공된다.

[0142] 또한 범프(HBL)는 땀납 등을 사용하여 형성하여도 좋다.

[0143] 상술한 제 1 단계 내지 제 5 단계의 제작 공정을 수행함으로써, FOWLP의 구성을 갖는 반도체 장치를 제작할 수 있다.

[0144] <반도체 장치의 제작예 2>

[0145] 여기서는, 도 1의 반도체 장치(PSD)와는 다른 구성을 갖는 반도체 장치의 제작 방법의 예에 대하여 설명한다.

[0146] 도 7의 (A) 내지 (D)는 제작 공정 도중의 반도체 장치(PSD2)를 모식적으로 나타낸 단면도이고, 도 7의 (E)는 제작 공정이 완료된 반도체 장치(PSD2)를 모식적으로 나타낸 단면도이다. 또한 본 제작 방법은 제 1 단계 내지 제 5 단계를 갖는다.

[0147] <<제 1 단계>>

[0148] 먼저, 다이(SCD)를 준비한다. 다이(SCD)에 대해서는 반도체 장치의 제작예 1에서 설명한 다이(SCD)의 기재를 참조한다.

[0149] 다음으로, 다이(SCD)를 기판(BSB) 위에 접합하여 고정시킨다(도 7의 (A) 참조). 구체적으로는, 다이(SCD)의 기

판(BSA)과 기판(BSB)이 서로 접촉하도록 접합한다.

- [0150] 기판(BSB)으로서는, 예를 들어 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 포함한 기판, 텅스텐 기판, 텅스텐·포일을 포함한 기판 등을 사용할 수 있다. 특히, 제 2 단계 이후에 다이(SCD) 및 기판(BSB)에 가열 처리가 수행되는 경우, 기판(BSB)은 내열성을 갖는 기판인 것이 바람직하다.
- [0151] 또한 다이(SCD)와 기판(BSB)의 접합에는 다이 본딩 필름 등을 사용하면 좋다(도 7의 (A) 내지 (E)에는 나타내지 않았음).
- [0152] <<제 2 단계>>
- [0153] 다음으로, 다이(SCD) 위 및 기판(BSB) 위에 절연체(PR)가 형성된다(도 7의 (B) 참조).
- [0154] 구체적으로는, 예를 들어 절연체(PR)의 재료로서 상술한 유기 수지 등을 적용하고, 성형용 금형 등을 사용하여 절연체(PR)를 형성한다.
- [0155] <<제 3 단계>>
- [0156] 다음으로, 다이(SCD)의 접속 단자(ET)가 노출될 때까지, 형성한 절연체(PR)의 상부를 제거한다(도 7의 (C) 참조). 절연체(PR)의 상부의 제거 방법으로는, 연마 처리, 에칭 처리, 애싱 처리 등을 들 수 있다. 또한 연마 처리, 에칭 처리, 애싱 처리 등을 수행한 후에, 처리한 면에 대하여, 의도하지 않고 부착된 약액의 잔존물, 절연체(PR)의 잔존물 등의 유기물(유기물의 잔여물이라고 부르는 경우가 있음)의 제거(오존 분위기하에서 자외선 조사를 수행하는 세정 공정 등)를 수행하여도 좋다.
- [0157] <<제 4 단계>>
- [0158] 다음으로, 다이(SCD) 및 절연체(PR) 위에 층(OSL)을 형성한다(도 7의 (D) 참조).
- [0159] 층(OSL)의 형성에 대해서는 반도체 장치의 제작예 1에서 설명한 제 4 단계의 기재를 참조한다.
- [0160] 층(OSL)을 형성함으로써, 다이(SCD)의 접속 단자(ET)에 전기적으로 접속되는 배선과 트랜지스터(OTr)를 층(OSL)에 제공할 수 있다.
- [0161] <<제 5 단계>>
- [0162] 다음으로, 다이(SCD)가 제공된 면과 반대쪽에 노출되어 있는 층(OSL)의 배선, 단자, 패드 등(도 7의 (A) 내지 (E)에 나타내지 않았음)에 범프(HBL)를 형성한다(도 7의 (E) 참조).
- [0163] 범프(HBL)의 형성에 대해서는 반도체 장치의 제작예 1에서 설명한 제 5 단계의 기재를 참조한다.
- [0164] 상술한 제 1 단계 내지 제 5 단계의 제작 공정에 의하여, 도 1의 반도체 장치(PSD)(도 6의 (E)의 반도체 장치(PSD1))와는 다른, FOWLP의 구성을 갖는 반도체 장치를 제작할 수 있다.
- [0165] <반도체 장치의 제작예 3>
- [0166] 다음으로, 도 6의 (A) 내지 (E)에 나타낸 제작 공정 및 도 7의 (A) 내지 (E)에 나타낸 제작 공정과는 다른, 반도체 장치(PSD)의 제작 방법의 예에 대하여 설명한다.
- [0167] 도 8의 (A) 내지 (D)는 제작 공정 도중의 반도체 장치(PSD3)를 모식적으로 나타낸 단면도이고, 도 8의 (E)는 제작 공정이 완료된 반도체 장치(PSD3)를 모식적으로 나타낸 단면도이다. 또한 본 제작 방법은 제 1 단계 내지 제 5 단계를 갖는다.
- [0168] <<제 1 단계>>
- [0169] 먼저, 박리층(RL)이 제공된 지지체(SB)를 준비한다. 또한 박리층(RL) 또는 지지체(SB)에 대해서는 반도체 장치의 제작예 1에서 설명한 박리층(RL) 또는 지지체(SB)의 기재를 참조한다.
- [0170] 다음으로, 박리층(RL) 위에 층(OSL)을 형성한다(도 8의 (A) 참조). 층(OSL)은 상술한 반도체 장치의 제작예 1 및 제작예 2와 마찬가지로 반도체 공정에 의하여 형성할 수 있다. 특히, 층(OSL)의 형성 공정에서는, 박리층(RL)이 제공된 면 측에, 후술하는 범프(HBL)에 전기적으로 접속하기 위한 배선, 단자, 패드 등(도시하지 않았음)이 형성되고, 박리층(RL)이 제공된 면과 반대쪽 면에, 후술하는 다이(SCD)에 전기적으로 접속하기 위한 배선, 단자, 패드 등(도시하지 않았음)이 형성된다. 또한 상술한 반도체 장치의 제작예 1 및 제작예 2와 마찬

가지로 층(OSL)에 트랜지스터(OTr)를 형성할 수 있다.

- [0171] 이에 의하여, 층(OSL)에 배선과 트랜지스터(OTr)를 형성할 수 있다.
- [0172] <<제 2 단계>>
- [0173] 다음으로, 다이(SCD)를 준비한다. 다이(SCD)에 대해서는 반도체 장치의 제작에 1에서 설명한 다이(SCD)의 기재를 참조한다.
- [0174] 다음으로, 플립 칩 본딩에 의하여, 다이(SCD)를 층(OSL) 위에 실장한다(도 8의 (B) 참조). 구체적으로는, 다이(SCD)에 제공된 접속 단자(ET)와, 층(OSL)의 상면에 노출되어 있는 배선, 단자, 패드 등을 뿔납 등을 사용하여 전기적으로 접속한다. 또한 도 8의 (B)에서는 다이(SCD)의 접속 단자(ET)와 접하도록 범프(BP)를 형성하였다.
- [0175] 플립 칩 본딩으로서는, 예를 들어 이방성 도전 입자를 포함한 수지를 층(OSL)과 다이(SCD) 사이에 주입하여 접합하는 방법, SnAg 뿔납을 사용하여 접합하는 방법 등이 있다. 또는 범프 및 범프에 접속되는 도전체의 각각이 금인 경우, 초음파 접합법을 사용할 수 있다. 또한 충격 등의 물리적 응력의 경감, 열적 응력의 경감 등을 도모하기 위하여, 상기 플립 칩 본딩의 방법에 더하여, 언더필을 층(OSL)과 다이(SCD) 사이에 주입하여도 좋다.
- [0176] 또한 도 8의 (B)에는, 일례로서 층(OSL)과 다이(SCD)가 절연성 수지(IJ)에 의하여 접착된 구성을 나타내었다. 또한 절연성 수지(IJ)로서는, 예를 들어 이방성 도전 입자를 포함한 수지, 언더필 등을 사용할 수 있다. 또한 층(OSL)과 다이(SCD)의 접합 방법에 따라서는 절연성 수지(IJ)를 주입하지 않아도 된다.
- [0177] <<제 3 단계>>
- [0178] 다음으로, 층(OSL) 위 및 다이(SCD) 위에 절연체(PR)가 형성된다(도 8의 (C) 참조).
- [0179] 구체적으로는, 예를 들어 절연체(PR)의 재료로서 상술한 유기 수지 등을 적용하고, 성형용 금형 등을 사용하여 절연체(PR)를 형성한다.
- [0180] <<제 4 단계>>
- [0181] 다음으로, 층(OSL), 다이(SCD), 및 절연체(PR)를 지지체(SB) 및 박리층(RL)으로부터 박리한다(도 8의 (D) 참조). 이 공정에 의하여, 다이(SCD)가 제공된 층(OSL)의 면과 반대쪽에, 층(OSL)의 배선, 단자, 패드 등(도 8의 (A) 내지 (E)에는 나타내지 않았음)이 노출되는 것이 바람직하다. 또한 예를 들어 지지체(SB) 및 박리층(RL)의 박리 후에 표면의 연마 처리, 오존 분위기하에서의 자외선 조사에 의한 유기물 제거 등을 수행하여도 좋다.
- [0182] <<제 5 단계>>
- [0183] 다음으로, 다이(SCD)가 제공된 층(OSL)의 면과 반대쪽에 노출되어 있는 층(OSL)의 배선, 단자, 패드 등에 범프(HBL)를 형성한다(도 8의 (E) 참조).
- [0184] 또한 도 8의 (E)에 나타난 층(OSL), 다이(SCD), 및 절연체(PR)는 도 8의 (D)의 다이(SCD) 및 절연체(PR)를 180° 회전시켜 나타난 것이다.
- [0185] 범프(HBL)의 형성에 대해서는 반도체 장치의 제작에 1에서 설명한 제 5 단계의 기재를 참조한다.
- [0186] 상술한 제 1 단계 내지 제 5 단계의 제작 공정을 수행함으로써, 도 1의 반도체 장치(PSD)(도 6의 (E)의 반도체 장치(PSD1)) 및 도 7의 (E)의 반도체 장치(PSD2)와는 다른, FOWLP의 구성을 갖는 반도체 장치를 제작할 수 있다.
- [0187] FOWLP로 반도체 장치를 구성하는 경우, 바이폴러 트랜지스터 또는 MOS 트랜지스터를 FOWLP의 재배선층(도 1에서의 층(OSL)에 상당함)에 형성하기 어렵다. 예를 들어 FOWLP의 재배선층에 바이폴러 트랜지스터를 사용한 CML 회로, MOS 트랜지스터를 사용한 CML 회로 등을 제공하기 어렵다. 한편, OS 트랜지스터는 FOWLP의 반도체 장치의 재배선층에 형성할 수 있기 때문에, 상술한 바와 같이, OS 트랜지스터를 사용한 회로를 FOWLP의 반도체 장치의 재배선층에 제공할 수 있다. 그러므로 예를 들어 종래는 다이에 형성된 회로를 OS 트랜지스터를 사용한 회로로 변경하여 FOWLP의 반도체 장치의 재배선층에 배치함으로써, 재배선층에 대한 다이의 실장 면적을 축소할 수 있어, 다이의 비용을 절감할 수 있다.
- [0188] 특히, FOWLP의 재배선층에 OS 트랜지스터를 사용한 CML 회로를 제공할 수 있기 때문에, FOWLP로 구성된 반도체 장치는 상기 반도체 장치의 입출력에서 고속 데이터 전송을 수행할 수 있다.
- [0189] 또한 본 실시형태에서는 다이의 접속 단자의 피치를 재배선층에 의하여 다이의 면적을 초과하도록 크게 하는 때

키지의 형태인 FOWLP의 반도체 장치에 대하여 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 반도체 장치는 도 9에 나타난 WLCSP(wafer level chip size package)(FIWLP(Fan In Wafer Level Package)라고 부르는 경우가 있음)의 형태의 반도체 장치(PSD4)로 하여도 좋다. 반도체 장치(PSD4)에서는 다이(SCD)의 접속 단자(ET)가 재배선층에 상당하는 층(OSL)을 통하여 범프(HBL)에 전기적으로 접속되어 있다. 도 1의 반도체 장치(PSD)의 층(OSL)과 마찬가지로, 도 9의 반도체 장치(PSD4)의 층(OSL)에 OS 트랜지스터를 사용한 회로를 제공하여도 좋다. 또한 상기 회로는 CML 회로로 하여도 좋다. 또한 반도체 장치(PSD4)의 제작 방법으로서, 다이(SCD)를 잘라 내기 전의 반도체 웨이퍼에 층(OSL) 및 범프(HBL)를 형성하고, 그 후에 반도체 웨이퍼를 소정의 크기로 잘라 내면 좋다. 또는 반도체 장치(PSD4)의 제작 방법으로서, 반도체 웨이퍼에 층(OSL)을 형성하고 반도체 웨이퍼를 소정의 크기로 잘라 낸 후에, 범프(HBL)를 형성하여도 좋다.

[0190] 또한 본 실시형태에서는, 반도체 기판과 마주 보는 면에 접속 단자를 제공한 다이를 사용한 FOWLP의 반도체 장치에 대하여 설명하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태는 TSV(Through Silicon Via)를 사용하여 다이의 반도체 기판 측에 접속 단자를 제공하여, 반도체 기판과 재배선층이 마주 보도록 구성된 반도체 장치로 하여도 좋다.

[0191] 또한 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합할 수 있다.

[0192] (실시형태 2)

[0193] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치의 구성예에 대하여 설명한다.

[0194] <반도체 장치의 구성예 1>

[0195] 도 10은 실시형태 1에서 설명한 반도체 장치(PSD1)의 구성예를 모식적으로 나타낸 단면도이다. 구체적으로는, 도 10에 나타난 반도체 장치(PSD1)는 일례로서 트랜지스터(300)와 트랜지스터(500)를 포함한다. 또한 도 11의 (A)는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 11의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이고, 도 11의 (C)는 트랜지스터(300)의 채널 폭 방향의 단면도이다.

[0196] 트랜지스터(500)는 채널 형성 영역에 금속 산화물을 포함한 트랜지스터(OS 트랜지스터)이다. 트랜지스터(500)는 오프 전류가 낮고, 또한 고온에서도 전계 효과 이동도가 변화되지 않는다는 특성을 갖는다. 트랜지스터(500)를 예를 들어 앞의 실시형태에서 설명한 반도체 장치(PSD1) 등에 포함되는 트랜지스터에 적용함으로써, 고온에서도 동작 능력이 저하되지 않는 반도체 장치를 실현할 수 있다. 특히 OS 트랜지스터는 오프 전류가 낮은 특성을 갖기 때문에, 메모리 셀 등에 포함되는 트랜지스터로서 OS 트랜지스터를 적용함으로써, 상기 트랜지스터를 통한 전류로 인하여 상기 메모리 셀에 유지된 전위가 열화되는 것을 방지할 수 있다. 즉 상기 메모리 셀에 유지된 전위를 장시간 기억할 수 있다.

[0197] 트랜지스터(300)는 도전체(316), 소자 분리층(312), 절연체(315), 기판(310)의 일부로 이루어진 반도체 영역(313), 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 포함한다. 또한 트랜지스터(300)는 예를 들어 앞의 실시형태에서 설명한 층(SIL)에 포함되는 트랜지스터 등에 적용할 수 있다.

[0198] 또한 앞의 실시형태에서 설명한 다이(SCD)에 포함되어 있는 기판(BSA)은 도 10에 나타난 기판(310)에 상당한다. 또한 층(OSL)은 다이(SCD)의 위쪽에 제공되어 있다. 그러므로 도 10의 반도체 장치(PSD1)에서는 트랜지스터(500)가 트랜지스터(300)의 위쪽에 제공되어 있다.

[0199] 트랜지스터(300)는 도 11의 (C)에 나타난 바와 같이 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재(介在)하여 도전체(316)로 덮여 있다. 이와 같이, 트랜지스터(300)를 Fin형으로 함으로써, 실효적인 채널 폭이 증대하여 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.

[0200] 또한 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.

[0201] 반도체 영역(313)에서 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소), GaN(질화 갈륨) 등을 포함하는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으

로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.

- [0202] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0203] 게이트 전극으로서 기능하는 도전체(316)에는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.
- [0204] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄, 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐, 알루미늄 등의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0205] 소자 분리층(312)은 기판(310) 위에 형성된 복수의 트랜지스터들을 분리하기 위하여 제공되어 있다. 소자 분리층(312)은 예를 들어 LOCOS(LOCAl Oxidation of Silicon)법, STI(Shallow Trench Isolation)법, 메사 분리(mesa isolation)법 등을 사용하여 형성할 수 있다.
- [0206] 또한 도 10 및 도 11의 (C)에 나타낸 트랜지스터(300)는 일레이고, 그 구조에 한정되지 않고, 회로 구성, 구동 방법 등에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어 도 10 및 도 11의 (C)에 나타낸 트랜지스터(300)를 플레이너형 트랜지스터로 하여도 좋다.
- [0207] <<다이(SCD)의 구성예>>
- [0208] 다음으로, 다이(SCD)의 구성예에 대하여 설명한다.
- [0209] 도 10에 나타낸 트랜지스터(300)에서는 절연체(320), 절연체(322), 절연체(324), 절연체(326)가 기판(310) 측으로부터 순차적으로 적층되어 제공되어 있다.
- [0210] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0211] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0212] 절연체(322)는 절연체(320) 및 절연체(322)로 덮여 있는 트랜지스터(300) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0213] 또한 절연체(324)로서는, 기판(310) 또는 트랜지스터(300) 등으로부터 트랜지스터(500)가 제공되는 영역으로 물, 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다.
- [0214] 수소에 대한 배리어성을 갖는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0215] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은, TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이 탈량이 절연체(324)의 면적당으로 환산하여 10×10^{15} atoms/cm² 이하, 바람직하게는 5×10^{15} atoms/cm² 이하이면 좋다.
- [0216] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다.

- [0217] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 갖는다. 또한 플러그 또는 배선으로서의 기능을 갖는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0218] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐, 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄, 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 저감할 수 있다.
- [0219] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 절연체(350), 절연체(352), 및 절연체(354)가 절연체(326) 및 도전체(330) 위에 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 일례로서 트랜지스터(300)에 접속되는 플러그 또는 배선으로서의 기능을 갖는다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0220] 또한 예를 들어 절연체(350)로서는, 절연체(324)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 절연체(352) 및 절연체(354)로서는, 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 도전체(356)는 물, 수소 등에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 갖는 절연체(350)의 개구부에 수소에 대한 배리어성을 갖는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(300)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(300)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0221] 또한 수소에 대한 배리어성을 갖는 도전체에는, 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 갖는 질화 탄탈럼층이, 수소에 대한 배리어성을 갖는 절연체(350)와 접하는 구조가 바람직하다.
- [0222] 또한 절연체(354) 및 도전체(356) 위에는 절연체(360)와, 절연체(362)와, 절연체(370)가 순차적으로 적층되어 있다.
- [0223] 절연체(360)로서는, 절연체(324) 등과 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 그러므로 절연체(360)에는, 예를 들어 절연체(324) 등에 적용할 수 있는 재료를 사용할 수 있다.
- [0224] 절연체(362)는 중간 절연막 및 평탄화막으로서의 기능을 갖는다. 또한 절연체(362)로서는, 절연체(324)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 그러므로 절연체(362)에는, 절연체(324)에 적용할 수 있는 재료를 사용할 수 있다.
- [0225] 절연체(370)로서는, 예를 들어 절연체(324)와 마찬가지로 물, 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다. 즉 절연체(370)에는, 절연체(324)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또는 절연체(370)로서는, 예를 들어 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하여도 좋다. 즉 절연체(370)에는, 절연체(326)에 적용할 수 있는 재료를 사용하여도 좋다.
- [0226] 또한 절연체(360), 절연체(362), 및 절연체(370)의 각각에서, 일부의 도전체(356)와 중첩되는 영역에 개구부가 형성되고, 상기 개구부를 매립하도록 도전체(366)가 제공되어 있다. 또한 도전체(366)는 절연체(362) 위에도 형성되어 있다. 그 후, 에칭 처리 등에 의하여, 도전체(366)를 배선, 단자, 패드 등의 형상으로 패터닝한다.
- [0227] 도전체(366)에는, 예를 들어 구리, 알루미늄, 주석, 아연, 텅스텐, 은, 백금, 금 등을 사용할 수 있다. 또한 도전체(366)는 후술하는 층(OSL)에 포함되어 있는 도전체(406)에 사용되는 재료와 동일한 성분으로 구성되어 있는 것이 바람직하다.
- [0228] 그 후, 절연체(370) 및 도전체(366)의 각각의 평탄성을 높이기 위하여, 화학 기계 연마(CMP)법 등을 사용한 평

탄화 처리를 수행한다. 이에 의하여, 도전체(366)를 배선, 단자, 패드 등으로서 다이(SCD)에 형성할 수 있다. 또한 도 10에서의 도전체(366)는 앞의 실시형태에서 설명한 반도체 장치(PSD1)의 다이(SCD)의 접속 단자(ET)에 상당한다.

- [0229] <<층(OSL)의 구성예>>
- [0230] 다음으로, 층(OSL)의 구성예에 대하여 설명한다.
- [0231] 실시형태 1에서 설명한 반도체 장치의 제작예 1에서, 반도체 장치(PSD1)는 다이(SCD) 위에 층(OSL)이 형성된 구성을 갖는다. 구체적으로는, 다이(SCD)에 포함되는 접속 단자(ET)와, 층(OSL)에 포함되는 배선이 전기적으로 접속된 구성을 갖는다. 그러므로 다이(SCD)의 도전체(366) 위에 다이(SCD)의 배선, 단자, 패드 등에 상당하는 도전체(406)가 형성되어 있다. 또한 다이(SCD)의 절연체(370) 위에 다이(SCD)의 복수의 배선, 단자, 패드 등을 분리하기 위한 절연체(402)가 형성되어 있다.
- [0232] 또한 도전체(406) 및 절연체(402)의 평탄성을 높이기 위하여, 도전체(406) 및 절연체(402)에 대하여 화학 기계 연마법 등을 사용하여 평탄화 처리가 수행되는 것이 바람직하다.
- [0233] 도전체(406)에는, 예를 들어 도전체(366)에 적용할 수 있는 재료를 사용할 수 있다. 또한 상술한 바와 같이, 도전체(406)에는, 도전체(366)와 동일한 재료를 사용하는 것이 바람직하다.
- [0234] 또한 절연체(402)에는, 예를 들어 절연체(370)에 적용할 수 있는 재료를 사용할 수 있다.
- [0235] 도 10에서, 절연체(402) 및 도전체(406) 위에는 절연체(410), 절연체(412), 및 절연체(414)가 순차적으로 적층되어 제공되어 있다.
- [0236] 절연체(410)로서는, 예를 들어 절연체(324)와 마찬가지로, 트랜지스터(500)가 제공되는 영역으로 물, 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다. 즉 절연체(410)에는, 절연체(324)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 이에 의하여, 다이(SCD)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있어, 다이(SCD)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0237] 절연체(412) 및 절연체(414)로서는, 예를 들어 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 즉 절연체(412) 및 절연체(414)에는, 절연체(326)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.
- [0238] 또한 절연체(410), 절연체(412), 및 절연체(414)에 배선층을 제공하여도 좋다. 예를 들어 도 10에서, 절연체(410), 절연체(412), 및 절연체(414)에는 배선으로서 기능하는 도전체(416)가 매립되어 있다. 이때, 도전체(416)는 후술하는 도전체(497), 트랜지스터(300), 트랜지스터(500) 등을 접속하는 배선으로서 기능한다. 그러므로 도전체(416)는 도전체(406)와 접촉하도록 형성되어 있다. 또한 도전체(416)에는, 도전체(328), 도전체(330) 등에 적용할 수 있는 재료를 사용할 수 있다.
- [0239] 또한 절연체(414) 및 도전체(416) 위에도 배선층을 제공하여도 좋다. 예를 들어 도 10에서는, 절연체(420), 절연체(422), 및 절연체(424)가 절연체(414) 및 도전체(416) 위에 순차적으로 적층되어 제공되어 있다. 또한 절연체(420), 절연체(422), 및 절연체(424)에는 도전체(426)가 형성되어 있다. 도전체(426)는 예를 들어 후술하는 도전체(497), 트랜지스터(300), 트랜지스터(500) 등을 접속하는 플러그 또는 배선으로서 기능한다. 그러므로 도전체(426)는 도전체(416)와 접촉하도록 형성되어 있다. 또한 도전체(426)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0240] 절연체(420)로서는, 절연체(324)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 절연체(422) 및 절연체(424)로서는, 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 도전체(426)로서는, 예를 들어 도전체(356)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 이에 의하여, 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체(420)의 개구부에 물, 수소 등의 불순물에 대한 배리어성을 갖는 도전체가 형성된다.
- [0241] 또한 절연체(424) 및 도전체(426) 위에도 배선층을 제공하여도 좋다. 예를 들어 도 10에서는, 절연체(430), 절연체(432), 및 절연체(434)가 절연체(424) 및 도전체(426) 위에 순차적으로 적층되어 제공되어 있다. 또한 절연체(430), 절연체(432), 및 절연체(434)에는 도전체(436)가 형성되어 있다. 도전체(436)는 예를 들어 후술하는 도전체(497), 트랜지스터(300), 트랜지스터(500) 등을 접속하는 플러그 또는 배선으로서 기능한다. 그러므로

로 도전체(436)는 도전체(426)와 접촉하도록 형성되어 있다. 또한 도전체(436)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

- [0242] 절연체(430)로서는, 절연체(324) 및 절연체(420)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 절연체(432) 및 절연체(434)로서는, 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 도전체(436)로서는, 예를 들어 도전체(356) 및 도전체(426)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다.
- [0243] 절연체(434) 및 도전체(436) 위에는 절연체(510), 절연체(512), 절연체(513), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공되어 있다. 절연체(510), 절연체(512), 절연체(513), 절연체(514), 및 절연체(516) 중 어느 것에는 산소, 수소에 대한 배리어성을 갖는 물질을 사용하는 것이 바람직하다.
- [0244] 예를 들어 절연체(510) 및 절연체(514)로서는, 기판(310) 등으로부터 트랜지스터(500)가 제공되는 영역으로 물, 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다. 따라서 절연체(324) 등과 같은 재료를 사용할 수 있다.
- [0245] 수소에 대한 배리어성을 갖는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 기판(310) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0246] 또한 수소에 대한 배리어성을 갖는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0247] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 크다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호 막으로서 사용하는 것에 적합하다.
- [0248] 또한 예를 들어 절연체(513)로서는, 절연체(510) 및 절연체(514)와 마찬가지로 물, 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다. 특히 도 10에서, 절연체(513)는 후술하는 절연체(576)와 함께 트랜지스터(500)를 밀봉하는 막으로서 기능한다. 그러므로 절연체(513)에는 절연체(576)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 또한 절연체(513)에는 절연체(510) 또는 절연체(514)에 적용할 수 있는 재료를 사용하여도 좋다.
- [0249] 또한 예를 들어 절연체(512) 및 절연체(516)에는 절연체(320) 또는 절연체(326)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 예를 들어 절연체(512) 및 절연체(516)로서 산화 실리콘막, 산화질화 실리콘막 등을 사용할 수 있다.
- [0250] 또한 절연체(510), 절연체(512), 절연체(513), 절연체(514), 및 절연체(516)에는 도전체(518) 및 트랜지스터(500)를 구성하는 도전체(예를 들어 도 11의 (A) 및 (B)에 나타난 도전체(503)) 등이 매립되어 있다. 또한 도전체(518)는 후술하는 도전체(497), 트랜지스터(300) 등을 접속하는 플러그 또는 배선으로서의 기능을 갖는다. 도전체(518)는 예를 들어 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0251] 특히 절연체(510) 및 절연체(514)와 접하는 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 갖는 도전체인 것이 바람직하다. 상기 구성으로 함으로써, 트랜지스터(300)와 트랜지스터(500)를 산소, 수소, 및 물에 대한 배리어성을 갖는 층에 의하여 분리할 수 있기 때문에, 다이(SCD)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0252] 절연체(516) 위쪽에는 트랜지스터(500)가 제공되어 있다.
- [0253] 도 11의 (A) 및 (B)에 나타난 바와 같이, 트랜지스터(500)는 절연체(514) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516) 및 도전체(503) 위에 배치된 절연체(520)와, 절연체(520) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에 서로 떨어져 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이에 중첩하여 개구가 형성된 절연체(580)와,

개구의 밑면 및 측면에 배치된 산화물(530c)과, 산화물(530c)의 형성면에 배치된 절연체(550)와, 절연체(550)의 형성면에 배치된 도전체(560)를 포함한다. 또한 본 명세서 등에서는, 도전체(542a)와 도전체(542b)를 통틀어 도전체(542)라고 기재한다.

[0254] 또한 도 11의 (A) 및 (B)에 나타낸 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한 도 11의 (A) 및 (B)에 나타낸 바와 같이, 도전체(560)는 절연체(550)의 내측에 제공된 도전체(560a)와, 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 포함하는 것이 바람직하다. 또한 도 11의 (A) 및 (B)에 나타낸 바와 같이, 절연체(580), 도전체(560), 및 절연체(550) 위에 절연체(574)가 배치되는 것이 바람직하다.

[0255] 또한 이하에서, 산화물(530a), 산화물(530b), 및 산화물(530c)을 통틀어 산화물(530)이라고 하는 경우가 있다.

[0256] 또한 채널이 형성되는 영역과 그 근방에서 산화물(530a), 산화물(530b), 및 산화물(530c)의 3층이 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되는 것이 아니다. 예를 들어 산화물(530b)의 단층, 산화물(530b)과 산화물(530a)의 2층 구조, 산화물(530b)과 산화물(530c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(500)에서는 도전체(560)를 2층의 적층 구조로서 나타내었지만, 본 발명의 일 형태는 이에 한정되는 것이 아니다. 예를 들어 도전체(560)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한 도 10, 도 11의 (A), 및 (B)에 나타낸 트랜지스터(500)는 일례이고, 그 구조에 한정되지 않고, 회로 구성, 구동 방법 등에 따라 적절한 트랜지스터를 사용하면 좋다.

[0257] 여기서, 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서 위치를 맞추기 위한 마진을 제공하지 않고 도전체(560)를 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적을 축소할 수 있다. 이로써, 반도체 장치의 미세화, 고집적화를 도모할 수 있다.

[0258] 또한 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 갖지 않는다. 이로써, 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서 트랜지스터(500)는 스위칭 속도가 향상되고, 높은 주파수 특성을 가질 수 있다.

[0259] 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(503)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압을 제어할 수 있다. 특히, 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 문턱 전압을 0V보다 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(503)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.

[0260] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이로써, 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 발생하는 전계와 도전체(503)로부터 발생하는 전계가 연결되므로, 산화물(530)에 형성되는 채널 형성 영역을 넓을 수 있다. 본 명세서 등에서는, 제 1 게이트 전극 및 제 2 게이트 전극의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 한다.

[0261] 또한 도전체(503)는 도전체(518)와 같은 구성을 갖고, 절연체(514) 및 절연체(516)의 개구의 내벽과 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성되어 있다. 또한 도전체(503a) 및 도전체(503b)가 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명의 일 형태는 이에 한정되는 것이 아니다. 예를 들어 도전체(503)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다.

[0262] 여기서 도전체(503a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능이다.

- [0263] 예를 들어 도전체(503a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(503b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다.
- [0264] 또한 도전체(503)가 배선의 기능을 겸하는 경우, 도전체(503b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 또한 상기 배선의 도전성을 높게 유지할 수 있는 경우, 도전체(503a)를 반드시 제공할 필요는 없다. 또한 도전체(503b)는 단층으로 도시하였지만, 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0265] 절연체(520), 절연체(522), 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 갖는다.
- [0266] 여기서, 산화물(530)과 접하는 절연체(524)로서는, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 즉 절연체(524)에는 과잉 산소 영역이 형성되어 있는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)과 접하여 제공함으로써, 산화물(530) 내의 산소 결손을 저장하여, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다. 또한 본 명세서 등에서는, 금속 산화물 내의 산소 결손을 V_0 (oxygen vacancy)라고 부르는 경우가 있다.
- [0267] 금속 산화물을 사용한 트랜지스터는 금속 산화물 내의 채널이 형성되는 영역에 불순물 또는 산소 결손(V_0)이 존재하면 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한 산소 결손(V_0) 근방의 수소가 산소 결손(V_0)에 들어가 결합(이하, V_0H 라고 부르는 경우가 있음)을 형성하여, 캐리어가 되는 전자를 생성하는 경우가 있다. 그러므로 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성(게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터에 전류가 흐르는 특성)을 갖기 쉽다. 따라서 산화물 반도체 내의 채널이 형성되는 영역에서는 불순물, 산소 결손, 및 V_0H 는 가능한 한 저장되어 있는 것이 바람직하다. 바꿔 말하면, 산화물 반도체 내의 채널이 형성되는 영역은 캐리어 농도가 감소되고, i 형(진성화) 또는 실질적으로 i 형인 것이 바람직하다.
- [0268] 과잉 산소 영역을 갖는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 1.0×10^{19} atoms/cm³ 이상, 더 바람직하게는 2.0×10^{19} atoms/cm³ 이상 또는 3.0×10^{20} atoms/cm³ 이상인 산화물막이다. 또한 상기 TDS 분석시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.
- [0269] 또한 상기 과잉 산소 영역을 갖는 절연체와, 산화물(530)이 접한 상태로 가열 처리, 마이크로파 처리, 및 RF 처리 중 어느 하나 또는 복수가 수행되어도 좋다. 상기 처리를 수행함으로써, 산화물(530) 내의 물 또는 수소를 제거할 수 있다. 예를 들어 산화물(530)에서, V_0H 의 결합이 절단되는 반응, 즉 " $V_0H \rightarrow V_0 + H$ "라는 반응이 일어나, 탈수소화될 수 있다. 이때 발생한 수소의 일부는, 산소와 결합하여 H_2O 가 되고, 산화물(530) 또는 산화물(530) 근방의 절연체로부터 제거되는 경우가 있다. 또한 수소의 일부는 도전체(542a) 및 도전체(542b)로 확산되거나 도전체(542a) 및 도전체(542b)에 포획(게터링이라고도 함)되는 경우가 있다.
- [0270] 또한 상기 마이크로파 처리에는, 예를 들어 고밀도 플라즈마를 발생시키는 전원을 갖는 장치 또는 기관 측에 RF를 인가하는 전원을 갖는 장치를 사용하는 것이 적합하다. 예를 들어 산소를 포함하는 가스와 고밀도 플라즈마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써, 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 산화물(530) 또는 산화물(530) 근방의 절연체 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리에서는, 압력을 133Pa 이상, 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한 마이크로파 처리를 수행하는 장치 내에 도입되는 가스로서는, 예를 들어 산소와 아르곤을 사용하고, 산소 유량비($O_2/(O_2+Ar)$)가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하는 것이 좋다.
- [0271] 또한 트랜지스터(500)의 제작 공정에서는, 산화물(530)의 표면이 노출된 상태로 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는, 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이 경우, 산화물(530)에 산소를 공급함으로써, 산소 결손(V_0)을 저장할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행한 후에, 이

탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행하여도 좋다.

[0272] 또한 산화물(530)에 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(530) 내의 산소 결손을 수복(修復)하는, 바꿔 말하면 " $V_0+O \rightarrow null$ "이라는 반응을 촉진시킬 수 있다. 또한 공급된 산소와 산화물(530) 내에 잔존한 수소가 반응함으로써, 상기 수소를 H_2O 로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(530) 내에 잔존한 수소가 산소 결손과 재결합하여 V_0H 가 형성되는 것을 억제할 수 있다.

[0273] 또한 절연체(524)가 과잉 산소 영역을 갖는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 것이 바람직하다.

[0274] 절연체(522)가 산소, 불순물 등의 확산을 억제하는 기능을 가지면, 산화물(530)에 포함되는 산소가 절연체(520) 측으로 확산되지 않기 때문에 바람직하다. 또한 도전체(503)가 절연체(524) 및 산화물(530)에 포함되는 산소와 반응하는 것을 억제할 수 있다.

[0275] 절연체(522)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르코산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$ (BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층으로 또는 적층하여 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.

[0276] 특히 불순물 및 산소 등의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 절연성 재료인 알루미늄, 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄, 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체에는, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출, 트랜지스터(500)의 주변부로부터 산화물(530)로의 수소 등의 불순물의 혼입 등을 억제하는 층으로서 기능한다.

[0277] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시켜 사용하여도 좋다.

[0278] 또한 절연체(520)는 열적으로 안정적인 것이 바람직하다. 예를 들어 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체와 산화 실리콘 또는 산화질화 실리콘을 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(520)를 얻을 수 있다.

[0279] 또한 도 11의 (A) 및 (B)에 나타낸 트랜지스터(500)는 제 2 게이트 절연막으로서 절연체(520), 절연체(522), 및 절연체(524)의 3층의 적층 구조를 갖지만, 제 2 게이트 절연막으로서 단층, 2층, 또는 4층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 다른 재료로 이루어지는 적층 구조이어도 좋다.

[0280] 트랜지스터(500)에서는, 채널 형성 영역을 갖는 산화물(530)로서, 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 산화물(530)로서, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 특히 산화물(530)로서 적용할 수 있는 In-M-Zn 산화물은 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), CAC-OS(Cloud-Aligned Composite Oxide Semiconductor)인 것이 바람직하다. 또한 산화물(530)로서 In-Ga 산화물, In-Zn 산화물, In 산화물 등을 사용하여도 좋다.

[0281] 또한 트랜지스터(500)에는 캐리어 농도가 낮은 금속 산화물을 사용하는 것이 바람직하다. 금속 산화물의 캐리어 농도를 낮추는 경우에는, 금속 산화물 내의 불순물 농도를 낮추고, 결합 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결합 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 금속 산화물 내의 불순물로서는, 예를 들어 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈,

실리콘 등이 있다.

- [0282] 특히 금속 산화물에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 금속 산화물 내에 산소 결손을 형성하는 경우가 있다. 또한 산화물(530) 내의 산소 결손에 수소가 들어간 경우, 산소 결손과 수소가 결합하여 V_{OH} 를 형성하는 경우가 있다. V_{OH} 는 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되는 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 또한 금속 산화물 내의 수소는 열, 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 금속 산화물에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 떨어질 우려도 있다. 본 발명의 일 형태에서는, 산화물(530) 내의 V_{OH} 를 가능한 한 저감하고, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_{OH} 가 충분히 저감된 금속 산화물을 얻기 위해서는, 금속 산화물 내의 수분, 수소 등의 불순물을 제거하는 것(탈수, 탈수산화 처리라고 기재하는 경우가 있음)과, 금속 산화물에 산소를 공급하여 산소 결손을 보전하는 것(가산산화 처리라고 기재하는 경우가 있음)이 중요하다. V_{OH} 등의 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0283] 산소 결손에 수소가 들어간 결합은 금속 산화물의 도너로서 기능할 수 있다. 그러나 상기 결합을 정량적으로 평가하는 것은 어렵다. 그러므로 금속 산화물은 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 금속 산화물의 파라미터로서, 도너 농도 대신에 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재되는 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다.
- [0284] 따라서 산화물(530)로서 금속 산화물을 사용하는 경우, 금속 산화물 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 금속 산화물의 수소 농도를 1×10^{20} atoms/cm³ 미만, 바람직하게는 1×10^{19} atoms/cm³ 미만, 더 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 한다. 수소 등의 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0285] 또한 산화물(530)에 금속 산화물을 사용하는 경우, 상기 금속 산화물은 밴드 갭이 크고 진성(I형이라고도 함) 또는 실질적으로 진성인 반도체이며, 채널 형성 영역의 금속 산화물의 캐리어 농도는 1×10^{18} cm⁻³ 미만인 것이 바람직하고, 1×10^{17} cm⁻³ 미만인 것이 더 바람직하고, 1×10^{16} cm⁻³ 미만인 것이 더욱 바람직하고, 1×10^{13} cm⁻³ 미만인 것이 더욱더 바람직하고, 1×10^{12} cm⁻³ 미만인 것이 나아가 더욱더 바람직하다. 또한 채널 형성 영역에서의 금속 산화물의 캐리어 농도의 하한값은 특별히 한정되지 않지만, 예를 들어 1×10^{-9} cm⁻³으로 할 수 있다.
- [0286] 또한 산화물(530)에 금속 산화물을 사용하는 경우, 도전체(542a) 및 도전체(542b)와 산화물(530)이 접함으로써, 산화물(530) 내의 산소가 도전체(542a) 및 도전체(542b)로 확산되어, 도전체(542a) 및 도전체(542b)가 산화되는 경우가 있다. 도전체(542a) 및 도전체(542b)가 산화된 경우, 도전체(542a) 및 도전체(542b)의 도전율이 저하될 가능성이 높다. 또한 산화물(530) 내의 산소가 도전체(542a) 및 도전체(542b)로 확산되는 것을 도전체(542a) 및 도전체(542b)가 산화물(530) 내의 산소를 흡수한다고 바꿔 말할 수 있다.
- [0287] 또한 산화물(530) 내의 산소가 도전체(542a) 및 도전체(542b)로 확산됨으로써, 도전체(542a)와 산화물(530b) 사이 및 도전체(542b)와 산화물(530b) 사이에 이층(異層)이 형성되는 경우가 있다. 상기 이층은 도전체(542a) 및 도전체(542b)보다 산소를 많이 포함하기 때문에, 상기 이층은 절연성을 갖는 것으로 추정된다. 이때, 도전체(542a) 또는 도전체(542b)와, 상기 이층과, 산화물(530b)의 3층 구조는 금속-절연체-반도체로 이루어지는 3층 구조로 간주할 수 있고, MIS(Metal-Insulator-Semiconductor) 구조라고 부르거나, MIS 구조를 주로 갖는 다이오드 접합 구조라고 부르는 경우가 있다.
- [0288] 또한 상기 이층은 도전체(542a) 및 도전체(542b)와 산화물(530b) 사이에 형성되는 것에 한정되지 않고, 예를 들어 이층이 도전체(542a) 및 도전체(542b)와 산화물(530c) 사이에 형성되는 경우가 있다.
- [0289] 산화물(530)에서, 채널 형성 영역으로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

- [0290] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 포함함으로써, 산화물(530a)보다 아래쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다. 또한 산화물(530b) 위에 산화물(530c)을 포함함으로써, 산화물(530c)보다 위쪽에 형성된 구조물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.
- [0291] 또한 산화물(530)은 각 금속 원자의 원자수비가 다른 복수의 산화물층의 적층 구조를 갖는 것이 바람직하다. 구체적으로는, 산화물(530a)로서 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물(530b)로서 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530a)로서 사용하는 금속 산화물에서, In에 대한 원소 M의 원자수비가 산화물(530b)로서 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530b)로서 사용하는 금속 산화물에서, 원소 M에 대한 In의 원자수비가 산화물(530a)로서 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530c)로서는 산화물(530a) 또는 산화물(530b)로서 사용할 수 있는 금속 산화물을 사용할 수 있다.
- [0292] 구체적으로는, 산화물(530a)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=1:3:4 또는 1:1:0.5인 금속 산화물을 사용하면 좋다. 또한 산화물(530b)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3 또는 1:1:1인 금속 산화물을 사용하면 좋다. 또한 산화물(530c)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=1:3:4, 혹은 Ga과 Zn의 원자수비가 Ga:Zn=2:1 또는 Ga:Zn=2:5인 금속 산화물을 사용하면 좋다. 또한 산화물(530c)을 적층 구조로 하는 경우의 구체적인 예로서는, In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3인 층과 In:Ga:Zn=1:3:4인 층의 적층 구조, Ga과 Zn의 원자수비가 Ga:Zn=2:1인 층과 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3인 층의 적층 구조, Ga과 Zn의 원자수비가 Ga:Zn=2:5인 층과 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3인 층의 적층 구조, 산화 갈륨과, In과 Ga과 Zn의 원자수비가 In:Ga:Zn=4:2:3인 층의 적층 구조 등을 들 수 있다.
- [0293] 또한 예를 들어 산화물(530a)로서 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비가 산화물(530b)로서 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 낮은 경우, 산화물(530b)로서 In과 Ga과 Zn의 원자수비가 In:Ga:Zn=5:1:6 또는 그 근방, In:Ga:Zn=5:1:3 또는 그 근방, In:Ga:Zn=10:1:3 또는 그 근방 등의 조성을 갖는 In-Ga-Zn 산화물을 사용할 수 있다.
- [0294] 또한 상술한 것 외의 조성으로서, 산화물(530b)로서는 예를 들어 In:Zn=2:1의 조성, In:Zn=5:1의 조성, In:Zn=10:1의 조성, 이들 중 어느 하나의 근방의 조성 등을 갖는 금속 산화물을 사용할 수 있다.
- [0295] 이들 산화물(530a), 산화물(530b), 산화물(530c)은 상기 원자수비의 관계를 만족하도록 조합되는 것이 바람직하다. 예를 들어 산화물(530a) 및 산화물(530c)을 In:Ga:Zn=1:3:4의 조성 및 그 근방의 조성을 갖는 금속 산화물로 하고, 산화물(530b)을 In:Ga:Zn=4:2:3 내지 4.1의 조성 및 그 근방의 조성을 갖는 금속 산화물로 하는 것이 바람직하다. 또한 상기 조성은 기체(基體) 위에 형성된 산화물 내의 원자수비 또는 스퍼터링 타겟에서의 원자수비를 나타낸다. 또한 산화물(530b)의 조성에서 In의 비율을 높이면 트랜지스터의 온 전류 또는 전계 효과 이동도 등을 높일 수 있기 때문에 적합하다.
- [0296] 또한 산화물(530a) 및 산화물(530c)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한 바꿔 말하면, 산화물(530a) 및 산화물(530c)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.
- [0297] 여기서, 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 산화물(530a), 산화물(530b), 및 산화물(530c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고 바꿔 말할 수도 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면 및 산화물(530b)과 산화물(530c)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0298] 구체적으로는, 산화물(530a)과 산화물(530b), 산화물(530b)과 산화물(530c)이 산소 이외에 공통의 원소를 포함함으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a) 및 산화물(530c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.
- [0299] 이때, 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a), 산화물(530c)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면 및 산화물(530b)과 산화물(530c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 따라서 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지므로, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.

- [0300] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된다. 도전체(542a) 및 도전체(542b)에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 질화 탄탈럼 등의 금속 질화물막은 수소 또는 산소에 대한 배리어성을 갖기 때문에 바람직하다.
- [0301] 또한 도 11의 (A) 및 (B)에서는 도전체(542a) 및 도전체(542b)를 단층 구조로 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 질화 탄탈럼막과 텅스텐막을 적층하는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층하여도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하는 2층 구조, 텅스텐막 위에 구리막을 적층하는 2층 구조로 하여도 좋다.
- [0302] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 중첩시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.
- [0303] 또한 도 11의 (A)에 나타낸 바와 같이, 산화물(530)과 도전체(542a)(도전체(542b))의 계면과 그 근방에는 저저항 영역으로서 영역(543a) 및 영역(543b)이 형성되는 경우가 있다. 이때, 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이의 영역에 채널 형성 영역이 형성된다.
- [0304] 상기 도전체(542a)(도전체(542b))를 산화물(530)과 접하도록 제공함으로써, 영역(543a)(영역(543b))의 산소 농도가 저감되는 경우가 있다. 또한 영역(543a)(영역(543b))에, 도전체(542a)(도전체(542b))에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 농도가 증가하여 영역(543a)(영역(543b))은 저저항 영역이 된다.
- [0305] 절연체(544)는 도전체(542a) 및 도전체(542b)를 덮도록 제공되어, 도전체(542a) 및 도전체(542b)의 산화를 억제한다. 이때 절연체(544)는 산화물(530) 및 절연체(524)의 각각의 측면을 덮어 절연체(522)와 접하도록 제공되어도 좋다.
- [0306] 절연체(544)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 네오디뮴, 란타넘, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 또한 절연체(544)에는 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수도 있다.
- [0307] 특히, 절연체(544)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄네이트는 산화 하프늄막보다 내열성이 높다. 그러므로 추후의 공정에서의 가열 처리에서 결정화되기 어렵기 때문에 바람직하다. 또한 도전체(542a) 및 도전체(542b)가 내산화성을 갖는 재료이거나, 산소를 흡수하여도 도전성이 현저하게 저하되지 않는 경우에는, 절연체(544)는 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.
- [0308] 절연체(544)를 포함함으로써, 절연체(580)에 포함되는 물 및 수소 등의 불순물이 산화물(530c), 절연체(550)를 통하여 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 과잉 산소에 의하여 도전체(560)가 산화되는 것을 억제할 수 있다.
- [0309] 절연체(550)는 제 1 게이트 절연막으로서 기능한다. 절연체(550)는 산화물(530c)의 내측(상면 및 측면)과 접하여 배치되는 것이 바람직하다. 절연체(550)는 상술한 절연체(524)와 마찬가지로, 산소를 과잉으로 포함하고 또한 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다.

- [0310] 구체적으로는, 과잉 산소를 포함하는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 갖는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.
- [0311] 가열에 의하여 산소가 방출되는 절연체를 절연체(550)로서 산화물(530c)의 상면과 접하여 제공함으로써, 절연체(550)로부터 산화물(530c)을 통하여 산화물(530b)의 채널 형성 영역에 산소를 효과적으로 공급할 수 있다. 또한 절연체(524)와 마찬가지로 절연체(550) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(550)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0312] 또한 절연체(550)에 포함되는 과잉 산소를 산화물(530)에 효율적으로 공급하기 위하여, 절연체(550)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(550)로부터 도전체(560)로의 산소의 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(550)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물에는, 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.
- [0313] 또한 절연체(550)는 제 2 게이트 절연막과 마찬가지로 적층 구조로 하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있기 때문에, 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구조로 함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.
- [0314] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도 11의 (A) 및 (B)에서는 2층 구조로 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0315] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(550)에 포함되는 산소에 의하여 도전체(560b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 갖는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 도전체(560a)로서, 산화물(530)에 적용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법에 의하여 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 할 수 있다.
- [0316] 또한 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0317] 절연체(580)는 절연체(544)를 개재하여 도전체(542a) 및 도전체(542b) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 갖는 것이 바람직하다. 예를 들어 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 갖는 산화 실리콘, 또는 수지 등을 포함하는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히, 산화 실리콘, 공공을 갖는 산화 실리콘은 추후의 공정에서 과잉 산소 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0318] 절연체(580)가 과잉 산소 영역을 갖는 경우, 절연체(580)를 가열함으로써 산소를 방출시킬 수 있다. 그러므로 가열에 의하여 산소가 방출되는 절연체(580)를 산화물(530c)과 접하여 제공함으로써, 절연체(580) 내의 산소를 산화물(530c)을 통하여 산화물(530)에 효율적으로 공급할 수 있다. 또한 절연체(580) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0319] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체

(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이의 영역에 매립되도록 형성된다.

- [0320] 반도체 장치를 미세화하기 위하여 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 저하되지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 중형비가 높은 형상을 가질 수 있다. 본 실시형태에서는 절연체(580)의 개구에 매립되도록 도전체(560)를 제공하기 때문에, 도전체(560)를 중형비가 높은 형상으로 하여도, 공정 중에 무너지는 일 없이 도전체(560)를 형성할 수 있다.
- [0321] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(550)의 상면과 접하여 제공되는 것이 바람직하다. 절연체(574)를 스퍼터링법에 의하여 성막함으로써, 절연체(550) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이로써, 이 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.
- [0322] 예를 들어 절연체(574)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.
- [0323] 특히 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서 스퍼터링법에 의하여 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.
- [0324] 트랜지스터(500)를 둘러싸도록, 또한 절연체(513)가 노출되도록 절연체(574), 절연체(580), 절연체(544), 절연체(522), 절연체(520), 절연체(516), 및 절연체(514)의 일부분을 제거하여 개구를 형성하고, 수소 또는 물에 대한 배리어성이 높은 절연체(576)를 형성한다. 그러므로 절연체(574), 절연체(580), 절연체(544), 절연체(522), 절연체(520), 절연체(516), 및 절연체(514)의 각각의 측면은 절연체(576)와 접한다. 이에 의하여, 트랜지스터(500)에 대하여 외부로부터 수분 및 수소가 들어가는 것을 방지할 수 있다.
- [0325] 절연체(513) 및 절연체(576)는 상술한 바와 같이 수소(예를 들어 수소 원자, 수소 분자 등 중 적어도 하나) 또는 물 분자의 확산을 억제하는 기능이 높은 것이 바람직하다. 예를 들어 절연체(513) 및 절연체(576)에는, 수소 배리어성이 높은 재료인 질화 실리콘 또는 질화산화 실리콘을 사용하는 것이 바람직하다. 이로써, 산화물(530)로 수소 등이 확산되는 것을 억제할 수 있기 때문에, 트랜지스터(500)의 특성이 저하되는 것을 억제할 수 있다. 따라서 본 발명의 일 형태의 반도체 장치의 신뢰성을 높일 수 있다.
- [0326] 또한 절연체(576) 위에 층간막, 평탄화막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0327] 또한 절연체(581), 절연체(576), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구의 측면에 절연체(552)가 제공된다. 그리고 절연체(552)의 측면과 상기 개구의 밑면과 접하도록 도전체(540a) 및 도전체(540b)가 제공된다. 또한 도 11의 (A)에서, 도전체(540a) 및 도전체(540b)는 도전체(560)를 개재하여 서로 마주 보고 제공되어 있다.
- [0328] 절연체(552)는 예를 들어 절연체(581), 절연체(576), 절연체(574), 절연체(580), 및 절연체(544)와 접하여 제공된다. 절연체(552)는 수소 또는 물 분자의 확산을 억제하는 기능을 갖는 것이 바람직하다. 예를 들어 절연체(552)에는, 수소 배리어성이 높은 재료인 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등의 절연체를 사용하는 것이 바람직하다. 특히, 질화 실리콘은 수소 배리어성이 높은 재료이기 때문에, 절연체(552)에 사용하는 것이 적합하다. 절연체(552)에 수소 배리어성이 높은 재료를 사용함으로써, 물 또는 수소 등의 불순물이 절연체(580) 등으로부터 도전체(540a) 및 도전체(540b)를 통하여 산화물(530)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 산소가 도전체(540a) 및 도전체(540b)에 흡수되는 것을 억제할 수 있다. 이러한 식으로, 본 발명의 일 형태의 반도체 장치의 신뢰성을 높일 수 있다.
- [0329] 도전체(540a) 및 도전체(540b)는, 예를 들어 도전체(328), 도전체(330), 도전체(503) 등과 같은 재료를 사용하여 제공할 수 있다. 특히, 도전체(540a) 및 도전체(540b)의 각각은 2층 이상의 적층 구조로 하고, 절연체(552)와 접하는 제 1 층에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는(상기 불순물이 투과하기 어려운) 도전성 재료를 형성하고, 제 2 층 이후에는 텅스텐, 구리, 알루미늄 등을 주성분으로 하는 도전성이 높은 도전성 재료를 형성하는 것이 바람직하다.
- [0330] 도 10에서, 절연체(581) 위에는 절연체(582)가 제공되어 있다. 절연체(582)에는 산소, 수소 등에 대한 배리어성을 갖는 물질을 사용하는 것이 바람직하다. 따라서 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것

이 바람직하다.

- [0331] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 크다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.
- [0332] 또한 절연체(582) 위에는 절연체(586)가 제공되어 있다. 절연체(586)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 예를 들어 절연체(586)로서 산화 실리콘막, 산화질화 실리콘막 등을 사용할 수 있다.
- [0333] 또한 도 10 및 도 11의 (A)에 나타낸 바와 같이, 절연체(520), 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(576), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(540a), 도전체(540b), 도전체(546) 등이 매립되어 있다. 또한 도전체(546)에는, 예를 들어 도전체(540a) 및 도전체(540b)에 적용할 수 있는 재료를 사용할 수 있다.
- [0334] 도전체(540a), 도전체(540b), 및 도전체(546)는 트랜지스터(500), 트랜지스터(300), 후술하는 도전체(497) 등을 접속하는 플러그 또는 배선으로서 기능한다. 또한 도전체(540a) 및 도전체(540b)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다. 특히 도 10에서, 도전체(546)는 도전체(518)와 접촉하도록 형성되어 있다.
- [0335] 또한 도전체(540a), 도전체(540b), 도전체(546), 절연체(586) 위에 도전체(450)를 제공하여도 좋다. 도전체(450)는 후술하는 도전체(497), 트랜지스터(300), 트랜지스터(500) 등을 접속하는 배선으로서 기능한다. 특히 도 10에서, 도전체(450)는 도전체(540a), 도전체(540b), 도전체(546) 등과 접촉하도록 형성되어 있다.
- [0336] 도전체(450)에는 예를 들어 몰리브덴, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 중에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 사용할 수 있다. 또는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.
- [0337] 도 10에서는 도전체(450)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 배리어성을 갖는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 갖는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.
- [0338] 또한 도 10의 반도체 장치(PSD1)의 층(OSL)에서는, 일례로서 트랜지스터(500)의 위쪽에도 배선층이 제공되어 있다.
- [0339] 절연체(586), 도전체(450) 위에는 절연체(451), 절연체(452), 및 절연체(454)가 순차적으로 적층되어 제공되어 있다.
- [0340] 절연체(451)로서는, 예를 들어 절연체(324) 등과 마찬가지로, 트랜지스터(500)가 제공되는 영역으로 물, 수소 등의 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다. 즉 절연체(451)에는, 절연체(324) 등에 적용할 수 있는 재료를 사용하는 것이 바람직하다.
- [0341] 절연체(452) 및 절연체(454)로서는, 예를 들어 절연체(326)와 마찬가지로 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 즉 절연체(452) 및 절연체(454)에는, 절연체(326)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.
- [0342] 또한 절연체(451), 절연체(452), 및 절연체(454)에는 도전체(456)가 매립되어 있다. 또한 도전체(456)는 후술하는 도전체(497), 트랜지스터(300), 트랜지스터(500) 등을 접속하는 플러그 또는 배선으로서 기능한다. 또한 도전체(456)에는, 예를 들어 도전체(328), 도전체(330) 등에 적용할 수 있는 재료를 사용할 수 있다.
- [0343] 또한 절연체(451), 절연체(452), 절연체(454), 및 도전체(456) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는, 절연체(460), 절연체(462), 및 절연체(464)가 절연체(454) 및 도전체(456) 위에 순차적으로 적층되어 제공되어 있다. 또한 절연체(460), 절연체(462), 및 절연체(464)에는 도전체(466)가 형성되어 있다. 도전체

(466)는 예를 들어 후술하는 도전체(497), 트랜지스터(300), 트랜지스터(500) 등을 접속하는 플러그 또는 배선으로서 기능한다. 또한 도전체(466)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

[0344] 절연체(460)로서는, 절연체(324) 및 절연체(420)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 절연체(462) 및 절연체(464)로서는, 절연체(326)와 마찬가지로 배선 사이에 발생하는 기생 용량을 저감하기 위하여 비유전율이 비교적 낮은 절연체를 사용하는 것이 바람직하다. 또한 도전체(466)로서는, 예를 들어 도전체(356) 및 도전체(426)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체(460)의 개구부에 물, 수소 등의 불순물에 대한 배리어성을 갖는 도전체가 형성된다. 이에 의하여, 트랜지스터(500)와 층(OSL)의 위쪽을 배리어층에 의하여 분리할 수 있어, 층(OSL)의 위쪽으로부터 트랜지스터(500)로 물, 수소 등의 불순물이 확산되는 것을 억제할 수 있다.

[0345] 또한 절연체(464) 및 도전체(466) 위에는 절연체(470)와 절연체(472)가 순차적으로 적층되어 있다.

[0346] 절연체(470)로서는, 절연체(324) 등과 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 그러므로 절연체(470)에는, 예를 들어 절연체(324) 등에 적용할 수 있는 재료를 사용할 수 있다.

[0347] 절연체(472)는 평탄화막으로서의 기능을 갖는다. 또한 절연체(472)로서는, 절연체(324)와 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 그러므로 절연체(472)에는, 절연체(324)에 적용할 수 있는 재료를 사용할 수 있다.

[0348] 또한 절연체(470) 및 절연체(472)의 각각에서, 일부의 도전체(466)와 중첩되는 영역에 개구부가 형성되고, 상기 개구부를 매립하도록 도전체(493)가 제공되어 있다. 또한 도전체(493)는 절연체(472) 위에도 형성되어 있다. 그 후, 에칭 처리 등에 의하여, 도전체(493)를 배선, 단자, 패드 등의 형상으로 패터닝한다.

[0349] 도전체(493)에는, 예를 들어 구리, 알루미늄, 주석, 아연, 텅스텐, 은, 백금, 금 등을 사용할 수 있다. 또한 도전체(493)에는 도전체(366) 또는 도전체(406)에 적용할 수 있는 재료를 사용할 수 있다.

[0350] 다음으로, 절연체(472) 및 도전체(493)를 덮도록 절연체(492)가 성막되고, 그 후에 도전체(493)가 노출될 때까지 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리가 수행된다. 이에 의하여, 절연체(492)와 도전체(493)의 평탄성을 높일 수 있다.

[0351] 절연체(492)로서는, 예를 들어 절연체(362)와 마찬가지로 평탄화막으로서 기능하는 절연체를 제공하는 것이 바람직하다. 그러므로 절연체(492)에는, 예를 들어 절연체(362) 등에 적용할 수 있는 재료를 사용할 수 있다.

[0352] 다음으로, 절연체(492) 및 도전체(493) 위에 절연체(494) 및 절연체(495)가 순차적으로 성막된다. 그 후, 도전체(493)가 노출되도록 절연체(494) 및 절연체(495)에 개구부를 형성하고, 상기 개구부에 도전체(496)를 형성한다.

[0353] 절연체(494)로서는, 예를 들어 절연체(362)와 마찬가지로 평탄화막으로서 기능하는 절연체를 제공하는 것이 바람직하다. 그러므로 절연체(494)에는, 예를 들어 절연체(362) 등에 적용할 수 있는 재료를 사용할 수 있다.

[0354] 절연체(495)로서는, 예를 들어 절연체(324) 등과 마찬가지로 물, 수소 등의 불순물에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 그러므로 절연체(495)에는, 예를 들어 절연체(324) 등에 적용할 수 있는 재료를 사용할 수 있다.

[0355] 도전체(496)에는, 예를 들어 도전체(493)에 적용할 수 있는 재료를 사용할 수 있다. 또한 도전체(496)에는, 도전체(496) 위에 후술하는 도전체(497)를 형성할 수 있는 재료를 사용하는 것이 바람직하다.

[0356] 도전체(496) 위에는, 예를 들어 실시형태 1에서 설명한 반도체 장치(PSD1)의 범프(HBL)에 상당하는 도전체(497)가 제공된다. 도전체(497)는 예를 들어 뿔을 사용하여 형성할 수 있다. 또는 도전체(497)는 예를 들어 Sn, Cu, Ag, Au, Bi 등 중에서 선택된 하나 또는 2개 이상의 합금을 사용하여 형성할 수 있다. 또한 도 10에서는 일례로서 도전체(497)를 볼 형태의 범프로서 나타내었지만, 원뿔, 사각뿔 등의 뿔 형태, 머시룸(mushroom) 형태, 기둥 형태 등의 범프를 사용하여도 좋다. 또한 도전체(497)의 형성 방법으로서, 전기 도금법, 무전해 도금법, 인쇄법 등을 들 수 있다.

[0357] <반도체 장치의 구성예 2>

- [0358] 다음으로, 실시형태 1에서 설명한 반도체 장치(PSD3)의 구성예에 대하여 설명한다. 도 12는 반도체 장치(PSD3)의 구성예를 모식적으로 나타낸 단면도이고, 반도체 장치(PSD3)는 일례로서, 반도체 장치(PSD1)와 마찬가지로 트랜지스터(300)와 트랜지스터(500)를 포함한다.
- [0359] 반도체 장치(PSD3)에서는, 층(OSL)을 형성한 후에 층(OSL) 위에 다이(SCD)가 실장되기 때문에, 층(OSL)에 포함되어 있는 트랜지스터(500)의 위아래 방향은 다이(SCD)에 포함되어 있는 트랜지스터(300)의 위아래 방향과 다르다. 이것은 반도체 장치(PSD3)의 층(OSL)에서는 트랜지스터(500)의 아래쪽부터 배선, 절연체 등이 형성되고, 트랜지스터(500)의 위쪽에서 다이(SCD)에 전기적으로 접속시키기 위한 배선, 단자, 패드 등이 제공되기 때문이다.
- [0360] 또한 도 12의 반도체 장치(PSD3)에서, 앞의 반도체 장치(PSD1)의 구성예의 설명과 중복되는 부분은 설명을 생략한다.
- [0361] 반도체 장치(PSD3)의 층(OSL)에서는, 절연체(402) 및 도전체(406)로부터 후술하는 절연체(482) 및 도전체(486)까지 순차적으로 형성되어 있다. 또한 층(OSL)에서, 절연체(402) 및 도전체(406)로부터 절연체(472), 절연체(474), 및 도전체(476)까지의 구성, 제작 방법 등에 대해서는, 상술한 반도체 장치(PSD1)의 층(OSL)의 구성예를 참조한다.
- [0362] 절연체(474) 및 도전체(476) 위에는 도전체(486)가 형성되어 있다. 도전체(486)는 층(OSL)에서의 다이(SCD)와 접속시키기 위한 복수의 배선, 단자, 패드 등에 상당한다. 또한 절연체(474) 위에는 층(OSL)의 복수의 배선, 단자, 패드 등을 분리하기 위한 절연체(482)가 형성되어 있다.
- [0363] 절연체(474) 및 도전체(486)의 형성 방법으로는, 예를 들어 먼저 도전체(486)를 성막하고, 그 후에 에칭 처리 등에 의하여 도전체(486)를 배선, 단자, 패드 등의 형상으로 패터닝한다. 다음으로, 절연체(474) 및 도전체(486)를 덮도록 절연체(482)를 성막하고, 그 후에 도전체(486)가 노출될 때까지 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리를 수행한다. 이에 의하여, 도전체(486)를 배선, 단자, 패드 등으로서 층(OSL)에 형성할 수 있다.
- [0364] 또한 반도체 장치(PSD3)의 다이(SCD)에서는, 기판(310) 위에 트랜지스터(300)가 형성되고, 또한 트랜지스터(300) 위에 절연체(320), 절연체(332), 및 도전체(328)가 형성되어 있다. 또한 절연체(320), 절연체(332), 및 도전체(328) 위에는 절연체(324), 절연체(326), 및 도전체(330)로부터 절연체(362), 절연체(370), 및 도전체(366)까지 형성되어 있다. 또한 반도체 장치(PSD3)의 다이(SCD)의 구성, 제작 방법 등에 대해서는, 상술한 반도체 장치(PSD1)의 다이(SCD)의 구성예를 참조한다.
- [0365] 반도체 장치(PSD3)에서, 다이(SCD)의 도전체(366)는 도전체(376)를 통하여 층(OSL)의 도전체(486)에 전기적으로 접속되어 있다. 도전체(376)는 실시형태 1에서 설명한 반도체 장치(PSD1)의 범프(BP)에 상당한다. 도전체(376)는 예를 들어 뿔납을 사용하여 형성할 수 있다. 또는 도전체(376)는 예를 들어 Sn, Cu, Ag, Au, Bi 등 중에서 선택된 하나 또는 2개 이상의 합금을 사용하여 형성할 수 있다. 또한 도 12에서는 일례로서 도전체(376)를 볼 형태의 범프로서 나타내었지만, 원뿔, 사각뿔 등의 뿔 형태, 머시룸 형태, 기둥 형태 등의 범프를 사용하여도 좋다. 또한 도전체(486)의 형성 방법으로는, 전기 도금법, 무전해 도금법, 인쇄법 등을 들 수 있다.
- [0366] 또한 반도체 장치(PSD3)에서, 층(OSL)과 다이(SCD)는 예를 들어 플립 칩 본딩에 의하여 접합할 수 있다. 도 12의 반도체 장치(PSD3)에서는 절연체(380)가 층(OSL)과 다이(SCD) 사이에 절연성 수지로서 주입되어 있다. 절연체(380)는 실시형태 1에서 설명한 반도체 장치(PSD3)의 절연성 수지(IJ)에 상당한다.
- [0367] 또한 도 10 및 도 12에는 나타내지 않았지만, 반도체 장치(PSD1) 및 반도체 장치(PSD3)는 용량 소자를 포함하여도 좋다.
- [0368] 또한 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합할 수 있다.
- [0369] (실시형태 3)
- [0370] 본 실시형태에서는, 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하, 산화물 반도체라고도 함)에 대하여 설명한다.
- [0371] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마

그네슘, 코발트 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0372] <결정 구조의 분류>

[0373] 먼저, 산화물 반도체에서의 결정 구조의 분류에 대하여 도 13의 (A)를 사용하여 설명한다. 도 13의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과, Ga과, Zn을 포함한 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.

[0374] 도 13의 (A)에 나타난 바와 같이, 산화물 반도체는 "Amorphous(무정형)"와, "Crystalline(결정성)"과, "Crystal(결정)"로 크게 분류된다. 또한 "Amorphous"에는 completely amorphous가 포함된다. 또한 "Crystalline"에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(Cloud-Aligned Composite)가 포함된다(excluding single crystal and poly crystal). 또한 "Crystalline"의 분류에서 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 "Crystal"에는 single crystal 및 poly crystal이 포함된다.

[0375] 또한 도 13의 (A)에 나타난 굵은 테두리 내의 구조는 "Amorphous(무정형)"와 "Crystal(결정)"의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉 상기 구조는 에너지적으로 불안정한 "Amorphous(무정형)", 및 "Crystal(결정)"과는 전혀 다른 구조라고 할 수 있다.

[0376] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, "Crystalline"으로 분류되는 CAAC-IGZO막을 GIXD(Grazing-Incidence XRD) 측정하여 얻어지는 XRD 스펙트럼을 도 13의 (B)에 나타내었다(가로축은 2θ [deg.]를 나타내고, 세로축은 강도(Intensity)를 임의 단위(a.u.)로 나타냄). 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 13의 (B)에 나타난 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 나타낸다. 또한 도 13의 (B)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 13의 (B)에 나타난 CAAC-IGZO막의 두께는 500nm이다.

[0377] 도 13의 (B)에 나타난 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는 $2\theta=31^\circ$ 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 13의 (B)에 나타난 바와 같이, $2\theta=31^\circ$ 근방의 피크는 피크 강도가 검출된 각도를 축으로 좌우 비대칭이다.

[0378] 또한 막 또는 기판의 결정 구조는, 나노빔 전자 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(나노빔 전자 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 13의 (C)에 나타내었다. 도 13의 (C)는 기판에 대하여 전자선을 평행하게 입사시키는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 13의 (C)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 나노빔 전자 회절법에서는 프로브 직경을 1nm로 하여 전자 회절이 수행된다.

[0379] 도 13의 (C)에 나타난 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0380] <<산화물 반도체의 구조>>

[0381] 또한 산화물 반도체는 결정 구조에 주목한 경우, 도 13의 (A)와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0382] 여기서, 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0383] [CAAC-OS]

[0384] CAAC-OS는 복수의 결정 영역을 갖고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 갖는 영역을 말한다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 갖고, 상기 영역은 변형을 갖는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의

방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 갖고, a-b면 방향으로 명확한 배향을 갖지 않는 산화물 반도체이다.

- [0385] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.
- [0386] 또한 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 타이타늄 등 중에서 선택된 1종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 포함한 층(이하, In층)과, 원소 M, 아연(Zn), 및 산소를 포함한 층(이하, (M,Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 갖는 경향이 있다. 또한 인듐과 원소 M은 서로 치환될 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서 격자상(格子像)으로 관찰된다.
- [0387] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 $2\theta=31^\circ$ 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.
- [0388] 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 회절(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.
- [0389] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형, 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수는 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.
- [0390] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 갖는 결정성의 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 것이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 더 억제할 수 있기 때문에 적합하다.
- [0391] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결합 등의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물, 결합(산소 결손 등) 등이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 포함한 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 포함한 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 높일 수 있다.
- [0392] [nc-OS]
- [0393] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 바꿔 말하면, nc-OS는 미소한 결정을 갖는다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 및 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 nc-OS막에 대하여 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 수행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을

수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.

- [0394] [a-like OS]
- [0395] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 갖는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 갖는다. 즉 a-like OS는 nc-OS 및 CAAC-OS보다 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS보다 막 내의 수소 농도가 높다.
- [0396] <<산화물 반도체의 구성>>
- [0397] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.
- [0398] [CAC-OS]
- [0399] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.
- [0400] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리되어 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하, 클라우드상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 갖는 복합 금속 산화물이다.
- [0401] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]이 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]이 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]이 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.
- [0402] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역이라고 바꿔 말할 수 있다.
- [0403] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0404] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과 Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 갖는 것을 확인할 수 있다.
- [0405] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성의 기능을 갖고, 재료의 다른 일부에서는 절연성의 기능을 갖고, 재료의 전체에서는 반도체로서의 기능을 갖는다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.
- [0406] 산화물 반도체는 다양한 구조를 갖고, 각각이 다른 특성을 갖는다. 본 발명의 일 형태의 산화물 반도체에는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상이 포함되어도 좋다.
- [0407] <산화물 반도체를 포함하는 트랜지스터>
- [0408] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0409] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0410] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의

캐리어 농도는 $1 \times 10^{17} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{13} \text{ cm}^{-3}$ 이하, 더욱 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하, 더욱더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고, $1 \times 10^{-9} \text{ cm}^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.

- [0411] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0412] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0413] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0414] <불순물>
- [0415] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0416] 산화물 반도체에 14족 원소 중 하나인 실리콘, 탄소 등이 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘, 탄소 등의 농도와, 산화물 반도체와의 계면 근방의 실리콘, 탄소 등의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0417] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.
- [0418] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체로서 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0419] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.
- [0420] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0421] 또한 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합할 수 있다.
- [0422] (실시형태 4)
- [0423] 본 실시형태에서는, 반도체 웨이퍼, 상기 반도체 웨이퍼를 잘라냄으로써 얻어지는 반도체 칩, 상기 반도체 칩

을 FOWLP로 제공한 반도체 장치 등에 대하여 설명한다.

- [0424] <반도체 웨이퍼 및 반도체 칩>
- [0425] 먼저, 회로 등이 형성된 반도체 웨이퍼의 예를 도 14의 (A)를 사용하여 설명한다.
- [0426] 도 14의 (A)에 나타난 반도체 웨이퍼(4800)는 웨이퍼(4801)와, 웨이퍼(4801)의 상면에 제공된 복수의 회로부(4802)를 포함한다. 또한 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 공간(spacing)(4803)이고 다이싱용 영역이다.
- [0427] 반도체 웨이퍼(4800)는, 전공정에 의하여 웨이퍼(4801)의 표면에 복수의 회로부(4802)를 형성함으로써 제작할 수 있다. 또한 그 후에, 웨이퍼(4801)에서 복수의 회로부(4802)가 형성된 면과 반대쪽 면을 연삭하여 웨이퍼(4801)를 얇게 하여도 좋다. 이 공정을 통하여, 웨이퍼(4801)의 휨 등을 저감하고 부품의 크기를 작게 할 수 있다.
- [0428] 다음으로, 다이싱 공정이 수행된다. 다이싱은 일점쇄선으로 나타난 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱 라인 또는 절단 라인이라고 하는 경우가 있음)을 따라 수행된다. 또한 다이싱 공정을 용이하게 수행하기 위하여, 복수의 스크라이브 라인(SCL1)이 평행하게 되고, 복수의 스크라이브 라인(SCL2)이 평행하게 되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 공간(4803)을 제공하는 것이 바람직하다.
- [0429] 다이싱 공정을 수행함으로써, 도 14의 (B)에 나타난 반도체 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 반도체 칩(4800a)은 웨이퍼(4801a)와, 회로부(4802)와, 공간(4803a)을 포함한다. 또한 공간(4803a)은 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 공간(4803)의 폭이, 스크라이브 라인(SCL1)의 커프 폭 또는 스크라이브 라인(SCL2)의 커프 폭과 거의 같은 길이면 좋다.
- [0430] 또한 본 발명의 일 형태의 반도체 장치에 따른 소자 기관의 형상은, 도 14의 (A)에 나타난 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어 직사각형의 반도체 웨이퍼이어도 좋다. 소자 기관의 형상은, 소자의 제작 공정 및 소자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.
- [0431] <반도체 장치>
- [0432] 도 14의 (C)는 반도체 장치(4700)의 사시도이다. 도 14의 (C)에 나타난 반도체 장치(4700)에서는, 재배선층(4716)의 위쪽에 반도체 칩(4800a)을 실장하고, 반도체 칩(4800a)을 덮도록 재배선층(4716)의 위쪽에 밀봉재(4711)가 제공되어 있다. 또한 도 14의 (C)에서는 반도체 장치(4700)의 내부를 나타내기 위하여 밀봉재(4711)의 일부를 나타내지 않았다.
- [0433] 도 14의 (D)는 반도체 장치(4700)의 하면 측을 나타낸 사시도이다. 반도체 장치(4700)의 하면에는 일례로서 범프(4717)가 제공된 BGA(Ball grid array)를 포함한다. 또한 반도체 장치(4700)는 BGA에 한정되지 않고, LGA, PGA 등을 포함하여도 좋다.
- [0434] 또한 반도체 장치(4700)는 BGA, LGA, 또는 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기관에 실장되어도 좋다. 예를 들어 SPGA(Staggered Pin Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용하여도 좋다.
- [0435] 또한 반도체 장치(4700), 반도체 칩(4800a) 등과 중첩되도록 히트 싱크(방열판)를 제공하여도 좋다.
- [0436] 상술한 바와 같이, FOWLP로 반도체 칩(4800a)을 패키지함으로써, 반도체 장치(4700)를 제작할 수 있다. 또한 반도체 장치(4700)의 예에는 광대역 메모리(HBM: High Bandwidth Memory) 등이 포함된다. 또한 반도체 장치(4700)로서는 CPU, GPU, FPGA, 기억 장치 등의 집적 회로(반도체 장치)를 사용할 수 있다.
- [0437] 반도체 장치(4700)를 인쇄 회로 기관 등에 실장함으로써, 전자 기기 등에 제공되는 메인보드, 시스템 보드 등의 회로 기관을 제작할 수 있다. 도 14의 (E)에는 일례로서 반도체 장치(4700)가 실장된 기관(실장 기관(4704))의 사시도를 나타내었다. 또한 도 14의 (E)에서, 반도체 장치(4700)는 예를 들어 인쇄 회로 기관(4702)에 실장되어 있다. 이와 같이 반도체 장치가 복수로 조합되고, 각각이 인쇄 회로 기관(4702) 위에서 전기적으로 접속됨으로써, 실장 기관(4704)이 완성된다.
- [0438] 또한 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합할 수 있다.
- [0439] (실시형태 5)

- [0440] 본 실시형태에서는, 앞의 실시형태에서 설명한 반도체 장치를 포함한 전자 기기의 일례에 대하여 설명한다. 또한 도 15에는 예를 들어 반도체 장치(4700)가 각 전자 기기에 포함되어 있는 상태를 나타내었다.
- [0441] [휴대 전화]
- [0442] 도 15에 나타난 정보 단말기(5500)는 정보 단말기의 1종류인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 포함하고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 제공되고, 버튼이 하우징(5510)에 제공되어 있다.
- [0443] 또한 도 15에는 나타나지 않았지만, 정보 단말기(5500)는 기억 장치, 활상 장치, 표시 장치 등의 반도체 장치를 포함한다. 여기서, 예를 들어 재배선층에 CML 회로가 제공된 반도체 장치(4700)를 정보 단말기(5500)에 적용함으로써, 반도체 장치(4700)에 포함되는 회로와 반도체 장치(4700)의 외부 회로 사이에서 신호를 고속으로 전송할 수 있다. 이에 의하여, 정보 단말기(5500)의 처리 속도를 높일 수 있다.
- [0444] [웨어러블 단말기]
- [0445] 또한 도 15에는 웨어러블 단말기의 일례로서 손목시계형 정보 단말기(5900)를 나타내었다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 버튼(5903), 조작자(操作子)(5904), 밴드(5905) 등을 포함한다.
- [0446] 웨어러블 단말기는 앞에서 설명한 정보 단말기(5500)와 마찬가지로, 재배선층에 CML 회로가 제공된 반도체 장치(4700)를 적용함으로써, 웨어러블 단말기의 처리 속도를 높일 수 있다.
- [0447] [정보 단말기]
- [0448] 또한 도 15에는 데스크톱형 정보 단말기(5300)를 나타내었다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와, 디스플레이(5302)와, 키보드(5303)를 포함한다.
- [0449] 데스크톱형 정보 단말기(5300)는 앞에서 설명한 정보 단말기(5500)와 마찬가지로, 앞의 실시형태에서 설명한 반도체 장치를 적용함으로써, 데스크톱형 정보 단말기(5300)에 제공된 반도체 장치의 소비 전력을 절감할 수 있다.
- [0450] 또한 앞에서는 전자 기기의 예로서 스마트폰, 데스크톱형 정보 단말기, 웨어러블 단말기를 각각 도 15에 나타내었지만, 스마트폰, 데스크톱형 정보 단말기, 웨어러블 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰, 데스크톱형 정보 단말기, 웨어러블 단말기 이외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등이 있다.
- [0451] [전자 제품]
- [0452] 또한 도 15에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 나타내었다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 포함한다.
- [0453] 또한 전기 냉동 냉장고(5800)는 통신 기기가 제공되어, 네트워크에 접속할 수 있는 구성을 가져도 좋다. 즉 전기 냉동 냉장고(5800)는 IoT(Internet of Things)에 대응한 전자 기기로 하여도 좋다. 또한 재배선층에 CML 회로가 제공된 반도체 장치(4700)를 전기 냉동 냉장고(5800)에 적용함으로써, 예를 들어 전기 냉동 냉장고(5800)의 IoT에 관한 처리 속도를 높일 수 있다.
- [0454] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서, 예를 들어 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH(Induction Heating) 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.
- [0455] [게임기]
- [0456] 또한 도 15는 게임기의 일례인 휴대 게임기(5200)를 나타낸 것이다. 휴대 게임기(5200)는 하우징(5201), 표시부(5202), 버튼(5203) 등을 포함한다.
- [0457] 또한 도 15에는 게임기의 일례인 거치형 게임기(7500)를 나타내었다. 거치형 게임기(7500)는 본체(7520)와 컨트롤러(7522)를 포함한다. 또한 본체(7520)에는 무선 또는 유선으로 컨트롤러(7522)를 접속할 수 있다. 또한 도 15에는 나타나지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 이외의 입력 인터페이스로서 기능하는 터치 패널, 스틱, 회전식 손잡이, 슬라이드식 손잡이 등을 포함할 수 있다. 또한 컨트롤러(7522)의 형상은 도 15에 나타난 것에 한정되지 않고, 게임의 장르에 따라 다양하게 변경하여도 좋다. 예를 들

어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 갖는 총 모양의 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 형상을 갖는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 마이크론 등을 포함하고, 게임 플레이어의 제스처 및/또는 음성으로 조작되어도 좋다.

- [0458] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 헤드마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.
- [0459] 재배선층에 CML 회로가 제공된 반도체 장치(4700)를 휴대 게임기(5200)에 적용함으로써, 휴대 게임기(5200)의 처리 속도를 높일 수 있다.
- [0460] 도 15에는 게임기의 일례로서 휴대 게임기를 나타내었지만, 본 발명의 일 형태의 전자 기기는 이에 한정되지 않는다. 본 발명의 일 형태의 전자 기기로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.
- [0461] [이동체]
- [0462] 앞의 실시형태에서 설명한 반도체 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0463] 도 15에는 이동체의 일례인 자동차(5700)를 나타내었다.
- [0464] 자동차(5700)의 운전석 주변에는, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시할 수 있는 계기판이 제공되어 있다. 또한 운전석 주변에는, 이들 정보를 표시하는 표시 장치가 제공되어도 좋다.
- [0465] 특히 상기 표시 장치는, 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)가 찍은 영상을 표시함으로써, 필러 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있고, 이로써 안전성을 높일 수 있다. 즉 자동차(5700)의 외측에 제공된 촬상 장치가 찍은 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다.
- [0466] 앞의 실시형태에서 설명한 반도체 장치는 상술한 계기판, 촬상 장치 등에 적용할 수 있다. 특히 반도체 장치의 재배선층에 CML 회로가 제공됨으로써, 자동차(5700)에 제공되는 계기판, 촬상 장치 등의 처리 속도를 높일 수 있다.
- [0467] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 반도체 장치를 적용함으로써, 처리 속도를 높일 수 있다.
- [0468] [카메라]
- [0469] 앞의 실시형태에서 설명한 반도체 장치는 카메라에 적용할 수 있다.
- [0470] 도 15에는 촬상 장치의 일례로서 디지털 카메라(6240)를 나타내었다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 버튼(6243), 셔터 버튼(6244) 등을 포함하고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 갖지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보스코프, 뷰파인더 등을 별도로 장착할 수 있는 구성을 가져도 좋다.
- [0471] 재배선층에 CML 회로가 제공된 반도체 장치(4700)를 디지털 카메라(6240)에 적용함으로써, 디지털 카메라(6240)의 처리 속도를 높일 수 있다.
- [0472] [비디오 카메라]
- [0473] 앞의 실시형태에서 설명한 반도체 장치는 비디오 카메라에 적용할 수 있다.
- [0474] 도 15에는 촬상 장치의 일례로서 비디오 카메라(6300)를 나타내었다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 키(6304), 렌즈(6305), 접속부(6306) 등을 포함한다. 조작 키(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에서의 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도

좋다.

[0475] 상술한 디지털 카메라(6240)와 마찬가지로, 재배선층에 CML 회로가 제공된 반도체 장치(4700)를 비디오 카메라(6300)에 적용함으로써, 비디오 카메라(6300)의 처리 속도를 높일 수 있다.

[0476] 또한 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합할 수 있다.

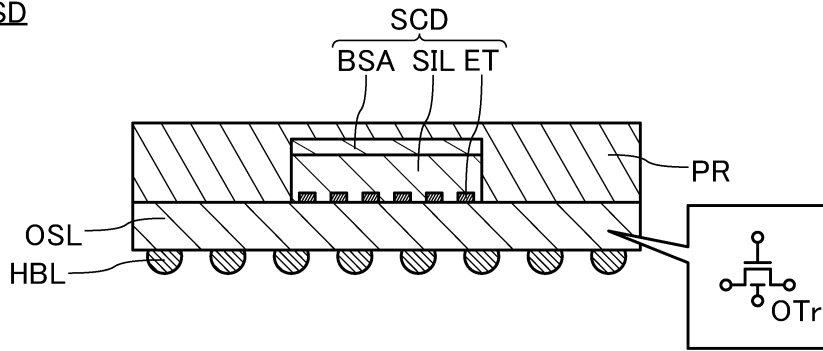
부호의 설명

[0477] PSD: 반도체 장치, SCD: 다이, PR: 절연체, OSL: 층, HBL: 범프, BSA: 기관, SIL: 층, ET: 접속 단자, OTr: 트랜지스터, SIC: 회로, OSC: 회로, EXT1: 외부 단자, EXT2: 외부 단자, DEV: 회로, RGCM: 회로, HSTC: 회로, CM: 차동 증폭 회로, CM1: 차동 증폭 회로, CM2: 차동 증폭 회로, CM[1]: 차동 증폭 회로, CM[2]: 차동 증폭 회로, CM[n-1]: 차동 증폭 회로, CM[n]: 차동 증폭 회로, CM[m]: 차동 증폭 회로, CM[n+1]: 차동 증폭 회로, CM[m+1]: 차동 증폭 회로, CMA: 차동 증폭 회로, CMB: 차동 증폭 회로, CIP: 용량 소자, CIN: 용량 소자, LE1A: 부하, LE1B: 부하, LE2P: 부하, LE2N: 부하, DTrA: 트랜지스터, DTrB: 트랜지스터, TrC: 트랜지스터, ITrA: 트랜지스터, ITrB: 트랜지스터, DEA: 다이오드, DEB: 다이오드, CC: 전류원, VBL1: 배선, VBL2: 배선, VDE: 배선, VSE: 배선, BGE1: 배선, BGE2: 배선, VAL: 배선, OCLN: 단자, OCLP: 단자, HIP: 단자, HIN: 단자, HON: 단자, HOP: 단자, INP: 단자, INN: 단자, OUTP: 단자, OUTN: 단자, PSD1: 반도체 장치, PSD2: 반도체 장치, PSD3: 반도체 장치, PSD4: 반도체 장치, BSB: 기관, SB: 지지체, RL: 박리층, BP: 범프, IJ: 절연성 수지, SCL1: 스크라이브 라인, SCL2: 스크라이브 라인, 300: 트랜지스터, 310: 기관, 312: 소자 분리층, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 332: 절연체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 360: 절연체, 362: 절연체, 366: 도전체, 370: 절연체, 376: 도전체, 380: 절연체, 402: 절연체, 406: 도전체, 410: 절연체, 412: 절연체, 414: 절연체, 416: 도전체, 420: 절연체, 422: 절연체, 424: 절연체, 426: 도전체, 430: 절연체, 432: 절연체, 434: 절연체, 436: 도전체, 450: 도전체, 451: 절연체, 452: 절연체, 454: 절연체, 456: 도전체, 460: 절연체, 462: 절연체, 464: 절연체, 466: 도전체, 470: 절연체, 472: 절연체, 474: 절연체, 476: 도전체, 482: 절연체, 486: 도전체, 492: 절연체, 493: 도전체, 494: 절연체, 495: 절연체, 496: 도전체, 497: 도전체, 500: 트랜지스터, 503: 도전체, 503a: 도전체, 503b: 도전체, 510: 절연체, 512: 절연체, 513: 절연체, 514: 절연체, 516: 절연체, 518: 도전체, 520: 절연체, 522: 절연체, 524: 절연체, 530: 산화물, 530a: 산화물, 530b: 산화물, 530c: 산화물, 540a: 도전체, 540b: 도전체, 542: 도전체, 542a: 도전체, 542b: 도전체, 543a: 영역, 543b: 영역, 544: 절연체, 546: 도전체, 550: 절연체, 552: 절연체, 560: 도전체, 560a: 도전체, 560b: 도전체, 574: 절연체, 576: 절연체, 580: 절연체, 581: 절연체, 582: 절연체, 586: 절연체, 4700: 반도체 장치, 4702: 인쇄 회로 기관, 4704: 실장 기관, 4711: 밀봉재, 4716: 재배선층, 4717: 범프, 4800: 반도체 웨이퍼, 4800a: 반도체 칩, 4801: 웨이퍼, 4801a: 웨이퍼, 4802: 회로부, 4803: 공간(spacing), 4803a: 공간, 5200: 휴대 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 데스크톱형 정보 단말기, 5301: 본체, 5302: 디스플레이, 5303: 키보드, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5700: 자동차, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 도어, 5803: 냉동실용 도어, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 조작자(操作子), 5905: 밴드, 6240: 디지털 카메라, 6241: 하우징, 6242: 표시부, 6243: 조작 버튼, 6244: 셔터 버튼, 6246: 렌즈, 6300: 비디오 카메라, 6301: 하우징, 6302: 하우징, 6303: 표시부, 6304: 조작 키, 6305: 렌즈, 6306: 접속부, 7500: 거치형 게임기, 7520: 본체, 7522: 컨트롤러

도면

도면1

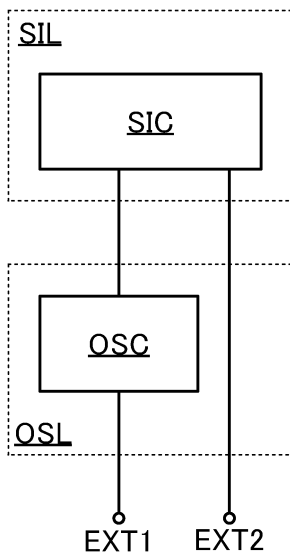
PSD



도면2

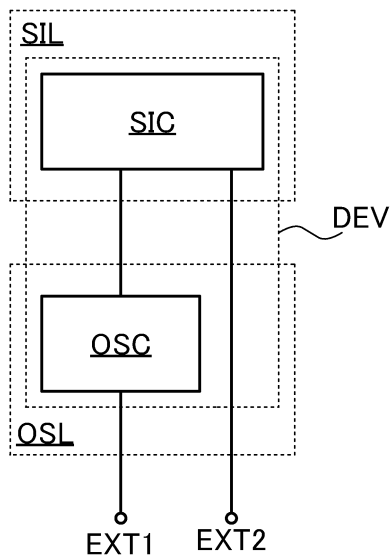
(A)

PSD

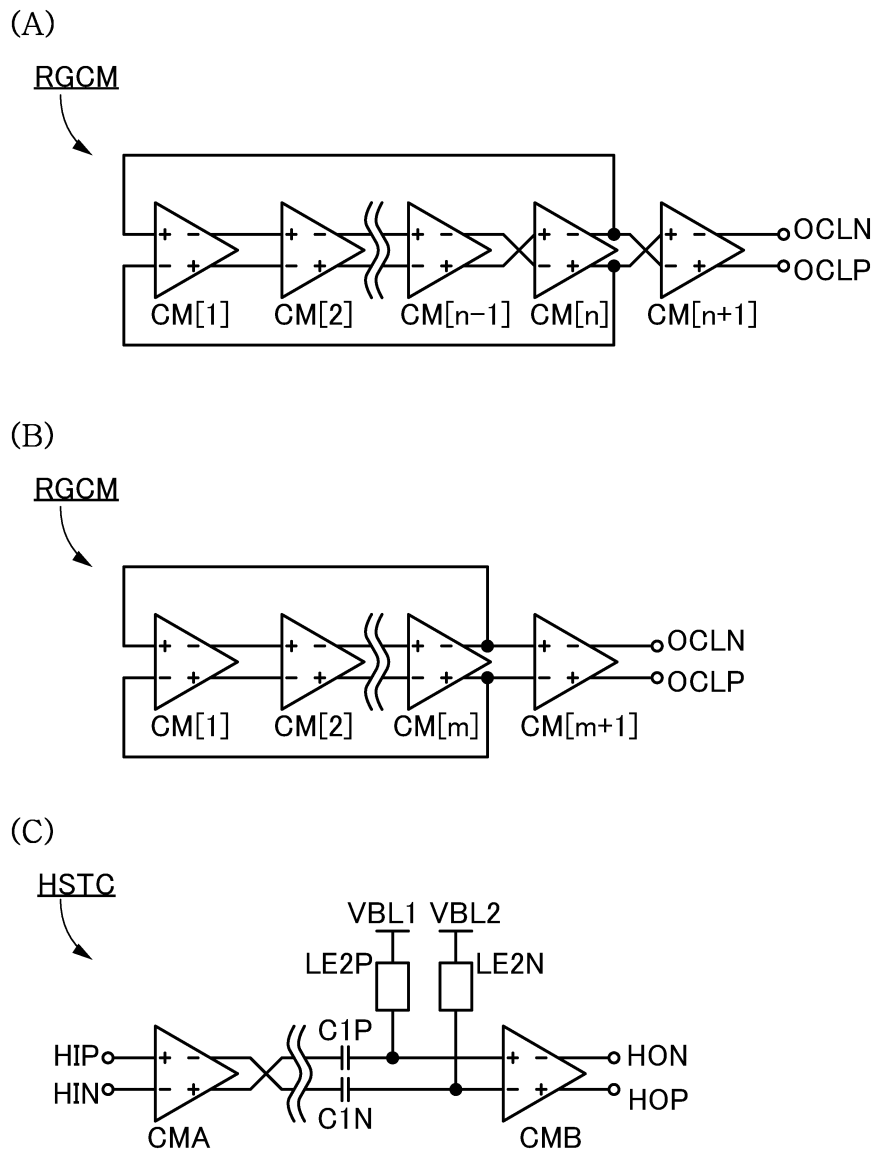


(B)

PSD

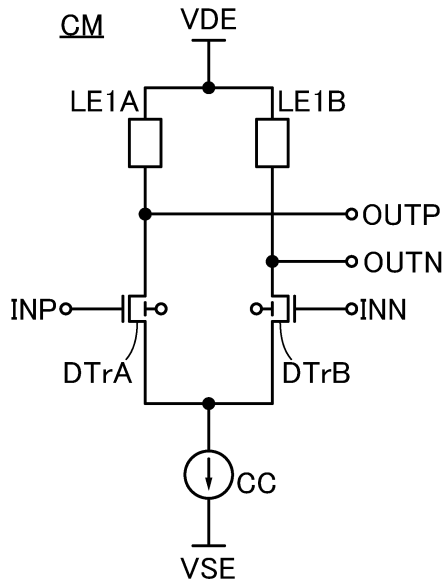


도면3

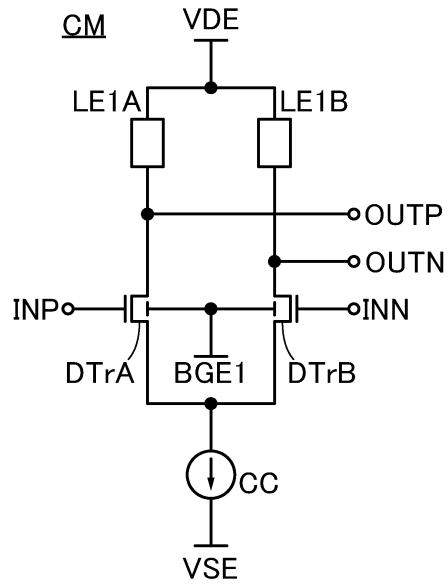


도면4

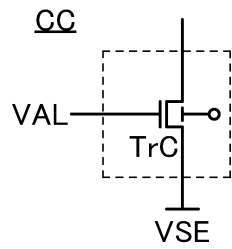
(A)



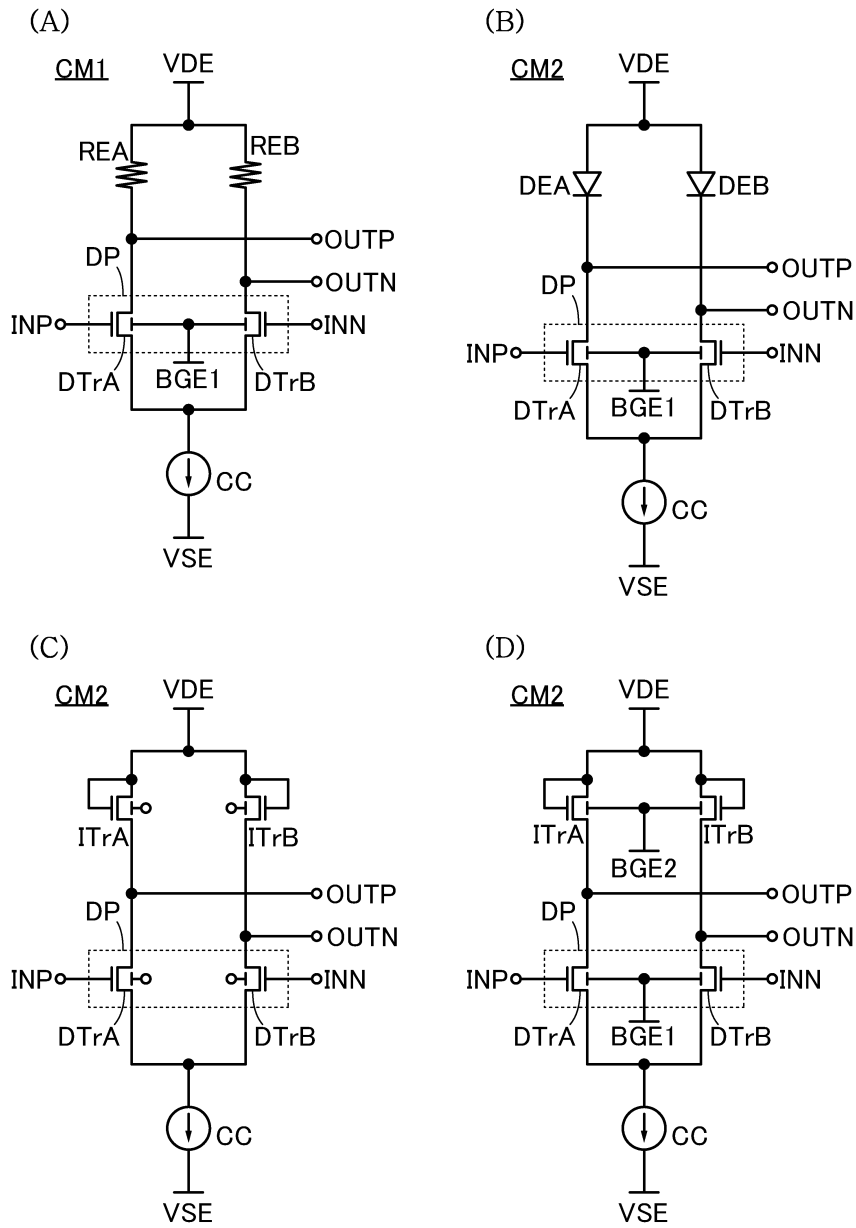
(B)



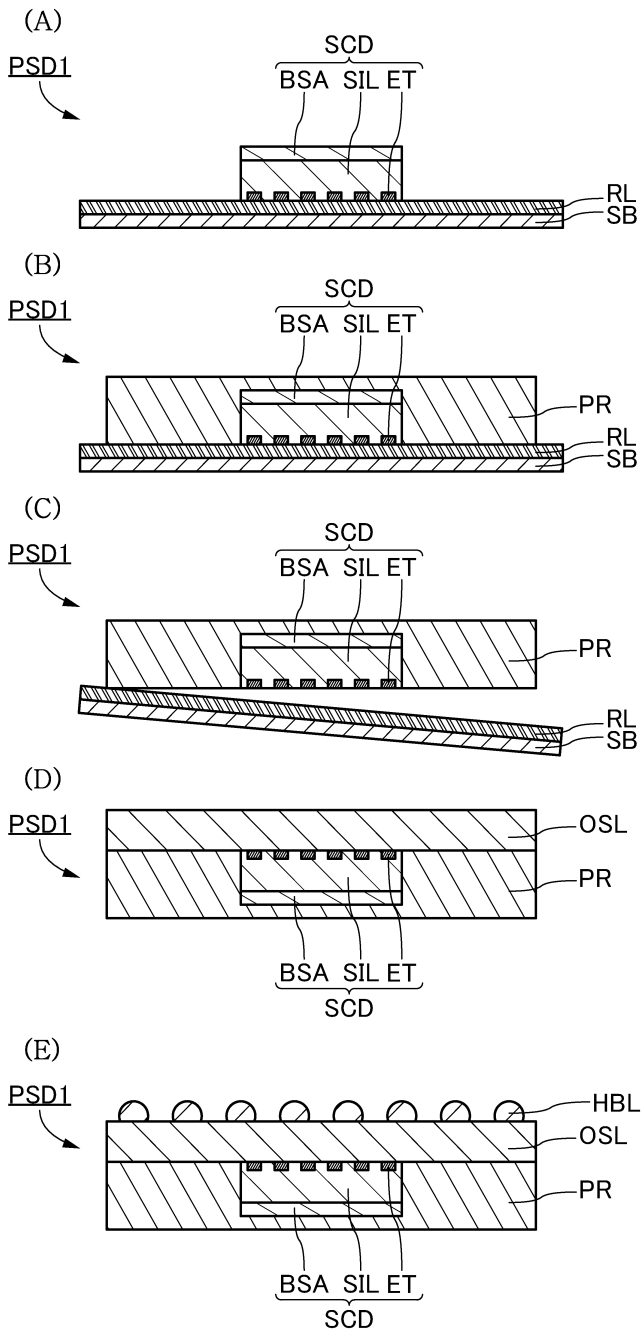
(C)



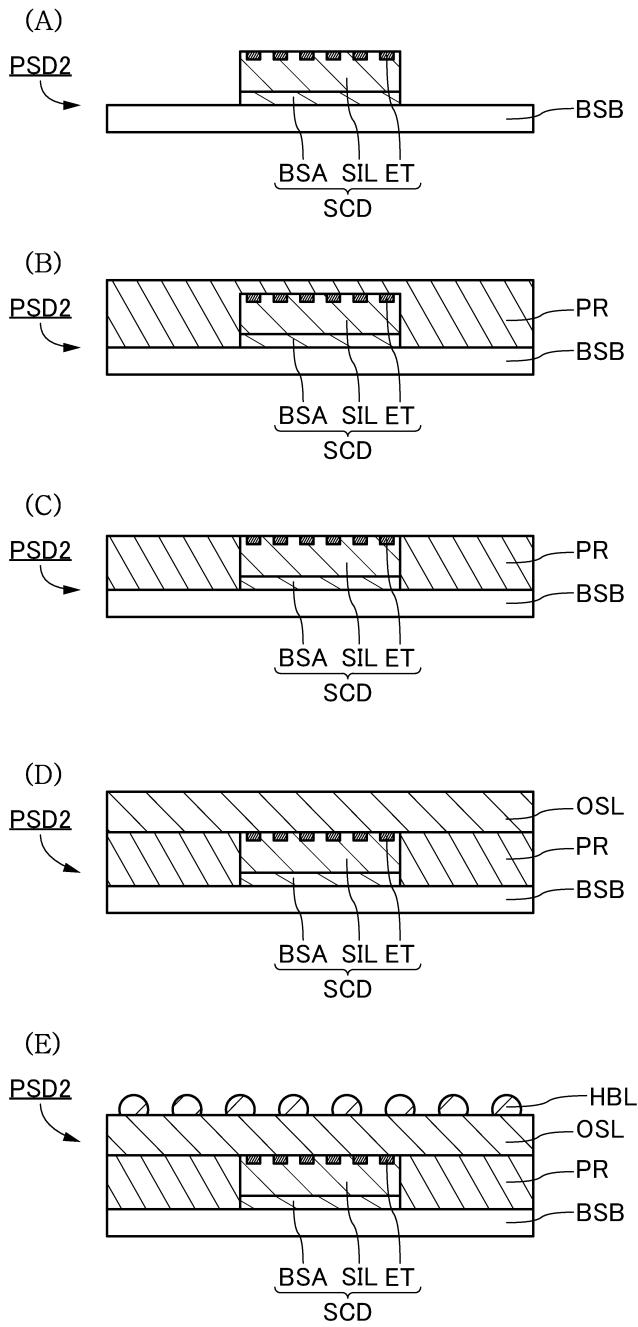
도면5



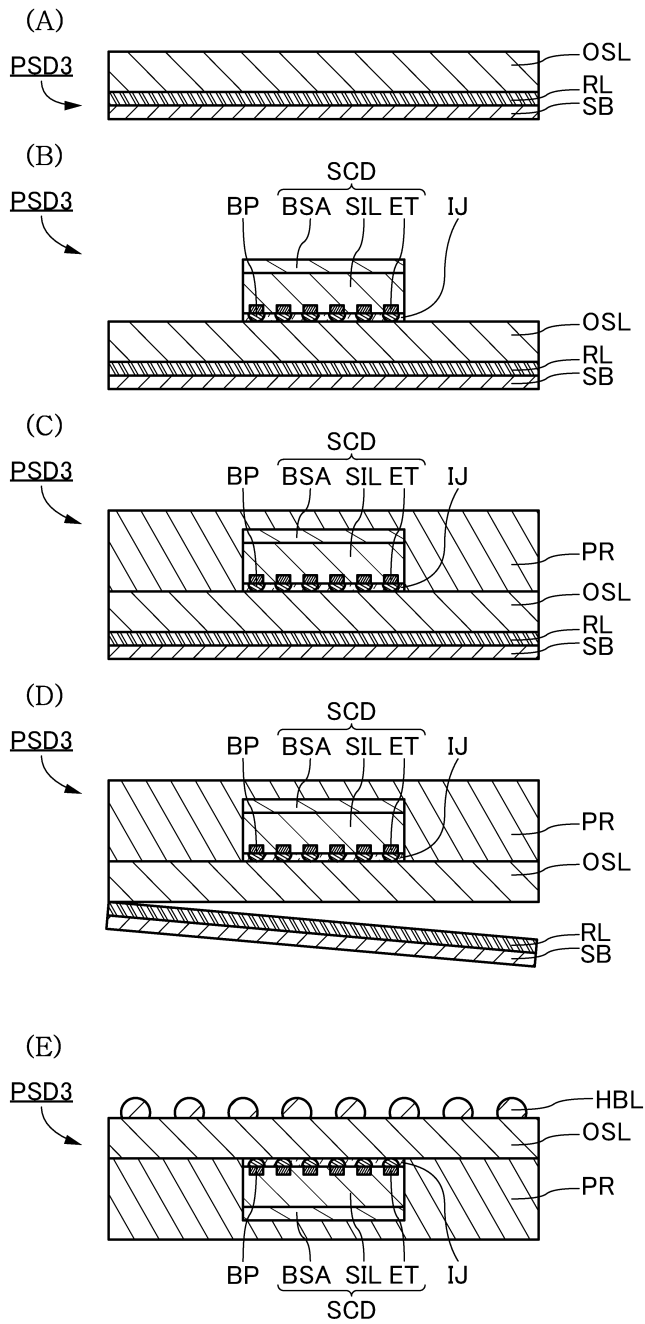
도면6



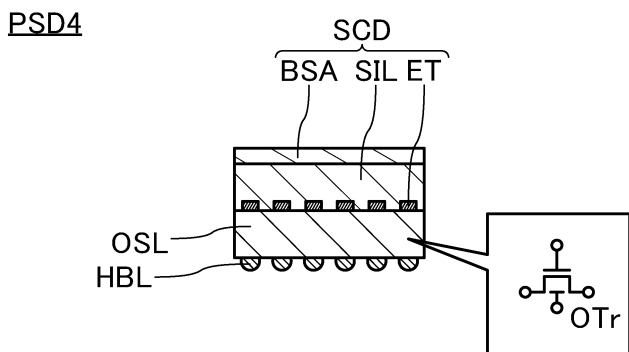
도면7



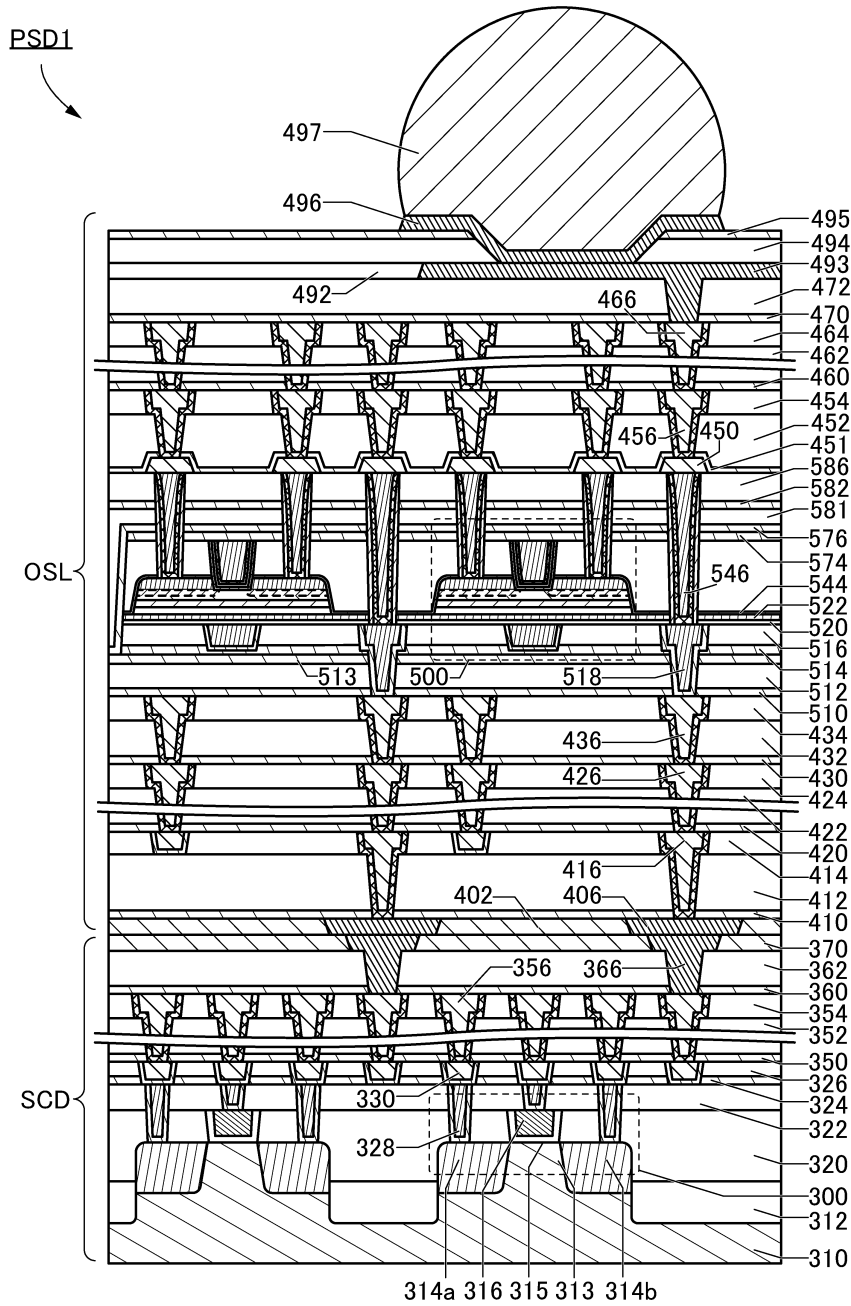
도면8



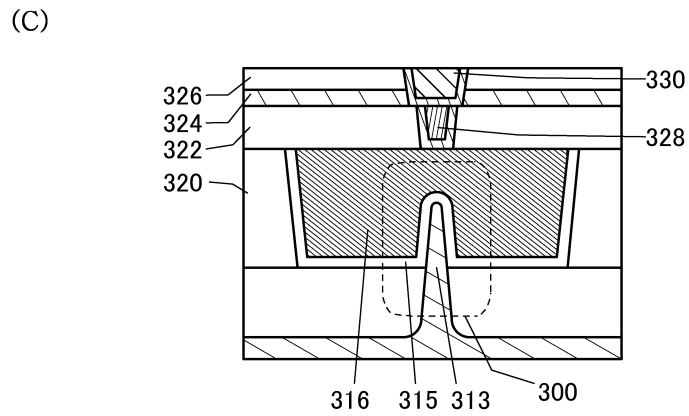
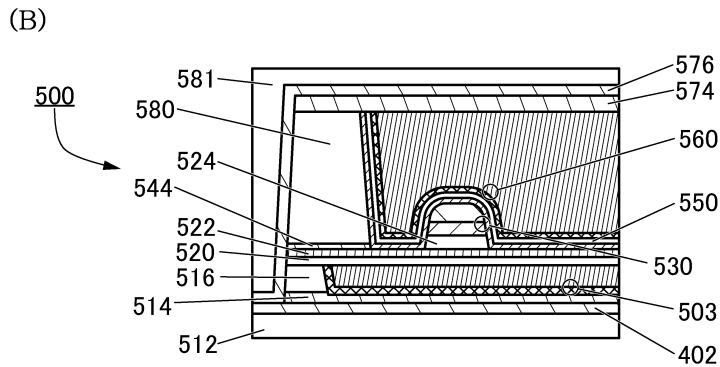
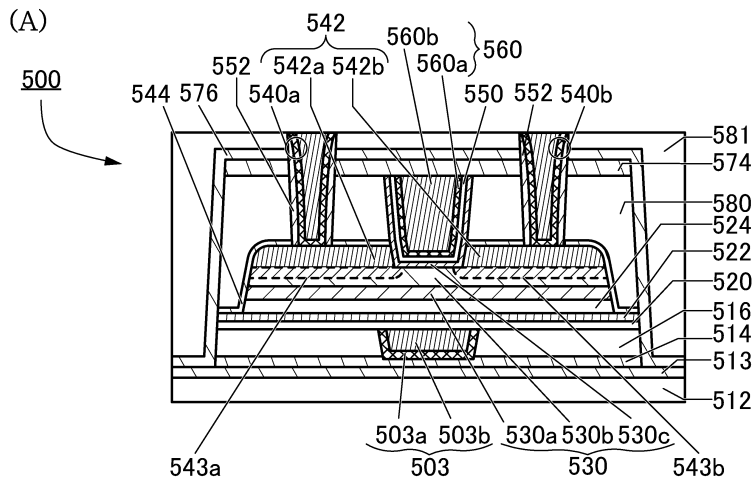
도면9



도면10

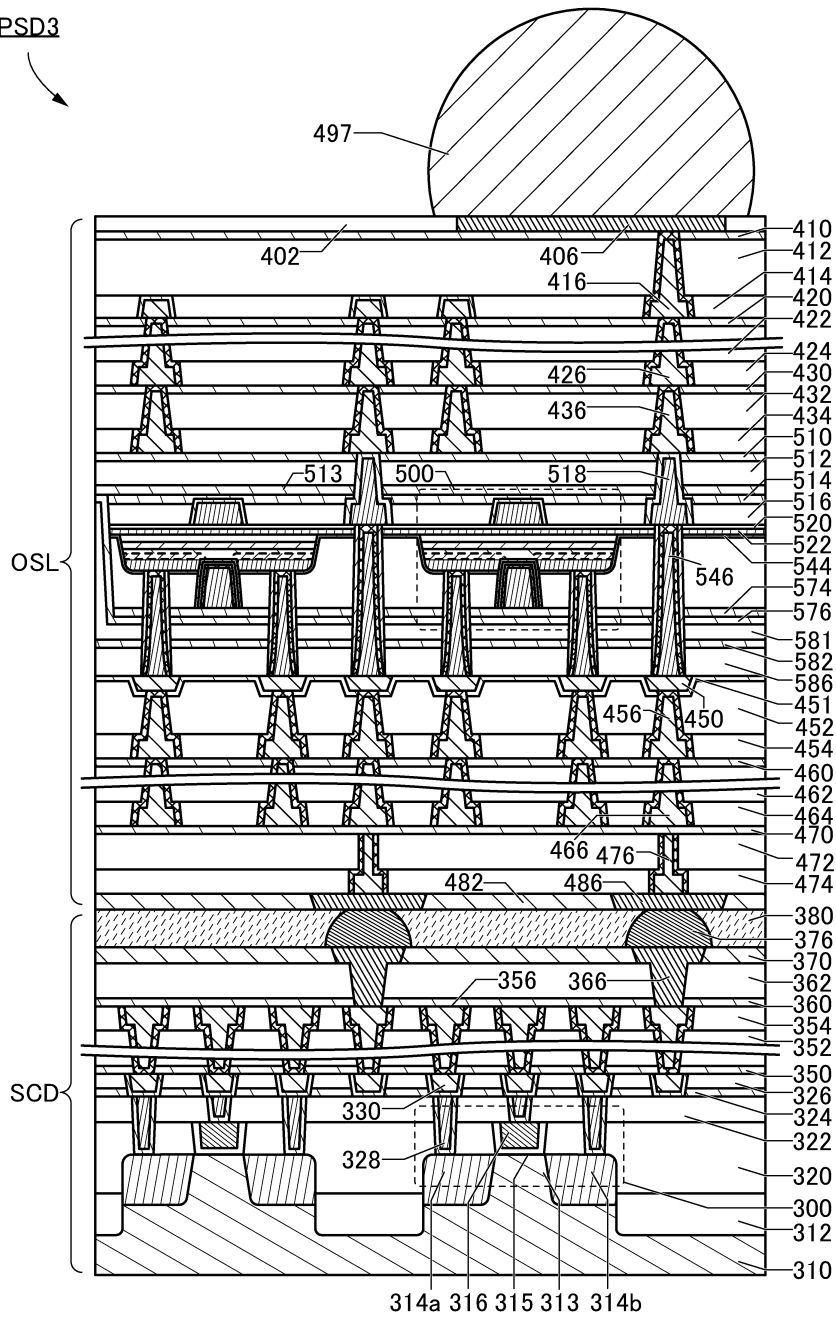


도면11



도면12

PSD3



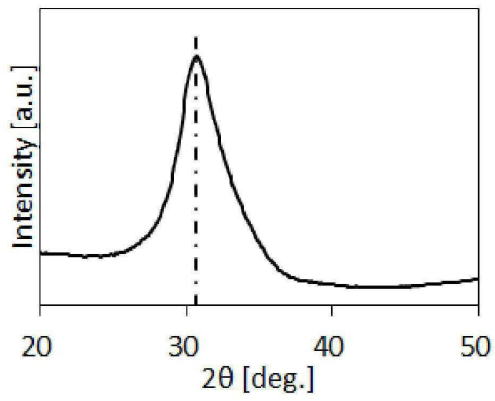
도면13

(A)

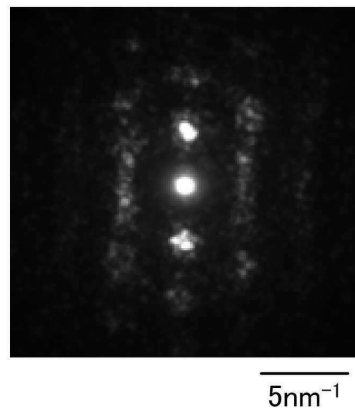
중간 상태
새로운 경계 영역

Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
<ul style="list-style-type: none"> ▪ completely amorphous 	<ul style="list-style-type: none"> ▪ CAAC ▪ nc ▪ CAC <p>excluding single crystal and poly crystal</p>	<ul style="list-style-type: none"> ▪ single crystal ▪ poly crystal

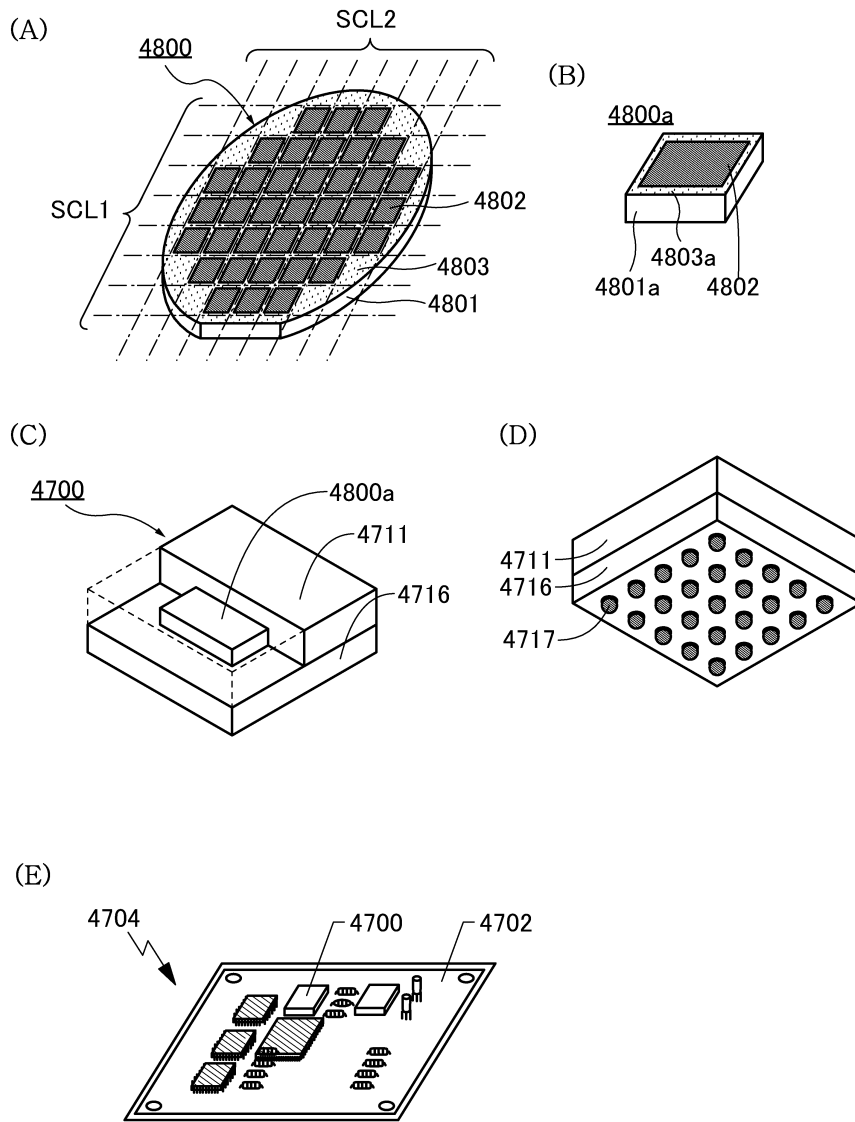
(B)



(C)



도면14



도면15

