



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월05일
(11) 등록번호 10-1102372
(24) 등록일자 2011년12월28일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2010-7028420(분할)

(22) 출원일자(국제출원일자) 2003년12월19일

심사청구일자 2010년12월17일

(85) 번역문제출일자 2010년12월17일

(65) 공개번호 10-2011-0003589

(43) 공개일자 2011년01월12일

(62) 원출원 특허 10-2005-7012957

원출원일자(국제출원일자) 2003년12월19일

심사청구일자 2008년11월28일

(86) 국제출원번호 PCT/JP2003/016354

(87) 국제공개번호 WO 2004/066248

국제공개일자 2004년08월05일

(30) 우선권주장

JP-P-2003-010427 2003년01월17일 일본(JP)

(56) 선행기술조사문헌

KR1020040039934 A*

*는 심사관에 의하여 인용된 문헌

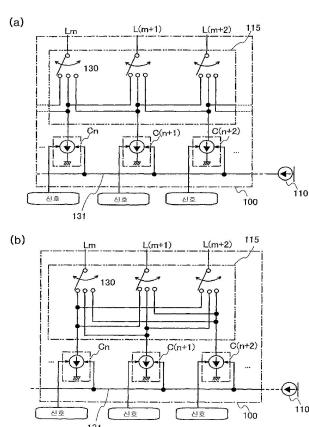
전체 청구항 수 : 총 19 항

심사관 : 조기덕

(54) 반도체장치 및 발광 장치

(57) 요약

트랜지스터는 제조과정에 있어서의 적층된 반도체막이나, 게이트 절연막의 막두께의 불균일성이나, 막의 패터닝 정밀도 등에 기인해서 소자특성이 불균일하게 되고, 폴리실리콘 트랜지스터의 경우에는 거기에도 결정성장방향이나 결정립계에 있어서의 결함 등에 의해 결정성이 불균일해져 버린다. 그래서 본 발명은 각 배선에 배치된 복수의 전류원을 가지는 전류원 회로로부터 공급되는 신호전류값을 레퍼런스용 정전류원을 이용하여, 소정의 신호전류를 공급하도록 설정하고, 또한 신호전류가 출력되는 배선과 전류원과의 전기적인 접속을 일정기간마다 바꾸는 것을 특징으로 한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

복수의 한 쌍의 전류원과, 상기 복수의 한 쌍의 전류원 중 어느 한 쌍에의 전류의 공급을 제어하는 제 1 스위치와, 상기 한 쌍으로부터의 전류의 출력을 제어하는 제 2 스위치를 갖고,

출력선과, 상기 복수의 한 쌍의 전류원과의 사이에는, 상기 출력선과 상기 복수의 한 쌍의 전류원과의 도통과 비도통을 스위칭하는 것이 가능한 스위칭 수단을 가지는 것을 특징으로 하는 반도체장치.

청구항 2

제 1 항에 있어서,

상기 복수의 한 쌍의 전류원에 포함되는 전류원은 각각, 제 3 스위치와, 제 4 스위치와, 제 1 트랜지스터와, 제 2 트랜지스터를 갖고,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는, 동일한 도전형이며,

상기 제 3 스위치 및 상기 제 4 스위치는, 각각 한 쌍의 단자를 갖고,

상기 제 3 스위치는, 한쪽의 단자가 정전류원에 접속되고, 다른 쪽의 단자가 상기 제 4 스위치의 한쪽의 단자, 상기 제 1 트랜지스터의 소스 또는 드레인의 한쪽, 및 상기 제 2 트랜지스터의 소스 또는 드레인의 한쪽에 접속되고,

상기 제 4 스위치는, 다른 쪽의 단자가 상기 제 1 트랜지스터의 게이트 및 상기 제 2 트랜지스터의 게이트에 접속되고,

상기 제 1 트랜지스터는, 소스 또는 드레인의 다른 쪽이 전원에 접속되고,

상기 제 2 트랜지스터는, 소스 또는 드레인의 다른 쪽이 상기 스위칭 수단에 접속되는 것을 특징으로 하는 반도체장치.

청구항 3

제 2 항에 있어서,

상기 제 3 스위치 및 상기 제 4 스위치는, 신호에 의해 도통 상태와 비도통 상태가 제어되는 것을 특징으로 하는 반도체장치.

청구항 4

제 2 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는, n채널형인 것을 특징으로 하는 반도체장치.

청구항 5

제 2 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는, p채널형인 것을 특징으로 하는 반도체장치.

청구항 6

삭제

청구항 7

복수의 제 1 및 제 2 전류원과, 시프트 레지스터와,
 상기 복수의 제 1 전류원을 가지는 제 1 회로와,
 상기 복수의 제 2 전류원을 가지는 제 2 회로와,
 상기 복수의 제 1 전류원 중 하나와 상기 복수의 제 2 전류원 중 하나와의 사이에 설치된 제 1 스위치와,
 상기 제 2 전류원과 스위칭 수단과의 사이에 설치된 제 2 스위치를 가지고,
 신호선과, 상기 복수의 제 2 전류원과의 사이에는, 상기 신호선과 상기 복수의 제 2 전류원과의 도통과 비도통을 스위칭하는 것이 가능한 상기 스위칭 수단을 갖고,
 상기 제 1 전류원에 입력되는 신호는, 상기 시프트 레지스터로부터 입력되고,
 상기 제 1 전류원으로부터 출력된 전류가 상기 제 2 전류원에 입력되고,
 상기 제 1 스위치는 래치 펄스에 의해 제어되고, 상기 제 2 스위치는 상기 래치 펄스의 반전신호에 의해 제어되는 것을 특징으로 하는 반도체장치.

청구항 8

복수의 한 쌍의 전류원과, 시프트 레지스터와, 상기 복수의 한 쌍의 전류원을 포함한 회로를 가지고,
 상기 회로는, 상기 복수의 한 쌍의 전류원 중 어느 한 쌍에의 전류의 공급을 제어하는 제 1 스위치와, 상기 한 쌍의 전류원으로부터의 전류의 출력을 제어하는 제 2 스위치를 갖고,
 신호선과, 상기 복수의 한 쌍의 전류원과의 사이에는, 상기 신호선과 상기 복수의 한 쌍의 전류원과의 도통과 비도통을 스위칭하는 것이 가능한 스위칭 수단을 갖고,
 상기 한 쌍의 전류원의 한쪽에는, 상기 시프트 레지스터로부터의 신호에 의거한 신호가 입력되는 것을 특징으로 하는 반도체장치.

청구항 9

복수의 한 쌍의 전류원과, 시프트 레지스터와, 상기 한 쌍의 전류원과, 제 1 및 제 2 스위치를 포함한 회로를 가지고,
 상기 제 1 스위치는, 상기 복수의 한 쌍의 전류원 중 어느 한 쌍에의 전류의 공급을 제어하고,
 상기 제 2 스위치는, 상기 한 쌍의 전류원으로부터의 전류의 출력을 제어하고,
 신호선과, 상기 복수의 한 쌍의 전류원과의 사이에는, 상기 신호선과 상기 복수의 한 쌍의 전류원과의 도통과 비도통을 스위칭하는 것이 가능한 스위칭 수단을 갖고,
 상기 한 쌍의 전류원에는, 상기 시프트 레지스터로부터의 신호에 의거한 신호가 입력되고,
 상기 제 1 스위치는 래치 펄스에 의해 제어되고, 상기 제 2 스위치는 상기 래치 펄스의 반전신호에 의해 제어되는 것을 특징으로 하는 반도체장치.

청구항 10

복수의 한 쌍의 전류원과, 상기 복수의 한 쌍의 전류원 중 어느 한 쌍에의 전류의 공급을 제어하는 제 1 스위치와, 상기 한 쌍으로부터의 전류의 출력을 제어하는 제 2 스위치를 갖고,
 신호선과, 상기 복수의 한 쌍의 전류원과의 사이에는, 상기 신호선과 상기 복수의 전류원과의 도통과 비도통을

스위칭하는 것이 가능한 스위칭 수단을 가지는 것을 특징으로 하는 반도체장치.

청구항 11

제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 스위칭 수단은 복수의 아날로그 스위치를 갖고, 상기 전류원은 상기 아날로그 스위치를 통하여 상기 신호선과 접속되는 것을 특징으로 하는 반도체장치.

청구항 12

제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 스위칭 수단은 상기 신호선마다 3개의 아날로그 스위치를 갖고, 상기 3개의 아날로그 스위치는 각각 다른 상기 전류원과 접속되는 것을 특징으로 하는 반도체장치.

청구항 13

제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 스위칭 수단은 복수의 아날로그 스위치로 이루어진 아날로그 스위치군과, 복수의 상기 전류원으로 이루어진 전류원 회로군을 가지는 것을 특징으로 하는 반도체장치.

청구항 14

제 7 항 내지 제 10 항 중 어느 한 항에 기재된 반도체장치를 가지는 발광장치.

청구항 15

제 7 항 내지 제 10 항 중 어느 한 항에 기재된 반도체장치 2개와, 화소부를 가지는 발광장치로서,

상기 2개의 반도체장치는, 각각 가지는 전류원으로부터 공급되는 전류의 차이만큼을 상기 화소부에 입력하는 기능을 가지는 것을 특징으로 하는 발광장치.

청구항 16

제 7 항 내지 제 10 항 중 어느 한 항에 기재된 반도체장치는 화소부를 가지는 발광장치로서,

상기 화소부는 복수의 상기 신호선과, 복수의 주사선이 매트릭스 모양으로 배열되고, 상기 신호선과 상기 주사선과의 교점에 발광소자를 갖고,

상기 신호선으로부터의 전류를 제어하는 스위칭용 트랜ジ스터와,

상기 발광소자에 흐르는 전류를 제어하는 전류 제어용 트랜ジ스터를 가지는 것을 특징으로 하는 발광장치.

청구항 17

제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 복수의 전류원은 각각, 제 3 스위치와, 제 4 스위치와, 제 1 트랜ジ스터와, 제 2 트랜ジ스터를 갖고,

상기 제 1 트랜ジ스터 및 상기 제 2 트랜ジ스터는, 동일한 도전형이며,

상기 제 3 스위치 및 상기 제 4 스위치는, 각각 한 쌍의 단자를 갖고,

상기 제 3 스위치는, 한쪽의 단자가 정전류원에 접속되고, 다른 쪽의 단자가 상기 제 4 스위치의 한쪽의 단자, 상기 제 1 트랜지스터의 소스 또는 드레인의 한쪽, 및 상기 제 2 트랜지스터의 소스 또는 드레인의 한쪽에 접속되고,

상기 제 4 스위치는, 다른 쪽의 단자가 상기 제 1 트랜지스터의 게이트 및 상기 제 2 트랜지스터의 게이트에 접속되고,

상기 제 1 트랜지스터는, 소스 또는 드레인의 다른 쪽이 전원에 접속되고,

상기 제 2 트랜지스터는, 소스 또는 드레인의 다른 쪽이 상기 스위칭 수단에 접속되는 것을 특징으로 하는 반도체장치.

청구항 18

제 17 항에 있어서,

상기 제 3 스위치 및 상기 제 4 스위치는, 설정 신호에 의해 도통 상태와 비도통 상태가 제어되는 것을 특징으로 하는 반도체장치.

청구항 19

제 17 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는, n채널형인 것을 특징으로 하는 반도체장치.

청구항 20

제 17 항에 있어서, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는, p채널형인 것을 특징으로 하는 반도체장치.

명세서

기술 분야

[0001]

본 발명은 정전류를 공급하는 전류원에 관한 것으로, 보다 상세하게는 전류원을 가지는 전류원 회로에 관한 것이다. 또 본 발명은 전류원 회로를 구비한 신호선 구동회로에 관한 것으로, 신호선 구동회로를 구비한 발광장치에 관한 것이다. 그리고, 전류원 회로 또는 신호선 구동회로에 관한 것이다.

배경 기술

[0002]

최근, 자발광 소자를 사용한 발광장치의 연구개발이 진척되어, 차세대 디스플레이로서 크게 주목받고 있다. 이 자발광 소자는 양극과 음극과의 사이에 유기 화합물을 포함하는 층이 끼워진 소자 구조를 가지고 있다.

[0003]

그런데, 자발광 소자를 사용한 발광장치에 다계조의 화상을 표시할 때의 구동방법의 하나로서, 전류입력 방식을 들 수 있다. 이 전류입력 방식은 신호로서 전류값 형식의 데이터를 자발광 소자에 기록함으로써, 휘도를 제어하는 방식이다. 그리고 휘도는 자발광 소자에 공급되는 전류(이하, 간단히 신호전류로 기재한다)에 비례하기 때문에, 신호전류를 정확하게 자발광 소자에 공급할 필요가 있다. 그러나, 신호전류를 공급하는 전류원을 구성하는 능동소자(구체적으로는 트랜지스터)의 특성이 불균일하기 때문에 정확한 신호전류를 자발광 소자에 입력하는 것이 어려웠다.

[0004]

전류입력 방식에 의한 구동방법으로서, 박막 트랜지스터(TFT)나 OLED의 특성 불균일로부터 오는 휘도의 불균일성을 과제로 하고, OLED에 폴리실리콘 트랜지스터를 사용한 전류지정 AM구동 화소회로와 리세트 기능을 갖는 DAC회로를 설치하는 구성을 제안하고 있다. 그리고, 채널 길이를 길게 하는 것 등이 기재되어 있다.

[0005]

(비)특허문헌1)

[0006] 服部勵治 외 3인, "信學技報", ED2001-8, '전류지정형 폴리실리콘 TFT 액티브 매트릭스 구동 유기LED 디스플레이의 회로 시뮬레이션', p.7-14

발명의 내용

해결하려는 과제

[0007] 그러나, 상기 논문에 있어서, 전류원의 변동을 작게 하는 구성은 여러 가지 조건을 만족할 필요가 있었다. 또 트랜지스터는 제조과정에 있어서의 적층된 반도체막이나 게이트 절연막의 막 두께의 불균일성이나 막의 패터닝 정밀도 등에 기인해서 소자특성이 불균일하거나, 나아가 폴리실리콘 트랜지스터는 결정성장 방향이나 결정립계에 있어서의 결함의 결정성이 불균일하기 때문에, 채널길이를 길게 하는 것만으로는 불충분했다.

[0008] 그래서 본 발명은 트랜지스터, 특히 폴리실리콘 트랜지스터 특성의 불균일성을 고려하여, 그 특성의 불균일성에 좌우되지 않는 전류원을 가지는 전류원 회로를 제공하는 것을 목적으로 한다. 또 본 발명은 전류원 회로를 가지는 신호선 구동회로 및 그 구동방법, 및 신호선 구동회로를 구비한 발광장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 상기 목적을 달성하기 위하여, 본 발명은 각 배선(출력선, 구체적으로는 신호선 등)에 배치된 복수의 전류원을 가지는 전류원 회로로부터 공급되는 신호전류값(출력 전류치)을, 레퍼런스용 정전류원(외부로부터 입력)을 이용하여, 소정의 신호전류를 공급하도록 설정하고, 더욱이 신호전류가 출력되는 배선(이하, 간단히 출력선이라고 한다)과 전류원과의 전기적인 접속을 어떤 기간(일정기간)마다 스위칭하는 것을 특징으로 한다.

[0010] 구체적으로는, 본 발명의 전류원 회로는 전류원으로부터 공급되는 신호전류값을 설정하는 수단과, 출력선과 전류원과의 전기적인 접속을 어떤 기간마다 스위칭하는 수단을 가지는 것을 특징으로 한다.

[0011] 본 발명에 의해, 신호전류의 설정(프로그래밍이라고도 한다)에 의해 불균일성이 감소되고, 나아가 전기적 접속을 바꿈으로써 다소의 불균일성이 생겼을 경우라도, 불균일성을 평균화시켜, 신호전류의 불균일성에 의한 영향을 없애는 것을 특징으로 한다.

[0012] 또한, 출력선과 전류원과의 전기적인 접속이란, 물리적으로 접속되어 있는 것이 아니고, 출력선과 전류원이 도통 상태로 되어 있는 것을 말한다. 즉, 출력선과 전류원 사이에 배치되어 있는 트랜지스터가 도통 상태로 되어 있을 때, 출력선과 전류원과는 전기적으로 접속되어 있다고 한다. 따라서, 출력선과 복수의 전류원이 트랜지스터 등을 개재하여 접속되어 있고, 이 트랜지스터가 도통 상태가 되어 있는 전류원만이 출력선과 전기적으로 접속되어 있게 된다.

발명의 효과

[0013] 발명의 스위칭회로 및 설정전류를 화소에 공급하는 기능을 가지는 전류원 회로에 의해, 트랜지스터, 특히 폴리실리콘 트랜지스터 특성의 불균일성에 좌우되지 않는 신호선 구동회로를 제공할 수 있다. 또한, 본 발명은 전류원 회로에 있어서의 트랜지스터 특성의 불균일성에 좌우되지 않는 신호선 구동회로의 구동방법을 제공할 수 있다. 또, 본 발명은 신호선 구동회로를 구비한 발광장치를 제공할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 전류원 회로의 구성을 도시한 도면이다.

도 2는 본 발명의 전류원 회로의 구성을 도시한 도면이다.

도 3은 본 발명의 전류원의 구성을 도시한 도면이다.

도 4는 본 발명의 전류원의 구성을 도시한 도면이다.

도 5는 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 6은 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 7은 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 8은 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 9는 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 10은 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 11은 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 12는 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 13은 본 발명의 신호선 구동회로의 구성을 도시한 도면이다.

도 14는 본 발명의 신호선 구동회로의 타이밍 차트를 도시한 도면이다.

도 15는 본 발명의 신호선 구동회로의 타이밍 차트를 도시한 도면이다.

도 16은 본 발명의 발광장치의 화소구성을 도시한 도면이다.

도 17은 본 발명의 발광장치를 도시한 도면이다.

도 18은 본 발명의 발광장치가 적용되어 있는 전자기기를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0015]

(실시형태 1)

[0016]

본 발명의 전류원으로부터 공급되는 신호전류값을 설정하는 수단 및 전류원 회로, 출력선과 전류원의 전기적인 접속을 어떤 기간마다 스위칭하는 수단(이하, 간단히 스위칭회로라고 한다)을, 도 1,2를 사용하여 설명한다. 또 도 1,2는 m 열째로부터 ($m+2$)열째의 출력선 L_m , $L_{(m+1)}$, $L_{(m+2)}$ 의 주변의 전류원 회로를 나타낸다. 또, 도 1,2는 스위칭 회로를 모식적으로 나타낸 복수의 단자와, 그 단자를 선택하는 스위치(sw)(130)로 나타내고 있다.

[0017]

도 1(A)에 있어서, 전류원 회로(100)는 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 와, 스위칭회로(115)를 가지고, 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 는 스위칭회로(115)를 사이에 두고 출력선 L_m , $L_{(m+1)}$, $L_{(m+2)}$ 와 접속되어 있다. 또한 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 는 전류선(131)을 사이에 두고 레퍼런스용 정전류원(110)과 접속되어 있다. 또, 레퍼런스용 정전류원(110)은 기판 상에 회로와 일체로 형성해도 좋고, 기판의 외부로부터 IC 등을 이용하여 일정한 전류를 입력해도 좋다.

[0018]

그리고, 전류원으로부터 출력되는 신호전류값을 설정하는 수단, 구체적으로는 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 에 설정신호(signal)가 입력되고, 이 설정신호에 의거하여 레퍼런스용 정전류원(110)으로부터 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 에 전류가 공급되는 구성에 의해, 전류원은 설정된 신호전류(이하, 간단히 설정전류라고 한다)를 공급할 수 있다. 그리고, 또한 스위칭회로(115)에 의해, 출력선 L_m , $L_{(m+1)}$, $L_{(m+2)}$ 과 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 의 전기적인 접속이 어떤 기간마다 스위칭 된다.

[0019]

도 1(B)에는, (A)와 스위칭회로의 접속이 다른 경우를 나타낸다. 도 1(B)의 스위칭회로는 3개의 전류원과, 3개의 출력선을 한 세트로서 스위칭하는 접속구성이다. 그 밖의 구성은 도 1(A)와 같기 때문에 설명은 생략한다.

[0020]

도 1(B)과 같이, 전류원과 출력선을 한 세트로서 바꾸면, 접속배선의 설계가 간편해진다. 또, 표시를 행할 경우, 특히 인접하는 출력선으로부터 출력되는 신호의 불균일성을 인식하기 쉬워지기 때문에, 전류원과 출력선을 한 세트로서 스위칭하는 접속구성으로도, 본 발명의 효과를 달성할 수 있다.

[0021]

이와 같이, 본 발명의 스위칭회로는 접속구성에는 한정되지 않고, 전류원과 출력선을 스위칭하는 기능을 가지고 있으면 좋다.

[0022]

또, 이와 같이 스위칭수단은 레퍼런스 회로에도 적용할 수 있다. 즉, 레퍼런스가 되는 전류원을 스위칭함으로써, 더욱이 신호전류, 즉 설정전류의 불균일성을 감소시킬 수 있다.

[0023]

도 1에 나타내는 본 발명에서는, 이러한 전류원으로부터 출력되는 신호전류값을 설정하는 수단과, 스위칭회로에

의해, 인간의 눈으로 인식할 수 있는 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 본 발명의 전류원 회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0024] 또한, 도 1과는 다른 구성의 본 발명의 전류원 회로에 대해서, 도 2를 사용하여 설명한다.

[0025] 도 2에 있어서, 도 1과 다른 점은, 전류원 회로(120)에는, 출력선마다 복수의 전류원이 설치되고, 그 전류원들은 제어선(132)과 접속하고 있는 구성이다. 여기에서는 가령 2개의 전류원(제1의 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$ 및 제2의 전류원 $C'_{(n)}$, $C'_{(n+1)}$, $C'_{(n+2)}$)을 가진다고 한다. 그 밖의 구성은, 도 1(A)와 같기 때문에 설명은 생략한다.

[0026] 출력선마다 제1의 전류원 및 제2의 전류원을 설치하는 것에 의해, 전류원은 설정신호에 근거하여 신호전류를 설정하는 설정동작과, 스위칭회로를 사이에 두고 설정전류를 전류원으로부터 출력선에 공급하는 출력동작을 교대로 행할 수 있기 때문에 출력선마다의 설정동작 및 입력동작을 동시에 행할 수 있다. 또 이렇게 설정동작 및 출력동작을 각 전류원에서 행함으로써, 시간을 들여서 설정동작을 행할 수 있다. 또, 제1의 전류원 및 제2의 전류원이 설정동작 또는 출력동작의 어느 쪽을 행할지는 제어선으로부터의 신호에 의해 제어된다.

[0027] 물론, 도 2에 나타내는 스위칭회로에, 도 1(B)의 스위칭회로의 접속을 적용해도 상관없다. 또 레퍼런스 회로에, 본 발명의 스위칭회로를 적용해도 좋다. 즉, 레퍼런스 회로의 전류원을 복수 개 설치하고, 스위칭회로에 의해 스위칭함으로써 균일한 신호를 제공하도록 하여도 좋다.

[0028] 도 2에 나타내는 본 발명에서는, 시간을 들여서 전류원으로부터 출력되는 신호전류값을 정확하게 설정하는 설정동작을 행할 수 있다. 더욱이 스위칭회로를 가지는 전류원 회로에 의해, 인간의 눈에서 인식할 수 있는 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 본 발명의 전류원 회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0029] 또, 본 발명에 있어서의 설정동작은 임의의 시간, 임의의 타이밍에서, 임의인 회수만 행하면 된다. 어떤 타이밍에서 설정동작을 행할지는 화소구성(화소에 배치된 전류원 회로)이나, 신호선 구동회로에 배치된 전류원 회로 등의 구성에 따라 임의로 조절할 수 있다. 설정동작을 행하는 회수는 신호선 구동회로에 전원을 공급하고, 동작하기 시작할 때에, 최소한 1회 행하면 좋다. 그러나, 실제로는 설정동작에 의해 신호전류로서 취득한 정보가 새버릴 경우가 있기 때문에 여러 번 설정동작을 행하는 것이 바람직하다.

[0030] 또, 설정동작은 비디오 신호를 이용하여 1열째로부터 최종 열째 중 임의의 열에 배치된 전류원을 지정하고, 임의의 기간에서 행할 수 있다. 그렇게 하면, 복수열에 배치된 전류원 중, 설정동작이 필요한 전류원을 지정하는 것이 가능해지고, 지정된 전류원에 대하여 시간을 들여서 설정동작을 행할 수 있다. 그 결과, 정확한 설정동작을 행할 수 있다.

[0031] 또, 1열째로부터 최종 열째까지의 전류원에 대하여, 순차적으로 설정동작을 행해도 좋다. 이때, 1열째로부터 순차적으로 설정동작을 행하는 것이 아니고, 랜덤하게 행하는 것이 바람직하다. 그렇게 하면, 전류원에의 설정동작을 행하는 시간의 길이가 자유스러워지고, 또 길게 잡을 수 있다. 예를 들면, 1프레임 기간 동안에 설정동작을 행할 경우, 1열분의 전류원의 설정동작을 1프레임에 걸쳐서 행할 수 있다. 또, 전류원 내에 배치된 용량소자에 있어서의 전하의 누설 영향을 눈에 띠지 않게 할 수 있다.

[0032] 또, 도 1 및 도 2에서는, 비디오 신호에 비례한 신호전류를 출력선에 공급할 경우를 기술하였지만, 출력선과 다른 배선에 설정전류를 공급해도 좋다.

[0033] 다음으로 스위칭회로에 관하여 설명한다. 스위칭회로는, 도 11에 나타내는 타이밍 차트와 같이 스위칭 기능을 가지는 회로이면 좋고, 접속구성은 한정되지 않는다. 도 11(A)에 나타낸 것처럼, 스위칭회로가 가지는 신호입력선 A(1)과 A(1)b, A(1+1)과 A(1+1)b, A(1+2)와 A(1+2)b에는, 각각 반전신호가 입력되며, 순차적으로 선택된다. 이때, 선택된 신호 입력선에 접속되어 있는 각각의 아날로그 스위치 등이 온이 되고, 이 온이 되는 아날로그 스위치와 접속되어 있는 전류원과 출력선이 전기적으로 접속된다.

[0034] 그리고, 도 11(B)은, 선택되는 신호 입력선에 의거하여 각 출력선 L_m , $L_{(m+1)}$, $L_{(m+2)}$ 과 각 전류원 $C_{(n-1)}$, C_n , $C_{(n+1)}$, $C_{(n+2)}$, $C_{(n+3)}$ 의 접속이 스위칭되는 상태를 나타낸다.

[0035] 우선, 신호입력선 A(t)와 A(1)b가 선택될 때, 출력선 L_m 은 전류원 $C_{(n+1)}$ 과 전기적으로 접속되며, 출력선 $L_{(m+1)}$ 은 전류원 C_n 과 전기적으로 접속되고, 출력선 $L_{(m+2)}$ 는 $C_{(n+1)}$ 과 전기적으로 접속된다.

- [0036] 다음으로 신호입력선 A(1+1)과 A(1+1)b가 선택될 때, 출력선 L_m 은 전류원 C_n 과 전기적으로 접속되며, 출력선 $L_{(m+1)}$ 은 전류원 $C_{(n+1)}$ 과 전기적으로 접속되고, 출력선 $L_{(m+2)}$ 은 $C_{(n+2)}$ 와 전기적으로 접속된다.
- [0037] 그리고, 다음으로 신호입력선 A(1+2)와 A(1+2)b가 선택될 때, 신호입력선 L_m 은 전류원 $C_{(n+1)}$ 과 전기적으로 접속되며, 신호입력선 $L_{(m+1)}$ 은 전류원 $C_{(n+2)}$ 와 전기적으로 접속되고, 신호 입력선 $L_{(m+2)}$ 는 $C_{(n+3)}$ 과 전기적으로 접속된다.
- [0038] 본 발명의 스위칭 회로에 의하여 출력선과 전류원의 접속이 스위칭되기 때문에, 전류원을 구성하는 트랜지스터, 특히 폴리실리콘 트랜지스터 특성의 불균일성의 영향을 감소시킬 수 있다. 즉, 가령 신호 전류값이 불균일해도, 신호전류를 공급하는 출력선이 순차적으로 스위칭되기 때문에, 시간적으로 평균화되어, 인간의 눈에는 균일하게 보이게 된다.
- [0039] 또, 본 발명의 전류원 회로의 구성은, 신호선 구동회로나 그 밖의 회로에 적용하는 것이 가능하다. 또 본 발명은 선 순차구동이 아니더라도, 점 순차구동의 경우에도 사용할 수 있다.
- [0040] 또, 본 발명은, 1비트 또는 복수 비트의 디지털 계조 표시를 행할 경우에 사용하는 것이 가능하다.
- [0041] 또, 본 발명의 특징은, 신호전류의 불균일성을 감소시키는 것이며, 특성 불균일성을 감소시키는 대상이 되는 트랜지스터로서 박막 트랜지스터 이외에, 단결정을 사용한 트랜지스터, SOI를 사용한 트랜지스터 또는 유기 트랜지스터를 적용할 수 있다.
- [0042] (실시형태 2)
- [0043] 본 실시형태에서는, 도 1 및 도 2에서 설명한 전류원의 회로구성에 관하여 설명한다.
- [0044] 도 3은, 하나의 전류원을 나타내며, (a)는 설정신호와 접속되고, (b)는 레퍼런스용 정전류원(정전류원)(110)과 접속되며, (c)는 스위칭회로와 접속된다. 그리고 전류원의 등가회로의 구체적인 예를 도 3(A)부터(E)에 나타낸다.
- [0045] 도 3(A)에서는, 스위치(SW301, SW302, SW303)와, 트랜지스터(305)(n채널형)와, 해당 트랜지스터(305)의 게이트-소스 간 전압 V_{GS} 를 유지하는 용량소자(309)를 가지는 회로가 전류원에 해당한다. 또, 용량소자(309)는 트랜지스터의 게이트 용량 등으로 대용해도 좋다. 즉, 트랜지스터의 게이트 용량이 크고, 각 트랜지스터로부터의 리크 전류가 허용범위인 경우 용량소자는 설치할 필요가 없다.
- [0046] 도 3(A)에 나타내는 전류원은 (a)로부터 설정신호가 입력되어 SW302, SW303이 온이 된다. 그러면, (b)로부터 정전류원(110)에서 전류가 공급되고, 공급되는 전류가 트랜지스터(305)의 드레인 전류와 같아질 때까지, 용량소자(309)에는 전하가 유지된다. 또, 트랜지스터(305)를 포화영역에서 동작하도록 설정해 두면, 소스-드레인 간 전압이 변화되어도 발광소자에 일정한 전류를 공급할 수 있다.
- [0047] 이어서, (a)로부터 SW302, SW303을 오프로 하는 신호를 입력하면, 인버터에 의해 반전신호가 입력되어서 SW301은 온이 된다. 그리고, 용량소자(309)에 신호전류가 유지되어 있기 때문에, 트랜지스터(305)는 신호전류를 흘리는 기능을 가진다.
- [0048] 그리고, 스위칭회로에 의해 어떤 출력선이 선택되고, (c)를 거쳐서 전류원으로부터 선택된 출력선에 신호전류가 공급된다.
- [0049] 이때, 트랜지스터(305)의 게이트 전압은 용량소자(309)에 의해 소정의 게이트 전압으로 유지되고 있기 때문에, 트랜지스터(305)의 드레인 영역에는 신호전류에 따른 드레인 전류가 흐른다. 이렇게 하여, 신호전류를 설정하고 (설정전류), 더욱이 스위칭회로에 의해 설정전류가 공급되는 출력선이 어떤 기간마다 스위칭된다.
- [0050] 또, SW302 및 SW303의 접속은 설정신호로부터 제어되어 있는 접속이면 좋고, 도 3(A)에 나타내는 구성으로 한정되지 않는다.
- [0051] 도 3(B)에서는 스위치(SW311, SW312)와, 트랜지스터(315)(n채널형)와, 해당 트랜지스터(315)의 게이트-소스 간 전압 V_{GS} 를 유지하는 용량소자(319)와, 트랜지스터(316)(n채널형)를 가지는 회로가 전류원에 해당한다. 또, 용량소자(319)는 트랜지스터의 게이트 용량 등으로 대용해도 좋다. 즉, 트랜지스터의 게이트 용량이 크고, 각 트

랜지스터의 리크 전류가 허용범위인 경우, 용량소자는 설치할 필요가 없다.

[0052] 도 3(B)에 나타내는 전류원은 (a)로부터 설정신호가 입력되어 SW311, SW312이 온이 된다. 그렇게 하면, (b)로부터 정전류원(110)에서 전류가 공급되고, 공급되는 전류가 트랜지스터(315)의 드레인 전류와 같아질 때까지 용량 소자(319)에는 전하가 유지된다. 또, SW312이 온이 되면, 트랜지스터(316)의 게이트-소스 간 전압 V_{GS} 이 0V가 되므로, 트랜지스터(316)는 오프가 된다.

[0053] 다음에, (a)로부터 SW311, SW312를 오프로 하는 신호를 입력하면, 트랜지스터(316)의 게이트-소스 간 전압 V_{GS} 가 발생하고, 트랜지스터(316)는 온이 된다. 그리고, 용량소자(319)에 신호전류가 유지되어 있기 때문에, 트랜지스터(315)는 신호전류를 흘리는 기능을 가진다. 그리고, 스위칭 회로에 의해 어떤 출력선이 선택되고, (c)를 거쳐서 전류원으로부터 선택된 출력선에 신호전류가 공급된다.

[0054] 이때, 트랜지스터(315)의 게이트 전압은 용량소자(319)에 의해 소정의 게이트 전압으로 유지되고 있기 때문에, 트랜지스터(315)의 드레인 영역에는 신호전류에 따른 드레인 전류가 흐른다. 또, 트랜지스터(315)를 포화영역에서 동작하도록 설정해 두면, 소스-드레인 간 전압이 변화되어도 발광소자에 일정한 전류를 공급할 수 있다. 이렇게 하여, 신호전류를 설정하고(설정전류), 더욱이 스위칭회로에 의해 설정 전류가 공급되는 출력선이 어떤 기간마다 스위칭된다.

[0055] 도 3(C)에서는, SW321, SW322, 트랜지스터(325,326)(n채널형), 해당 트랜지스터(325,326)의 게이트-소스 간 전압 V_{GS} 를 유지하는 용량소자(329)를 가지는 회로가 전류원에 해당한다. 또, 용량소자(329)는 트랜지스터의 게이트 용량 등으로 대용해도 좋다. 즉, 트랜지스터의 게이트 용량이 크고, 각 트랜지스터로부터의 리크전류가 허용범위인 경우, 용량소자는 설치할 필요가 없다.

[0056] 도 3(C)에 나타내는 전류원은 (a)로부터 설정신호가 입력되어 SW321, SW322이 온이 된다. 그렇게 하면, (b)로부터 정전류원(110)에서 전류가 공급되고, 공급되는 전류가 트랜지스터(325)의 드레인 전류와 같아질 때까지, 용량소자(329)에는 전하가 유지된다. 이때, 트랜지스터(325) 및 트랜지스터(326)의 게이트 전극은 접속되어 있으므로, 트랜지스터(325) 및 트랜지스터(326)의 게이트 전압이 용량소자(329)에 의해 유지되어 있다.

[0057] 이어서, (a)로부터 SW321, SW322를 오프로 하는 신호를 입력한다. 그리고, 용량소자(329)에 신호전류가 유지되고 있기 때문에, 트랜지스터(326)는 신호전류를 흘리는 기능을 가진다. 그리고, 스위칭회로에 의해 어떤 출력선이 선택되어, (c)를 거쳐서 전류원으로부터 선택된 출력선에 신호전류가 공급된다.

[0058] 이때, 트랜지스터(326)의 게이트 전압은 용량소자(329)에 의해 소정의 게이트 전압으로 유지되어 있기 때문에, 트랜지스터(326)의 드레인 영역에는 신호전류에 따른 드레인 전류가 흐른다. 또 트랜지스터(325,326)를 포화영역에서 동작하도록 설정해 두면, 소스-드레인 간 전압이 변화되어도 발광소자에 일정한 전류를 공급할 수 있다. 이와 같이 하여, 신호전류를 설정하고(설정전류), 더욱이 스위칭회로에 의해 설정전류가 공급되는 출력선이 어떤 기간마다 스위칭된다.

[0059] 이때, 트랜지스터(326)의 드레인 영역에, 신호전류에 따른 드레인 전류를 정확하게 흘리기 위해서는, 트랜지스터(325) 및 트랜지스터(326)의 특성이 동일할 필요가 있다. 특히, 트랜지스터(325) 및 트랜지스터(326)의 이동도, 한계치 등의 값이 동일할 필요가 있다. 또, 도 3(C)에서는, 트랜지스터(325) 및 트랜지스터(326)의 W(게이트 폭)/L(게이트 길이)의 값을 임의로 설정하고, 정전류원(110)로부터 흐르는 전류에 비례한 설정전류를 화소에 흘리도록 하여도 좋다.

[0060] 그리고, 도 3(D), (E)에 나타내는 전류원은 도 3(C)에 나타내는 전류원과 SW322의 접속구성이 다른 점 이외는, 그 밖의 회로소자의 접속구성은 동일하다. 또 도 3(D), (E)에 나타내는 전류원의 동작은 도 3(C)에 나타내는 전류원의 동작과 같으므로, 본 실시형태에서는 설명을 생략한다.

[0061] 또한, 도 3에 나타내는 전류원에서는, 전류는 화소로부터 전류원의 방향으로 흐른다. 그러나, 전류는 전류원으로부터 화소의 방향으로 흐를 경우도 있다. 또, 전류가 화소로부터 전류원의 방향으로 흐를지, 혹은 전류가 전류원으로부터 화소의 방향으로 흐를지는 화소의 구성에 의존한다. 그리고, 전류가 전류원으로부터 화소의 방향으로 흐를 경우에는, 도 3에 나타내는 회로도에 있어서, V_{SS} 를 V_{DD} 로 하고, 더욱이 트랜지스터(305), 트랜지스터(315), 트랜지스터(316), 트랜지스터(325) 및 트랜지스터(326)를 p채널형으로 하면 좋다.

[0062] 또, 도 3(A), 도 3(C)~(E)에 있어서, 전류가 흐르는 방향(화소로부터 전류원으로의 방향)은 마찬가지이며, 트랜지스터의 극성을 p채널형으로 하는 것도 가능하다. 그래서, 도 4(A), 도 4(B)~(D)에는 각각 전류가 흐르는

방향은 같으며, 도 3(A), 도 3(C)~(E)에 나타내는 트랜지스터(305), 트랜지스터(325), 트랜지스터(326)을 p채널형으로 했을 때의 전류원의 회로구성을 나타낸다. 도 4의 회로구성이 도 3과 다른 점은, 주로 스위치와 용량소자의 접속이다.

[0063] 이렇게 해서, 본 발명의 전류원을 구성하는 트랜지스터의 극성은 n채널형이거나, P체이라도 관계없다. 또, 도 4에 나타내는 회로도에 있어서, 전류를 전류원으로부터 화소의 방향으로 흘리는 경우에는, Vss를 Vdd로 하고, 더욱이 트랜지스터(405), 트랜지스터(425) 및 트랜지스터(426)을 n채널형으로 하면 좋다.

[0064] 이상과 같은 전류원에 설정신호를 입력하고, 설정신호에 의거하여 전류원으로부터 설정전류가 공급되고, 더욱이 스위칭 회로에 의해 전류원으로 출력선과의 전기적인 접속이 스위칭되는 전류원 회로에 의해, 전류원을 구성하는 트랜지스터, 특히 폴리실리콘 트랜지스터 특성의 불균일성을 억제할 수 있다. 따라서, 본 발명의 전류원 회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0065] (실시형태 3)

[0066] 본 실시형태에서는, 전류원 회로를 가지는 신호선 구동회로의 구성에 대해서, 구체적인 예를 설명한다.

[0067] 도 5(A)에는, m열째로부터 (m+2)열째의 신호선 주변의 신호선 구동회로의 개략도를 나타낸다. 신호선 구동회로(530)는, 복수의 전류원(510), 스위칭회로(511), 복수의 스위치(505)를 가지는 전류원 회로(531)와, 시프트 레지스터(501), 제1의 래치회로(502), 제2의 래치회로(503)를 가지고 있다. 스위칭회로(511)로부터, 전류 출력선 S_m, S_(m+1), S_(m+2)를 개재하여 설정신호가 화소에 입력된다.

[0068] 먼저, 시프트 레지스터(501), 제1의 래치회로(502) 및 제2의 래치회로(503)의 동작을 설명한다. 시프트 레지스터(501)는 플립플롭회로(FF) 등을 복수열 사용해서 구성되며, 클록신호(S-CLK), 스타트 펄스(S-SP), 클록 반전 신호(S-CLKb)가 입력된다. 이 신호들의 타이밍에 따라서 순차적으로 샘플링 펄스가 출력된다.

[0069] 시프트 레지스터(501)로부터 출력된 샘플링 펄스는 제1의 래치회로(502)에 입력된다. 제1의 래치회로(502)에는 디지털 비디오신호가 입력되어 있고, 샘플링 펄스가 입력되는 타이밍에 따라서 각열에서 비디오신호를 유지해간다.

[0070] 제1의 래치회로(502)에 있어서, 최종열까지 비디오 신호의 유지가 완료하면, 수평귀선 기간 동안에, 제2의 래치회로(503)에 래치 펄스가 입력되고, 제1의 래치회로(502)에 유지되어 있던 비디오신호는 일제히 제2의 래치회로(503)에 전송된다. 그러면, 제2의 래치회로(503)에 유지된 비디오신호는 1행분이 동시에 전류원 회로의 복수의 스위치(505)에 입력된다.

[0071] 이 제2의 래치회로(502)에 유지된 비디오신호가 전류원 회로의 복수의 스위치(505)에 입력되어 있는 사이에 시프트 레지스터(501)에 있어서는 다시 샘플링 펄스가 출력된다. 이후 이 동작을 반복하고, 1프레임 분의 비디오 신호의 처리를 행한다. 또, 전류원 회로는 디지털 신호를 아날로그 신호로 변환하는 역할을 갖는 경우도 있다.

[0072] 그리고, 다음으로 복수의 전류원(510)에 입력되는 설정신호에 관하여 설명한다. 복수의 전류원(510)은 설정신호에 의거하여 전류선(532)을 거쳐서 레퍼런스용 정전류원(509)으로부터 소정의 신호전류가 공급되고, 설정신호의 타이밍에 맞춰서 전류원(510)의 설정을 행한다. 또, 본 실시형태의 설정신호란 시프트 레지스터(501)로부터 공급되는 샘플링 펄스, 또는 설정제어선(도5(A)에는 도시하지 않음)에 접속된 논리연산자의 출력단자로부터 공급되는 신호에 해당한다. 또, 논리연산자의 2개의 입력단자에는, 한쪽에는 시프트 레지스터의 샘플링 펄스가 입력되고, 다른 쪽에는 설정 제어선으로부터 신호가 입력된다. 논리 연산자에서는, 입력된 2개의 신호의 논리연산을 행하고, 신호를 출력한다. 논리 연산자에 의해, 비디오 신호를 화소의 제어(화상의 표시)를 위하여 사용할 때와, 전류원의 제어에 사용할 때를 스위칭할 수 있다.

[0073] 또한, 샘플링 펄스, 또는 설정 제어선에 접속된 논리 연산자의 출력단자로부터 공급되는 신호 중 어느 쪽의 신호가 전류원(510)에 공급될지는 전류원의 구성에 의존한다. 보다 상세하게는, 복수의 전류원(510)이 도 3(A) 또는 (B)로 구성될 때에는 설정 제어선에 접속된 논리 연산자의 출력단자로부터 공급되는 신호가 설정신호에 해당한다. 또, 복수의 전류원(510)이 도 3(C),(D) 또는 (E)로 구성될 때에는 시프트 레지스터로부터의 샘플링 펄스가 설정신호에 해당한다.

[0074] 그리고, 스위치(505)에 High의 비디오 신호가 입력될 때, 전류원(510)으로부터 신호선에 설정전류가 공급되는 상태가 된다. 반대로 스위치(505)에 Low의 비디오신호가 입력될 때, 신호선에 설정전류는 공급되지 않는 상태가

된다. 즉, 전류원(510)은 설정 전류를 공급하는 기능(V_{GS})을 가지고, 설정전류를 화소에 공급할 것인가 아닌가는 스위치(505)에 의해 제어된다.

[0075] 그 후에 스위칭 회로(511)에 의해, 어떤 기간마다 전류원과 신호선의 전기적인 접속이 스위칭된다.

[0076] 또, 본 실시형태에 있어서의 전류원은 도 3, 4에 나타낸 전류원의 구성을 임의로 사용할 수 있다. 또, 전류원 회로는 모두 하나의 방식만을 사용할 뿐만 아니라, 조합해서 사용하는 것도 가능하다.

[0077] 또, 도 5(A)에서는 비디오 신호에 비례한 신호전류를 출력선에 공급하는 경우를 서술하였지만, 도 5(B)에 나타낸 것처럼 신호선과는 다른 배선에 설정전류를 공급해도 좋다.

[0078] 도 5(B)는 제2의 래치회로(503)로부터, 화소의 비디오 신호선에 비디오신호를 공급하고, 전류원으로부터 스위칭 회로를 거쳐서 화소에 접속되는 전류 출력선에 설정전류를 공급하는 구성을 나타낸다. 도 5(B)의 경우, SW505를 배치할 필요가 없다. 그리고, 제2의 래치회로(503)로부터 비디오신호가, 비디오선 B_m , $B_{(m+1)}$, $B_{(m+2)}$ 를 거쳐서 화소에 입력된다. 그 밖의 구성은 도 5(A)와 같기 때문에 설명은 생략한다.

[0079] 이렇게 설정전류를 공급하는 전류원과 스위칭회로에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 실시형태의 신호선 구동회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0080] (실시형태 4)

[0081] 다음으로, 본 실시형태에서는, 실시형태 2와 달리, 설정신호가 래치 펠스에 해당하는 신호선 구동회로의 구성에 대해서, 구체적인 예를 설명한다.

[0082] 도 6(A)에는, m 열째로부터 ($m+2$)열째의 신호선 주변의 신호선 구동회로의 개략도를 나타낸다. 신호선 구동회로는 복수의 전류원(610), 스위칭회로(611)를 가지는 전류원 회로와, 시프트 레지스터(601), 제1의 래치회로(602), 제2의 래치회로(603)를 가지고, 전류원으로부터의 설정신호를 공급할 것인가 아닌가를 제어하는 스위치(605)가 설치된다. 스위칭회로(611)로부터, 전류 출력선 S_m , $S_{(m+1)}$, $S_{(m+2)}$ 를 거쳐서 설정신호가 화소에 입력된다.

[0083] 다만, 비디오 신호는 화소의 제어에도 사용할 수 있기 때문에 전류원 회로에 직접 입력되지 않고, 논리연산자(633)를 거쳐서 입력된다. 즉, 단자 a로부터 입력되는 설정신호란, 설정 제어선에 접속된 논리연산자의 출력단자로부터 공급되는 신호에 해당한다.

[0084] 본 실시형태에 있어서의 설정신호는, 설정 제어선(도 6(A)에는 도시하지 않음)에 접속된 논리연산자로부터 공급되는 신호에 해당하고, 논리연산자는 한쪽에 제2의 래치회로(603)으로부터 공급되는 신호(비디오 신호에 상당)가 입력되며, 다른 쪽에 설정 제어선으로부터 신호가 입력된다. 논리연산자에서는 입력된 2개의 신호의 논리연산을 행하고, 설정신호를 출력한다. 그리고, 본 실시형태에서는, 설정제어선에 접속된 논리연산자로부터 공급되는 신호에 맞춰서 전류원(610)의 설정이 행해진다.

[0085] 그리고, 실시형태 2와 마찬가지로, 스위치(605)에 High의 비디오신호가 입력될 때, 전류원(610)으로부터 신호선에 설정전류가 공급되는 상태가 된다. 반대로 스위치(605)에 Low의 비디오 신호가 입력될 때, 신호선에 설정전류는 공급되지 않는 상태가 된다. 즉, 전류원(610)은 설정전류를 공급하는 기능(V_{GS})을 가지고, 설정전류를 화소에 공급할 것인가 아닌가는 스위치(605)에 의해 제어된다.

[0086] 그 후에, 스위칭회로(611)에 의해, 어떤 기간마다 전류원과 신호선의 전기적인 접속이 스위칭된다.

[0087] 또한, 전류원에는 도 3, 4에 나타낸 전류원의 구성을 임의로 사용할 수 있다. 또, 전류원 회로는 모두 하나의 방식만을 사용할 뿐만 아니라, 조합해서 사용하는 것도 가능하다.

[0088] 본 실시형태에서는, 제2의 래치회로(603)로부터 출력되는 신호(비디오신호)와, 설정제어선으로부터 출력되는 신호의 2개의 신호를 이용하여 전류원(610)에 설정신호를 입력한다. 그 때문에, 샘플링 펠스와 달리, 복수의 전류원(610) 중, 임의의 전류원을 지정하여 설정동작을 행할 수 있다.

[0089] 또, 도 6(A)에서는, 비디오신호에 비례한 신호전류를 출력선에 공급하는 경우를 서술하였지만, 도 6(B)에 나타낸 것처럼 신호선과는 다른 배선에 설정전류를 공급해도 좋다.

[0090] 도 6(B)는 논리연산자를 거쳐서 화소의 비디오 신호선에 비디오신호를 공급하고, 전류원으로부터 스위칭회로를 거쳐서 화소에 접속되는 전류 출력선에 설정전류를 공급하는 구성을 나타낸다. 도 6(B)의 경우, SW605를 배치할

필요가 없다. 그리고, 논리연산자(633)로부터 비디오신호가 비디오선 B_m , $B_{(m+1)}$, $B_{(m+2)}$ 를 거쳐서 화소에 입력된다. 그 밖의 구성은 도 6(A)와 같기 때문에 설명은 생략한다.

[0091] 또한, 설정전류를 공급하는 전류원과 스위칭회로에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 실시형태의 신호선 구동회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0092] (실시형태 5)

[0093] 다음으로, 실시형태 2, 3과 달리, 시프트 레지스터가 복수 설정된 신호선 구동회로의 구성에 대해서, 구체적인 예를 설명한다.

[0094] 도 7(A)에는, m 열째로부터 $(m+2)$ 열째의 신호선 주변의 신호선 구동회로(730)의 개략도를 나타낸다. 신호선 구동회로는 복수의 전류원(710), 스위칭회로(711)를 가지는 전류원 회로(731)와, 제1의 시프트 레지스터(701), 제2의 시프트 레지스터(702), 제1의 래치회로(703), 제2의 래치회로(704)를 가지고, 전류원으로부터의 설정신호를 공급할 것인가 아닌가를 제어하는 스위치(705)가 설치된다. 스위칭회로(711)로부터, 전류 출력선 S_m , $S_{(m+1)}$, $S_{(m+2)}$ 를 거쳐서 설정신호가 화소에 입력된다.

[0095] 제1의 시프트 레지스터(701)로부터 출력된 샘플링 펄스는 전류원(710)에 입력된다. 본 실시형태의 설정신호는 이 샘플링 펄스에 해당한다.

[0096] 또, 제2의 시프트 레지스터(702)로부터 출력된 샘플링 펄스는 제1의 래치회로(703)에 입력된다. 그 후에, 제1의 래치회로(703), 제2의 래치회로(704)는 실시형태 2와 같은 동작을 행하고, 제2의 래치회로(704)에 유지된 비디오신호는 1행분이 동시에 전류원 회로(731)의 복수의 스위치(705)에 입력된다.

[0097] 그리고, 실시형태 2와 마찬가지로 스위치(705)에 High의 비디오신호가 입력될 때, 전류원(710)으로부터 신호선에 설정전류가 공급되는 상태가 된다. 반대로 스위치(705)에 Low의 비디오신호가 입력될 때, 신호선에 설정전류는 공급되지 않는 상태가 된다. 즉, 전류원(710)은 설정전류를 공급하는 기능(V_{GS})을 가지고, 설정전류를 화소에 공급할 것인가 아닌가는 스위치(705)에 의해 제어된다.

[0098] 그 후에, 스위칭회로(711)에 의해, 어떤 기간마다, 전류원과 신호선의 전기적인 접속이 스위칭된다.

[0099] 또, 전류원에는, 도 3, 4에 나타낸 전류원의 구성을 임의로 사용할 수 있다. 또, 전류원 회로는 모두 하나의 방식만을 사용할 뿐만 아니라, 조합해서 사용하는 것도 가능하다.

[0100] 또, 도 7(A)에서는, 비디오신호에 비례한 신호전류를 출력선에 공급하는 경우를 서술하였지만, 도 7(B)에 나타낸 것처럼 신호선과는 다른 배선에 설정전류를 공급해도 좋다.

[0101] 도 7(B)는 제2의 래치회로(704)를 거쳐서, 화소의 비디오 신호선에 비디오신호를 공급하고, 전류원으로부터 스위칭회로를 거쳐서 화소에 접속되는 전류 출력선에 설정전류를 공급하는 구성을 나타낸다. 도 7(B)의 경우, 스위치(705)를 배치할 필요가 없다. 그리고, 제2의 래치회로(704)의 비디오신호가, 비디오선 B_m , $B_{(m+1)}$, $B_{(m+2)}$ 를 거쳐서 화소에 입력된다. 그 밖의 구성은, 도 7(A)와 같기 때문에 설명은 생략한다.

[0102] 본 실시형태에서는, 설정신호를 제어하는 제1의 시프트 레지스터(701)와, 래치회로를 제어하는 제2의 시프트 레지스터(702)를 설치함으로써, 제1의 시프트 레지스터(701)의 동작과 제2의 시프트 레지스터(702)의 동작을 완전하게 독립시켜서 행할 수 있다. 예를 들면, 제2의 시프트 레지스터(702)를 고속으로 동작시키고, 제1의 시프트 레지스터(701)를 저속으로 동작시킬 수 있다. 이렇게, 제1의 시프트 레지스터(701)를 저속으로 동작시키면, 전류원(710)의 설정동작을 정확하게 행할 수 있다.

[0103] 또한, 설정전류를 공급하는 전류원과 스위칭회로에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 실시형태의 신호선 구동회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0104] (실시형태 6)

[0105] 다음으로, 실시형태 2~4와 달리, 제1의 래치회로(802) 및 제2의 래치회로(803)이 각각 전류원을 가지는 신호선 구동회로의 구성에 대해서, 구체적인 예를 설명한다.

- [0106] 도 8에는, m 열째로부터 ($m+2$)열째의 신호선 주변의 신호선 구동회로(830)의 개략도를 나타낸다. 신호선 구동회로는 시프트 레지스터(801), 제1의 래치회로(802), 제2의 래치회로(803), 제1의 래치회로가 가지는 제1의 전류원(810), 제2의 래치회로가 가지는 제2의 전류원(815), 스위칭회로(811)를 가지고, 스위치(805), 스위치(806)이 설치된다. 스위칭회로(811)로부터, 전류 출력선 S_m , $S_{(m+1)}$, $S_{(m+2)}$ 를 거쳐서 설정신호가 화소에 입력된다.
- [0107] 제1의 래치회로(802)가 가지는 제1의 전류원(810)은 설정신호가 입력되고, 비디오신호용 정전류원(809)으로부터 소정의 전류(신호전류)이 공급된다. 이 설정신호는 시프트 레지스터(801)로부터 공급되거나 또는 외부로부터 공급되는 래치 펄스에 해당한다. 그리고, 제1의 전류원(810)과 제2의 전류원(815)의 사이에는 스위치(805)가 설치되어 있고, 스위치(805)의 온 또는 오프는 래치 펄스에 의해 제어된다.
- [0108] 또, 제2의 래치회로가 가지는 제2의 전류원(815)은 설정신호가 입력되고, 제1의 전류원(810)으로부터 공급되는 전류(설정전류)가 유지된다. 이 설정신호는 래치 펄스에 해당한다. 그리고, 제2의 전류원(815)과 스위칭회로와의 사이에는 스위치(806)가 설정되어 있고, 스위치(806)의 온 또는 오프는 래치 펄스에 의해 제어되며, 제1의 스위치(805)와 반전된 신호가 입력된다.
- [0109] 그리고, 실시형태 2와 마찬가지로, 스위치(806)에 High의 비디오신호가 입력될 때, 제2의 전류원(815)으로부터 신호선에 설정전류가 공급되는 상태가 된다. 반대로, 스위치(806)에 Low의 비디오신호가 입력될 때, 신호선에 설정전류는 공급되지 않는 상태가 된다. 즉, 제2의 전류원(815)은 설정전류를 공급하는 기능(V_{GS})을 가지고, 설정전류를 화소에 공급할 것인가 아닌가는 스위치(806)에 의해 제어된다.
- [0110] 그 후에, 스위칭회로(811)에 의해, 어떤 기간마다 제2의 전류원(806)과 신호선과의 전기적인 접속이 스위칭된다.
- [0111] 또한, 제1의 전류원(810) 및 제2의 전류원(815)에는, 도 3, 4에 나타낸 전류원의構成을 임의로 사용할 수 있다. 또, 전류원 회로는 모두 하나의 방식만을 사용할 뿐만 아니라, 조합해서 사용하는 것도 가능하다.
- [0112] 본 실시형태에 의해, 래치회로 내에 전류원을 배치할 수 있으므로, 신호선 구동회로가 차지하는 면적을 작게 할 수 있다. 굳이 말하자면, 발광장치의 협액자화(狹額子化)화를 달성하는 것이 가능해진다.
- [0113] 이렇게 설정전류를 공급하는 전류원 회로와 스위칭회로에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 본 발명의 회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.
- [0114] (실시형태 7)
- [0115] 다음으로, 실시형태 2~5와 달리, 래치회로에 한 쌍의 전류원을 가지는 신호선 구동회로의 구성에 대해서, 구체적인 예를 설명한다.
- [0116] 도 9에는, m 열째로부터 ($m+2$)열째의 3개의 신호선 주변의 신호선 구동회로(930)의 개략도를 나타낸다. 신호선 구동회로는 시프트 레지스터(901), 래치회로(902), 스위칭회로(911)를 가지고, 래치회로(902)는 제1의 전류원(910) 및 제2의 전류원(915)을 가진다. 스위칭회로(911)로부터, 전류 출력선 S_m , $S_{(m+1)}$, $S_{(m+2)}$ 를 거쳐서 설정신호가 화소에 입력된다.
- [0117] 제1의 스위치(905)는 시프트 레지스터(901)로부터 입력되는 샘플링 펄스에 의해서 제어된다. 또, 제2의 스위치(906), 제3의 스위치(907)는 래치 펄스에 의해 제어된다. 또한, 제2의 스위치(906)와 제3의 스위치(907)에서는 서로 반전된 신호가 입력된다. 이와 같은 본 실시형태에 의해, 제1의 전류원(910) 및 제2의 전류원(915)에서는 한 쪽은 설정동작을 행하고, 다른 쪽은 입력동작을 행할 수 있다.
- [0118] 제1의 전류원(910) 및 제2의 전류원(915)은 시프트 레지스터(901)로부터 설정신호가 입력되고, 비디오신호를 거쳐서 비디오신호용 정전류원(909)으로부터 소정의 신호전류가 공급된다. 이 설정신호는 논리연산자의 출력단자로부터 공급되는 신호에 해당한다. 논리연산자로서 한쪽의 전류원에는 시프트 레지스터(901)로부터의 샘플링 펄스가 입력되고, 다른 쪽의 전류원 회로에는 래치 펄스가 입력된다. 논리연산자에서는 입력된 2개의 신호의 논리연산을 행하고, 신호를 공급한다. 그리고 본 실시형태에서는 논리연산자의 출력단자로부터 공급되는 신호에 맞춰서, 전류원의 설정을 행한다.
- [0119] 그리고, 실시형태 2와 마찬가지로, 스위치(907)에 High의 비디오신호가 입력될 때, 제1의 전류원(910) 또는 제2의 전류원(915)으로부터 신호선에 설정전류가 공급되는 상태가 된다. 반대로 스위치(907)에 Low의 비디오신호가

입력될 때, 신호선에 설정전류는 공급되지 않는 상태가 된다. 즉, 제1의 전류원(910) 또는 제2의 전류원(915)은 설정전류를 공급하는 기능(V_{GS})을 가지고, 설정전류를 화소에 공급할 것인가 아닌가는 스위치(907)에 의해 제어된다.

[0120] 그 후에, 스위칭회로(911)에 의해, 어떤 기간마다 제1의 전류원(910) 또는 제2의 전류원(915)과 신호선과의 전기적인 접속이 스위칭된다.

[0121] 또, 제1의 전류원(910) 또는 제2의 전류원(915)에는, 도 3,4에 나타낸 전류원 회로의 회로구성을 자유롭게 사용할 수 있다. 각 전류원 회로는 모두 하나의 방식만을 사용할 뿐만 아니라, 조합해서 사용할 수도 있다.

[0122] 각 신호선에 제1의 전류원(910) 및 제2의 전류원(915)을 설치함으로써 신호전류를 설정하는 설정동작과, 스위칭회로(911)에 의해 전기적으로 접속된 신호선에의 입력동작을 동시에 행할 수 있다.

[0123] 이와 같이, 설정전류를 공급하는 전류원 회로와 스위칭회로에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 본 발명의 회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0124] (실시형태 8)

[0125] 다음으로, 실시형태 2~6과 다른 신호선 구동회로의 구성에 대해서, 구체적인 예를 설명한다.

[0126] 도 10(A)에는 제1의 신호선 구동회로(1001), 제2의 신호선 구동회로(1002), 제1의 스위칭회로(1003), 제2의 스위칭회로(1004), 화소부(1005), 제1의 신호선 구동회로(1001)가 가지는 전류원(1006), 제2의 신호선 구동회로(1002)가 가지는 전류원(1007)이 기재되어 있다. 제1의 스위칭회로(1003), 제2의 스위칭회로(1004)로부터 전류 출력선 S_m , $S_{(m+1)}$, $S_{(m+2)}$ 를 거쳐서 설정신호가 화소에 입력된다.

[0127] 또한, 제1의 신호선 구동회로(1001) 및 제2의 신호선 구동회로(1002)는 실시형태 2~6의 어떠한 구성이어도 좋다. 또한, 제1의 신호선 구동회로(1001)와 제2의 신호선 구동회로(1002)와는 동일한 구성이 아니더라도 좋고, 실시형태 2~6의 어느 하나와 조합해도 관계없다.

[0128] 그리고, 설정전류는 전류원(1006)으로부터 전기적으로 접속된 신호선을 거쳐서 화소부(1005)에 기록이 행해진다. 이 설정전류값은 작기 때문에, 화소에의 기록에 요하는 시간이 길다고 하는 문제가 있다. 그래서, 본 실시형태는 전류원(1006)으로부터 공급하는 설정전류를, 화소에 공급하는 설정전류에 어느 정도 큰 값을 더하도록 설정하고, 전류원(1007)은 더하여진 설정전류를 공급할 수 있게 설정한다.

[0129] 구체적으로 설명하면 화소에 공급하는 설정전류값을 X라고 한다. 이때, 전류원(1006)으로부터 공급되는 설정전류를 $X+Y$ ($X \ll Y$)라고 하고, 전류원(1007)으로부터 공급되는 설정전류를 Y라고 한다. 이때, 화소의 신호선을 흐르는 설정전류값은 $X+Y$ 로 큰 값이 되고, 화소에의 기록을 고속화할 수 있다.

[0130] 그리고, 제1의 스위칭회로(1003)에 의해, 전류원(1006)과 전기적으로 접속되는 신호선이 스위칭되고, 마찬가지로 제2의 스위칭회로(1004)에 의해, 전류원(1007)과 전기적으로 접속되는 신호선이 스위칭된다. 이때, 어떤 한 개의 신호선에 전기적으로 접속되어 있는 전류원(1006, 1007)의 열(장소)은 동일할 필요는 없다. 또한, 제2의 스위칭회로(1004)는 설치하지 않아도 좋다.

[0131] 이러한 제1의 신호선 구동회로 및 제2의 신호선 구동회로를 가짐으로써, 신호전류를 기록하는 시간을 단축할 수 있고, 화소에의 기록을 고속화할 수 있다.

[0132] 다음으로, 도 10(A)와 구성이 다른 신호선 구동회로를, 도 10(B)를 사용하여 설명한다. 도 10(B)에는 제1의 신호선 구동회로(1011), 제2의 신호선 구동회로(1012), 제1의 스위칭회로(1013), 제2의 스위칭회로(1014), 화소부(1015), 제1의 신호선 구동회로(1011)가 가지는 전류원(1016), 제2의 신호선 구동회로(1012)가 가지는 전류원(1017)이 기재되어 있다.

[0133] 도 10(B)는 제1의 전류원(1016)으로부터 공급되는 설정전류를 제2의 전류원(1017)에 공급하고, 제2의 전류원(1017)의 설정동작을 행하는 것을 특징으로 한다. 그 밖의 구성은 도 10(A)와 같기 때문에 설명은 생략한다.

[0134] 도 10(B)에 나타내는 구성에 의해, 제2의 신호선 구동회로(1012)의 면적을 작게 할 수 있고, 화소부의 면적을 크게 할 수 있으며, 나아가 제1의 신호선 구동회로 및 제2의 신호선 구동회로를 가짐으로써, 화소에 신호전류를 기록하는 시간을 단축할 수 있다.

- [0135] 또한, 설정전류를 공급하는 전류원과 바꾸어 회로에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 실시형태의 신호선 구동회로에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.
- [0136] (실시형태 9)
- [0137] 본 발명의 스위칭회로는 도 11에 나타나 있는 바와 같이 전류원이 인접하는 3개의 출력선(예를 들면, 신호선이며, 이하, 신호선으로 설명한다)과의 접속에 한정되어 있는 것이 아니라, 신호선의 수가 2 이상이며, 전류원과 신호선과의 전기적인 접속이 어떤 기간마다 스위칭되도록 설계되어 있으면 좋다. 그래서, 본 실시형태에서는, 도 11과는 다른 스위칭회로의 접속구성에 대해서, 도 12를 사용하여 설명한다.
- [0138] 도 12에는, m 열째로부터 $(m+4)$ 열째의 신호선 주변의 스위칭회로(1230)와, 복수의 전류원 C_n , $C_{(n+1)}$, $C_{(n+2)}$, $C_{(n+3)}$, $C_{(n+4)}$ 가 기재되어 있다. 도 12에 나타내는 스위칭회로에 있어서, 도 11과 다른 구성은, 각 신호선은 하나 걸러 있는 전류원과 접속하고 있는 점이다. 예를 들면, 신호선 $S_{(m+2)}$ 을 보면, 신호선 $S_{(m+2)}$ 과 접속되는 제1내지 제3의 아날로그 스위치에 있어서, 제1의 아날로그 스위치는 전류원 C_n 과 접속되고, 제2의 아날로그 스위치는 전류원 $C_{(n+2)}$ 과 접속되며, 제3의 아날로그 스위치는 전류원 $C_{(n+4)}$ 와 접속되어 있다.
- [0139] 그리고, 상기한 바와 같이, 신호 입력선 $A(1) \sim A(1+2)$ 과 $A(1)b \sim A(1+2)b$ 와는, 각각 반전신호가 입력되어, 순차적으로 선택된다. 이 선택된 신호입력선에 접속되어 있는 아날로그 스위치가 온이 되고, 온이 된 아날로그 스위치와 접속되어 있는 전류원과 신호선이 전기적으로 접속되며, 설정전류가 전류원으로부터 신호선에 공급된다.
- [0140] 본 실시형태와 같이, 스위칭회로는 신호선과 전류원이 간격을 두고 접속되어 있어도 무방하다. 또한, 스위칭회로에 있어서, 신호선에 접속되어 있는 전류원의 수가 많을수록, 많은 전류원을 이용하여 전기적인 접속의 스위칭을 행할 수 있기 때문에, 보다 균일화된 설정전류를 신호선에 공급하는 것이 가능해진다.
- [0141] (실시형태 10)
- [0142] 본 실시형태는 도 11, 도 12와 달리, 도 1(B)에 나타낸 것처럼 복수의 전류원을 모은 전류원 회로군과, 복수의 아날로그 스위치를 모은 아날로그 스위치군으로서 구비한 스위칭회로와, 설정전류가 공급되는 출력선(예를 들면, 신호선이며, 이하 신호선으로 설명한다)을 가지는 구성에 대해서, 도 13을 사용하여 설명한다.
- [0143] 도 13에는 도 12와 같은 m 열째로부터 $(m+5)$ 열째의 신호선 주변의 스위칭회로(1330)와, 복수의 전류원이 기재되어 있다. 도 13에 나타내는 스위칭회로에 있어서, 도 11이나 도 12와 다른 구성은 복수의 전류원(도 13에 있어서 3개의 전류원)이 모여진 전류원 회로군(1301)과, 복수의 아날로그 스위치(도 13에 있어서는 3개의 아날로그 스위치)가 모여진 아날로그 스위치군(1302)이 기재되어 있다. 그 밖의 구성은 도 12와 같기 때문에 설명은 생략한다.
- [0144] 그리고, 전술한 동작과 마찬가지로, 각 전류원 회로군에 있어서, 신호입력선 $A(1) \sim A(1+2)$ 과, $A(1)b \sim A(1+2)b$ 는 각각 반전신호가 입력되어, 순차적으로 선택된다. 그리고, 선택된 신호입력선에 접속되어 있는 아날로그 스위치는 온이 되고, 온이 된 아날로그 스위치와 접속되어 있는 전류원과 신호선이 전기적으로 접속되고, 설정전류가 전류원으로부터 신호선에 공급된다.
- [0145] 이 전류원 회로군(1301)이나 아날로그 스위치군(1302)과 같이, 전류원이나 아날로그 스위치를 모아서 설치함으로써, 아날로그 스위치와 전류원의 접속배선이 번잡해지는 것을 피할 수 있다. 더욱이, 전류원 회로군(1301)이나 아날로그 스위치 군(1302) 사이의 불균일성을 해소하기 위해서, 제2의 스위칭회로를 전류원 회로군과 아날로그 스위치군의 사이에 배치해도 좋다. 또, 전류원 회로군이 가지는 전류원이나 아날로그 스위치군이 가지는 아날로그 스위치는 복수라면 몇 개라도 상관없다.
- [0146] (실시형태 11)
- [0147] 본 실시형태에서는 전류원 회로가 설정동작을 행하는 동작방법과, 전류원과 출력선(예를 들면 신호선이며, 이하 신호선으로 설명한다)과의 전기적인 접속을 스위칭하는 동작방법을 가지는 회로의 구동방법에 관하여 설명한다.
- [0148] 먼저, 구동방식에 주목하면, 구동방식은 1프레임 기간을 분할하지 않는 구동방식(여기에서는 풀 프레임 방식이

라고 기재한다)과, 1프레임 기간을 복수의 서브프레임으로 분할하는 구동방식(여기에서는 서브프레임 방식이라고 기재한다)이 있다. 본 실시형태에서는 풀 프레임 방식에 대해서, 도 14를 사용하여 설명한다.

[0149] 도 14(A)에는 주사선(Gate Line)이 1행째(1st)부터 최종행째(last)까지 선택되어 있는 프레임 기간 F1~F3과, 각 프레임 기간에 있어서 화소에 전류(설정전류)가 입력되는 기록기간 Ta와, 각 프레임 기간의 최초 또는 최후로 설정된(도 14에서는 최후로 설정됨) 기간 Tc가 기재되어 있다.

[0150] 도 14(B)에는 신호입력선 A(1)~A(1+2)와, A(1)b~A(1+2)b에 입력되는 신호의 High 또는 Low의 타이밍(파형)이 기재되어 있다. 또, 신호입력선 A(1), A(1+1), A(1+2)에 입력되는 신호와, 신호입력선 A(1)b, A(1+1)b, A(1+2)b에 입력되는 신호는 각각 반전신호이다. 그리고, 신호입력선에 입력되는 신호가 스위칭되는 기간(타이밍)은 기간 Tc로 각각 설정되어 있다.

[0151] 도 14(C)에는 전류원 회로가 설정동작을 행하는 동작방법, 즉 전류원에 입력되는 설정신호(signal)의 High 또는 Low의 타이밍(파형)이 기재되어 있다. 설정신호가 High가 될 때, 각 전류원에의 설정동작이 행해진다. 또, 각 전류원에의 설정동작을 순차적으로 행한 경우, 모든 전류원에의 설정이 완료하지 않는 경우에는, 복수의 프레임 기간의 기간 Tc에서 힙쳐서 행하면 좋다.

[0152] 또, 각 프레임에 있어서, 임의의 장소(열)의 전류원의 설정을 행해도 좋다. 예를 들면, 도 14(C)에 있어서 1프레임째의 기간 Tc에서는 i열째의 전류원, 2프레임째의 기간 Tc에서는 j열째의 전류원, 3프레임째의 기간 Tc에서는 k열째의 전류원에 High의 설정신호를 입력하고, 설정동작을 행해도 관계없다.

[0153] 그리고, 프레임 기간 F1에서는 신호입력선 A(1) 및 A(1)b가 선택되고, 이것들과 접속되어 있는 아날로그 스위치가 온이 되고, 온이 된 아날로그 스위치와 접속되어 있는 전류원과 신호선이 전기적으로 접속된다. 그리고, 기록기간 Ta에서는 각 전류원이 전기적으로 접속된 신호선에 전류(설정전류)가 출력되고, 기간 Tc에서는 설정신호가 입력되어, 각 전류원에의 설정동작이 행해진다. 이때 설정동작이 행해지는 전류원은 어떤 전류원이라도 좋고, 몇 개라도 상관없다.

[0154] 다음으로, 프레임 기간 F2에서는 신호입력선 A(1+1) 및 A(1+1)b가 선택되고, 이것들과 접속되어 있는 아날로그 스위치가 온이 되고, 온이 된 아날로그 스위치와 접속되어 있는 전류원과 신호선이 전기적으로 접속된다. 그리고, 기록기간 Ta에서는 각 전류원이 전기적으로 접속된 신호선에 전류(설정전류)가 출력되고, 기간 Ta에서는 설정신호가 입력되어, 각 전류원에의 설정동작이 행해진다. 이때 설정동작이 행해지는 전류원은 어떤 전류원이라도 좋고, 몇 개라도 상관없다.

[0155] 다음으로, 프레임 기간 F3에서는 신호입력선 A(1+2) 및 A(1+2)b가 선택되고, 이것들과 접속되어 있는 아날로그 스위치가 온이 되고, 온이 된 아날로그 스위치와 접속되어 있는 전류원과 신호선이 전기적으로 접속된다. 그리고, 기록기간 Ta에서는 각 전류원이 전기적으로 접속된 신호선에 전류(설정전류)가 출력되고, 기간 Tc에서는 설정신호가 입력되어, 각 전류원에의 설정동작이 행해진다. 이때 설정동작이 행해지는 전류원은 어떤 전류원이라도 좋고, 몇 개라도 상관없다.

[0156] 또한, 기간 Tc에 있어서, 전류원에의 설정동작을 행하는 동작(타이밍)과, 스위칭회로에 의한 전기적인 접속의 스위칭을 행하는 동작(타이밍)은 동시에 행해도 좋고, 어느 하나를 먼저 행해도 좋다. 또, 기간 Tc를 설정하는 위치나 길이는 특별하게 한정되지 않지만, 기록기간과 겹치지 않도록 설정할 필요가 있다.

[0157] 이상과 같이, 짧은 기간 Tc에서 스위칭 동작이나 설정동작을 행하는 동작방법에 의해, 가령 설정전류가 불균일하더라도, 인간의 눈에는 표시가 균일화돼서 보인다. 따라서, 본 발명의 신호선 구동회로의 구동방법에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0158] (실시형태 12)

[0159] 다음에, 본 실시형태에서는, 서브프레임 방식에 있어서의 전류원 회로가 설정동작을 행하는 동작방법과, 전류원과 출력선(예를 들면 신호선이며, 이하 신호선으로 설명한다)의 전기적인 접속을 스위칭하는 동작방법을 가지는 회로의 구동방법에 대해서, 도 15를 사용하여 설명한다

[0160] 도 15(A)에는 주사선(Gate Line)이 1행째(1st)부터 최종행째(last)까지 선택되어 있는 프레임 기간을 3개로 분할한 서브프레임 SF1, SF2, SF3을 가지는 프레임 기간 F1, F2와, 각 서브프레임 기간에 있어서, 화소에 전류(설정전류)가 입력되는 기록기간 Ta1, Ta2, Ta3과, 각 서브프레임 기간의 최초 또는 최후로 설정된(도 15에서는 프

레임의 최후로 설정됨) 기간 Tc1, Tc2, Tc3이 기재되어 있다.

[0161] 도 15(B)에는 스위칭회로에 있어서의 신호입력선 A(1)로부터 A(1+2)에 입력되는 신호의 High 또는 Low의 타이밍(파형)이 기재되어 있다. 또, 도 15(B)에는 도면에는 나타내지 않았지만, 도 14와 마찬가지로, 신호입력선 A(1), A(1+1), A(1+2)의 반전신호가 신호입력선 A(1)b, A(1+1)b, A(1+2)b에 입력되어 있다. 그리고, 신호입력선에 입력되는 신호가 스위칭되는 기간(타이밍)은 기간 Tc1~Tc3으로 각각 설정된다.

[0162] 또한, 도 15(B)'에는 신호입력선에 입력되는 신호의 High 또는 Low가 입력되는 순서, 즉 신호입력선을 선택하는 순서가 다른 예가 기재되어 있다. 도 15(B)와 같이, 서브프레임 기간 SF1로부터 SF3에 있어서, 신호입력선을 선택하는 순서를 고정(각 프레임의 SF1에서는 모두 A(1)이 온, SF2에서는 모두 A(1+1)이 온, SF3에서는 모두 A(1+2)가 온)한 동작방법에 비해서, 도 15(B)'과 같이, 서브프레임 기간마다 신호 입력선을 선택하는 순서를 다르게 하는 동작방법은, 보다 설정전류의 불균일성을 억제하고, 균일한 표시를 얻는 것이 가능해진다.

[0163] 도 15(C)에는 전류원 회로가 설정동작을 행하는 동작방법, 즉 전류원에 입력되는 설정신호(signal)의 High 또는 Low의 타이밍(파형)이 기재되어 있다. 도 15(C)에서는, 각 서브프레임에만 High의 설정정호가 입력되어 있다.

[0164] 또한, 도 15(C)'에는 도 15(C)와 달리, 각 서브프레임 기간 SF1~SF3에 있어서, High의 설정정호가 입력되어 있다.

[0165] 이렇게, 서브프레임 방식을 사용했을 경우, 풀 프레임 방식을 사용했을 경우에 비하여, 기록기간 이외의 기간이 길어지기 때문에, 신호전류를 설정하는 기간을 길게 설정할 수 있음을 알 수 있다. 또, 도 15(C)'의 동작방법에 있어서, High의 설정신호가 입력되는 기간의 길이가 가장 길어진다.

[0166] 또, 본 실시형태는 도 14와 마찬가지로, 각 서브프레임에 있어서, 임의의 장소(열)의 전류원의 설정을 행해도 좋다. 또한, 각 전류원에의 설정동작을 순차적으로 행했을 경우, 모든 전류원에의 설정이 완료하지 않는 경우에는, 복수의 서브프레임 기간의 기간 Tc에서 맞춰서 행하면 좋다.

[0167] 또, 도 15(B) 또는 (B)'에 나타내는 신호입력선의 동작방법과, 도 15(C), (C)'에 나타내는 설정신호의 동작방법은 어떻게 조합해도 좋다.

[0168] 또한, 설정신호의 High의 입력되는 기간은, 기간 Tc1~Tc3과 겹치지 않도록 설정해도 좋다. 이 경우, 전류원 회로에의 설정동작을 끝낸 후에, 스위칭회로에 의해 전류원 회로와 신호선의 전기적인 접속을 스위칭할 수 있고, 회로의 오동작이 적어지고, 확실하게 화소에 전류(설정전류)를 입력할 수 있다.

[0169] 이렇게, 서브프레임 방식으로 구동을 행했을 경우, 신호전류를 설정하는 기간을 길게 할 수 있고, 정확한 설정전류를 공급할 수 있다.

[0170] (실시형태 13)

[0171] 본 실시형태에서는 실시형태 7과 같이 신호선 구동회로를 2개 설치했을 경우의 전류원 회로가 설정동작을 행하는 동작방법과, 전류원과 출력선(예를 들면 신호선이며, 이하 신호선으로 설명한다)과의 전기적인 접속을 스위칭하는 동작방법을 가지는 회로의 구동방법에 대해서 설명한다.

[0172] 실시형태 7에 나타나 있는 바와 같은 신호선 구동회로에서는 도 14 및 도 15에 있어서의 High의 설정신호의 타이밍을 두 개(예를 들면 전반과 후반)로 분할하고, 한쪽에서는 제1의 신호선 구동회로가 가지는 전류원의 설정을 행하고, 다른 쪽에서는 제2의 신호선 구동회로가 가지는 전류원의 설정을 행하면 좋다.

[0173] 그 밖의 신호입력선이나 설정신호의 동작방법은 실시형태 10 또는 11에서 설명한 것과 같으므로, 여기에서의 설명은 생략한다.

[0174] 본 실시형태의 동작방법에 의해, 신호전류의 불균일성을 거의 완전하게 제거할 수 있다. 따라서, 실시형태의 신호선 구동회로의 구동방법에 의해, 발광장치의 표시 얼룩짐을 거의 완전하게 해소할 수 있다.

[0175] (실시형태 14)

[0176] 본 실시형태에서는 화소부에 설정되는 화소의 회로의 구성 예에 대해서 도 16을 이용하여 설명한다.

[0177] 도 16(A)의 화소는 신호선(1601), 제1 및 제2의 주사선(1602, 1603), 전원선(1604), 스위칭용의 제1트랜지스터

(1605), 유지용의 제2트랜지스터(1606), 구동용의 제3트랜지스터(1607), 변환 구동용의 제4트랜지스터(1608), 용량소자(1609), 발광소자(1610)를 가진다. 또, 각 신호선은 전류원 회로(1640)에 접속되어 있다.

[0178] 그리고, 제1트랜지스터(1605)의 게이트 전극은 제1의 주사선(1602)에 접속되고, 제1의 전극은 신호선(1601)에 접속되며, 제2의 전극은 제3트랜지스터(1607)의 제1의 전극과, 제4트랜지스터(1608)의 제1의 전극에 접속되어 있다. 제2트랜지스터(1606)의 게이트 전극은 제2의 주사선(1603)에 접속되고, 제1의 전극은 제1트랜지스터(1605)의 제2의 전극과, 제4트랜지스터(1608)의 제1의 전극에 접속되며, 제2의 전극은 제3트랜지스터(1607)의 게이트 전극과, 제4트랜지스터(1608)의 게이트 전극에 접속되어 있다. 제3트랜지스터(1607)의 제2의 전극은 전원선(1604)에 접속되고, 제4트랜지스터(1608)의 제2의 전극은 발광소자(1610)의 한쪽 전극에 접속되어 있다. 용량소자(1609)는 제4트랜지스터(1608)의 게이트 전극과 제2의 전극과의 사이에 접속되어 제4트랜지스터(1608)의 게이트-소스 간 전압을 유지한다. 전원선(1604) 및 발광소자(1610)의 다른 쪽 전극에는 각각 소정의 전위가 입력되어, 서로 전위차를 가진다.

[0179] 도 16(B)의 화소는 신호선(1611), 제1 및 제2의 주사선(1612, 1613), 전원선(1614), 스위칭용의 제1트랜지스터(1615), 유지용의 제2트랜지스터(1616), 구동용의 제3트랜지스터(1617), 변환 구동용의 제4트랜지스터(1618), 용량소자(1619), 발광소자(1620)를 가진다. 또, 각 신호선은 전류원 회로(1641)에 접속되어 있다.

[0180] 그리고, 제1트랜지스터(1615)의 게이트 전극은 제1의 주사선(1612)에 접속되고, 제1의 전극은 신호선(1611)에 접속되며, 제2의 전극은 제3트랜지스터(1617)의 제1의 전극과, 제4트랜지스터(1618)의 제1의 전극에 접속되어 있다. 제2트랜지스터(1616)의 게이트 전극은 제2의 주사선(1613)에 접속되고, 제1의 전극은 제3트랜지스터(1617)의 제1의 전극에 접속되며, 제2의 전극은 제4트랜지스터(1618)의 게이트 전극과, 제4트랜지스터(1618)의 게이트 전극에 접속되어 있다. 제4트랜지스터(1618)의 제2의 전극은 전원선(1614)에 접속되어, 제3트랜지스터(1617)의 제2의 전극은, 발광소자(1620)의 일방의 전극에 접속되어 있다. 용량소자(1619)는, 제4트랜지스터(1618)의 게이트 전극과 제2의 전극과의 사이에 접속되어, 제4트랜지스터(1618)의 게이트-소스 간 전압을 유지한다. 전원선(1614) 및 발광소자(1620)의 다른 쪽 전극에는 각각 소정의 전위가 입력되어, 서로 전위차를 가진다.

[0181] 도 16(C)의 화소는 비디오선(1621), 제1의 주사선(1622), 제2의 주사선(1623), 제3의 주사선(1635), 제1의 전원선(1624), 제2의 전원선(전류선)(1638), 스위칭용의 제1트랜지스터(1625), 소거용의 제2트랜지스터(1626), 구동용의 제3트랜지스터(1627), 용량소자(1628), 전류원용의 제4트랜지스터(1629), 커런트 미러 회로의 제5트랜지스터(1630), 용량소자(1631), 전류입력용의 제6트랜지스터(1632), 유지용의 제7트랜지스터(1633), 발광소자(1636)를 가진다. 또, 각 신호선은 전류원 회로(1641)에 접속되어 있다.

[0182] 그리고, 제1트랜지스터(1625)의 게이트 전극은 제1의 주사선(1622)에 접속되고, 제1트랜지스터(1625)의 제1의 전극은 비디오선(1621)에 접속되며, 제1트랜지스터(1625)의 제2의 전극은 제3트랜지스터(1627)의 게이트 전극과, 제2트랜지스터(1626)의 제1의 전극에 접속되어 있다. 제2트랜지스터(1626)의 게이트 전극은 제2의 주사선(1623)에 접속되고, 제2트랜지스터(1626)의 제2의 전극은 제1의 전원선(1624)에 접속되어 있다. 제3트랜지스터의 제1의 전극은 발광소자(1636)의 한쪽 전극에 접속되고, 제3트랜지스터(1627)의 제2의 전극은 제4트랜지스터(1629)의 제1의 전극에 접속되어 있다. 제4트랜지스터(1629)의 제2의 전극은 제1의 전원선(1624)에 접속되어 있다. 용량소자(1631)의 한쪽 전극은 제4트랜지스터(1629)의 게이트 전극 및 제5트랜지스터(1630)의 게이트 전극에 접속되고, 다른 쪽 전극은 제1의 전원선(1624)에 접속되어 있다. 제5트랜지스터(1630)의 제1의 전극은 제1의 전원선(1624)에 접속되고, 제5트랜지스터(1630)의 제2의 전극은 제6트랜지스터(1632)의 제1의 전극에 접속되어 있다. 제6트랜지스터(1632)의 제2의 전극은 제2의 전원선(1638)에 접속되고, 제6트랜지스터(1632)의 게이트 전극은 제3의 주사선(1635)에 접속되어 있다. 제7트랜지스터(1633)의 게이트 전극은 제3의 주사선(1635)에 접속되고, 제7트랜지스터(1633)의 제1전극은 제2의 전원선(전류선)(1638)에 접속되고, 제7트랜지스터(1633)의 제2의 전극은 제4트랜지스터(1629)의 게이트 전극 및 제5트랜지스터(1630)의 게이트 전극에 접속되어 있다. 제1의 전원선(1624) 및 발광소자(1636)의 다른 쪽 전극에는 각각 소정의 전위가 입력되어, 서로 전위차를 가진다.

[0183] 이러한 트랜지스터의 불균일성을 억제하는 화소 구성과, 전류원에 의해, 표시 열룩짐이 없고, 보다 고정밀도인 화상을 표시하는 발광장치를 제공할 수 있다.

[0184] [실시예]

[0185] (실시예 1)

- [0186] 본 실시예에서는 본 발명의 발광장치의 구성에 대해서 도 17을 사용하여 설명한다.
- [0187] 본 발명의 발광장치는 기판(431) 상에, 복수의 화소가 매트릭스 모양으로 배치된 화소부(432)를 가지고, 화소부(432)의 주변에는, 본 발명의 신호선 구동회로(433), 제1의 주사선 구동회로(434) 및 제2의 주사선 구동회로(435)를 가진다. 도 17(A)에 있어서는, 신호선 구동회로(433)와, 2조의 주사선 구동회로(434, 435)를 가지고 있지만, 본 발명은 이것에 한정되지 않고, 화소의 구성에 따라 임의로 설계할 수 있다. 또, 신호선 구동회로(433)와, 제1의 주사선 구동회로(434) 및 제2의 주사선 구동회로(435)에는 FPC(436)를 거쳐서 외부로부터 신호가 공급된다.
- [0188] 제1의 주사선 구동회로(434) 및 제2의 주사선 구동회로(435)의 구성에 대해서 도 17(B)을 사용하여 설명한다. 제1의 주사선 구동회로(434) 및 제2의 주사선 구동회로(435)는 시프트 레지스터(437), 버퍼(438)를 가진다. 동작을 간단하게 설명하면 시프트 레지스터(437)는 클록신호(G-CLK), 스타트 펄스(S-SP) 및 클록반전신호(G-CLKb)에 따라서, 순차적으로 샘플링 펄스를 출력한다. 그 후, 버퍼(438)에서 증폭된 샘플링 펄스는 주사선에 입력되어서 1행씩 선택상태로 해나간다. 그리고, 선택된 주사선에 의해, 제어되고 있는 화소에 순차적으로 신호선으로부터 신호전류가 기록된다.
- [0189] 또한, 시프트 레지스터(437)와 버퍼(438)의 사이에는 레벨 시프터 회로를 배치한 구성으로 해도 좋다. 레벨 시프터 회로를 배치함으로써, 전압진폭을 크게 할 수 있다.
- [0190] 또한, 본 발명의 신호선 구동회로에 설치되는 전류원의 배치는 일직선으로 되어 있지 않아도 좋고, 신호선 구동회로 내에서 벗어나서 배치되어 있어도 좋다. 또한, 신호선 구동회로가 화소부를 거쳐서 대칭으로 2개가 설치되어도 좋다. 이렇게 대칭으로 설치된 신호선 구동회로는 신호선 구동회로의 전류원 회로나 기타 회로 및 배선수가 반감되기 때문에, 회로끼리의 밀도가 반감되고, 제조시의 수율은 향상된다. 즉, 본 발명의 신호선 구동회로는 스위칭수단을 거쳐서 전류원 회로와 신호선에 접속되면 좋고, 전류원 회로의 배치나 접속되는 신호선의 배치에는 한정되지 않는다.
- [0191] (실시예 2)
- [0192] 본 실시예에서는 컬러표시를 행할 경우의 방안에 대해서 서술한다.
- [0193] 발광소자가 유기 EL소자인 경우, 발광소자에 같은 크기의 전류를 흘려도, 색에 따라서 그 휘도가 다른 경우가 있다. 또한, 발광소자가 경시적인 요인 등에 의해 열화된 경우, 그 열화의 정도는 색에 따라 다르다. 그 때문에 발광소자를 사용한 발광장치에 있어서, 컬러표시를 행하는 때는 그 화이트(white) 빌런스를 조절하기 위해서 다양한 방안이 필요하다.
- [0194] 가장 단순한 방법은 화소에 입력하는 전류의 크기를 색에 따라 바꾸는 것이다. 그 외에는 레퍼런스용 정전류원의 전류의 크기를 색에 따라 바꾸면 좋다.
- [0195] 그 밖의 방법으로서는 화소, 신호선 구동회로, 레퍼런스용 정전류원 등에 있어서, 도 3(C)~도 3(E)에 나타내는 회로를 사용하는 것이다. 도 3(C)~도 3(E)의 회로에 있어서, 커런트 미러 회로를 구성하는 2개의 트랜지스터의 W/L의 비율을 색에 따라 바꾼다. 이것에 의해, 화소에 입력하는 전류의 크기가 색에 따라 바꿀 수 있다.
- [0196] 또 다른 방법으로서는 점등 기간의 길이를 색에 따라 바꾸는 것이다. 이것은 시간계조방식을 사용하고 있을 경우나, 또는 사용하지 않고 있을 경우의 어느 경우에도 적용할 수 있다. 본 방법에 의해, 각 화소의 휘도를 조절할 수 있다.
- [0197] 이상과 같은 방법을 사용함으로써, 또는 조합해서 사용함으로써, 화이트(white) 빌런스를 용이하게 조절할 수 있다.
- [0198] (실시예 3)
- [0199] 본 발명의 발광장치를 사용한 전자기기로서, 비디오카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션시스템, 음향재생장치(카오디오, 오디오 콤포넌트 등), 노트북 PC, 게임기기, 휴대정보단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록매체를 구비한 화상재생장치(구체적으로는 Digital Versatile Disc(DVD)등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치)

등을 들 수 있다. 특히, 경사 방향으로부터 화면을 보는 기회가 많은 휴대정보 단말은 시야각의 넓이가 중요시되고 있기 때문에, 발광장치를 사용하는 것이 바람직하다. 그 전자기기들의 구체적인 예를 도 18에 나타낸다.

[0200] 도 18(A)는 발광장치이며, 케이스(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력단자(2005) 등을 포함한다. 본 발명의 발광장치는 표시부(2003)에 사용할 수 있다. 또, 본 발명에 의해, 도 18(A)에 나타내는 발광장치가 완성되어져 있다. 발광장치는 자발광형이기 때문에 백라이트가 필요 없고, 액정 모니터보다 더 얇은 표시부로 하는 것이 가능하다. 또, 발광장치에는 PC용, 방송수신용, 광고 표시용 등의 모든 정보표시용 발광장치가 포함된다.

[0201] 도 18(B)는 디지털 스틸 카메라이며, 본체(2101), 표시부(2102), 수상부(2103), 조작키(2104), 외부접속 포트(2105), 셔터(2106) 등을 포함한다. 본 발명의 발광장치는 표시부(2102)에 사용할 수 있다.

[0202] 도 18(C)는 노트북 PC이며, 본체(2201), 케이스(2202), 표시부(2203), 키보드(2204), 외부접속 포트(2205), 포인팅 마우스(2206) 등을 포함한다. 본 발명의 발광장치는 표시부(2203)에 사용할 수 있다.

[0203] 도 18(D)는 모바일 컴퓨터이며, 본체(2301), 표시부(2302), 스위치(2303), 조작키(2304), 적외선 포트(2305) 등을 포함한다. 본 발명의 발광장치는 표시부(2302)에 사용할 수 있다.

[0204] 도 18(E)는 기록매체를 구비한 휴대형의 화상재생장치(구체적으로는 DVD재생장치)이며, 본체(2401), 케이스(2402), 표시부A(2403), 표시부B(2404), 기록매체(DVD 등) 판독부(2405), 조작키(2406), 스피커부(2407) 등을 포함한다. 표시부A(2403)는 주로 화상정보를 표시하고, 표시부B(2404)는 주로 문자정보를 표시하는데, 본 발명의 발광장치는 이들 표시부A,B(2403,2404)에 사용할 수 있다. 또, 기록매체를 구비한 화상재생장치에는 가정용 게임기 등도 포함된다.

[0205] 도 18(F)는 고글형 디스플레이(해드 마운트 디스플레이)이며, 본체(2501), 표시부(2502), 암(arm)부(2503)를 포함한다. 본 발명의 발광장치는 표시부(2502)에 사용할 수 있다.

[0206] 도 18(G)는 비디오 카메라이며, 본체(2601), 표시부(2602), 케이스(2603), 외부접속 포트(2604), 리모트 컨트롤 수신부(2605), 수상부(2606), 배터리(2607), 음성입력부(2608), 조작키(2609) 등을 포함한다. 본 발명의 발광장치는 표시부(2602)에 사용할 수 있다.

[0207] 여기에서, 도 18(H)는 휴대전화이며, 본체(2701), 케이스(2702), 표시부(2703), 음성 입력부(2704), 음성 출력부(2705), 조작키(2706), 외부접속 포트(2707), 안테나(2708) 등을 포함한다. 본 발명의 발광장치는 표시부(2703)에 사용할 수 있다. 또, 표시부(2703)는 흑색 배경에 백색의 문자를 표시함으로써 휴대전화의 소비전류를 억제할 수 있다.

[0208] 또한, 장래에는 발광재료의 발광 휘도가 높아지면, 출력한 화상정보를 포함하는 빛을 렌즈 등으로 확대 투영해서 프론트형 또는 리어형의 프로젝터에 사용하는 것도 가능해진다.

[0209] 또한, 상기 전자기기는 인터넷이나 CATV(케이블텔레비전) 등의 전자통신회선을 통하여 발신된 정보를 표시하는 것이 많아지고, 특히 동작화상정보를 표시하는 기회가 늘어나고 있다. 발광재료의 응답속도는 매우 높기 때문에, 발광장치는 동작화상표시에 바람직하다.

[0210] 또한, 발광장치는 발광하고 있는 부분이 전력을 소비하기 위해서, 발광부분이 극력 적어지도록 정보를 표시하는 것이 바람직하다. 따라서, 휴대정보 단말, 특히 휴대전화나 음향재생장치와 같은 문자정보를 주로 하는 표시부에 발광장치를 사용할 경우에는, 비발광 부분을 배경으로 하여 문자정보를 발광부분으로 형성하도록 구동하는 것이 바람직하다.

[0211] 이상과 같이, 본 발명의 적용범위는 지극히 넓고, 모든 분야의 전자기기에 사용하는 것이 가능하다. 또, 본 실시예의 전자기기는 실시예 1 내지 13에 나타낸 모든 구성의 신호선 구동회로나 화소 구조를 사용할 수 있다.

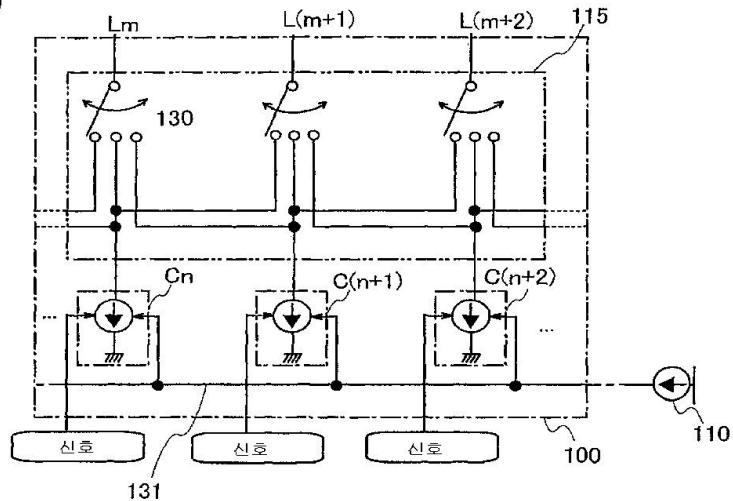
부호의 설명

100 : 전류원 회로	110 : 레퍼런스용 정전류원
115 : 스위칭 회로	130 : 스위치
131 : 전류선	132 : 제어선

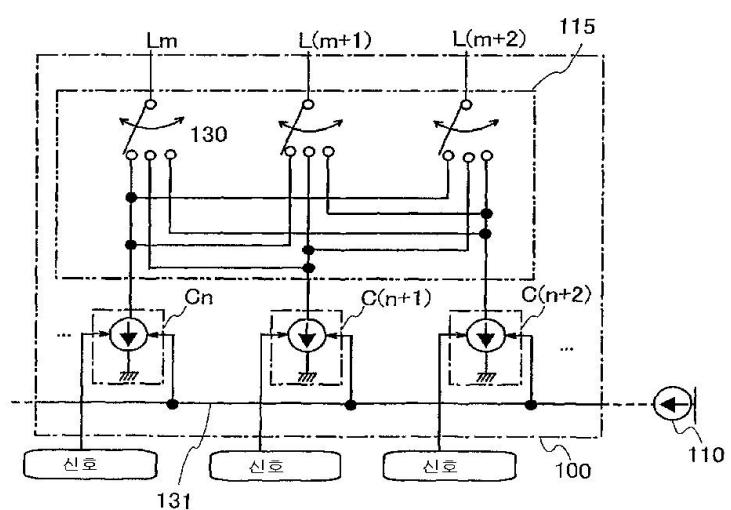
도면

도면1

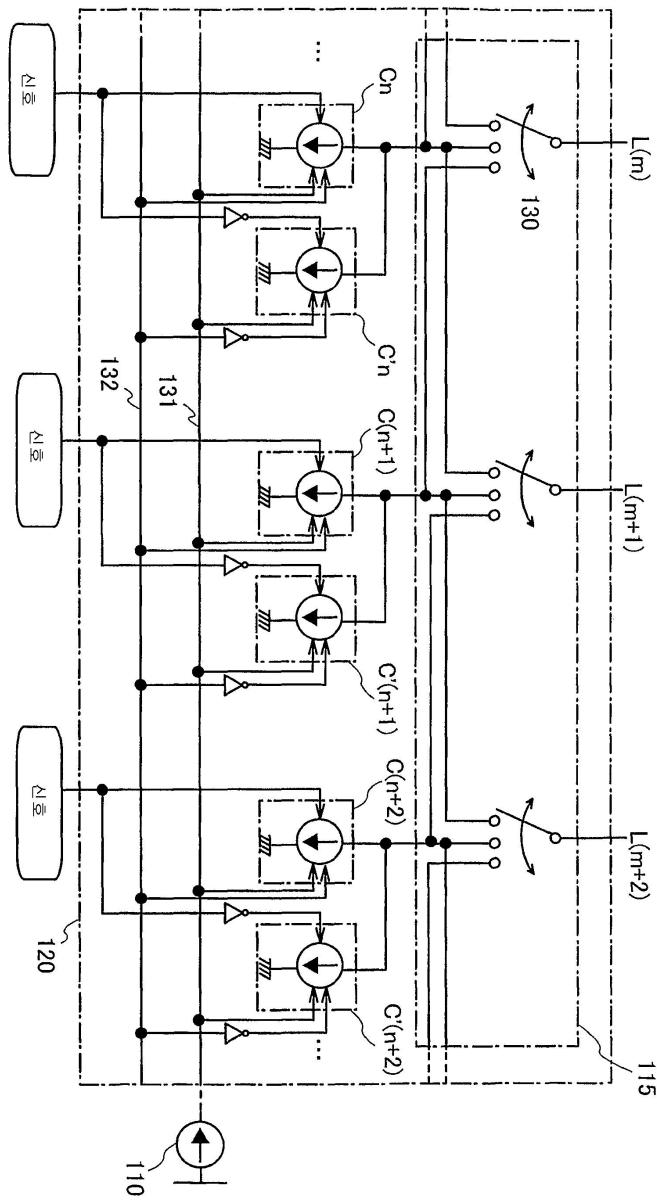
(a)



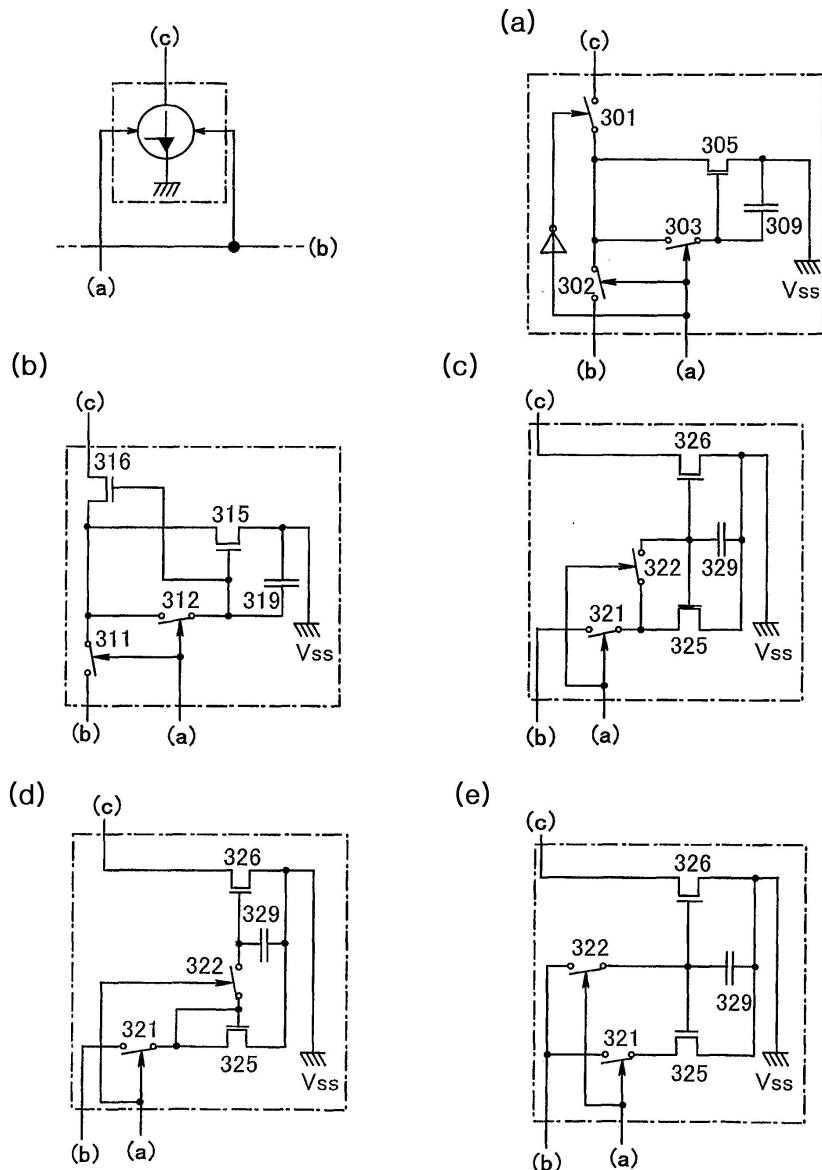
(b)



도면2

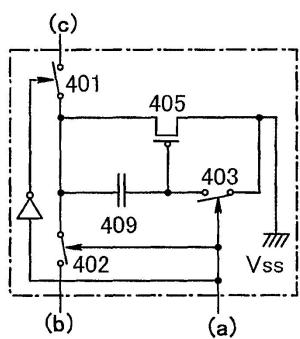


도면3

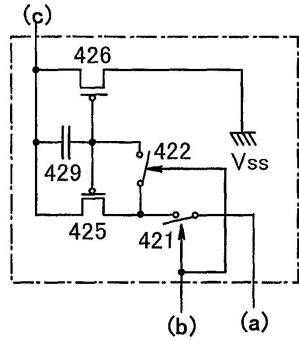


도면4

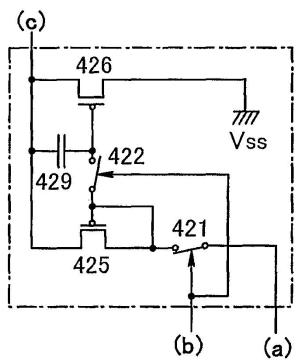
(a)



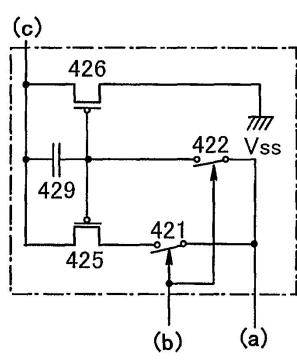
(b)



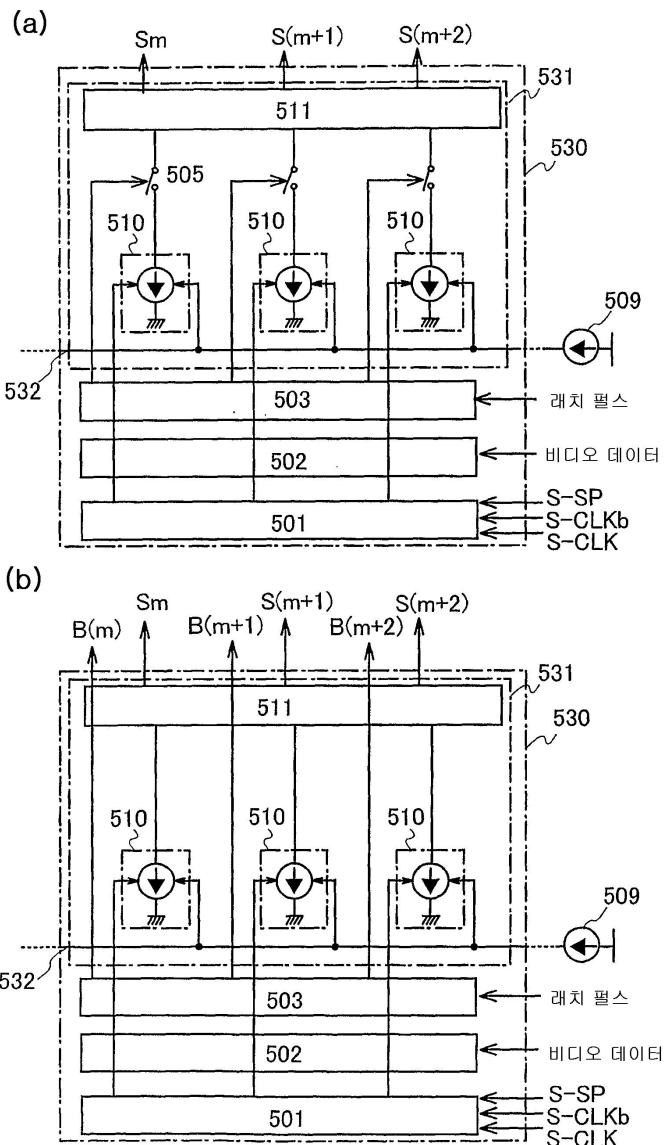
(c)



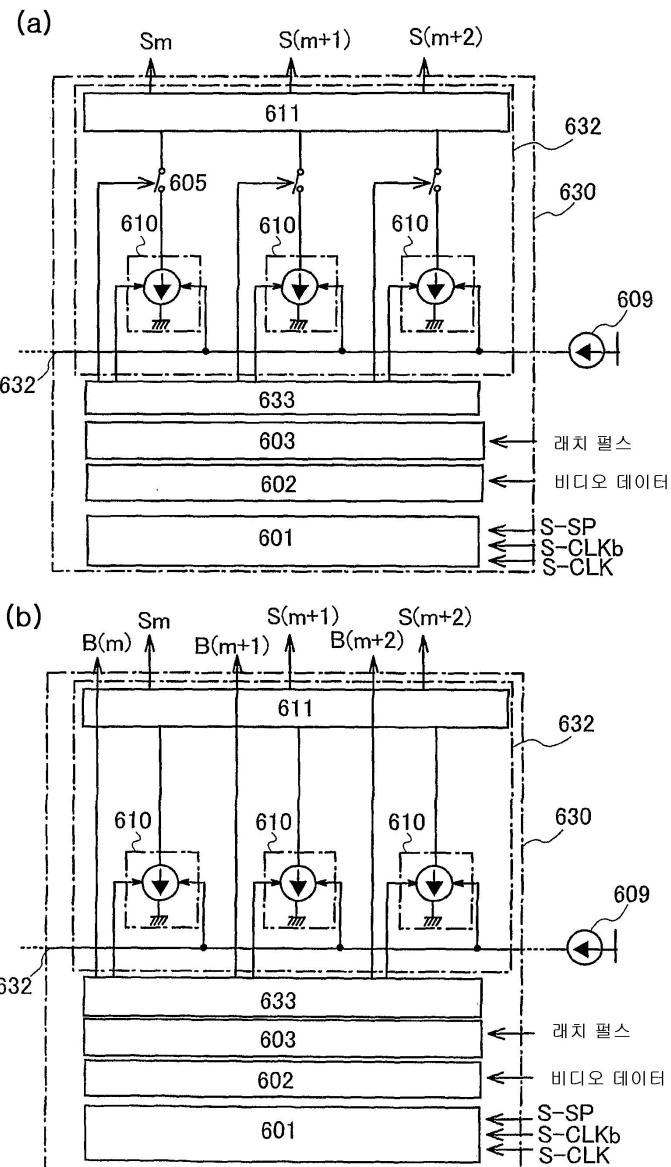
(d)



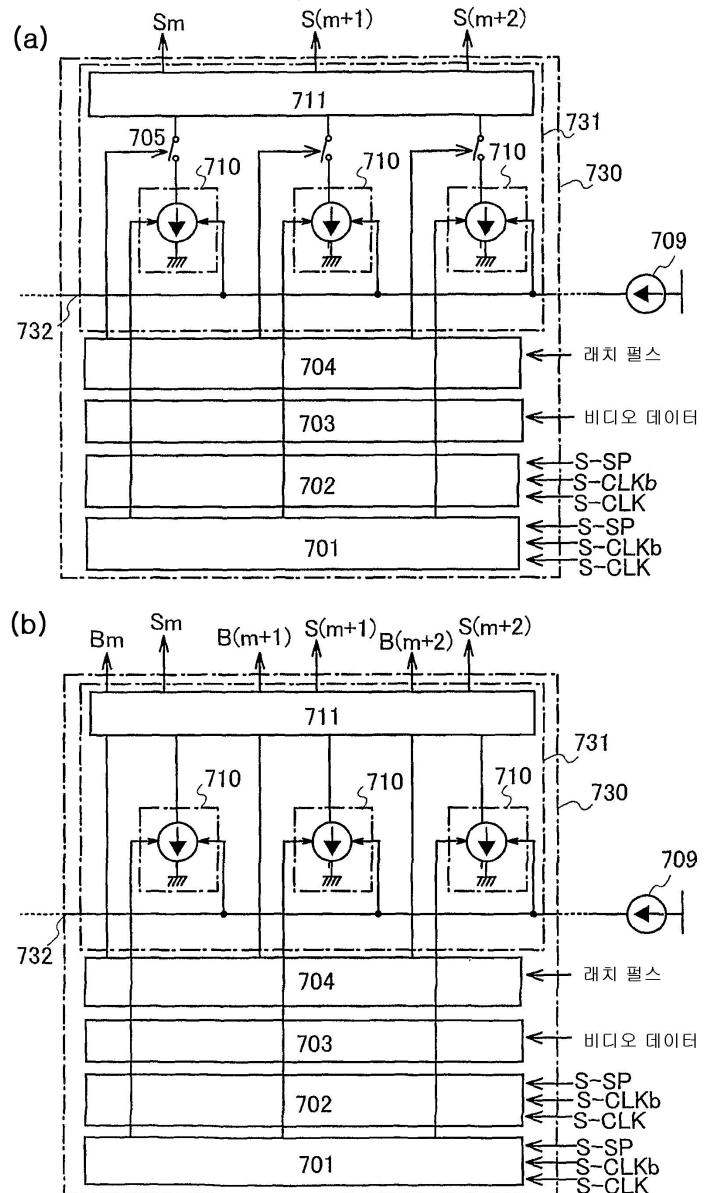
도면5



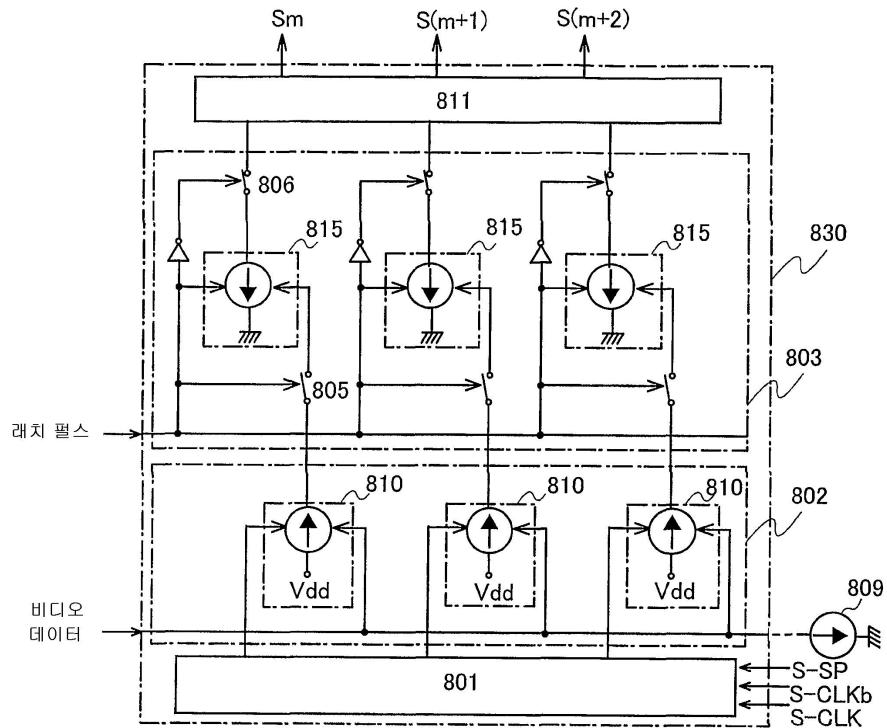
도면6



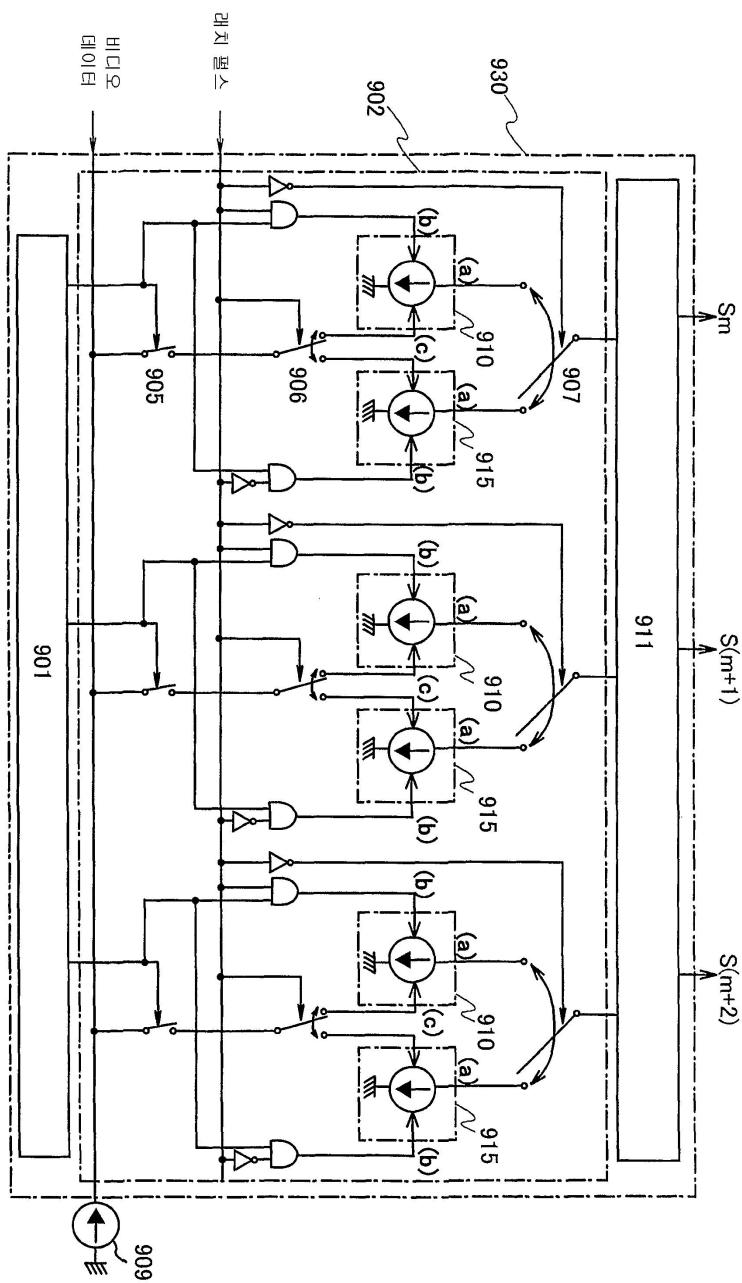
도면7



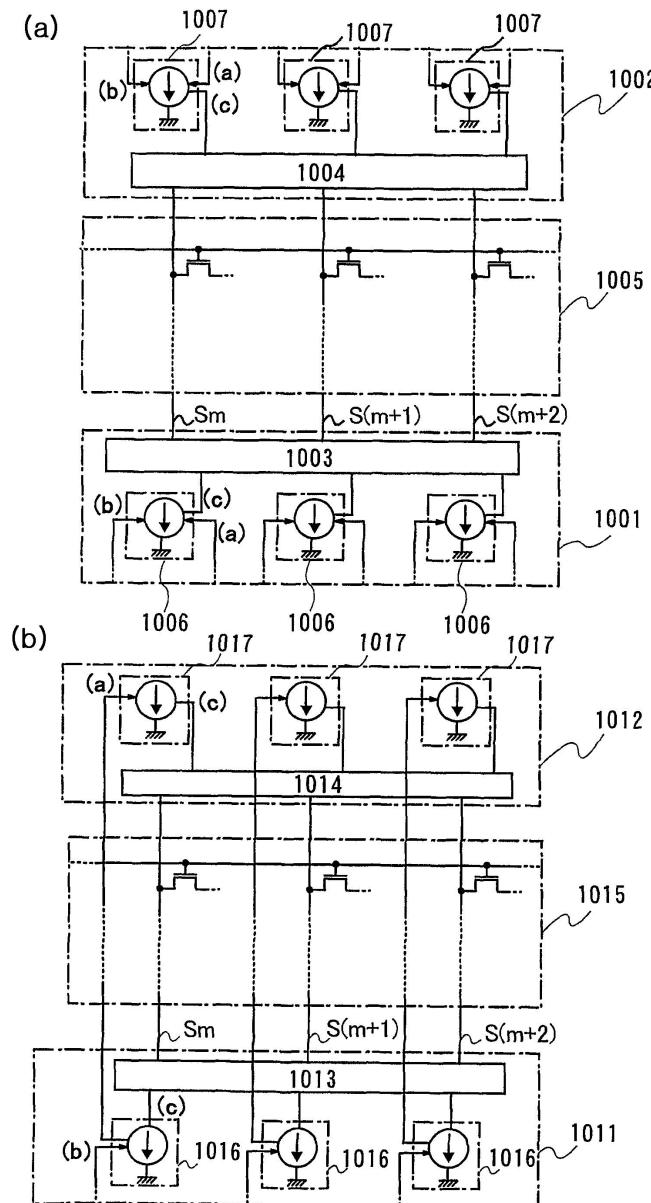
도면8



도면9

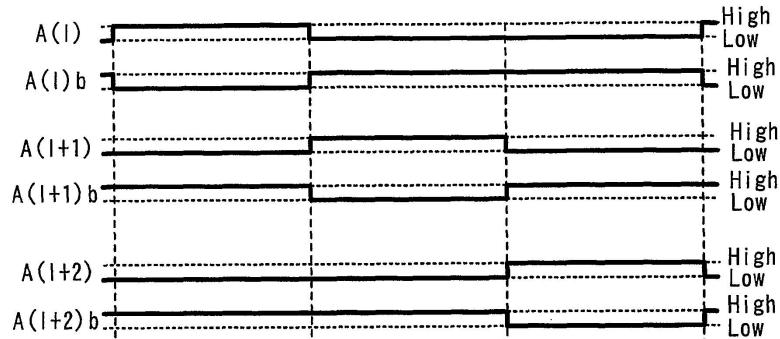


도면10



도면11

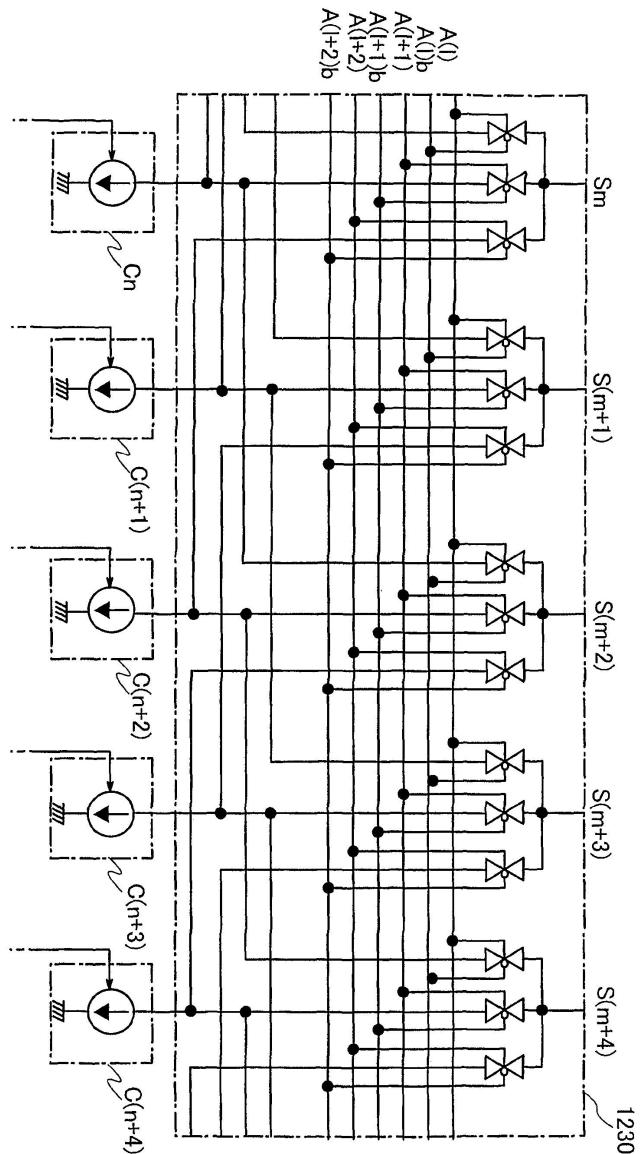
(a)



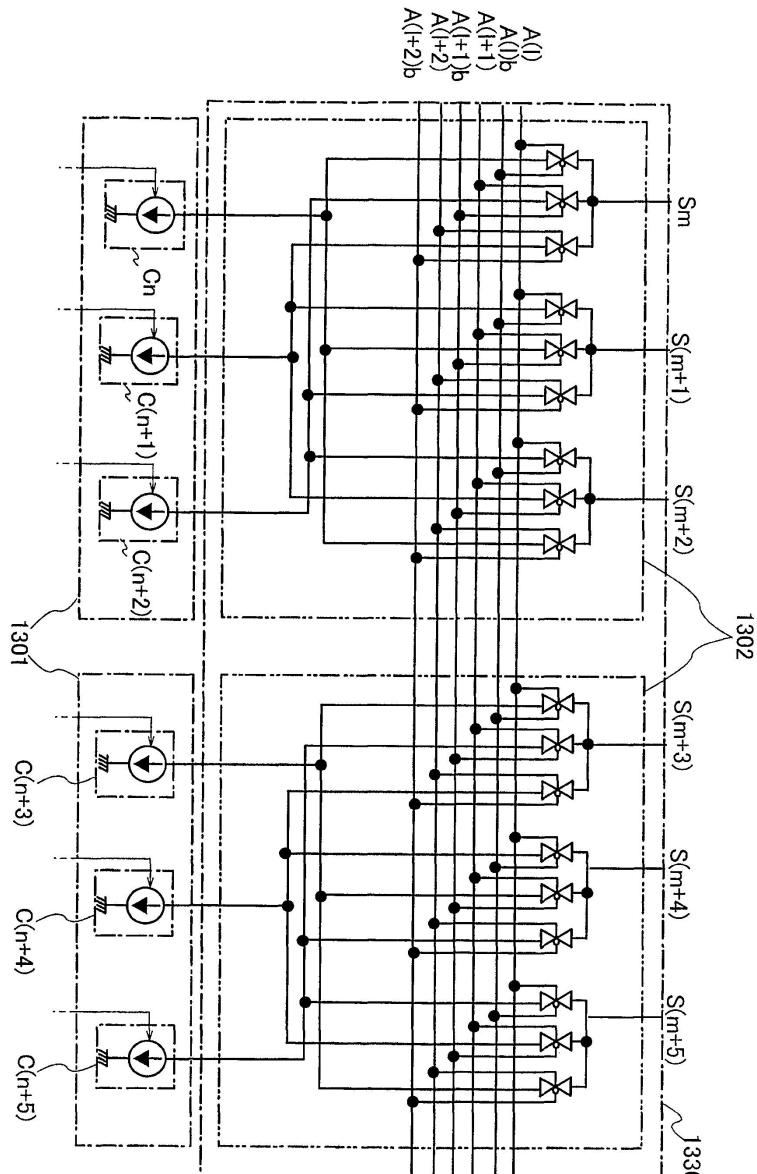
(b)

Lm	$C(n-1)$	Cn	$C(n+1)$
$L(m+1)$	Cn	$C(n+1)$	$C(n+2)$
$L(m+2)$	$C(n+1)$	$C(n+2)$	$C(n+3)$

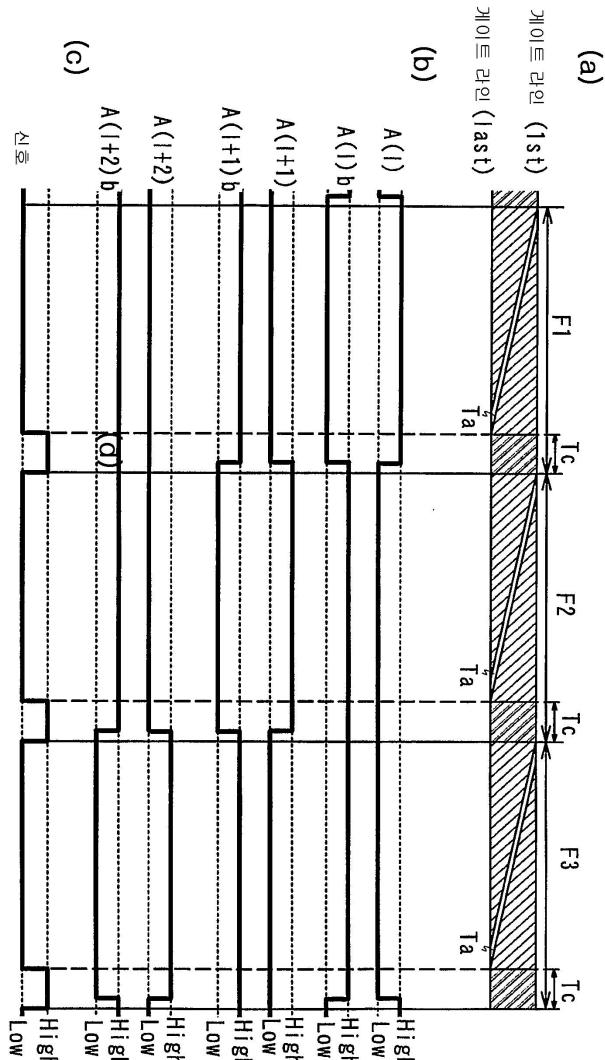
도면12



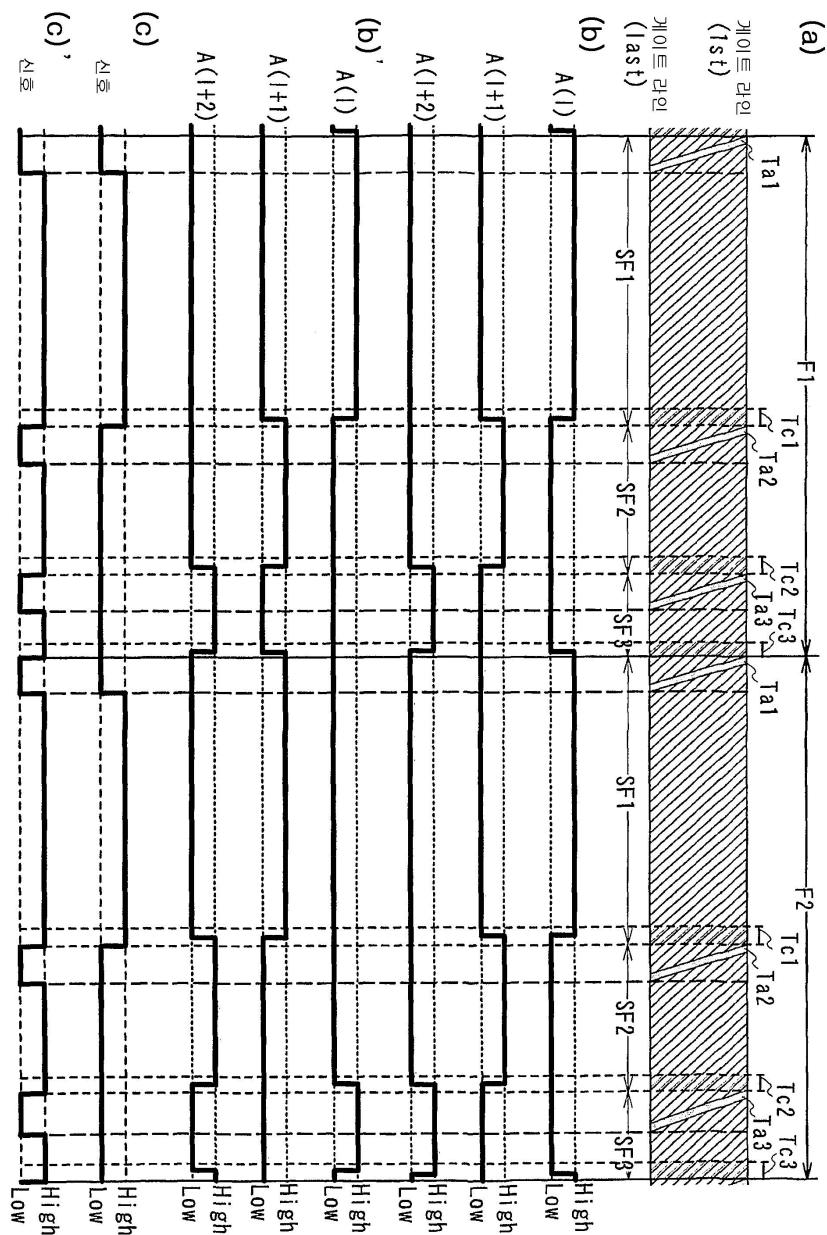
도면13



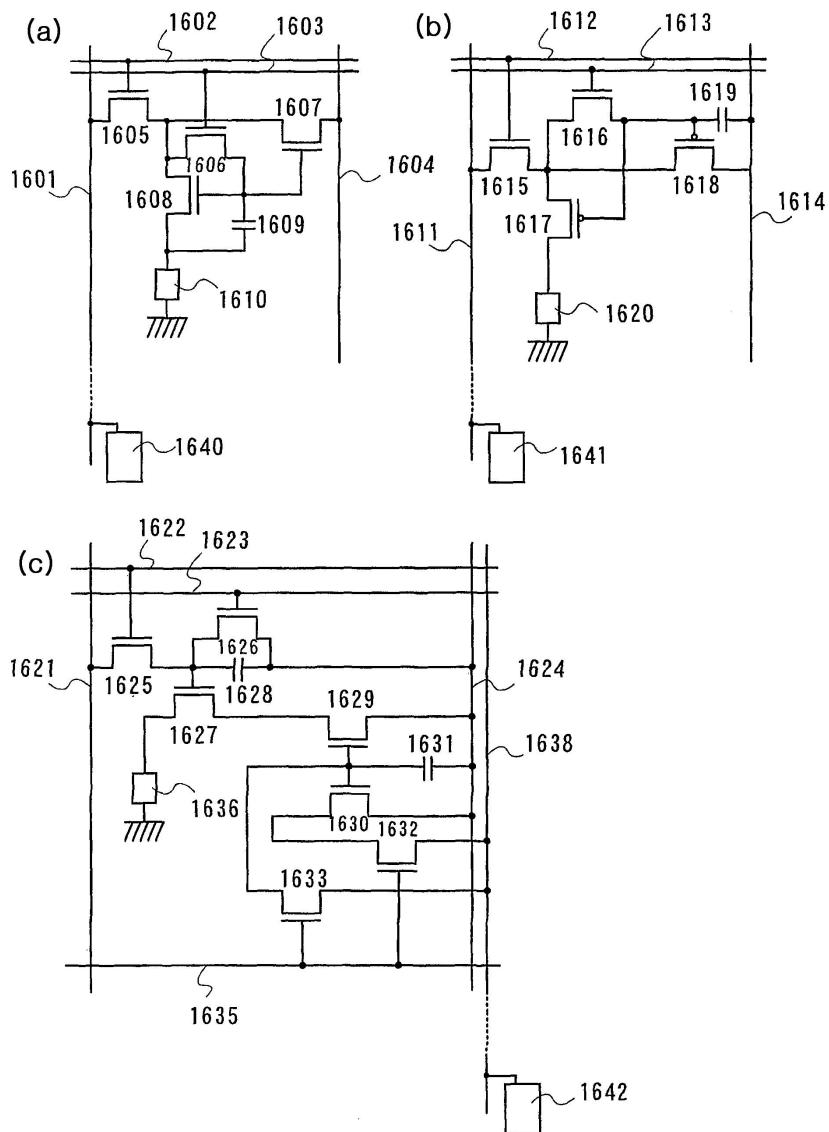
도면14



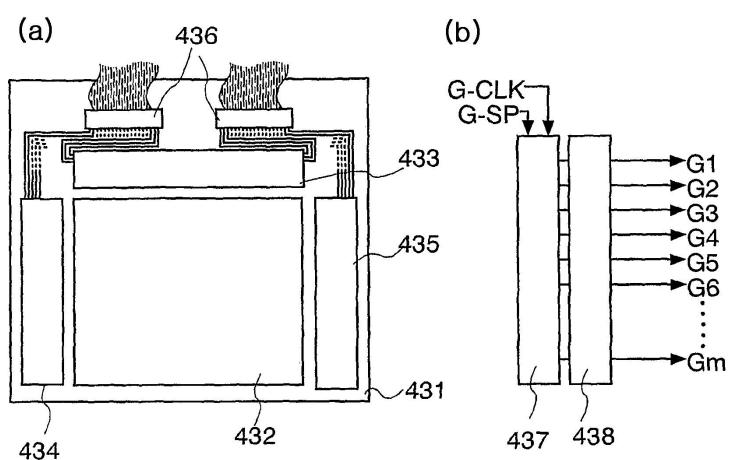
도면15



도면16



도면17



도면18

