

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5705122号  
(P5705122)

(45) 発行日 平成27年4月22日(2015.4.22)

(24) 登録日 平成27年3月6日(2015.3.6)

(51) Int.Cl.		F I	
<b>H03F</b>	<b>1/07</b>	<b>(2006.01)</b>	H03F 1/07
<b>H03F</b>	<b>3/60</b>	<b>(2006.01)</b>	H03F 3/60
<b>H03F</b>	<b>1/32</b>	<b>(2006.01)</b>	H03F 1/32

請求項の数 19 (全 46 頁)

(21) 出願番号	特願2011-537180 (P2011-537180)	(73) 特許権者	000004064
(86) (22) 出願日	平成22年9月15日 (2010.9.15)		日本碍子株式会社
(86) 国際出願番号	PCT/JP2010/065958		愛知県名古屋市瑞穂区須田町2番56号
(87) 国際公開番号	W02011/048893	(74) 代理人	100077665
(87) 国際公開日	平成23年4月28日 (2011.4.28)		弁理士 千葉 剛宏
審査請求日	平成25年8月8日 (2013.8.8)	(74) 代理人	100116676
(31) 優先権主張番号	61/254336		弁理士 宮寺 利幸
(32) 優先日	平成21年10月23日 (2009.10.23)	(74) 代理人	100149261
(33) 優先権主張国	米国 (US)		弁理士 大内 秀治
(31) 優先権主張番号	61/254343	(74) 代理人	100136548
(32) 優先日	平成21年10月23日 (2009.10.23)		弁理士 仲宗根 康晴
(33) 優先権主張国	米国 (US)	(74) 代理人	100136641
			弁理士 坂井 志郎
		(74) 代理人	100169225
			弁理士 山野 明

最終頁に続く

(54) 【発明の名称】 ドハティ増幅器用合成器

(57) 【特許請求の範囲】

【請求項1】

キャリア増幅器(12)とピーク増幅器(14)とを有するドハティ増幅器(16)の出力に接続され、前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力とを合成するドハティ増幅器用合成器であって、

前記キャリア増幅器(12)からの出力が入力される第1入力端子(26)と、

前記ピーク増幅器(14)からの出力が入力される第2入力端子(28)と、

前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力とを合成した信号が出力される出力端子(30)と、

前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力との合成点(32)と、

前記第1入力端子(26)と前記合成点(32)との間に接続された第1 / 4線路(34A)と、

前記合成点(32)と前記出力端子(30)との間に接続された第2 / 4線路(34B)と、

前記第1入力端子(26)から前記合成点(32)にかけて流れる信号、前記第2入力端子(28)から前記合成点(32)にかけて流れる信号及び前記合成点(32)から前記出力端子(30)にかけて流れる信号のうち、1以上の信号をモニタする信号モニタ手段とを有し、

前記信号モニタ手段は、方向性結合器(40A又は40B)を備え、

10

20

前記方向性結合器(40A又は40B)は、  
 前記第1 / 4線路(34A)及び前記第2 / 4線路(34B)のうち、モニタ対象  
 の / 4線路と電磁結合する第3 / 4線路(34C)を有し、  
 複数の誘電体層が積層されて構成された誘電体基板(42)を有し、  
 前記第1入力端子(26)、前記第2入力端子(28)及び前記出力端子(30)が前  
 記誘電体基板(42)の表面に形成され、  
 前記第1 / 4線路(34A)、前記第2 / 4線路(34B)及び前記第3 / 4線  
 路(34C)が前記誘電体基板(42)内に形成され、  
 前記誘電体基板(42)内に、前記第1 / 4線路(34A)及び前記第2 / 4線路  
 (34B)のうち、前記モニタ対象の / 4線路、並びに前記第3 / 4線路(34C) 10  
 と、前記第1 / 4線路(34A)及び前記第2 / 4線路(34B)のうち、前記モニ  
 タ対象外の / 4線路との間に形成された内層シールド電極(48)を有することを特徴  
 とするドハティ増幅器用合成器。

【請求項2】

請求項1記載のドハティ増幅器用合成器において、  
 前記第3 / 4線路(34C)の一端にモニタ端子(36a又は36b)が接続され、  
 前記第3 / 4線路(34C)の他端に終端抵抗(R<sub>e</sub>)が接続され、  
 前記モニタ端子(36a又は36b)は前記誘電体基板(42)の表面に形成されてい  
 ることを特徴とするドハティ増幅器用合成器。

【請求項3】

キャリア増幅器(12)とピーク増幅器(14)とを有するドハティ増幅器(16)の  
 出力に接続され、前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)か  
 らの出力とを合成するドハティ増幅器用合成器であって、  
 前記キャリア増幅器(12)からの出力が入力される第1入力端子(26)と、  
 前記ピーク増幅器(14)からの出力が入力される第2入力端子(28)と、  
 前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力とを合  
 成した信号が出力される出力端子(30)と、  
 前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力との合  
 成点(32)と、  
 前記第1入力端子(26)と前記合成点(32)との間に接続された第1 / 4線路( 30  
 34A)と、  
 前記合成点(32)と前記出力端子(30)との間に接続された第2 / 4線路(34  
 B)と、  
 前記第1入力端子(26)から前記合成点(32)にかけて流れる信号、前記第2入力  
 端子(28)から前記合成点(32)にかけて流れる信号及び前記合成点(32)から前  
 記出力端子(30)にかけて流れる信号のうち、1以上の信号をモニタする信号モニタ手  
 段とを有し、

前記信号モニタ手段は、方向性結合器(40A又は40B)を備え、  
 前記方向性結合器(40A又は40B)は、  
 前記第1 / 4線路(34A)及び前記第2 / 4線路(34B)のうち、モニタ対象 40  
 の / 4線路と電磁結合する第3 / 4線路(34C)を有し、  
 さらに、前記第3 / 4線路(34C)に接続され、且つ、該第3 / 4線路(34C  
 )の特性インピーダンスを前記モニタ対象の / 4線路の特性インピーダンスと整合させ  
 るための第4 / 4線路(34D)とを有し、  
 前記モニタ対象の / 4線路、前記第3 / 4線路(34C)及び前記第4 / 4線路  
 (34D)の各特性インピーダンスが共に同じであることを特徴とするドハティ増幅器用  
 合成器。

【請求項4】

請求項1～3のいずれか1項に記載のドハティ増幅器用合成器において、  
 前記第3 / 4線路(34C)は、前記第2 / 4線路(34B)と電磁結合されてい 50

ることを特徴とするドハティ増幅器用合成器。

【請求項 5】

請求項 1 ~ 3 のいずれか 1 項に記載のドハティ増幅器用合成器において、

前記第 3 / 4 線路 (34C) は、前記第 1 / 4 線路 (34A) と電磁結合されていることを特徴とするドハティ増幅器用合成器。

【請求項 6】

請求項 3 記載のドハティ増幅器用合成器において、

前記第 3 / 4 線路 (34C) の一端に前記第 4 / 4 線路 (34D) の一端が接続され、前記第 3 / 4 線路 (34C) の他端に終端抵抗 (Re) が接続され、

前記第 4 / 4 線路 (34D) の他端にモニタ端子 (36a 又は 36b) が接続されていることを特徴とするドハティ増幅器用合成器。

10

【請求項 7】

請求項 3 記載のドハティ増幅器用合成器において、

前記第 3 / 4 線路 (34C) の一端に前記第 4 / 4 線路 (34D) の一端が接続され、前記第 3 / 4 線路 (34C) の他端にモニタ端子 (36a 又は 36b) が接続され、

前記第 4 / 4 線路 (34D) の他端に終端抵抗 (Re) が接続されていることを特徴とするドハティ増幅器用合成器。

【請求項 8】

請求項 6 又は 7 記載のドハティ増幅器用合成器において、

複数の誘電体層が積層されて構成された誘電体基板 (42) を有し、

前記第 1 入力端子 (26)、前記第 2 入力端子 (28)、前記出力端子 (30) 及び前記モニタ端子 (36a 又は 36b) が前記誘電体基板 (42) の表面に形成され、

前記第 1 / 4 線路 (34A)、前記第 2 / 4 線路 (34B)、前記第 3 / 4 線路 (34C) 及び前記第 4 / 4 線路 (34D) が前記誘電体基板 (42) 内に形成されていることを特徴とするドハティ増幅器用合成器。

20

【請求項 9】

請求項 8 記載のドハティ増幅器用合成器において、

前記誘電体基板 (42) 内に、前記第 1 / 4 線路 (34A) 及び前記第 2 / 4 線路 (34B) のうち、前記モニタ対象の / 4 線路並びに前記第 3 / 4 線路 (34C) と、前記第 1 / 4 線路 (34A) 及び前記第 2 / 4 線路 (34B) のうち、前記モニタ対象外の / 4 線路との間に形成された第 1 内層シールド電極 (48a) と、

前記誘電体基板 (42) 内に、前記モニタ対象の / 4 線路と、前記第 4 / 4 線路 (34D) との間に形成された第 2 内層シールド電極 (48b) とを有することを特徴とするドハティ増幅器用合成器。

30

【請求項 10】

請求項 8 又は 9 記載のドハティ増幅器用合成器において、

前記第 3 / 4 線路 (34C) と前記第 4 / 4 線路 (34D) とがビアホール (72) を介して接続されていることを特徴とするドハティ増幅器用合成器。

【請求項 11】

請求項 2 又は 6 記載のドハティ増幅器用合成器において、

前記モニタ端子 (36a 又は 36b) に、前記方向性結合器 (40A 又は 40B) の出力をモニタするためのモニタ回路 (50a 又は 50b) が接続され、

前記モニタ回路 (50a 又は 50b) は、ダイオード (Da) を有することを特徴とするドハティ増幅器用合成器。

40

【請求項 12】

キャリア増幅器 (12) とピーク増幅器 (14) とを有するドハティ増幅器 (16) の出力に接続され、前記キャリア増幅器 (12) からの出力と前記ピーク増幅器 (14) からの出力とを合成するドハティ増幅器用合成器であって、

前記キャリア増幅器 (12) からの出力が入力される第 1 入力端子 (26) と、

50

前記ピーク増幅器(14)からの出力が入力される第2入力端子(28)と、  
前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力とを合  
成した信号が出力される出力端子(30)と、

前記キャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力との合  
成点(32)と、

前記第1入力端子(26)と前記合成点(32)との間に接続された第1 / 4線路(  
34A)と、

前記合成点(32)と前記出力端子(30)との間に接続された第2 / 4線路(34  
B)と、

前記第1入力端子(26)から前記合成点(32)にかけて流れる信号、前記第2入力  
端子(28)から前記合成点(32)にかけて流れる信号及び前記合成点(32)から前  
記出力端子(30)にかけて流れる信号のうち、1以上の信号をモニタする信号モニタ手  
段とを有し、

前記信号モニタ手段は、方向性結合器(40C)を備え、

前記方向性結合器(40C)は、

前記第2 / 4線路(34B)と前記出力端子(30)との間に接続された第5 / 4  
線路(34E)と、

前記第5 / 4線路(34E)と電磁結合する第6 / 4線路(34F)とを有し、

複数の誘電体層が積層されて構成された誘電体基板(42)を有し、

前記第1入力端子(26)、前記第2入力端子(28)及び前記出力端子(30)が前  
記誘電体基板(42)の表面に形成され、

前記第1 / 4線路(34A)、前記第2 / 4線路(34B)、前記第5 / 4線路  
(34E)及び前記第6 / 4線路(34F)が前記誘電体基板(42)内に形成され、

前記誘電体基板(42)内に、前記第1 / 4線路(34A)及び前記第2 / 4線路  
(34B)と、前記第5 / 4線路(34E)及び前記第6 / 4線路(34F)との間  
に形成された内層シールド電極(48)を有することを特徴とするドハティ増幅器用合成  
器。

#### 【請求項13】

請求項12記載のドハティ増幅器用合成器において、

前記第6 / 4線路(34F)の一端にモニタ端子(36c)が接続され、前記第6 / 4線路(34F)の他端に終端抵抗(Re)が接続され、

前記モニタ端子(36c)は前記誘電体基板(42)の表面に形成されていることを特  
 徴とするドハティ増幅器用合成器。

#### 【請求項14】

請求項1～13のいずれか1項に記載のドハティ増幅器用合成器において、

前記第1入力端子(26)と前記第1 / 4線路(34A)とが容量結合され、

前記第2入力端子(28)と前記第2 / 4線路(34B)とが容量結合されているこ  
 とを特徴とするドハティ増幅器用合成器。

#### 【請求項15】

複数のキャリア増幅器(12)と1つのピーク増幅器(14)とを有するドハティ増幅  
 器(16)の出力に接続され、前記複数のキャリア増幅器(12)からの各出力と前記ピ  
 ーク増幅器(14)からの出力とを合成するドハティ増幅器用合成器であって、

前記複数のキャリア増幅器(12)からの出力が入力される複数の第1入力端子(26  
 )と、

前記ピーク増幅器(14)からの出力が入力される1つの第2入力端子(28)と、

前記複数のキャリア増幅器(12)からの各出力と前記ピーク増幅器(14)からの出  
 力とを合成した信号が出力される1つの出力端子(30)と、

前記複数のキャリア増幅器(12)からの出力と前記ピーク増幅器(14)からの出力  
 との合成点(32)と、

前記複数の第1入力端子(26)と前記合成点(32)との間にそれぞれ接続された複

10

20

30

40

50

数の第1 / 4線路(34A)と、

前記合成点(32)と前記出力端子(30)との間に接続された第2 / 4線路(34B)と、

前記複数の第1入力端子(26)から前記合成点(32)にかけてそれぞれ流れる信号、前記第2入力端子(28)から前記合成点(32)にかけて流れる信号及び前記合成点(32)から前記出力端子(30)にかけて流れる信号のうち、1以上の信号をモニタする信号モニタ手段とを有し、

複数の誘電体層が積層されて構成された誘電体基板(42)を有し、

前記複数の第1入力端子(26)、前記第2入力端子(28)及び前記出力端子(30)が前記誘電体基板(42)の表面に形成され、

前記複数の第1 / 4線路(34A)及び前記第2 / 4線路(34B)が前記誘電体基板(42)内に形成され、

前記誘電体基板(42)内のうち、前記複数の第1 / 4線路(34A)間、並びに、前記複数の第1 / 4線路(34A)と前記第2 / 4線路(34B)間にそれぞれ内層シールド電極(48)が形成されていることを特徴とするドハティ増幅器用合成器。

【請求項16】

請求項15記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記キャリア増幅器(12)からのキャリア信号の振幅情報を出力するための第1モニタ端子(36d)を有することを特徴とするドハティ増幅器用合成器。

【請求項17】

請求項16記載のドハティ増幅器用合成器において、

前記信号モニタ手段は、

前記第1入力端子(26)と前記第1 / 4線路(34A)との間の第1線路(76a)に平行して配置され、前記第1線路(76a)と電磁氣的に結合された第1モニタ線路(78a)を有し、

前記第1モニタ線路(78a)は前記第1モニタ端子(36d)に接続されていることを特徴とするドハティ増幅器用合成器。

【請求項18】

請求項1、12又は15記載のドハティ増幅器用合成器において、

前記誘電体基板(42)のうち、回路基板が設置される面の反対面に設けられた複数の溝(90)を有することを特徴とするドハティ増幅器用合成器。

【請求項19】

請求項1、12又は15記載のドハティ増幅器用合成器において、

前記誘電体基板(42)にサーマルビア(92)が形成されていることを特徴とするドハティ増幅器用合成器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドハティ増幅器の出力段に接続され、キャリア増幅器からの出力とピーク増幅器からの出力を合成するドハティ増幅器用合成器に関する。

【背景技術】

【0002】

近時、携帯電話の基地局のエリア内に存在する携帯電話と通信するため、基地局内に送信用増幅器が実装されている。この送信用増幅器は、基地局のエリア内の端末数の増加及びデータ通信の普及に伴う通信速度の向上に対応する必要がある。そのため、送信用増幅器は、出力信号の利得歪及び位相歪の抑制が必要である。送信用増幅器は、基地局でもっとも電力消費の大きい回路である。そのため、携帯電話のサービス各社にとっては、電力コストの削減の要求、並びに環境面から各社に課せられる温室効果ガス排出削減の要求に対処するため、送信用増幅器の増幅器効率の改善が重要な課題になっている。

10

20

30

40

50

## 【 0 0 0 3 】

一般に、増幅器における利得歪及び位相歪と、増幅器効率は二律背反の性質を持つ。そのため、現在、これらの特性を総合的に改善するための技術が模索されている。具体的には、利得歪及び位相歪を改善するために、送信用増幅器からの出力の一部をモニタしてデジタル処理し、デジタル処理して得た信号に基づいて増幅器への入力信号を調整して歪を抑制するようにしている。これがいわゆるDPD(Digital pre distortion)技術である。

## 【 0 0 0 4 】

また、従来では、携帯電話信号に対する増幅器効率の改善のために、携帯電話の基地局の送信用パワーアンプとして、ドハティ増幅器が広く採用されている。

10

## 【 0 0 0 5 】

ドハティ増幅器は、互いに並列に配置されたキャリア増幅器とピーク増幅器から構成されており、両増幅器の動作を制御することで、携帯電話のように平均電力とピーク電力の差の大きい信号に対する増幅効率の改善をねらうものである。

## 【 0 0 0 6 】

一方で、携帯電話のデータ通信速度の向上、基地局エリア内の携帯電話の収容数の拡大に対応するためには、増幅器の出力歪を制御する必要がある。この目的で、上述したDPDを用いた回路が使用される。

## 【 0 0 0 7 】

これは、キャリア増幅器及びピーク増幅器の出力を合成した後の、ドハティ増幅器の出力の一部を取り出し、その信号をデジタル処理した結果に基づいて、ドハティ増幅器への入力信号を調整し、増幅器出力の歪を補正するものである。

20

## 【 0 0 0 8 】

この目的のため、キャリア増幅器とピーク増幅器の出力を合成するドハティ増幅器用合成器と、出力アンテナの間に結合度 - 20 dB から - 40 dB の方向性結合器を実装し、その方向性結合器の出力をデジタル処理部への入力としている。

## 【 0 0 0 9 】

従来のドハティ増幅器用合成器としては、例えば特開2008-252215号公報に開示がある。この従来のドハティ増幅器用合成器は、ドハティ増幅器の出力に接続され、キャリア増幅器からの出力とピーク増幅器からの出力を合成する回路であって、キャリア増幅器からの出力とピーク増幅器からの出力との合成点とキャリア増幅器との間に接続された第1 / 4線路と、合成点との間に接続された第2 / 4線路とが誘電体基板内に形成されてチップ状に構成されていることを特徴としている。

30

## 【 0 0 1 0 】

ところで、方向性結合器を通過する信号はドハティ増幅器からの出力であることから、数十Wから数百Wの高い電力であるが、上述の方向性結合器は大きな消費電力損失を有するため、方向性結合器で大きな電力が失われるという問題がある。

## 【 0 0 1 1 】

また、ドハティ増幅器用合成器と方向結合器が搭載される回路基板の製造バラツキや実装時のバラツキにより、方向性結合器からの出力、位相が変化を受け、デジタル回路による補正が十分に効果を発揮しない場合がある。この場合、増幅器出力歪を規定の値に保持するため、増幅器効率を犠牲にせざるを得なかった。

40

## 【 0 0 1 2 】

また、上述のDPD技術では、図44に示すような単純なAM/AM歪特性(利得歪)を有する増幅器では高度な歪補正が可能である。一方、ドハティ増幅器のAM/AM歪特性は、キャリア増幅器が飽和に差し掛かった後にピーク増幅器が動作を開始するという機構に起因して、図45に示すような変曲点Pbを有する。この変曲点Pbはドハティ増幅器の効率を高めるためにピーク増幅器の動作開始点を高出力側にするほど顕著になるため、増幅器に許容される値に歪を抑制するためには効率を犠牲にせざるを得なかった。

## 【 発明の概要 】

50

## 【 0 0 1 3 】

本発明はこのような課題を考慮してなされたものであり、ドハティ増幅器で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができ、また、部品点数を削減でき、回路の小型化・軽量化を実現することができるドハティ増幅器用合成器を提供することを目的とする。

## 【 0 0 1 4 】

[ 1 ] 第 1 の発明に係るドハティ増幅器用合成器は、キャリア増幅器とピーク増幅器とを有するドハティ増幅器の出力に接続され、前記キャリア増幅器からの出力と前記ピーク増幅器からの出力とを合成するドハティ増幅器用合成器であって、前記キャリア増幅器からの出力が入力される第 1 入力端子と、前記ピーク増幅器からの出力が入力される第 2 入力端子と、前記キャリア増幅器からの出力と前記ピーク増幅器からの出力とを合成した信号が出力される出力端子と、前記キャリア増幅器からの出力と前記ピーク増幅器からの出力との合成点と、前記第 1 入力端子と前記合成点との間に接続された第 1 / 4 線路と、前記合成点と前記出力端子との間に接続された第 2 / 4 線路と、前記第 1 入力端子から前記合成点にかけて流れる信号、前記第 2 入力端子から前記合成点にかけて流れる信号及び前記合成点から前記出力端子にかけて流れる信号のうち、1 以上の信号をモニタする信号モニタ手段とを有することを特徴とする。

10

## 【 0 0 1 5 】

[ 2 ] 第 1 の本発明において、前記信号モニタ手段は、方向性結合器を備え、前記方向性結合器は、前記第 1 / 4 線路及び前記第 2 / 4 線路のうち、モニタ対象の / 4 線路と電磁結合する第 3 / 4 線路を有することを特徴とする。

20

## 【 0 0 1 6 】

[ 3 ] 第 1 の本発明において、前記第 3 / 4 線路の一端にモニタ端子が接続され、前記第 3 / 4 線路の他端に終端抵抗が接続されていることを特徴とする。

## 【 0 0 1 7 】

[ 4 ] 第 1 の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第 1 入力端子、前記第 2 入力端子、前記出力端子及び前記モニタ端子が前記誘電体基板の表面に形成され、前記第 1 / 4 線路、前記第 2 / 4 線路及び前記第 3 / 4 線路が前記誘電体基板内に形成されていることを特徴とする。

## 【 0 0 1 8 】

[ 5 ] 第 1 の本発明において、前記誘電体基板内に、前記第 1 / 4 線路及び前記第 2 / 4 線路のうち、前記モニタ対象の / 4 線路、並びに前記第 3 / 4 線路と、前記第 1 / 4 線路及び前記第 2 / 4 線路のうち、前記モニタ対象外の / 4 線路との間に形成された内層シールド電極を有することを特徴とする。

30

## 【 0 0 1 9 】

[ 6 ] 第 1 の本発明において、さらに、前記第 3 / 4 線路に接続され、且つ、該第 3 / 4 線路の特性インピーダンスを前記モニタ対象の / 4 線路の特性インピーダンスと整合させるための第 4 / 4 線路とを有することを特徴とする。

## 【 0 0 2 0 】

[ 7 ] 第 1 の本発明において、前記モニタ対象の / 4 線路、前記第 3 / 4 線路及び前記第 4 / 4 線路の各特性インピーダンスが共に同じであることを特徴とする。

40

## 【 0 0 2 1 】

[ 8 ] 第 1 の本発明において、前記第 3 / 4 線路は、前記第 2 / 4 線路と電磁結合されていることを特徴とする。

## 【 0 0 2 2 】

[ 9 ] 第 1 の本発明において、前記第 3 / 4 線路は、前記第 1 / 4 線路と電磁結合されていることを特徴とする。

## 【 0 0 2 3 】

[ 1 0 ] 第 1 の本発明において、前記第 3 / 4 線路の一端に前記第 4 / 4 線路の一端が接続され、前記第 3 / 4 線路の他端に終端抵抗が接続され、前記第 4 / 4 線路の

50

他端にモニタ端子が接続されていることを特徴とする。

【0024】

[11] 第1の本発明において、前記第3 / 4線路の一端に前記第4 / 4線路の一端が接続され、前記第3 / 4線路の他端にモニタ端子が接続され、前記第4 / 4線路の他端に終端抵抗が接続されていることを特徴とする。

【0025】

[12] 第1の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第1入力端子、前記第2入力端子、前記出力端子及び前記モニタ端子が前記誘電体基板の表面に形成され、前記第1 / 4線路、前記第2 / 4線路、前記第3 / 4線路及び前記第4 / 4線路が前記誘電体基板内に形成されていることを特徴とする。 10

【0026】

[13] 第1の本発明において、前記誘電体基板内に、前記第1 / 4線路及び前記第2 / 4線路のうち、前記モニタ対象の / 4線路、並びに前記第3 / 4線路と、前記第1 / 4線路及び前記第2 / 4線路のうち、前記モニタ対象外の / 4線路との間に形成された第1内層シールド電極と、前記誘電体基板内に、前記モニタ対象の / 4線路と、前記第4 / 4線路との間に形成された第2内層シールド電極とを有することを特徴とする。

【0027】

[14] 第1の本発明において、前記第3 / 4線路と前記第4 / 4線路とがビアホールを介して接続されていることを特徴とする。 20

【0028】

[15] 第1の本発明において、前記モニタ端子に、前記方向性結合器の出力をモニタするためのモニタ回路が接続され、前記モニタ回路は、ダイオードを有することを特徴とする。

【0029】

[16] 第1の本発明において、前記信号モニタ手段は、方向性結合器を備え、前記方向性結合器は、前記第2 / 4線路と前記出力端子との間に接続された第5 / 4線路と、前記第5 / 4線路と電磁結合する第6 / 4線路とを有することを特徴とする。

【0030】

[17] 第1の本発明において、前記第6 / 4線路の一端にモニタ端子が接続され、前記第6 / 4線路の他端に終端抵抗が接続されていることを特徴とする。 30

【0031】

[18] 第1の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第1入力端子、前記第2入力端子、前記出力端子及び前記モニタ端子が前記誘電体基板の表面に形成され、前記第1 / 4線路、前記第2 / 4線路、前記第5 / 4線路及び前記第6 / 4線路が前記誘電体基板内に形成されていることを特徴とする。

【0032】

[19] 第1の本発明において、前記誘電体基板内に、前記第1 / 4線路及び前記第2 / 4線路と、前記第5 / 4線路及び前記第6 / 4線路との間に形成された内層シールド電極を有することを特徴とする。 40

【0033】

[20] 第1の本発明において、前記信号モニタ手段は、前記キャリア増幅器からのキャリア信号の振幅情報を出力するための第1モニタ端子を有することを特徴とする。

【0034】

[21] 第1の本発明において、前記信号モニタ手段は、前記第1入力端子と前記第1 / 4線路との間の第1線路に平行して配置され、前記第1線路と電磁的に結合された第1モニタ線路を有し、前記第1モニタ線路は前記第1モニタ端子に接続されていることを特徴とする。

【0035】

[22] 第1の本発明において、前記第1モニタ端子に、前記第1モニタ線路の出力を 50

モニタするための第1モニタ回路が接続され、前記第1モニタ回路は、ダイオードを有することを特徴とする。

【0036】

[23] 第1の本発明において、前記信号モニタ手段は、前記ピーク増幅器からのピーク信号の振幅情報を出力するための第2モニタ端子を有することを特徴とする。

【0037】

[24] 第1の本発明において、前記信号モニタ手段は、前記第2入力端子と前記第1 / 4線路との間の第2線路に平行して配置され、前記第2線路と電磁氣的に結合された第2モニタ線路を有し、前記第2モニタ線路は前記第2モニタ端子に接続されていることを特徴とする。

10

【0038】

[25] 第1の本発明において、前記第2モニタ端子に、前記第2モニタ線路の出力をモニタするための第2モニタ回路が接続され、前記第2モニタ回路は、ダイオードを有することを特徴とする。

【0039】

[26] 第1の本発明において、前記信号モニタ手段は、前記キャリア増幅器からのキャリア信号の振幅情報を出力するための第1モニタ端子と、前記第1入力端子と前記第1 / 4線路との間の第1線路に平行して配置され、且つ、前記第1線路と電磁氣的に結合され、前記第1モニタ端子に接続された第1モニタ線路と、前記ピーク増幅器からのピーク信号の振幅情報を出力するための第2モニタ端子と、前記第2入力端子と前記第1 / 4線路との間の第2線路に平行して配置され、且つ、前記第2線路と電磁氣的に結合され、前記第2モニタ端子に接続された第2モニタ線路とを有することを特徴とする。

20

【0040】

[27] 第1の本発明において、前記第1モニタ端子に、前記第1モニタ線路の出力をモニタするための第1モニタ回路が接続され、前記第2モニタ端子に、前記第2モニタ線路の出力をモニタするための第2モニタ回路が接続され、前記第1モニタ回路及び前記第2モニタ回路は、それぞれダイオードを有することを特徴とする。

【0041】

[28] 第1の本発明において、前記信号モニタ手段は、前記ドハティ増幅器の出力信号の振幅情報を出力するための第3モニタ端子と、前記出力端子と前記第2 / 4線路との間の第3線路に平行して配置され、且つ、前記第3線路と電磁氣的に結合され、前記第3モニタ端子に接続された第3モニタ線路とを有することを特徴とする。

30

【0042】

[29] 第1の本発明において、前記第3モニタ端子に、前記第3モニタ線路の出力をモニタするための第3モニタ回路が接続され、前記第3モニタ回路は、ダイオードを有することを特徴とする。

【0043】

[30] 第1の本発明において、前記第1入力端子と前記第1 / 4線路とが容量結合され、前記第2入力端子と前記第1 / 4線路とが容量結合されていることを特徴とする。

40

【0044】

[31] 第2の本発明に係るドハティ増幅器用合成器は、複数のキャリア増幅器と1つのピーク増幅器とを有するドハティ増幅器の出力に接続され、前記複数のキャリア増幅器からの各出力と前記ピーク増幅器からの出力とを合成するドハティ増幅器用合成器であって、前記複数のキャリア増幅器からの出力が入力される複数の第1入力端子と、前記ピーク増幅器からの出力が入力される1つの第2入力端子と、前記複数のキャリア増幅器からの各出力と前記ピーク増幅器からの出力とを合成した信号が出力される1つの出力端子と、前記複数のキャリア増幅器からの出力と前記ピーク増幅器からの出力との合成点と、前記複数の第1入力端子と前記合成点との間にそれぞれ接続された複数の第1 / 4線路と、前記合成点と前記出力端子との間に接続された第2 / 4線路と、前記複数の第1入力

50

端子から前記合成点にかけてそれぞれ流れる信号、前記第2入力端子から前記合成点にかけて流れる信号及び前記合成点から前記出力端子にかけて流れる信号のうち、1以上の信号をモニタする信号モニタ手段とを有することを特徴とする。

【0045】

〔32〕第2の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記複数の第1入力端子、前記第2入力端子及び前記出力端子が前記誘電体基板の表面に形成され、前記複数の第1 / 4線路及び前記第2 / 4線路が前記誘電体基板内に形成されていることを特徴とする。

【0046】

〔33〕第2の本発明において、前記誘電体基板内のうち、前記複数の第1 / 4線路間、並びに、前記複数の第1 / 4線路と前記第2 / 4線路間にそれぞれ内層シールド電極が形成されていることを特徴とする。

10

【0047】

〔34〕第3の本発明に係るドハティ増幅器用合成器は、第1キャリア増幅器と第1ピーク増幅器とを有する第1ドハティ増幅器の出力に接続され、第1キャリア増幅器からの出力と第1ピーク増幅器からの出力とを合成する第1合成部と、第2キャリア増幅器と第2ピーク増幅器とを有する第2ドハティ増幅器の出力に接続され、第2キャリア増幅器からの出力と第2ピーク増幅器からの出力とを合成する第2合成部と、前記第1合成部の出力に接続される第7 / 4線路と、前記第2合成部の出力に接続される第8 / 4線路とから構成される方向性結合器とを有することを特徴とする。

20

【0048】

〔35〕第3の本発明において、複数の誘電体層が積層されて構成された誘電体基板を有し、前記第1合成部、前記第2合成部及び前記方向性結合器が前記誘電体基板内に形成されていることを特徴とする。

【0049】

〔36〕第3の本発明において、前記誘電体基板内のうち、前記第1合成部、前記第2合成部及び前記方向性結合器間にそれぞれ内層シールド電極が形成されていることを特徴とする。

【0050】

〔37〕第1～第3の本発明において、前記誘電体基板のうち、回路基板が設置される面の反対面に設けられた複数の溝を有することを特徴とする。

30

【0051】

〔38〕第1～第3の本発明において、前記誘電体基板にサーマルビアが形成されていることを特徴とする。

【0052】

以上説明したように、本発明に係るドハティ増幅器用合成器によれば、ドハティ増幅器で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができ、また、部品点数を削減でき、回路の小型化・軽量化を実現することができる。

【図面の簡単な説明】

【0053】

40

【図1】第1の実施の形態に係るドハティ増幅器用合成器（第1合成器）の回路構成を示す図である。

【図2】第1合成器を示す斜視図である。

【図3】第1合成器を示す分解斜視図である。

【図4】図4Aは通常のドハティ増幅器用合成器のインピーダンスの関係を示す説明図であり、図4Bは第1合成器のインピーダンスの関係を示す説明図である。

【図5】第1合成器の製造方法を示す工程ブロック図である。

【図6】図6Aはフィルム上に導体ペーストによる導体成形体を形成した状態を示す断面図であり、図6Bは鑄込み型内にフィルムを設置した後、鑄込み型内にスラリーを注入した状態を示す断面図であり、図6Cは鑄込み型内に注入されたスラリーを硬化して第1セ

50

ラミック成形体とした状態を示す断面図である。

【図 7】図 7 A は 鋳込み型から第 1 セラミック成形体をフィルムごと離型した状態を示す断面図であり、図 7 B はフィルムから第 1 セラミック成形体を離型した状態を示す断面図である。

【図 8】図 8 A は 導体ペーストによる導体成形体が形成されてされていないフィルムを鋳込み型内に設置した後、鋳込み型内にスラリーを注入した状態を示す断面図であり、図 8 B は 鋳込み型内に注入されたスラリーを硬化して第 2 セラミック成形体とした状態を示す断面図であり、図 8 C は 鋳込み型から第 2 セラミック成形体をフィルムごと離型し、さらに、フィルムから第 2 セラミック成形体を離型した状態を示す断面図である。

【図 9】第 2 の実施の形態に係るドハティ増幅器用合成器（第 2 合成器）の回路構成を示す図である。 10

【図 10】第 2 合成器を示す分解斜視図である。

【図 11】第 2 合成器のインピーダンスの関係を示す説明図である。

【図 12】第 3 の実施の形態に係るドハティ増幅器用合成器（第 3 合成器）の回路構成を示す図である。

【図 13】第 3 合成器を示す分解斜視図である。

【図 14】第 4 の実施の形態に係るドハティ増幅器用合成器（第 4 合成器）の回路構成を示す図である。

【図 15】第 4 合成器を示す分解斜視図である。

【図 16】第 5 の実施の形態に係るドハティ増幅器用合成器（第 5 合成器）の回路構成を示す図である。 20

【図 17】第 5 合成器を示す分解斜視図である。

【図 18】第 5 合成器のインピーダンスの関係を示す説明図である。

【図 19】第 6 の実施の形態に係るドハティ増幅器用合成器（第 6 合成器）の回路構成を示す図である。

【図 20】第 6 合成器を示す分解斜視図である。

【図 21】第 7 の実施の形態に係るドハティ増幅器用合成器（第 7 合成器）の回路構成を示す図である。

【図 22】第 8 の実施の形態に係るドハティ増幅器用合成器（第 8 合成器）の回路構成を示す図である。 30

【図 23】第 9 の実施の形態に係るドハティ増幅器用合成器（第 9 合成器）の回路構成を示す図である。

【図 24】第 9 合成器を示す分解斜視図である。

【図 25】第 10 の実施の形態に係るドハティ増幅器用合成器（第 10 合成器）の回路構成を示す図である。

【図 26】第 10 合成器を示す分解斜視図である。

【図 27】第 11 の実施の形態に係るドハティ増幅器用合成器（第 11 合成器）の回路構成を示す図である。

【図 28】第 11 合成器を示す分解斜視図である。

【図 29】第 12 の実施の形態に係るドハティ増幅器用合成器（第 12 合成器）の回路構成を示す図である。 40

【図 30】第 12 合成器を示す分解斜視図である。

【図 31】第 13 の実施の形態に係るドハティ増幅器用合成器（第 13 合成器）の回路構成を示す図である。

【図 32】第 13 合成器を示す分解斜視図である。

【図 33】第 1 の変形例に係るドハティ増幅器用合成器の回路構成を示す図である。

【図 34】第 2 の変形例に係るドハティ増幅器用合成器の回路構成を示す図である。

【図 35】第 14 の実施の形態に係るドハティ増幅器用合成器（第 14 合成器）の回路構成を示す図である。

【図 36】第 14 合成器を示す分解斜視図である。 50

- 【図 37】第 3 の変形例に係るドハティ増幅器用合成器を示す斜視図である。  
 【図 38】第 4 の変形例に係るドハティ増幅器用合成器を示す斜視図である。  
 【図 39】比較例 1 に係るドハティ増幅器用合成器の回路構成を示す図である。  
 【図 40】比較例 2 に係るドハティ増幅器用合成器の回路構成を示す図である。  
 【図 41】比較例 2 の利得特性及び効率特性を示すグラフである。  
 【図 42】実施例 1 1 の利得特性及び効率特性を示すグラフである。  
 【図 43】実施例 1 2 の利得特性及び効率特性を示すグラフである。  
 【図 44】単純な AM / AM 歪特性を示すグラフである。  
 【図 45】効率を重視したドハティ増幅器の AM / AM 歪特性を示すグラフである。  
 【発明を実施するための形態】

10

## 【0054】

以下、本発明に係るドハティ増幅器用合成器の実施の形態例を図 1 ~ 図 45 を参照しながら説明する。

## 【0055】

第 1 の実施の形態に係るドハティ増幅器用合成器（以下、単に第 1 合成器 10A と記す）について図 1 ~ 図 4B を参照しながら説明する。

## 【0056】

第 1 合成器 10A は、図 1 に示すように、キャリア増幅器 12 とピーク増幅器 14 とを有するドハティ増幅器 16 の出力に接続され、キャリア増幅器 12 からの出力とピーク増幅器 14 からの出力とを合成する回路である。

20

## 【0057】

ドハティ増幅器 16 は、図 1 に示すように、入力端子 18 からの入力信号を 2 つに分配する信号分配器 20 と、該信号分配器 20 の一方の出力とキャリア増幅器 12 の入力とのインピーダンス整合をとるキャリア側インピーダンス整合部 22 と、A 級にバイアスされた上述のキャリア増幅器 12（入力電力レベルが低いときから動作する）と、信号分配器 20 の他方の出力とピーク増幅器 14 の入力とのインピーダンス整合をとるピーク側インピーダンス整合部 24 と、B 級又は C 級にバイアスされた上述のピーク増幅器 14（入力電力レベルが十分高いときに動作する）とを有する。

## 【0058】

そして、第 1 合成器 10A は、キャリア増幅器 12 からの出力が入力されるキャリア側入力端子 26 と、ピーク増幅器 14 からの出力が入力されるピーク側入力端子 28 と、キャリア増幅器 12 からの出力とピーク増幅器 14 からの出力とを合成した信号が出力される出力端子 30 と、キャリア増幅器 12 からの出力とピーク増幅器 14 からの出力との合成点 32 と、キャリア側入力端子 26 と合成点 32 との間に接続された第 1 / 4 線路 34A と、合成点 32 と出力端子 30 との間に接続された第 2 / 4 線路 34B と、第 2 / 4 線路 34B と電磁結合する第 3 / 4 線路 34C とを有する。第 3 / 4 線路 34C の一端に第 1 モニタ端子 36a が接続され、第 3 / 4 線路 34C の他端に第 1 終端端子 38a を介して終端抵抗  $R_e$  が接続されている。つまり、第 2 / 4 線路 34B と第 3 / 4 線路 34C とで 1 つの方向性結合器（第 1 方向性結合器 40A）が構成されている。

30

## 【0059】

さらに、この第 1 合成器 10A は、第 1 方向性結合器 40A と共に 1 つの誘電体基板 42 内に一体化して形成されている。すなわち、第 1 合成器 10A は、図 2 に示すように、複数の誘電体層が積層、焼成一体化された誘電体基板 42 を有し、該誘電体基板 42 の第 1 側面 42a には、少なくともキャリア側入力端子 26 とピーク側入力端子 28 が形成され、誘電体基板 42 の第 2 側面 42b（第 1 側面 42a と対向する側面）には、少なくとも出力端子 30 と第 1 モニタ端子 36a と第 1 終端端子 38a とが形成されている。また、誘電体基板 42 の第 3 側面 42c と第 4 側面 42d（第 3 側面 42c と対向する側面）にはそれぞれシールド端子 44 が形成されている。

40

## 【0060】

そして、図 3 に示すように、誘電体基板 42 内において、キャリア側入力端子 26 とピ

50

ーク側入力端子 28 間に第 1 / 4 線路 34 A が接続され、ピーク側入力端子 28 (合成点 32 を兼ねる) と出力端子 30 間に第 2 / 4 線路 34 B が接続され、第 1 モニタ端子 36 a と第 1 終端端子 38 a 間に第 3 / 4 線路 34 C が接続され、1 つのチップとして構成されている。

【0061】

具体的には、誘電体基板 42 は、上から順に、第 1 誘電体層 S1 ~ 第 6 誘電体層 S6 が積み重ねられて構成されている。これらの第 1 誘電体層 S1 ~ 第 6 誘電体層 S6 は、1 枚あるいは複数枚の層にて構成される。

【0062】

第 1 合成器 10 A は、誘電体基板 42 の上部 (上面あるいは上面に近い誘電体層の主面) に上部シールド電極 46 a が形成され、誘電体基板 42 の下部 (下面あるいは下面に近い誘電体層の主面) に下部シールド電極 46 b が形成されている。すなわち、第 2 誘電体層 S2 の主面に上部シールド電極 46 a が形成され、第 6 誘電体層 S6 の主面に下部シールド電極 46 b が形成されている。これら上部シールド電極 46 a 及び下部シールド電極 46 b はシールド端子 44 に接続されている。

【0063】

また、第 1 合成器 10 A は、第 3 誘電体層 S3 の主面に第 1 / 4 線路 34 A が形成され、第 5 誘電体層 S5 の主面に、第 1 方向性結合器 40 A を構成する第 2 / 4 線路 34 B と第 3 / 4 線路 34 C が形成され、第 3 誘電体層 S3 と第 5 誘電体層 S5 の間の第 4 誘電体層 S4 の主面に内層シールド電極 48 が形成されている。この内層シールド電極 48 はシールド端子 44 に接続されている。

【0064】

一方、第 1 モニタ端子 36 a には、図 1 に示すように、第 1 モニタ回路 50 a が電氣的に接続されている。この第 1 モニタ回路 50 a は、合成点 32 から出力端子 30 にかけて流れる信号のレベルをモニタするための回路であり、第 1 モニタ端子 36 a と第 1 モニタ出力端子 52 a との間に接続された結合コンデンサ C1 及び PIN ダイオード Da と、PIN ダイオード Da のバイアス回路を構成するインダクタ La と、PIN ダイオード Da からの検波電流を電荷として蓄積し、検波整流信号 (信号レベルを示す信号: 電流及び電圧) として出力するコンデンサ C2 とを有する。

【0065】

ここで、第 1 合成器 10 A の作用・効果を、一般的なドハティ増幅器用合成器 (以下、通常の合成器 200 と記す) と比較しながら説明する。

【0066】

一般に、ドハティ増幅器 16 は、キャリア増幅器 12 が AB 級にバイアスされ、ピーク増幅器 14 が B 又は C 級にバイアスされている。そのため、ピーク増幅器 14 が動作する入力レベルまではキャリア増幅器 12 が単独で動作し、キャリア増幅器 12 が飽和領域に入る (キャリア増幅器 12 の線形性が崩れ始める) と、ピーク増幅器 14 が動作し始め、キャリア増幅器 12 と共に負荷を駆動する。

【0067】

従って、例えば通常の合成器 200 の各部のインピーダンスを考えた場合、図 4 A に示すように、出力負荷のインピーダンスを  $Z_o$  としたとき、合成点 32 から第 2 / 4 線路 34 B をみたインピーダンス  $Z_c$  は、第 2 / 4 線路 34 B の特性インピーダンスを  $Z_2$  とすると、

$$Z_c = Z_2^2 / Z_o$$

となる。

【0068】

キャリア増幅器 12 から第 1 / 4 線路 34 A をみたインピーダンス (キャリア側入力端子 26 のポートインピーダンス  $Z_{i1}$ ) 及びピーク増幅器 14 から第 1 / 4 線路 34 A をみたインピーダンス (ピーク側入力端子 28 のポートインピーダンス  $Z_{i2}$ ) については、低パワー時と高パワー時とで異なる。

10

20

30

40

50

## 【 0 0 6 9 】

すなわち、低パワー時（ピーク増幅器の非動作時）においては、ポートインピーダンス  $Z_{i2}$  が実質的に無限大（オープン）となるため、第 1 / 4 線路 3 4 A の特性インピーダンスを  $Z_1$  としたとき、ポートインピーダンス  $Z_{i1}$  及び  $Z_{i2}$  は、

$$Z_{i1} = Z_1^2 / Z_c \text{ (低パワー時)}$$

$$Z_{i2} = \text{無限大 (低パワー時)}$$

となる。

## 【 0 0 7 0 】

高パワー時（ピーク増幅器の動作時）においては、出力負荷を等しく分担するため、インピーダンス  $Z_{i1}$  及び  $Z_{i2}$  は、

$$Z_{i1} = Z_1^2 / 2 Z_c \text{ (高パワー時)}$$

$$Z_{i2} = 2 Z_c \text{ (高パワー時)}$$

となる。

## 【 0 0 7 1 】

ドハティ増幅器 1 6 を周波数の高い領域で使用する場合、一般に、高パワー時におけるポートインピーダンス  $Z_{i1}$  及び  $Z_{i2}$  を等しくなるように設定することから、

$$Z_1^2 / 2 Z_c = 2 Z_c$$

となり、その結果、

$$Z_1 = 2 Z_c$$

となる。

従って、 $2 Z_c$  を  $K$  としたとき、以下の表 1 のような関係となる。

## 【 0 0 7 2 】

## 【表 1】

	ポートインピーダンス(Ω)			特性インピーダンス(Ω)	
	$Z_{i1}$	$Z_{i2}$	$Z_o$	$Z_1$	$Z_2$
低パワー時	$2K$	$\infty$	50	$K$	$\sqrt{50 \times (K/2)}$
高パワー時	$K$	$K$			

## 【 0 0 7 3 】

これを知って、第 1 合成器 1 0 A のインピーダンスをみた場合、図 4 B に示すように、第 2 / 4 線路 3 4 B の特性インピーダンス  $Z_2$  は、 $Z_c = Z_2^2 / Z_o$  の関係から、

$$Z_2 = \sqrt{50 \times (K/2)}$$

であり、第 3 / 4 線路 3 4 C の特性インピーダンス  $Z_3$  は、第 1 モニタ端子 3 6 a 及び終端抵抗  $R_e$  のインピーダンスが共に 50 オームであるから、同じく 50 オームとなる。

すなわち、インピーダンスは、以下の表 2 のような関係となる。

## 【 0 0 7 4 】

10

20

30

40

【表 2】

	ポートインピーダンス( $\Omega$ )			特性インピーダンス( $\Omega$ )		
	Zi1	Zi2	Zo	Z1	Z2	Z3
低パワー時	2K	$\infty$	50	K	$\sqrt{50 \times (K/2)}$	50
高パワー時	K	K				

10

## 【0075】

この場合、 $K = 100$  オームのとき、第1方向性結合器40Aを構成する第2 / 4線路34Bの特性インピーダンス $Z_2$ と第3 / 4線路34Cの特性インピーダンス $Z_3$ が共に50オームになることから、第1方向性結合器40Aの方向性、すなわち、第1モニタ端子36aからの出力と第1終端端子38aからの出力の比を十分高めることができる。なお、 $K$ が100オームでない場合は、特性インピーダンス $Z_2$ 及び $Z_3$ が異なるため、その差に応じて方向性が悪くなる。

## 【0076】

このように、第1合成器10Aにおいては、ドハティ増幅器用の合成器の部分と、それに続く第1方向性結合器40Aの部分を一体に構成したので、两部分間の接続はドハティ増幅器16の製造バラツキの影響を受けない。これにより、第1方向性結合器40Aからの出力も安定し、よって、デジタル処理によるドハティ増幅器16の歪補正も、増幅器効率を劣化させることなく機能することとなる。

20

## 【0077】

また、第1合成器10Aは、ドハティ増幅器用の合成器の部分と第1方向性結合器40Aの部分を、誘電体基板42を用いたストリップライン構造で形成すると共に、それぞれを重ねるようにしたので、回路基板上での実装面積を削減することができる。このとき、合成器の部分と第1方向性結合器40Aの部分に不要な信号の漏洩が生じた場合、デジタル処理による歪補正回路への入力にノイズとなって現れ、結果として歪補正が十分行われなくなるが、この第1合成器10Aでは、第1 / 4線路34Aと、第1方向性結合器40Aを構成する第2 / 4線路34B及び第3 / 4線路34Cとの間に内層シールド電極48を形成するようにしたので、合成器の部分と第1方向性結合器40Aの部分に不要な信号の漏洩が抑制され、上述のような問題を回避することができる。

30

## 【0078】

さらに、合成器の部分構成する第2 / 4線路34Bと電磁結合する第3 / 4線路34Cを形成するようにしたので、1つの誘電体基板42内に合成器の部分と方向性結合器の部分とを一体化することができる。これにより、方向性結合器に由来する損失を消去することができるため、歪補正特性を劣化させることなく、ドハティ増幅器全体の効率を向上させることができる。しかも、ドハティ増幅器16からの出力を、第2 / 4線路34Bを利用してモニタすることができるため、ドハティ増幅器16の出力信号の損失を抑制することができ、利得歪、位相歪を劣化させることなく増幅器効率を改善させることができる。

40

## 【0079】

さらに、第1方向性結合器40Aに、第1モニタ端子36aを接続するようにしたので、ドハティ増幅器16の出力信号をモニタすることが可能になり、これによって利得歪、位相歪を劣化させることなく増幅器効率を改善することができる。特に、第1モニタ端子36aに第1モニタ回路50aを接続し、該第1モニタ回路50aをダイオードDaを主体とした回路構成としたので、第1モニタ回路50aにおいて、ドハティ増幅器16の高周

50

波信号が検波可能になると共に、ドハティ増幅器16の高周波信号の包絡線成分を抽出して、DPDのデジタル処理回路に入力させることができ、DPD技術を適用した利得歪・位相歪の改善を効率よく行うことができる。

【0080】

つまり、第1合成器10Aにおいては、ドハティ増幅器16の出力信号のモニタを精度高く行うことが可能になり、これにより、ドハティ増幅器16で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができる。また、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。

【0081】

また、第1合成器10Aを用いることで、ドハティ増幅器16の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

【0082】

ここで、第1合成器10Aの製造方法について図5～図8Cを参照しながら説明する。

【0083】

まず、第1合成器10Aは、第1 / 4線路34A等を構成する導体成形体60を有する第1セラミック成形体62A(図7B参照)と、導体成形体60のない第2セラミック成形体62B(図8C参照)とを作製し、第1セラミック成形体62Aと第2セラミック成形体62Bを積層してセラミック積層体を作製し、該セラミック積層体を焼成することにより作製することができる。

【0084】

導体成形体60を有する第1セラミック成形体62Aの作製方法は、まず、図5のステップS1において、図6Aに示すように、フィルム64上に導体ペースト66を印刷法によってパターン形成した後、ステップS2において、フィルム64上に形成された導体ペースト66を加熱硬化することにより、フィルム64上に導体成形体60を形成する。

【0085】

導体ペースト66は、樹脂と銀(Ag)、金(Au)、銅(Cu)系の金属の少なくとも1種類の粉末を含む。導体ペースト66に使用される樹脂は、熱硬化性樹脂前駆体であることが好ましい。この場合、熱硬化性樹脂前駆体は、自己反応性のレゾール型フェノール樹脂であることが好ましい。フィルム64は、表面にシリコン離型剤がコートされたPET(ポリエチレンテレフタレート)である。

【0086】

導体ペースト66の加熱硬化時における収縮、歪を抑制するために、予めフィルム64に温度150℃で10分以上のアニール処理を施すことが好ましい。導体ペースト66は、上述したように、印刷後、加熱硬化されるが、硬化条件は、硬化剤の種類により異なり、レゾール型フェノール樹脂の場合、温度80～150℃、時間10分～60分で硬化させることができる。

【0087】

図5のステップS3において、図6Bに示すように、鑄込み型68を組み立てて、導体成形体60が形成されたフィルム64を鑄込み型68内に設置する。

【0088】

一方、図5のステップS4及びステップS5において、鑄込み型68に注入されるスラリー70を調製する。

【0089】

まず、図5のステップS4において、セラミックスラリーを調製する。セラミックスラリーは、酸化チタン、酸化バリウム系粉末と焼結助剤としてのポロシリケートガラスとを混合したセラミック粉末を有する。すなわち、セラミックスラリーは、上述のセラミック

10

20

30

40

50

粉末を100重量部と、脂肪族二塩基酸エステルを27重量部、トリアセチンを3重量部及びポリカルボン酸共重合体を3重量部からなる有機分散媒（ポリカルボン酸は有機分散剤として作用）との混合物からなる。

【0090】

その後、図5のステップS5において、上述のセラミックスラリーに、ゲル化剤としてポリメチレンポリフェニルポリイソシアネートの変性物1～10重量部とエチレングリコール0.05～2.7重量部、反応触媒として6-ジメチルアミノ-1-ヘキサノールを0.03～0.3重量部添加した後、攪拌して、ゲルキャスト用のスラリー70を調製する。すなわち、スラリー70は熱硬化性樹脂前駆体を含む。

【0091】

次に、図5のステップS6において、図6Bに示すように、鑄込み型68内にスラリー70を注入（注型）する。この注入によって、鑄込み型68の中空部にスラリー70が充填される。スラリー70は、ゲルキャスト用スラリーであることから、中空部に充填された状態でそのまま硬化される。これによって、図6Cに示すように、鑄込み型68内に第1セラミック成形体62Aが作製されることになる。

【0092】

その後、ステップS7において、鑄込み型68を分解する。この場合、図7Aに示すように、フィルム64上に第1セラミック成形体62Aが設置された状態になっているため、第1セラミック成形体62Aをフィルム64から離型することによって、図7Bに示すように、導体成形体60が埋設された第1セラミック成形体62Aが得られる。

【0093】

一方、導体成形体60のない第2セラミック成形体62Bの作製方法は、図5のステップS1及びステップS2の処理を行わずに、ステップS3において、導体成形体60が形成されていないフィルム64を鑄込み型68内に設置すること以外は、上述した第1セラミック成形体62Aの作製方法と同じであり、ステップS4～ステップS7を経ることによって、導体成形体60が存在しない第2セラミック成形体62Bを得る。すなわち、図8Aに示すように、導体成形体60が形成されていないフィルム64を鑄込み型68内に設置し、スラリー70を鑄込み型68内に鑄込んだ後に、図8Bに示すように、スラリー70を硬化（室温硬化や乾燥硬化等）する。その後、フィルム64を離型することによって、図8Cに示すように、第2セラミック成形体62Bが得られる。なお、以下の説明では、第1セラミック成形体62Aと第2セラミック成形体62Bを区別しないで言う場合はセラミック成形体62と記す。

【0094】

次に、図5のステップS8において、複数のセラミック成形体62を積層してセラミック積層体を作製する。このとき、セラミック成形体62の反応性官能基が完全に反応しない状態（室温において、注型後、1時間～48時間経過後）で、5～100kgf/cm<sup>2</sup>の圧力で加圧積層する。加圧力は、セラミック成形体62の強度と許容される積層ずれに応じて適宜選択される。

【0095】

積層時の加圧力が小さい場合は、積層ずれは小さいものの、積層時の接着不良による焼成体のデラミネーションが発生し易くなる一方、積層時の加圧力が大きい場合は、上述のデラミネーションの発生を抑制できるものの、セラミック成形体62の積層圧力による変形及び破損が発生し易くなる。しかし、上述した加圧力の範囲であれば、積層ずれとデラミネーションを抑制することができ、好ましい。また、必要に応じて、上記5～100kgf/cm<sup>2</sup>の加圧に引き続き、50～400kgf/cm<sup>2</sup>の加圧力で一体性を高めてもよい。

【0096】

また、この際、隣り合うセラミック成形体62中の未反応の反応硬化物同士を反応させることにより、セラミック成形体62間の接着力が得られるが、より短時間で反応硬化させるために、60～80に加熱しながら積層することが好ましい。

10

20

30

40

50

## 【0097】

より低圧で十分なセラミック積層体を得るためには、積層時に各セラミック成形体62の界面に接着層として、スラリー70のうち、反応触媒を除いたものを塗布、印刷することが好ましい。反応触媒を添加しなくても、セラミック成形体62に残存する反応触媒の影響で、実用的な時間で反応硬化が進行する。

## 【0098】

あるいは、セラミック成形体62を十分に硬化したもののや、さらに乾燥した後に、セラミック成形体62と同一の無機粉末、ブチラール樹脂、アクリル樹脂、ブチルカルビトールアセテート溶剤及び/又は脂肪族二塩基酸エステル等の有機溶剤を混合した接着ペーストをセラミック成形体62上に塗布又は印刷した後、積層することも好ましい。

10

## 【0099】

このようにすることで、セラミック成形体62相互の接着性が向上し、上述のデラミネーションを抑制することができる。なお、接着ペーストを使用する場合は、セラミック成形体62中に溶剤が残っていてもよいし、60～100の温度で予め溶剤を乾燥させてもよい。溶剤を乾燥させたセラミック成形体62は可塑性が著しく低下し、ハンドリングに困難をきたすため、乾燥後のセラミック成形体62に可塑性を付与する目的で、反応硬化前のスラリーに可塑剤(DOPあるいはDBP)を1～10重量部添加することがさらに好ましい。

## 【0100】

次に、図5のステップS9において、セラミック積層体を乾燥した後、ステップS10において、セラミック積層体を複数のチップに分割する。その後、ステップS11において、各チップの表面や側面に端子電極を印刷により形成する。そして、ステップS12において、各チップを焼成することで、複数の第1合成器10Aが完成する。

20

## 【0101】

この実施の形態に係る製造方法の効果を以下に説明する。まず、従来においては、熱可塑性樹脂を含むスラリーの乾燥収縮時に導体成形体との界面で隙間やクラックが発生したり、グリーンシートが凹凸形状になったりする。一方、本実施の形態では、スラリー70に熱硬化性樹脂前駆体を含ませて、乾燥時に熱硬化性樹脂前駆体を硬化させて三次元網目構造を生成させ、収縮を小さくすることで前記問題は解決される。

## 【0102】

この場合、スラリー70に使用する溶剤に、熱硬化性樹脂前駆体が硬化する温度での蒸気圧が小さいものを選定し、熱硬化時の溶剤乾燥による収縮を小さくすることが望ましい。室温で硬化する樹脂を用いた場合は、特に作業や装置が簡単になる。

30

## 【0103】

ポリウレタン樹脂は、硬化後の弾性を制御し易く、柔軟な成形体も可能となる等の利点を有する。後工程での取り扱いを考えると、あまり硬い成形体は適さない場合があり、熱硬化性樹脂は三次元網目構造をとるので一般に硬いが、ポリウレタン樹脂は、柔軟性のある成形体も可能で、特にテープ状の成形体は、柔軟性が要求される場合が多いため望ましい。また、スラリー性状の制御のため、熱可塑性樹脂を含ませてもよい。

## 【0104】

従来においては、熱可塑性樹脂を含む導体ペーストが、スラリーを塗布する際に、スラリーの溶剤に溶解して、パターン形状が崩れる。一方、本実施の形態においては、導体ペースト66に熱硬化性樹脂前駆体を含ませているため、耐溶剤性が向上し、パターン形状の崩れは生じない。

40

## 【0105】

熱硬化性樹脂前駆体は、硬化後は三次元の網目構造となり、元に戻らないため、硬化後は、溶剤への再溶解性がなくなり、一般に、熱可塑性樹脂よりも耐溶剤性が高い。

## 【0106】

熱硬化性樹脂前駆体の中では、フェノール樹脂、エポキシ樹脂、ポリエステル樹脂が硬化前プレポリマーの分子量の制御ができ、ペースト性状のコントロールが可能のため、好

50

適である。なお、熱可塑性樹脂をペースト性状の制御のために、熱硬化性樹脂と一緒に含めるようにしてもよい。

【0107】

特に、エポキシ樹脂、フェノール樹脂は、硬化剤が必要なく、加熱するだけで硬化するタイプがあり、導体ペースト66の効率的な使用に適する。つまり、硬化剤の添加が必要な他の熱硬化性樹脂前駆体は、導体ペースト66を印刷する前に、硬化剤を混合する必要があるが、混合すると保存がきかない。従って、印刷後に残った導体ペースト66を回収して保存する必要がある印刷法によって導体ペースト66を印刷する場合は、硬化剤を混合する必要がない熱硬化型エポキシ樹脂、熱硬化型フェノール樹脂が好適である。

【0108】

従来において、熱可塑性樹脂をバインダとするセラミック成形体は、該セラミック成形体の密度ばらつきが発生し易く、そのために、焼成後のセラミック焼成体の寸法ばらつきが大きく、埋設された導体成形体の焼成寸法のばらつきも大きくなる。一方、本実施の形態においては、熱硬化性樹脂前駆体をバインダに使用して導体成形体60を埋設した第1セラミック成形体62Aを得ることにより、焼成ばらつきを小さくすることができる。例えば第1セラミック成形体62Aの焼成後の寸法は、第1セラミック成形体62Aのうち、導体成形体60を除く部分の生密度により主に決まる。これは第1セラミック成形体62Aのセラミック焼成体の構造は空隙が非常に少ないのに対し、第1セラミック成形体62Aの上記部分は空隙が多いため、その空隙量の多少が、焼成中の収縮量を決めるからである。

【0109】

従来の熱可塑性樹脂をバインダとして含むスラリーは、溶媒を乾燥してセラミック成形体を得るが、乾燥する際の塗工比（スラリー体積と成形後の成形体体積の比）が大きく、この大きな塗工比が成形体密度のばらつきの原因となる。しかし、本実施の形態のように、熱硬化性樹脂前駆体をスラリー70のバインダとして使用した場合は、溶剤を含んだままでも硬化するため、塗工比を小さくすることができ、生密度のばらつきを小さくすることができる。その結果、焼成後の寸法ばらつきが小さくなり、埋設した導体成形体60の寸法ばらつきも小さくすることができる。

【0110】

次に、第2の実施の形態に係るドハティ増幅器用合成器（以下、第2合成器10Bと記す）について図9～図11を参照しながら説明する。

【0111】

この第2合成器10Bは、上述した第1合成器10Aとほぼ同様の構成を有するが、図9に示すように、第1モニタ端子36aと第3 / 4線路34Cとの間に第4 / 4線路34Dを接続した点で異なる。

【0112】

すなわち、第2合成器10Bは、図10に示すように、誘電体基板42が、上から順に、第1誘電体層S1～第8誘電体層S8が積み重ねられて構成され、第7誘電体層の主面に第4 / 4線路34Dが形成され、第4誘電体層S4の主面に第1内層シールド電極48aが形成され、第6誘電体層S6の主面に第2内層シールド電極48bが形成され、第8誘電体層S8の主面に下部シールド電極46bが形成されている。第4 / 4線路34Dの一端は第1モニタ端子36aに接続され、第4 / 4線路34Dの他端は第5誘電体層S5及び第6誘電体層S6を貫通するビアホール72を介して第3 / 4線路34Cの一端に接続されている。また、第1内層シールド電極48a及び第2内層シールド電極48bはシールド端子44に接続されている。

【0113】

このように、第2合成器10Bは、上述した第1合成器10Aと同様に、デジタル処理によるドハティ増幅器16の歪補正も、増幅器効率を劣化させることなく機能することとなる。また、回路基板上での実装面積を削減することができる。この第2合成器10Bでは、第1 / 4線路34Aと、第1方向性結合器40Aを構成する第2 / 4線路34B

10

20

30

40

50

及び第3 / 4線路34Cとの間に第1内層シールド電極48aを形成し、第3 / 4線路34Cと第4 / 4線路34Dとの間にも第2内層シールド電極48bを形成するようにしたので、合成器の部分と第1方向性結合器40Aの部分との間、並びに第1方向性結合器40Aの部分と第4 / 4線路34Dでの不要な信号の漏洩を抑制することができ、デジタル処理による歪補正回路へのノイズの混入を抑圧することができる。

【0114】

さらに、1つの誘電体基板42内に合成器の部分と方向性結合器の部分とを一体化することができたため、方向性結合器に由来する損失を消去することができ、歪補正特性を劣化させることなく、ドハティ増幅器16全体の効率を向上させることができる。

【0115】

ここで、第2合成器10Bのインピーダンスの関係について説明すると、この第2合成器10Bでは、図11にも示すように、第3 / 4線路34Cと第1モニタ端子36a間に第4 / 4線路34Dを接続したため、第3 / 4線路34Cと第4 / 4線路との中間点からみた第3 / 4線路34Cのインピーダンスを合成点32からみた第2 / 4線路34Bのインピーダンス $Z_c$ と同等にすることができると共に、以下の表3に示すように、モニタ対象の第2 / 4線路34B、第1方向性結合器40Aの第3 / 4線路34C及び第4 / 4線路34Dの各特性インピーダンス $Z_2$ 、 $Z_3$ 及び $Z_4$ を共に  $(50 \times (K/2))$  にすることができる。

【0116】

【表3】

	ポートインピーダンス ( $\Omega$ )			特性インピーダンス ( $\Omega$ )			
	$Z_{i1}$	$Z_{i2}$	$Z_o$	$Z_1$	$Z_2$	$Z_3$	$Z_4$
低パワー時	2K	$\infty$	50	K	$\sqrt{(50 \times (K/2))}$	$\sqrt{(50 \times (K/2))}$	$\sqrt{(50 \times (K/2))}$
高パワー時	K	K					

【0117】

これにより、Kが50オームや100オームでなくても、第1方向性結合器40Aの方向性を十分に高めることができる。

【0118】

次に、第3の実施の形態に係るドハティ増幅器用合成器（以下、第3合成器10Cと記す）について図12及び図13を参照しながら説明する。

【0119】

この第3合成器10Cは、上述した第2合成器10Bとほぼ同様の構成を有するが、図12に示すように、第1終端端子38aと第3 / 4線路34Cとの間に第4 / 4線路34Dを接続した点で異なる。

【0120】

すなわち、第3合成器10Cは、図13に示すように、第4 / 4線路34Dの一端は第1終端端子38aに接続され、第3 / 4線路34Cの一端は第1モニタ端子36aに接続され、第4 / 4線路34Dの他端は第5誘電体層S5及び第6誘電体層S6を貫通するビアホール72を介して第3 / 4線路34Cの他端に接続されている。

【0121】

このように、第3合成器10Cは、上述した第2合成器10Bと同様に、デジタル処理によるドハティ増幅器16の歪補正も、増幅器効率を劣化させることなく機能することとなる。また、回路基板上での実装面積を削減することができる。合成器の部分と第1方向

10

20

30

40

50

性結合器 40A の部分との間、並びに第 1 方向性結合器 40A の部分と第 4 / 4 線路 34D での不要な信号の漏洩を抑制することができ、デジタル処理による歪補正回路へのノイズの混入を抑圧することができる。

【0122】

さらに、1つの誘電体基板 42 内に合成器の部分と方向性結合器の部分とを一体化することができたため、方向性結合器に由来する損失を消去することができ、歪補正特性を劣化させることなく、ドハティ増幅器全体の効率を向上させることができる。

【0123】

ここで、第 3 合成器 10C のインピーダンスの関係について説明すると、この第 3 合成器 10C では、第 3 / 4 線路 34C と第 1 終端端子 38a 間に第 4 / 4 線路 34D を接続したため、以下の表 4 に示すように、第 2 / 4 線路 34B、第 3 / 4 線路 34C 及び第 4 / 4 線路 34D の各特性インピーダンス  $Z_2$ 、 $Z_3$  及び  $Z_4$  を  $(50 \times (K/2))$  にすることができる。但し、第 3 / 4 線路 34C と第 4 / 4 線路との中間点からみた第 3 / 4 線路 34C のインピーダンスは、合成点 32 からみた第 2 / 4 線路 34B のインピーダンス  $Z_c$  と異なる。そのため、上述した第 2 合成器 10B とは異なり、第 1 方向性結合器 40A の方向性は幾分悪くなる。

10

【0124】

【表 4】

	ポートインピーダンス ( $\Omega$ )			特性インピーダンス ( $\Omega$ )			
	Zi1	Zi2	Zo	Z1	Z2	Z3	Z4
低パワー時	2K	$\infty$	50	K	$\sqrt{(50 \times (K/2))}$	$\sqrt{(50 \times (K/2))}$	$\sqrt{(50 \times (K/2))}$
高パワー時	K	K					

20

【0125】

次に、第 4 の実施の形態に係るドハティ増幅器用合成器（以下、第 4 合成器 10D と記す）について図 14 及び図 15 を参照しながら説明する。

30

【0126】

この第 4 合成器 10D は、上述した第 1 合成器 10A とほぼ同様の構成を有するが、図 14 に示すように、第 3 / 4 線路 34C が第 1 / 4 線路 34A と電磁結合されている点で異なる。すなわち、第 4 合成器 10D は、第 1 方向性結合器 40A に代えて、第 1 / 4 線路 34A と第 3 / 4 線路 34C とによる第 2 方向性結合器 40B を有する。

【0127】

第 4 合成器 10D は、図 15 に示すように、第 3 誘電体層 S3 の主面に第 1 / 4 線路 34A と第 3 / 4 線路 34C が形成され、第 5 誘電体層 S5 の主面に第 2 / 4 線路 34B が形成され、第 4 誘電体層 S4 の主面にシールド端子 44 に接続された内層シールド電極 48 が形成されている。そして、キャリア側入力端子 26 とピーク側入力端子 28 間に第 1 / 4 線路 34A が接続され、ピーク側入力端子 28（合成点 32 を兼ねる）と出力端子 30 間に第 2 / 4 線路 34B が接続され、誘電体基板 42 の第 2 側面 42b に形成された第 2 モニタ端子 36b と第 2 終端端子 38b 間に第 3 / 4 線路 34C が接続されて、1つのチップとして構成されている。

40

【0128】

一方、図 14 に示すように、第 2 モニタ端子 36b と第 2 モニタ出力端子 52b 間には第 2 モニタ回路 50b が電氣的に接続されている。この第 2 モニタ回路 50b は、キャリア側入力端子 26 から合成点 32 にかけて流れる信号のレベルをモニタするための回路で

50

あり、上述した第1モニタ回路50aと同様の構成を有する。

【0129】

この第4合成器10Dにおいては、キャリア増幅器12からの出力信号がモニタ可能となり、これにより、キャリア増幅器12の利得、位相を適宜補正することが可能となるため、ドハティ増幅器16を使用する上で問題となる利得歪、位相歪を、増幅器効率の低下を招くことなく改善することができる。

【0130】

また、第1合成器10Aの場合と同様に、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。さらに、ドハティ増幅器16の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

10

【0131】

次に、第5の実施の形態に係るドハティ増幅器用合成器（以下、第5合成器10Eと記す）について図16～図18を参照しながら説明する。

【0132】

この第5合成器10Eは、上述した第4合成器10Dとほぼ同様の構成を有するが、図16に示すように、第2モニタ端子36bと第3 / 4線路34Cとの間に第4 / 4線路34Dを接続した点で異なる。

20

【0133】

第5合成器10Eは、図17に示すように、誘電体基板42が、上から順に、第1誘電体層S1～第8誘電体層S8が積み重ねられて構成され、第7誘電体層S7の主面に第2 / 4線路34Bが形成され、第5誘電体層S5の主面に第4 / 4線路34Dが形成され、第4誘電体層S4の主面に第1内層シールド電極48aが形成され、第6誘電体層S6の主面に第2内層シールド電極48bが形成され、第8誘電体層S8の主面に下部シールド電極46bが形成されている。第4 / 4線路34Dの一端は第2モニタ端子36bに接続され、第4 / 4線路34Dの他端は第3誘電体層S3及び第4誘電体層S4を貫通するビアホール72を介して第3 / 4線路34Cの一端に接続されている。この第5

30

【0134】

ここで、第5合成器10Eのインピーダンスの関係について説明すると、この第5合成器10Eでは、図18に示すように、第3 / 4線路34Cと第2モニタ端子36b間に第4 / 4線路34Dを接続したため、以下の表5に示すように、モニタ対象の第1 / 4線路34A、第2方向性結合器40Bの第3 / 4線路34C及び第4 / 4線路34Dの各特性インピーダンスをKにすることができる。これにより、Kが50オームや100オームでなくても、第2方向性結合器40Bの方向性を十分に高めることができる。

【0135】

【表 5】

	ポートインピーダンス ( $\Omega$ )			特性インピーダンス( $\Omega$ )			
	Zi1	Zi2	Zo	Z1	Z2	Z3	Z4
低パワー時	2K	$\infty$	50	K	$\sqrt{(50 \times (K/2))}$	K	K
高パワー時	K	K					

10

## 【0136】

次に、第6の実施の形態に係るドハティ増幅器用合成器（以下、第6合成器10Fと記す）について図19及び図20を参照しながら説明する。

## 【0137】

この第6合成器10Fは、上述した第5合成器10Eとほぼ同様の構成を有するが、図19に示すように、第2終端端子38bと第3 / 4線路34Cとの間に第4 / 4線路34Dを接続した点で異なる。

20

## 【0138】

すなわち、第6合成器10Fは、図20に示すように、第4 / 4線路34Dの一端は第2終端端子38bに接続され、第3 / 4線路34Cの一端は第2モニタ端子36bに接続され、第4 / 4線路34Dの他端は第3誘電体層S3及び第4誘電体層S4を貫通するビアホール72を介して第3 / 4線路34Cの他端に接続されている。この第6合成器10Fにおいても、上述した第5合成器10Eと同様の効果を奏する。

## 【0139】

次に、第7の実施の形態に係るドハティ増幅器用合成器（以下、第7合成器10Gと記す）について図21を参照しながら説明する。

30

## 【0140】

この第7合成器10Gは、図21に示すように、第1合成器10Aと第4合成器10Dとが組み合わされた構成を有する。すなわち、2つの第3 / 4線路34Ca及び34Cbを有し、第2 / 4線路34Bと該第2 / 4線路34Bと電磁結合する一方の第3 / 4線路34Caとによる第1方向性結合器40Aと、第1 / 4線路34Aと該第1 / 4線路34Aと電磁結合する他方の第3 / 4線路34Cbとによる第2方向性結合器40Bとを有する。この第7合成器10Gにおいては、第1合成器10Aによる効果と第4合成器10Dによる効果を併せ持つ。

## 【0141】

次に、第8の実施の形態に係るドハティ増幅器用合成器（以下、第8合成器10Hと記す）について図22を参照しながら説明する。

40

## 【0142】

この第8合成器10Hは、図22に示すように、第2合成器10Bと第5合成器10Eとが組み合わされた構成を有する。すなわち、2つの第3 / 4線路34Ca及び34Cbと2つの第4 / 4線路34Da及び34Dbとを有し、第2 / 4線路34Bと該第2 / 4線路34Bと電磁結合する一方の第3 / 4線路34Caとによる第1方向性結合器40Aと、第1 / 4線路34Aと該第1 / 4線路34Aと電磁結合する他方の第3 / 4線路34Cbとによる第2方向性結合器40Bとを有する。一方の第4 / 4線路34Daは第1方向性結合器40Aと第1モニタ端子36a間に接続され、他方の第4 / 4線路34Dbは第2方向性結合器40Bと第2モニタ端子36b間に接続されてい

50

る。この第 8 合成器 10 H においては、第 2 合成器 10 B による効果と第 5 合成器 10 E による効果を併せ持つ。

【 0 1 4 3 】

次に、第 9 の実施の形態に係るドハティ増幅器用合成器（以下、第 9 合成器 10 I と記す）について図 2 3 及び図 2 4 を参照しながら説明する。

【 0 1 4 4 】

この第 9 合成器 10 I は、図 2 3 に示すように、第 2 / 4 線路 3 4 B と出力端子 3 0 との間に第 5 / 4 線路 3 4 E が形成され、該第 5 / 4 線路 3 4 E と電磁結合する第 6 / 4 線路 3 4 F が形成されている。第 6 / 4 線路 3 4 F の一端に第 3 モニタ端子 3 6 c が接続され、第 6 / 4 線路 3 4 F の他端に第 3 終端端子 3 8 c を介して終端抵抗 R e が接続されている。つまり、第 5 / 4 線路 3 4 E と第 6 / 4 線路 3 4 F とで 1 つの方向性結合器（第 3 方向性結合器 4 0 C ）が構成されている。

10

【 0 1 4 5 】

すなわち、第 9 合成器 10 I は、図 2 4 に示すように、誘電体基板 4 2 が、上から順に、第 1 誘電体層 S 1 ~ 第 6 誘電体層 S 6 が積み重ねられて構成され、第 3 誘電体層 S 3 の主面に第 1 / 4 線路 3 4 A 及び第 2 / 4 線路 3 4 B が形成され、第 5 誘電体層 S 5 の主面に第 5 / 4 線路 3 4 E 及び第 6 / 4 線路 3 4 F が形成されている。第 1 / 4 線路 3 4 A の一端はキャリア側入力端子 2 6 に接続され、第 1 / 4 線路 3 4 A の他端及びピーク側入力端子 2 8 は合成点 3 2 を介して第 2 / 4 線路 3 4 B の一端に接続され、第 2 / 4 線路 3 4 B の他端は第 3 誘電体層 S 3 及び第 4 誘電体層 S 4 を貫通するビアホール 7 2 を介して第 5 / 4 線路 3 4 E の一端に接続され、第 5 / 4 線路 3 4 E の他端は出力端子 3 0 に接続され、第 6 / 4 線路 3 4 F の一端は第 3 モニタ端子 3 6 c に接続され、第 6 / 4 線路 3 4 F の他端は第 3 終端端子 3 8 c に接続されている。

20

【 0 1 4 6 】

図 2 3 に示すように、第 3 モニタ端子 3 6 c と第 3 モニタ出力端子 5 2 c 間には、第 3 モニタ回路 5 0 c が電氣的に接続されている。この第 3 モニタ回路 5 0 c は、合成点 3 2 から出力端子 3 0 にかけて流れる信号のレベルをモニタするための回路であり、上述した第 1 モニタ回路 5 0 a と同様の構成を有する。

【 0 1 4 7 】

この第 9 合成器 10 I においても、第 1 合成器 10 A と同様に、ドハティ増幅器 1 6 の出力信号のモニタを精度高く行うことが可能になり、よってドハティ増幅器 1 6 で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができる。また、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。

30

【 0 1 4 8 】

また、第 9 合成器 10 I を用いることで、ドハティ増幅器 1 6 の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

40

【 0 1 4 9 】

次に、第 10 の実施の形態に係るドハティ増幅器用合成器（以下、第 10 合成器 10 J と記す）について図 2 5 及び図 2 6 を参照しながら説明する。

【 0 1 5 0 】

この第 10 合成器 10 J が適用されるドハティ増幅器 1 6 は、第 1 合成器 10 A が適用されるドハティ増幅器 1 6 とほぼ同様の構成を有するが、図 2 5 に示すように、キャリア増幅器 1 2 のゲートバイアス電圧を制御するための第 1 制御器 7 4 a を有する点で異なる。

【 0 1 5 1 】

50

そして、第10合成器10Jは、図25に示すように、第1合成器10Aと同様のキャリア側入力端子26、ピーク側入力端子28及び出力端子30と、キャリア増幅器12からのキャリア信号の振幅情報を出力するための第4モニタ端子36dと、キャリア側入力端子26と第1 / 4線路34Aとの間の第1線路76aに平行して配置され、第1線路76aと電磁氣的に結合された第1モニタ線路78aとを有する。

【0152】

すなわち、第10合成器10Jは、図26に示すように、誘電体基板42の第1側面42aに少なくともキャリア側入力端子26とピーク側入力端子28が形成され、誘電体基板42の第2側面42bには、少なくとも出力端子30と第4モニタ端子36dと第4終端端子38dとが形成されている。

10

【0153】

誘電体基板42は、上から順に、第1誘電体層S1～第4誘電体層S4が積み重ねられて構成され、第3誘電体層の主面に第1 / 4線路34A及び第2 / 4線路34Bと、キャリア側入力端子26から第1 / 4線路34Aの一端に延びる第1線路76aと電磁結合される第1モニタ線路78aとが形成されている。第1 / 4線路34Aの他端及びピーク側入力端子28は合成点32を介して第2 / 4線路34Bの一端に接続され、第2 / 4線路34Bの他端は出力端子30に接続され、第1モニタ線路78aの一端は第4モニタ端子36dに接続され、第1モニタ線路78aの他端は第4終端端子38dに接続されている。

【0154】

20

図25に示すように、第4モニタ端子36dには、第4モニタ回路50dが電氣的に接続されている。この第4モニタ回路50dは、キャリア側入力端子26に輸入されたキャリア増幅器12からのキャリア信号の振幅レベルをモニタするための回路であり、第1モニタ回路50aと同様の構成を有する。第4モニタ回路50dの第4モニタ出力端子52dから出力される信号は第1制御器74aに輸入される。第1制御器74aは、輸入された第4モニタ出力端子52dからの信号のレベルに応じて、キャリア増幅器12のゲートバイアス電圧を調整する。

【0155】

このように、第10合成器10Jにおいては、キャリア増幅器12の振幅に対する飽和特性をモニタすることが可能となるため、キャリア増幅器12の入力レベルに対する出力レベルを確認することができる。飽和領域をモニタすることにより、キャリア増幅器12のゲートバイアス電圧の制御を行うことで、ドハティ増幅器16のAM/AM特性を改善させることが可能であり、従来のドハティ増幅器と比較して効率低下することなく低歪化が可能となる。また、第4モニタ回路50dをダイオードDaを主体した回路構成としたので、第4モニタ回路50dにおいて、キャリア増幅器12の高周波信号が検波可能になる。ゲートバイアス電圧の制御に用いる信号としては、振幅情報のみが必要であるが、第4モニタ回路50dを用いることで、例えば半波整流された信号を得ることができ、キャリア増幅器12のゲートバイアス電圧の制御に必要な振幅情報を第1制御器74aに供給することができる。

30

【0156】

40

次に、第11の実施の形態に係るドハティ増幅器用合成器(以下、第11合成器10Kと記す)について図27及び図28を参照しながら説明する。

【0157】

この第11合成器が適用されるドハティ増幅器10Kは、第1合成器10Aが適用されるドハティ増幅器16とほぼ同様の構成を有するが、図27に示すように、ピーク増幅器14のゲートバイアス電圧を制御するための第2制御器74bを有する点で異なる。

【0158】

そして、第11合成器10Kは、図27に示すように、第1合成器10Aと同様のキャリア側入力端子26、ピーク側入力端子28及び出力端子30と、ピーク増幅器14からのピーク信号の振幅情報を出力するための第5モニタ端子36eと、ピーク側入力端子2

50

8と第1 / 4線路34Aとの間の第2線路76bに平行して配置され、第2線路76bと電磁氣的に結合された第2モニタ線路78bとを有する。

【0159】

すなわち、第11合成器10Kは、図28に示すように、誘電体基板42の第1側面42aに少なくともキャリア側入力端子26とピーク側入力端子28が形成され、誘電体基板42の第2側面42bに少なくとも出力端子30と第5モニタ端子36eと第5終端端子38eとが形成されている。

【0160】

誘電体基板42は、上から順に、第1誘電体層S1～第4誘電体層S4が積み重ねられて構成され、第3誘電体層S3の主面に第1 / 4線路34A及び第2 / 4線路34Bと、ピーク側入力端子28から第1 / 4線路34Aの他端に伸びる第2線路76bと電磁結合される第2モニタ線路78bとが形成されている。第1 / 4線路34Aの一端はキャリア側入力端子26に接続され、第1 / 4線路34Aの他端及びピーク側入力端子28は合成点32を介して第2 / 4線路34Bの一端に接続され、第2 / 4線路34Bの他端は出力端子30に接続され、第2モニタ線路78bの一端は第5モニタ端子36eに接続され、第2モニタ線路78bの他端は第5終端端子38eに接続されている。

【0161】

図27に示すように、第5モニタ端子36eには、第5モニタ回路50eが電氣的に接続されている。この第5モニタ回路50eは、ピーク側入力端子28に入力されたピーク増幅器14からのピーク信号のレベルをモニタするための回路であり、第1モニタ回路50aと同様の構成を有する。第5モニタ回路50eの第5モニタ出力端子52eから出力される信号は第2制御器74bに入力される。第2制御器74bは、入力された第5モニタ出力端子52eからの信号のレベルに応じて、ピーク増幅器14のゲートバイアス電圧を調整する。

【0162】

このように、第11合成器10Kにおいては、ピーク増幅器14からの出力信号がモニタ可能となり、これにより、ピーク増幅器14のゲートバイアス電圧を適宜補正することが可能となるため、ドハティ増幅器16を使用する上で問題となる利得歪を、増幅器効率の低下を招くことなく改善することができる。また、第5モニタ回路50eを用いることで、例えば半波整流された信号を得ることができ、ピーク増幅器14のゲートバイアス電圧の制御に必要な振幅情報を第2制御器74bに供給することができる。

【0163】

次に、第12の実施の形態に係るドハティ増幅器用合成器(以下、第12合成器10Lと記す)について図29～図30を参照しながら説明する。

【0164】

この第12合成器10Lが適用されるドハティ増幅器16は、図29に示すように、キャリア増幅器12のゲートバイアス電圧を制御するための第1制御器74aと、ピーク増幅器14のゲートバイアス電圧を制御するための第2制御器74bとを有する。

【0165】

そして、第12合成器10Lは、第10合成器10Jと第11合成器10Kとが組み合わされた構成を有する。具体的には、図30に示すように、誘電体基板42の第1側面42aに少なくともキャリア側入力端子26とピーク側入力端子28が形成され、誘電体基板42の第2側面42bに少なくとも出力端子30、第4モニタ端子36d、第4終端端子38d、第5モニタ端子36e及び第5終端端子38eが形成されている。

【0166】

誘電体基板42は、上から順に、第1誘電体層S1～第4誘電体層S4が積み重ねられて構成され、第3誘電体層S3の主面に第1 / 4線路34A、第2 / 4線路34B、第1モニタ線路78a及び第2モニタ線路78bが形成されている。第1 / 4線路34Aの一端はキャリア側入力端子26に接続され、第1 / 4線路34Aの他端及びピーク側入力端子28は合成点32を介して第2 / 4線路34Bの一端に接続され、第2 /

10

20

30

40

50

4線路34Bの他端は出力端子30に接続されている。第1モニタ線路78aの一端は第4モニタ端子36dに接続され、第1モニタ線路78aの他端は第4終端端子38dに接続され、第2モニタ線路78bの一端は第5モニタ端子36eに接続され、第2モニタ線路78bの他端は第5終端端子38eに接続されている。また、第4モニタ端子36dには第4モニタ回路50dが接続され、第5モニタ端子36eには第5モニタ回路50eが接続されている。第4モニタ回路50dの第4モニタ出力端子52dから出力される信号は第1制御器74aに輸入され、第5モニタ回路50eの第5モニタ出力端子52eから出力される信号は第2制御器74bに輸入される。

【0167】

この第12合成器10Lにおいては、第10合成器10Jによる効果と第11合成器10Kによる効果を併せ持つ。すなわち、キャリア増幅器12のゲートバイアス電圧の制御に加え、ピーク増幅器14のゲートバイアス電圧の制御も行うことができるため、ドハティ増幅器16の出力飽和点を向上させることができる。その結果、DPD等の歪補償器でのバックオフ点を改善でき、さらなる高効率化が可能となる。

【0168】

次に、第13の実施の形態に係るドハティ増幅器用合成器（以下、第13合成器10Mと記す）について図31及び図32を参照しながら説明する。

【0169】

この第13合成器10Mは、図31に示すように、第1合成器10Aと同様のキャリア側入力端子26、ピーク側入力端子28及び出力端子30と、ドハティ増幅器16の出力信号の振幅情報を出力するための第6モニタ端子36fと、出力端子30と第2/4線路34Bとの間の第3線路76cに平行して配置され、且つ、第3線路76cと電磁的に結合された第3モニタ線路78cとを有する。

【0170】

すなわち、第13合成器10Mは、図32に示すように、誘電体基板42の第1側面42aに少なくともキャリア側入力端子26とピーク側入力端子28が形成され、誘電体基板42の第2側面42bに少なくとも出力端子30と第6モニタ端子36fと第6終端端子38fとが形成されている。

【0171】

誘電体基板42は、上から順に、第1誘電体層S1～第4誘電体層S4が積み重ねられて構成され、第3誘電体層S3の主面に第1/4線路34A及び第2/4線路34Bと、第2/4線路34Bの一端から出力端子30に延びる第3線路76cと電磁結合される第3モニタ線路78cとが形成されている。第1/4線路34Aの一端はキャリア側入力端子26に接続され、第1/4線路34Aの他端及びピーク側入力端子28は合成点32を介して第2/4線路の他端に接続され、第3モニタ線路78cの一端は第6モニタ端子36fに接続され、第3モニタ線路78cの他端は第6終端端子38fに接続されている。

【0172】

図31に示すように、第6モニタ端子36fと第6モニタ出力端子52f間には、第6モニタ回路50fが電氣的に接続されている。この第6モニタ回路50fは、ドハティ増幅器16の出力レベルをモニタするための回路であり、第1モニタ回路50aと同様の構成を有する。

【0173】

この第13合成器10Mにおいては、ドハティ増幅器16のAM/AM歪（利得歪）補正用信号、並びにAP/PM歪（振幅位相歪）補正用信号をモニタすることができる。すなわち、第1合成器10Aと同様に、ドハティ増幅器16の出力信号のモニタを精度高く行うことが可能になり、これにより、ドハティ増幅器16で問題となる利得歪、位相歪を増幅器効率の低下を招くことなく改善することができる。また、ストリップライン構造の採用により、外部回路の影響を受けにくくすると共に、合成器の部分と方向性結合器の部分との間の信号の漏洩を抑制し、利得歪、位相歪を効果的に抑制することができる。

10

20

30

40

50

## 【 0 1 7 4 】

また、第 1 3 合成器 1 0 M を用いることで、ドハティ増幅器 1 6 の出力歪、位相歪を抑制するために必要な部品点数を削減でき、回路の小型化・軽量化が可能になる。これにより、携帯電話の基地局アンテナ上に搭載される機器の増加に伴う建設コストの高価格化を抑制することが可能になると共に、使用部品の点数削減により、部品の接続箇所が削減されるため、信頼性が向上する。

## 【 0 1 7 5 】

ここで、第 1 合成器 1 0 A ~ 第 1 3 合成器 1 0 M に関し、2 つの好ましい変形例（第 1 変形例及び第 2 変形例）について、図 3 3 及び図 3 4 を参照しながら説明する。

## 【 0 1 7 6 】

先ず、第 1 変形例に係る合成器 1 0 a は、例えば第 1 合成器 1 0 A に適用した場合を主体に説明すると、図 3 3 に示すように、キャリア側入力端子 2 6 と第 1 / 4 線路 3 4 A との間に第 1 結合コンデンサ C 3 a を接続し、ピーク側入力端子 2 8 と第 1 / 4 線路 3 4 A との間に第 2 結合コンデンサ C 3 b を接続する。

## 【 0 1 7 7 】

第 1 合成器 1 0 A のキャリア側入力端子 2 6 にはキャリア増幅器 1 2 のドレイン端子が接続され、ピーク側入力端子 2 8 にはピーク増幅器 1 4 のドレイン端子が接続されることになるため、上述の第 1 結合コンデンサ C 3 a 及び第 2 結合コンデンサ C 3 b を接続することにより、キャリア増幅器 1 2 及びピーク増幅器 1 4 の各ドレイン端子に供給される直流電力を第 1 合成器 1 0 A と切り離し、高周波成分のみを第 1 合成器 1 0 A に入力することができる。特に、この変形例 1 では、誘電体基板 4 2 内に、上述した第 1 / 4 線路 3 4 A、第 2 / 4 線路 3 4 B 及び第 3 / 4 線路 3 4 C と共に第 1 結合コンデンサ C 3 a 及び第 2 結合コンデンサ C 3 b を形成して一体化したので、小型化を図ることができる。

## 【 0 1 7 8 】

第 2 変形例に係る合成器 1 0 b は、図 3 4 に示すように、1 つのピーク増幅器 1 4 に対して複数のキャリア増幅器 1 2 を並列に接続した N - W a y ドハティ増幅器（N は 3 以上の整数）に接続されるもので、例えば第 1 2 合成器 1 0 L に適用した場合を主体に説明すると、複数のキャリア増幅器 1 2 に対応した複数のキャリア側入力端子 2 6 と、1 つのピーク増幅器 1 4 に対応した 1 つのピーク側入力端子 2 8 と、1 つの出力端子 3 0 と、複数のキャリア側入力端子 2 6 と 1 つの合成点 3 2 との間にそれぞれ接続された複数の第 1 / 4 線路 3 4 A と、合成点 3 2 と出力端子 3 0 との間に接続された 1 つの第 2 / 4 線路 3 4 B とを有する。

## 【 0 1 7 9 】

また、この第 2 変形例に係る合成器 1 0 b は、各キャリア側入力端子 2 6 とそれぞれ対応する第 1 / 4 線路 3 4 A との間の各第 1 線路 7 6 a に平行して配置され、対応する第 1 線路 7 6 a にそれぞれ電磁結合された複数の第 1 モニタ線路 7 8 a と、ピーク側入力端子 2 8 と合成点 3 2 との間の第 2 線路 7 6 b に平行して配置され、第 2 線路 7 6 b と電磁的に結合された第 2 モニタ線路 7 8 b とを有する。

## 【 0 1 8 0 】

複数の第 1 モニタ線路 7 8 a の各一端はそれぞれ対応する第 4 モニタ端子 3 6 d に接続され、複数の第 1 モニタ線路 7 8 a の各他端はそれぞれ対応する第 4 終端端子 3 8 d に接続されている。また、第 2 モニタ線路 7 8 b の一端は第 5 モニタ端子 3 6 e に接続され、他端は第 5 終端端子 3 8 e に接続されている。そして、図 3 4 では、図示しないが、複数の第 4 モニタ端子 3 6 d にはそれぞれ第 4 モニタ回路 5 0 d（図 2 9 参照）が接続されており、各第 4 モニタ回路 5 0 d からの信号がそれぞれ対応する第 1 制御器 7 4 a に供給されるようになっている。同様に、第 5 モニタ端子 3 6 e にも第 5 モニタ回路 5 0 e（図 2 9 参照）が接続されており、該第 5 モニタ回路 5 0 e からの信号が第 2 制御器 7 4 b に供給されるようになっている。

## 【 0 1 8 1 】

この第 2 変形例に係る合成器 1 0 b においては、複数のキャリア増幅器 1 2 に対応して

10

20

30

40

50

複数の第1 / 4線路34Aを有することから、より広い出力範囲で高効率が得られるN-wayドハティ増幅器の利得歪、位相歪を、増幅器効率の低下を招くことなく改善することができる。

【0182】

次に、第14の実施の形態に係るドハティ増幅器用合成器（以下、第14合成器10Nと記す）について図35及び図36を参照しながら説明する。

【0183】

この第14合成器10Nは、図35に示すように、2つのドハティ増幅器（第1ドハティ増幅器16A及び第2ドハティ増幅器16B）が並列に連結された複合ドハティ増幅器80の出力に接続され、第1ドハティ増幅器16Aの出力と第2ドハティ増幅器16Bの出力を合成する回路である。

10

【0184】

すなわち、複合ドハティ増幅器80は、図35に示すように、入力端子82からの入力信号を2つに分配する信号分配器84と、信号分配器84からの第1入力信号が入力される第1ドハティ増幅器16Aと、信号分配器84からの第2入力信号が入力される第2ドハティ増幅器16Bとを有する。

【0185】

第1ドハティ増幅器16Aは、第1入力信号を2つに分配する第1信号分配器20Aと、A級にバイアスされた第1キャリア増幅器12Aと、第1信号分配器20Aの一方の出力と第1キャリア増幅器12Aの入力とのインピーダンス整合をとる第1キャリア側インピーダンス整合部22Aと、B級又はC級にバイアスされた第1ピーク増幅器14Aと、第1信号分配器20Aの他方の出力と第1ピーク増幅器14Aの入力とのインピーダンス整合をとる第1ピーク側インピーダンス整合部24Aとを有する。

20

【0186】

第2ドハティ増幅器16Bは、上述の第1ドハティ増幅器16Aと同様の第2信号分配器20B、第2キャリア増幅器12B、第2ピーク増幅器14B、第2キャリア側インピーダンス整合部22B及び第2ピーク側インピーダンス整合部24Bを有する。

【0187】

そして、第14合成器10Nは、第1ドハティ増幅器16Aに対応した第1合成部86Aと、第2ドハティ増幅器16Bに対応した第2合成部86Bとを有する。

30

【0188】

第1合成部86Aは、第1キャリア増幅器12Aからの出力が入力される第1キャリア側入力端子26aと、第1ピーク増幅器14Aからの出力が入力される第1ピーク側入力端子28aと、第1キャリア増幅器12Aからの出力と第1ピーク増幅器14Aからの出力との第1合成点32aと、第1キャリア側入力端子26aと第1合成点32aとの間に接続された一方の第1 / 4線路34Aaと、第1合成部86Aの出力が現れる第1出力ノード88aと、第1合成点32aと第1出力ノード88aとの間に接続された一方の第2 / 4線路34Baとを有する。

【0189】

また、第2合成部86Bは、上述した第1合成部86Aと同様に、第2キャリア側入力端子26b、第2ピーク側入力端子28b、第2合成点32b、他方の第1 / 4線路34Ab、第2出力ノード88b及び他方の第2 / 4線路34Bbを有する。

40

【0190】

さらに、この第14合成器10Nは、第1出力ノード88aと出力端子30間に接続された第7 / 4線路34Gと、第2出力ノード88bとGND（グラウンド）間に接続され、第7 / 4線路34Gと電磁結合する第8 / 4線路34Hとを有する。第7 / 4線路34Gと第8 / 4線路34Hとで1つの方向性結合器（第4方向性結合器40D）が構成されている。

【0191】

さらに、この第14合成器10Nは、第1合成部86Aと、第2合成部86Bとが第4

50

方向性結合器 40D と共に 1 つの誘電体基板 42 内に一体化して形成されている。

【0192】

すなわち、第 14 合成器 10N は、図 36 に示すように、誘電体基板 42 の第 2 側面 42b に少なくとも第 1 キャリア側入力端子 26a と、第 1 ピーク側入力端子 28a と、第 2 キャリア側入力端子 26b と、第 2 ピーク側入力端子 28b とが形成され、誘電体基板 42 の第 1 側面 42a に少なくとも出力端子 30 が形成されている。

【0193】

誘電体基板 42 は、上から順に、第 1 誘電体層 S1 ~ 第 8 誘電体層 S8 が積み重ねられて構成されている。これらの第 1 誘電体層 S1 ~ 第 8 誘電体層 S8 は、1 枚あるいは複数枚の層にて構成される。

【0194】

第 14 合成器 10N は、第 3 誘電体層 S3 の主面に第 1 合成部 86A を構成する一方の第 1 / 4 線路 34Aa、一方の第 2 / 4 線路 34Ba 及び第 1 合成点 32a が形成され、第 4 誘電体層 S4 の主面にシールド端子 44 に接続された第 1 内層シールド電極 48a が形成され、第 5 誘電体層 S5 の主面に第 4 方向性結合器 40D を構成する第 7 / 4 線路 34G 及び第 8 / 4 線路 34H が形成され、第 6 誘電体層 S6 の主面にシールド端子 44 に接続された第 2 内層シールド電極 48b が形成され、第 7 誘電体層 S7 の主面に第 2 合成部 86B を構成する他方の第 1 / 4 線路 34Ab、他方の第 2 / 4 線路 34Bb 及び第 2 合成点 32b が形成されている。

【0195】

一方の第 1 / 4 線路 34Aa の一端は第 1 キャリア側入力端子 26a に接続され、一方の第 2 / 4 線路 34Ba の一端は第 1 合成点 32a を介して一方の第 1 / 4 線路 34Aa の他端及び第 1 ピーク側入力端子 28a に接続され、一方の第 2 / 4 線路 34Ba の他端は第 3 誘電体層 S3 及び第 4 誘電体層 S4 を貫通する第 1 ピアホール 72a を介して第 7 / 4 線路 34G の一端に接続され、第 7 / 4 線路 34G の他端は出力端子 30 に接続されている。

【0196】

同様に、他方の第 1 / 4 線路 34Ab の一端は第 2 キャリア側入力端子 26b に接続され、他方の第 2 / 4 線路 34Bb の一端は第 2 合成点 32b を介して他方の第 1 / 4 線路 34Ab の他端及び第 2 ピーク側入力端子 28b に接続され、他方の第 2 / 4 線路 34Bb の他端は第 5 誘電体層 S5 及び第 6 誘電体層 S6 を貫通する第 2 ピアホール 72b を介して第 8 / 4 線路 34H の一端に接続され、第 8 / 4 線路 34H の他端はシールド端子 44 に接続されている。

【0197】

一般に、携帯電話の基地局には郊外用のハイパワーのものから、施設内をカバーする小型なものまで多くの種類がある。このうち、特に大きな出力が必要な場合には、上述した複合ドハティ増幅器 80 のように、2 台のドハティ増幅器を並列に連結して用いることがある。このような複合ドハティ増幅器 80 に適用したドハティ増幅器用合成器としては、各ドハティ増幅器に対応した 2 つの合成器と、2 つの合成器の出力を合成するための方向性結合器とが必要になる。この場合、1 台のドハティ増幅器の場合よりも扱う出力が大きいため、わずかな mismatching や位相の変化が、出力の反射によりアンプの破壊等の深刻な問題を引き起こす。従って、回路基板に実装する際には、各構成部品（2 つの合成器、方向性結合器等）の回路基板への実装位置を考慮したり、回路基板の影響を考慮する必要があり、設計の自由度が小さく、要求される仕様に対して良好な特性を得るまでに、試作検討を繰り返さなくてはならず、多大な労力と時間が必要になるという問題がある。

【0198】

これに対して、第 14 合成器 10N では、第 1 ドハティ増幅器 16A に対応した第 1 合成部 86A と、第 2 ドハティ増幅器 16B に対応した第 2 合成部 86B と、第 1 合成部 86A の出力と第 2 合成部 86B の出力を合成する第 4 方向性結合器 40D とを誘電体基板 42 内に一体化して形成するようにしたので、回路基板に対して 1 つのチップとして実装

10

20

30

40

50

すればよく、ストリップライン構造であることから、回路基板の影響を受けることも少なくなるため、設計の自由度を上げることができ、要求される仕様に対して良好な特性を容易に得ることができ、所望の高い出力を得ることもできる。

【0199】

ここで、第1合成器10A～第14合成器10Nに関し、2つの好ましい変形例（第3変形例及び第4変形例）について、図37及び図38を参照しながら説明する。

【0200】

先ず、第3変形例に係る合成器10cは、図37に示すように、誘電体基板42のうち、回路基板が設置される面の反対面（例えば上面42e）に設けられた複数の溝90を有する。

10

【0201】

一般に、ドハティ増幅器は、キャリア増幅器12及びピーク増幅器14で増幅された高周波電力が内部で合成されることから、発熱しやすい。そこで、誘電体基板42に上述の複数の溝90を形成することで、合成器10cで発生した熱を大気中に逃がしやすくなり、発熱による合成器10cの損失の増大を抑制することができ、しかも、合成器10cの許容入力を高めることができる。

【0202】

第4変形例に係る合成器10dは、図38に示すように、誘電体基板42に形成された複数のサーマルビア92を有する。サーマルビア92の形成位置としては、例えば誘電体基板42の上面42eから上部シールド電極46a（図3参照）に達する領域、誘電体基板42の下面42fから下部シールド電極46b（図3参照及）に達する領域等がある。

20

【0203】

この合成器10dにおいては、キャリア増幅器12とピーク増幅器14からの信号が入力されることによって、合成器10d内で発生した熱をサーマルビア92を通じて大気中や回路基板に逃がしやすくなり、発熱による合成器10dの損失の増大を抑制することができ、しかも、合成器10dの許容入力を高めることができる。

【実施例】

【0204】

[第1実施例]

比較例1、実施例1～実施例3について、それぞれの出力特性を確認した。

30

【0205】

(比較例1)

図39に示すように、信号分配器20、キャリア側インピーダンス整合部22、ピーク側インピーダンス整合部24、キャリア増幅器12及びピーク増幅器14を有する通常のドハティ増幅器16の出力に、比較例1に係る合成器200を接続し、さらに、合成器200の出力に、特性インピーダンスが50オームのマイクロストリップ線路202（1cm）を介して30dBの方向性結合器204を接続した。すなわち、回路基板上に、ドハティ増幅器16と、比較例1に係る合成器200と、マイクロストリップ線路202と、方向性結合器204とを実装した。比較例1に係る合成器200は、誘電体基板42内に第1 / 4線路34Aと、合成点32と、第2 / 4線路34Bとを形成してチップ化した。

40

【0206】

そして、出力端子30から出力される信号に基づいてドハティ増幅器16の利得及び増幅器効率の測定を行った。このとき、比較例1に係る合成器200からの出力は52.8dBmであった。

【0207】

続いて、回路基板に実装されたものと同じ長さのマイクロストリップ線路202と30dBの方向性結合器204とを含む全体の挿入損失を測定したところ、0.16dBであった。

【0208】

50

従って、マイクロストリップ線路 202 と方向性結合器 204 による損失パワーは 7.1 W と計算される。

【0209】

(実施例 1)

回路基板上に、通常のドハティ増幅器 16 と、図 23 及び図 24 に示す第 9 合成器 10 I とを実装し、第 9 合成器 10 I のキャリア側入力端子 26 にキャリア増幅器 12 を接続し、ピーク側入力端子 28 にピーク増幅器 14 を接続した。

【0210】

第 3 モニタ端子 36c に接続された第 3 モニタ回路 50c から出力される信号に基づいてドハティ増幅器 16 の利得及び増幅器効率の測定を行った。このとき、第 9 合成器 10 I からの出力は 52.9 dBm であった。

10

【0211】

合成器の部分と第 3 方向性結合器 40C の部分とが誘電体基板 42 内で一体化された第 9 合成器 10 I による損失パワーは 3.9 W であり、比較例 1 に対して 4.4 W の改善が実現できた。このときの増幅器効率は 45% であったので、消費電力で 9.8 W 改善された。これは、比較例 1 にて実装したマイクロストリップ線路 202 の配線ロスがなくなった上に、図 24 に示すように、第 1 / 4 線路 34A、合成点 32 及び第 2 / 4 線路 34B とからなる合成器の部分と第 3 方向性結合器 40C とを内層シールド電極 48 を間に挟んで上下に重ねることで、接続配線長を最短にすることができたためと考えられる。

【0212】

20

(実施例 2)

回路基板上に、通常のドハティ増幅器 16 と、図 1 ~ 図 3 に示す第 1 合成器 10A とを実装し、第 1 合成器 10A のキャリア側入力端子 26 にキャリア増幅器 12 を接続し、ピーク側入力端子 28 にピーク増幅器 14 を接続した。

【0213】

第 1 モニタ端子 36a に接続された第 1 モニタ回路 50a から出力される信号に基づいてドハティ増幅器 16 の利得及び増幅器効率の測定を行った。このとき、第 1 合成器 10A からの出力は 52.95 dB であり、比較例 1 に対して 6.7 W ほど改善された。これは消費電力で 1.4 W の改善となる。

【0214】

30

比較例 1 に比べ、配線のマイクロストリップ線路 202 のロスがなくなったことに加え、追加の方向性結合器 204 による損失がなくなったことによる効果と考えられる。

【0215】

(実施例 3)

回路基板上に、通常のドハティ増幅器 16 と、図 14 及び図 15 に示す第 4 合成器 10D とを実装し、第 4 合成器 10D のキャリア側入力端子 26 にキャリア増幅器 12 を接続し、ピーク側入力端子 28 にピーク増幅器 14 を接続した。

【0216】

第 2 モニタ端子 36b に接続された第 2 モニタ回路 50b から出力される信号(高周波信号の包絡線)に基づいてキャリア増幅器 12 のゲートバイアスコントロールを行った。W-CDMA 信号を用い、隣接チャンネル漏洩電力(ACLR Adjacent channel leakage ratio)を測定したところ、-45 dBc から 2 dBc ほど改善することができた。

40

【0217】

[第 2 実施例]

比較例 2、実施例 11 及び実施例 12 について、それぞれの出力特性を確認した。

【0218】

(比較例 2)

図 40 に示すように、信号分配器 20、キャリア側インピーダンス整合部 22、ピーク側インピーダンス整合部 24、キャリア増幅器 12 及びピーク増幅器 14 を有する通常の

50

ドハティ増幅器 16 の出力に、比較例 2 に係る合成器 200 を接続した。すなわち、回路基板上に、ドハティ増幅器 16 と、比較例 2 に係る合成器 200 とを実装した。比較例 2 に係る合成器 200 は、誘電体基板 42 内に第 1 / 4 線路 34 A と、合成点 32 と、第 2 / 4 線路 34 B とを形成してチップ化した。

【0219】

そして、ドハティ増幅器 16 の基本特性である利得特性及び効率特性を計測したところ、図 41 のような特性であった。このドハティ増幅器 16 では、入力側の信号分配器 20 に 3 dB ハイブリッドカプラを使用しているため、最大出力（利得が 1 dB 低下する点）より約 6 dB 低い出力において効率特性に変曲点 P a が見られる。この変曲点 p a よりもさらに効率を上げようとする、利得特性に変曲点 P b が現れる。

10

【0220】

なお、ドハティ増幅器 16 が取り扱う信号のピーク・アベレージ信号パワー比（P A P R : Peak Average Power Ratio）に応じて、入力側の信号分配器 20 の信号分配比は適宜選択可能であり、例えば P A P R = 8 dB の場合は、入力側の信号分配器 20 に 5 dB の不等分配カプラを使用することにより達成可能である。

【0221】

そして、ドハティ増幅器 16 に対して、歪補償器として D P D (Digital Pre Distortion) を用いて歪補償前後での歪計測を実施した。入力信号は W - C D M A を用い、隣接チャネル漏洩電力（A C L R Adjacent Channel Leakage power Ratio）により歪を評価した。

20

【0222】

比較例 2 では、歪補償前の A C L R が - 45 dB c に対し、歪補償後の A C L R は - 50 dB c となり、歪補償による歪の改善は - 5 dB c に留まった。

【0223】

(実施例 11)

回路基板上に、通常のドハティ増幅器 16 と、図 25 及び図 26 に示す第 10 合成器 10 J とを実装し、第 10 合成器 10 J のキャリア側入力端子 26 にキャリア増幅器 12 を接続し、ピーク側入力端子 28 にピーク増幅器 14 を接続した。そして、第 4 モニタ端子 36 d に接続された第 4 モニタ回路 50 d からの出力を、キャリア増幅器 12 のゲートバイアス電圧を制御するための第 1 制御器 74 a に入力し、キャリア増幅器 12 からのキャリア信号の振幅レベルに基づいてキャリア増幅器 12 のゲートバイアス電圧を制御可能とした。

30

【0224】

これにより、キャリア増幅器 12 の利得が低下し始める出力領域において、ゲートバイアス電圧を上げることで、キャリア増幅器 12 の利得低減を抑制できることから、図 42 に示すように、従来のドハティ増幅器 16 の利得に見られた変曲点 P b (図 41 及び図 45 参照) の発生を抑制することが可能となり、この結果、D P D による歪補償が容易となる。

【0225】

例えば比較例 2 と同等の計測条件において、歪を計測したところ、歪補償前の A C L R が - 45 dB c だったのに対し、歪補償後の A C L R は - 56 dB c となり、比較例 2 と比較して歪の改善度合いが - 6 dB c 向上した。

40

【0226】

(実施例 12)

回路基板上に、通常のドハティ増幅器 16 と、図 29 及び図 30 に示す第 12 合成器 10 L とを実装し、第 12 合成器 10 L のキャリア側入力端子 26 にキャリア増幅器 12 を接続し、ピーク側入力端子 28 にピーク増幅器 14 を接続した。そして、第 4 モニタ端子 36 d に接続された第 4 モニタ回路 50 d からの出力を、キャリア増幅器 12 のゲートバイアス電圧を制御するための第 1 制御器 74 a に入力し、さらに、第 5 モニタ端子 36 e に接続された第 5 モニタ回路 50 e からの出力を、ピーク増幅器 14 のゲートバイアス電

50

圧を制御するための第2制御器74bに入力し、キャリア増幅器12からのキャリア信号の振幅レベルに基づいてキャリア増幅器12のゲートバイアス電圧を制御可能とすると共に、ピーク増幅器14からのピーク信号の振幅レベルに基づいてピーク増幅器14のゲートバイアス電圧を制御可能とした。

【0227】

これにより、キャリア増幅器12の利得低減抑制効果に加え、ピーク増幅器14の利得低減も抑制できることから、図43に示すように、この実施例12では、実施例11と比較して高出力領域での利得低減がさらに抑制される。この結果、DPDによる歪補償がさらに容易となる。

【0228】

例えば比較例2と同等の計測条件において、歪を計測したところ、歪補償前のACLRが-48dBcだったのに対し、歪補償後のACLRは-61dBcとなり、比較例2と比較して歪の改善度合いが-8dBc改善した。

【0229】

なお、本発明に係るドハティ増幅器用合成器は、上述の実施の形態に限らず、本発明の要旨を逸脱することなく、種々の構成を採り得ることはもちろんである。

【図1】

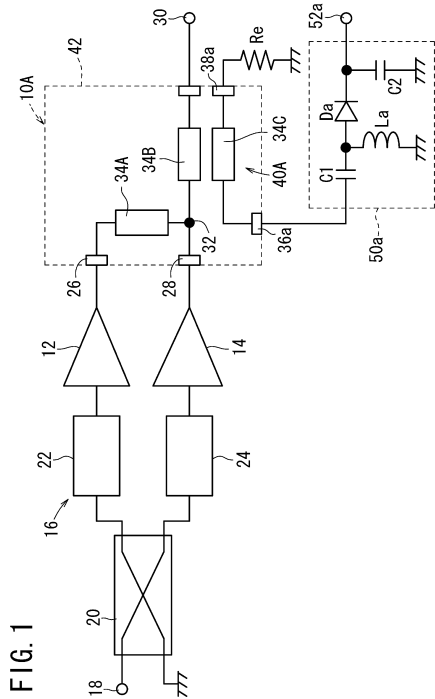


FIG. 1

【図2】

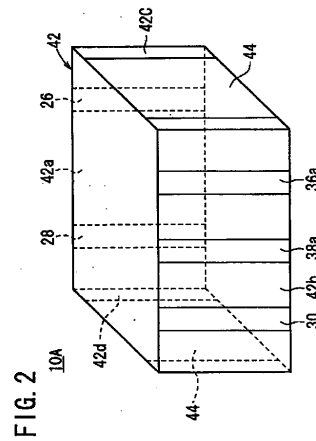
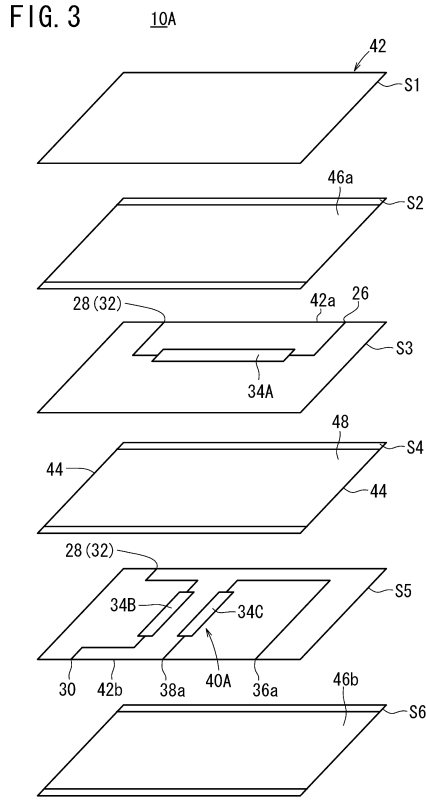
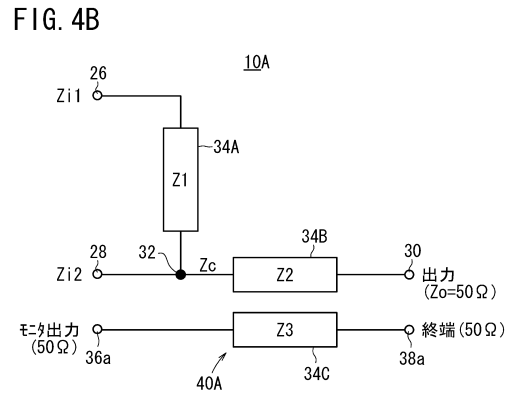
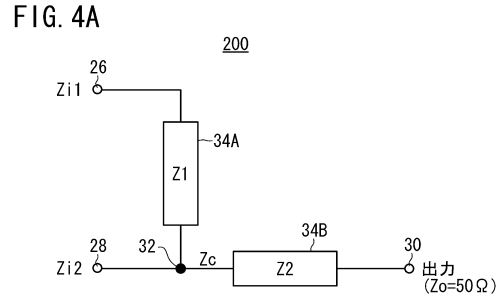


FIG. 2

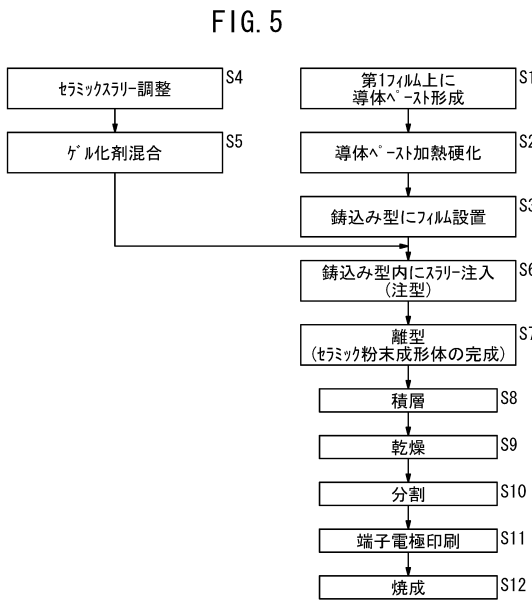
【 図 3 】



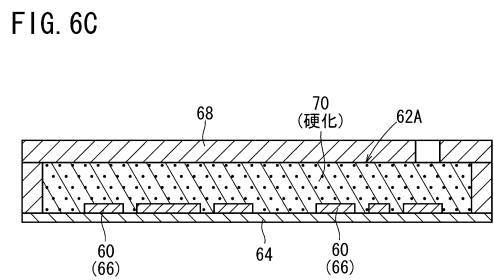
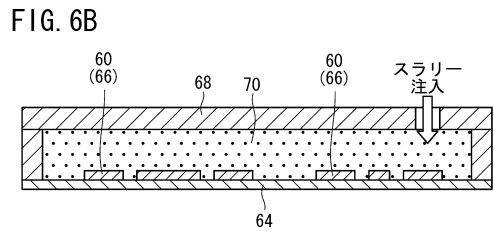
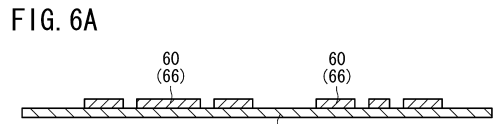
【 図 4 】



【 図 5 】



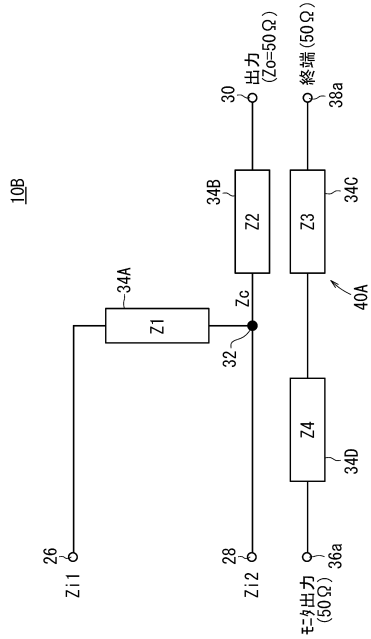
【 図 6 】





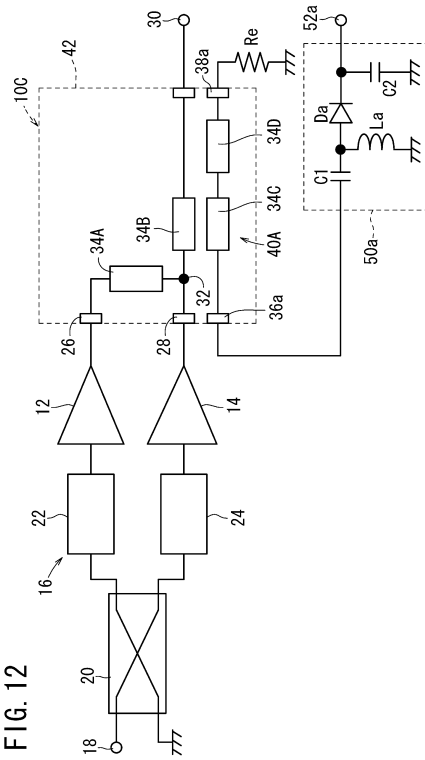
【 図 1 1 】

FIG. 11



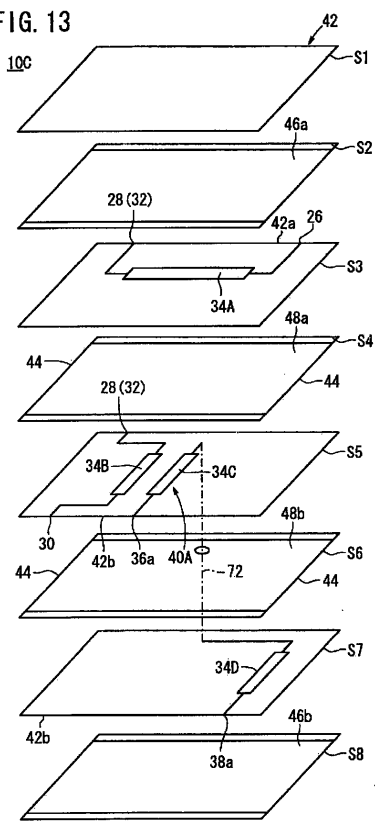
【 図 1 2 】

FIG. 12



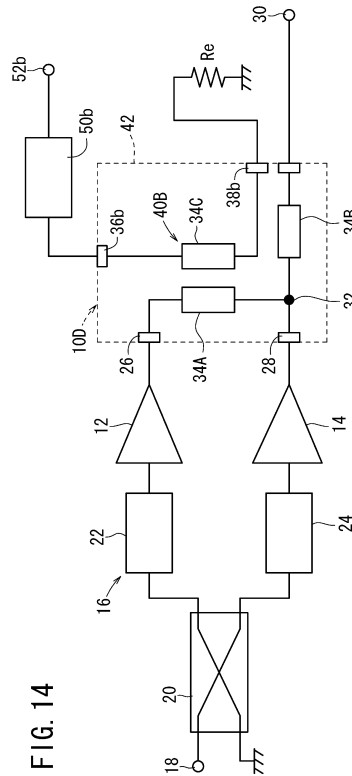
【 図 1 3 】

FIG. 13

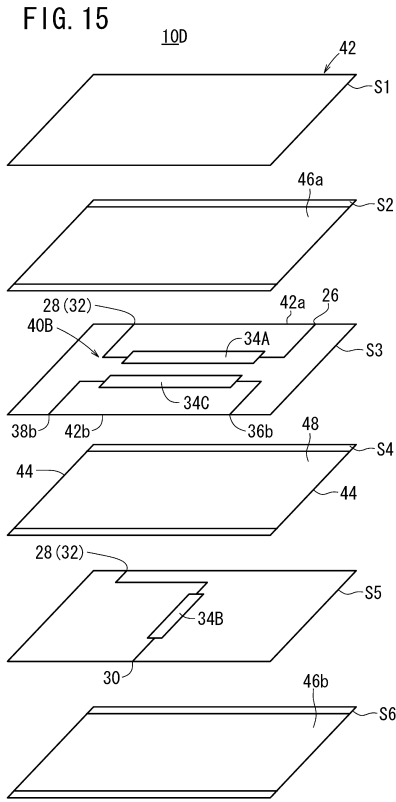


【 図 1 4 】

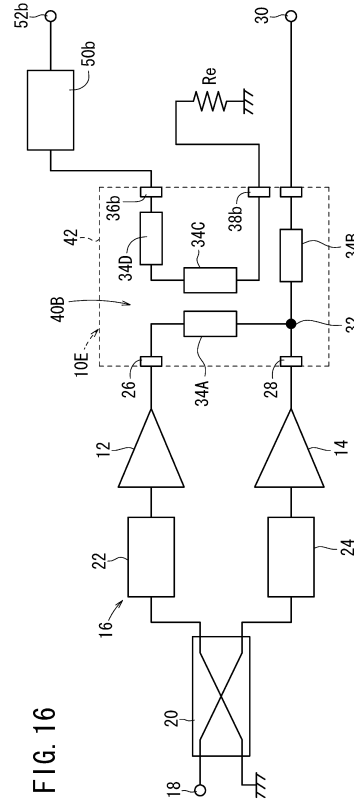
FIG. 14



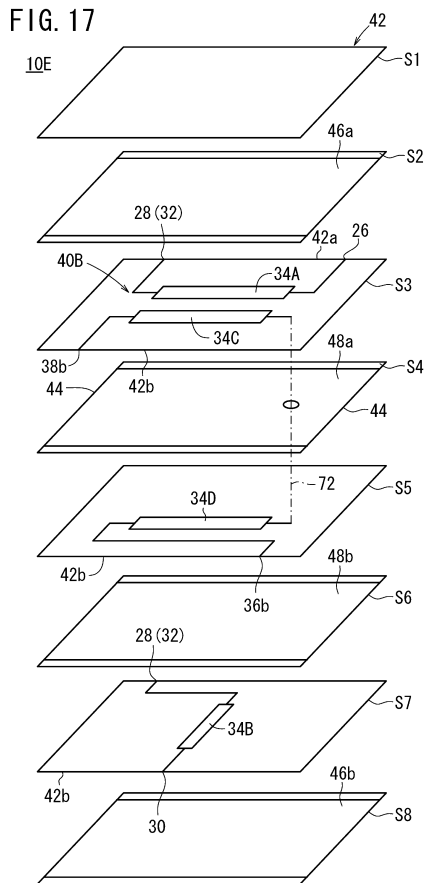
【 図 1 5 】



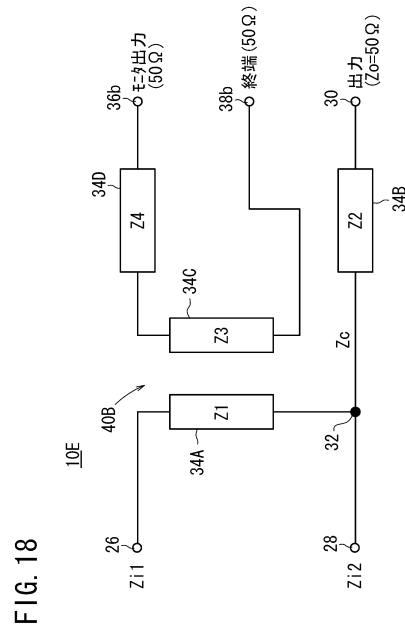
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



【 図 19 】

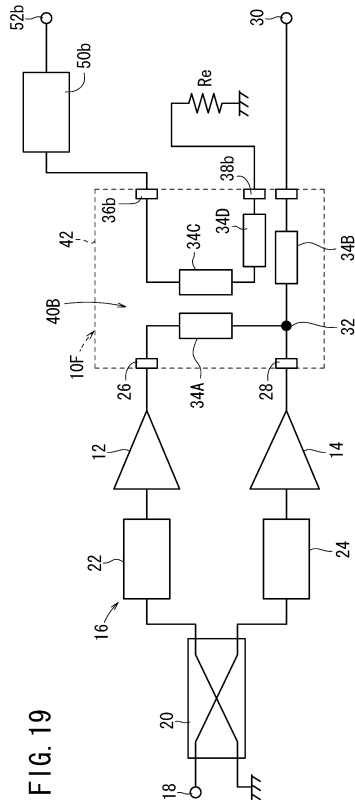


FIG. 19

【 図 21 】

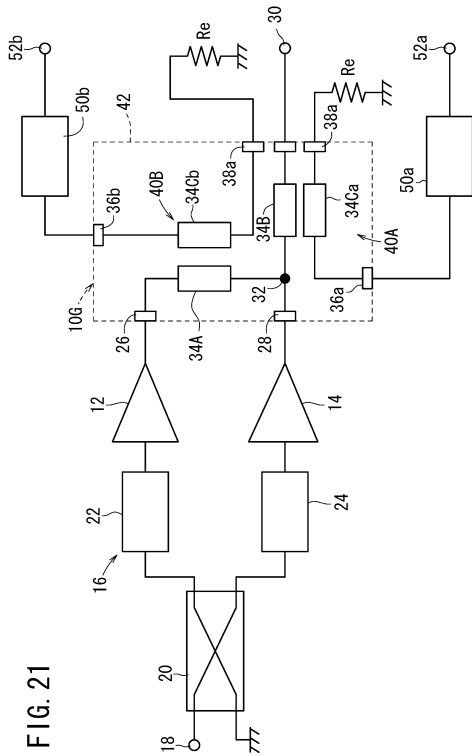
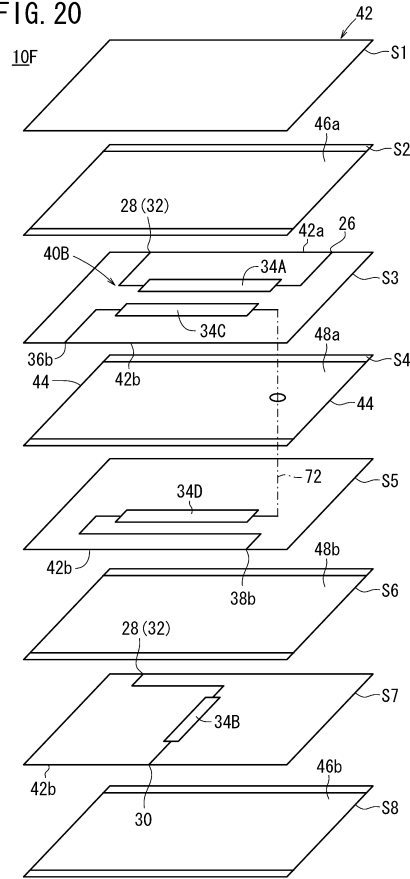


FIG. 21

【 図 20 】

FIG. 20



【 図 22 】

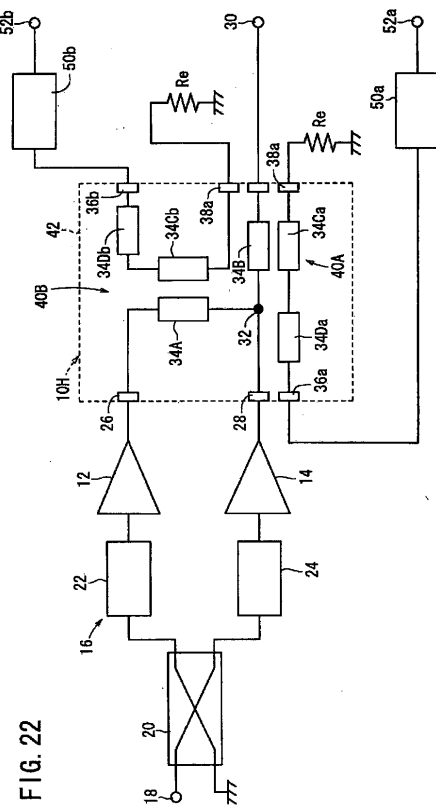


FIG. 22

【 図 2 3 】

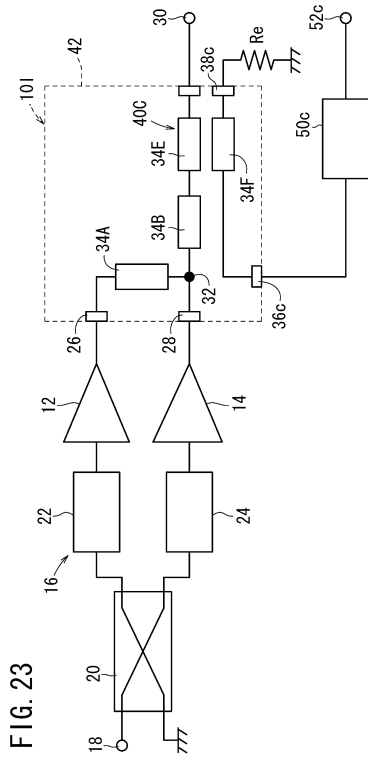


FIG. 23

【 図 2 5 】

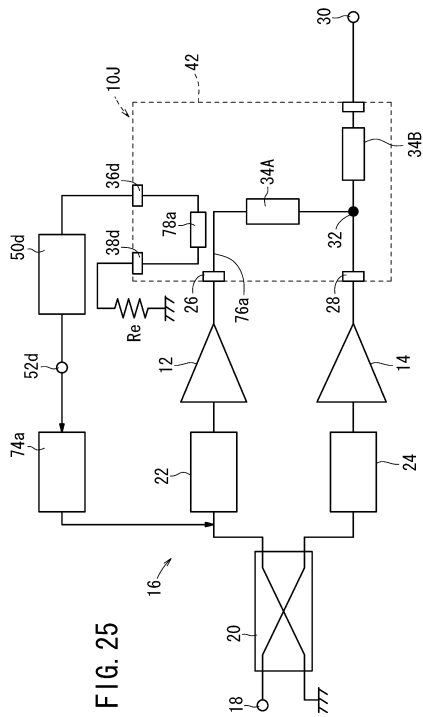


FIG. 25

【 図 2 4 】

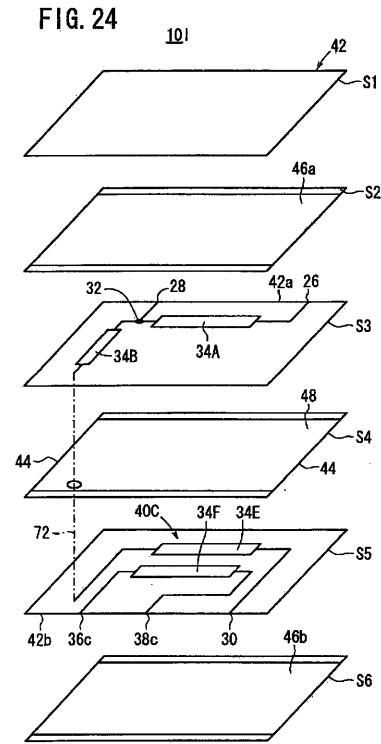


FIG. 24

【 図 2 6 】

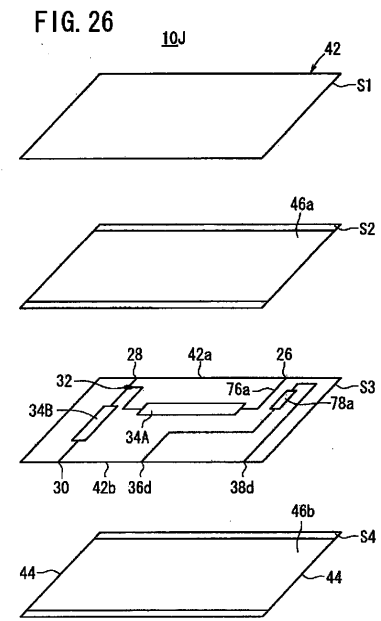


FIG. 26

【 27 】

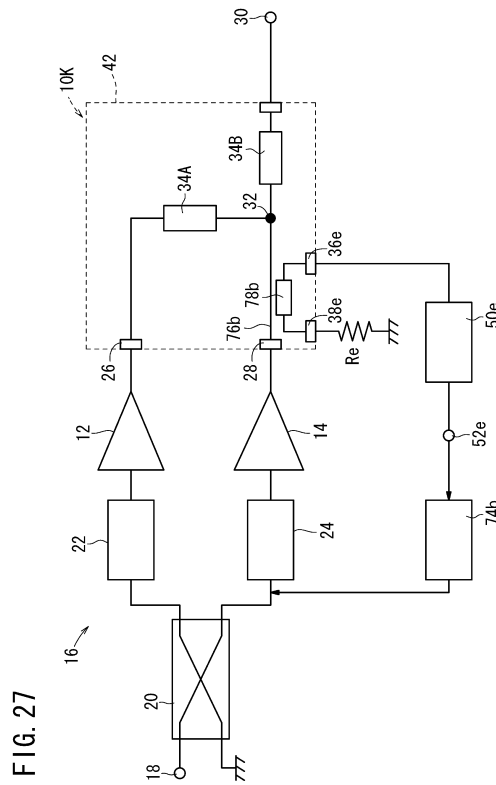


FIG. 27

【 28 】

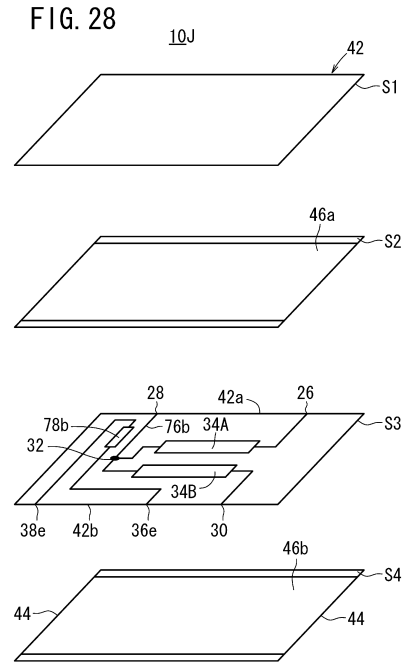


FIG. 28

【 29 】

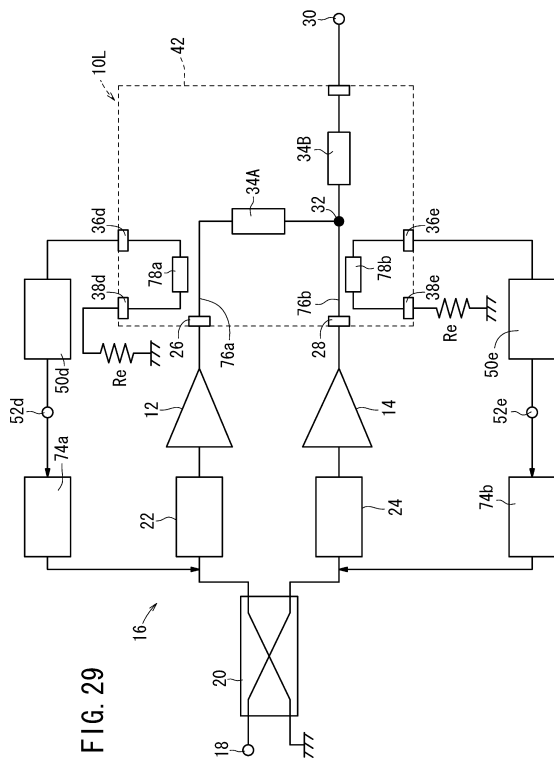


FIG. 29

【 30 】

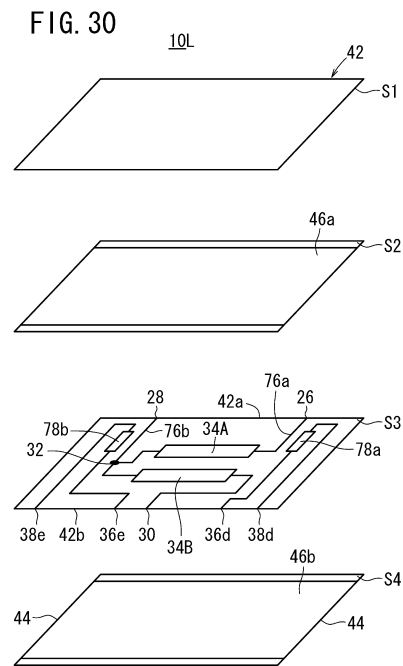
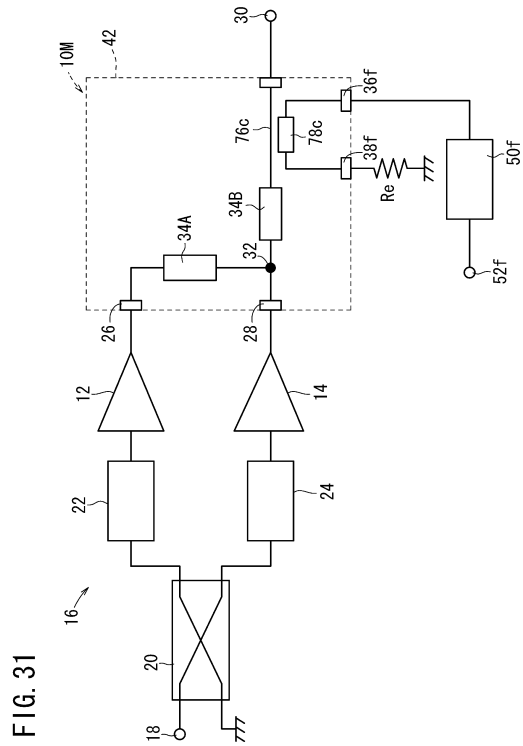
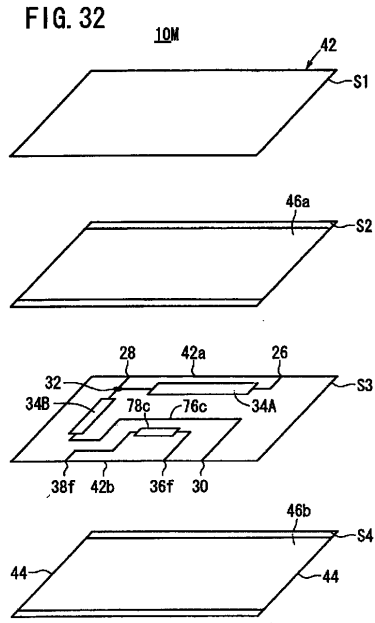


FIG. 30

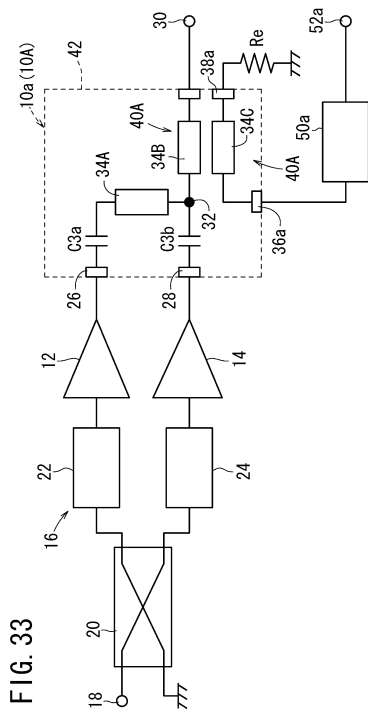
【 3 1 】



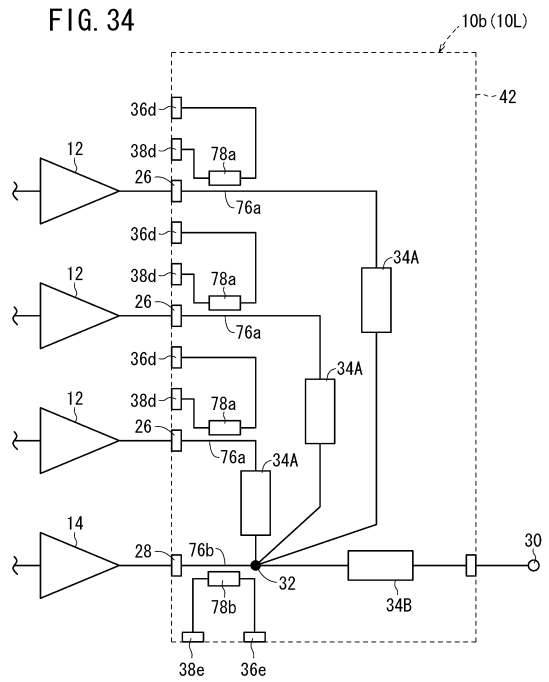
【 3 2 】



【 3 3 】



【 3 4 】



【 図 3 5 】

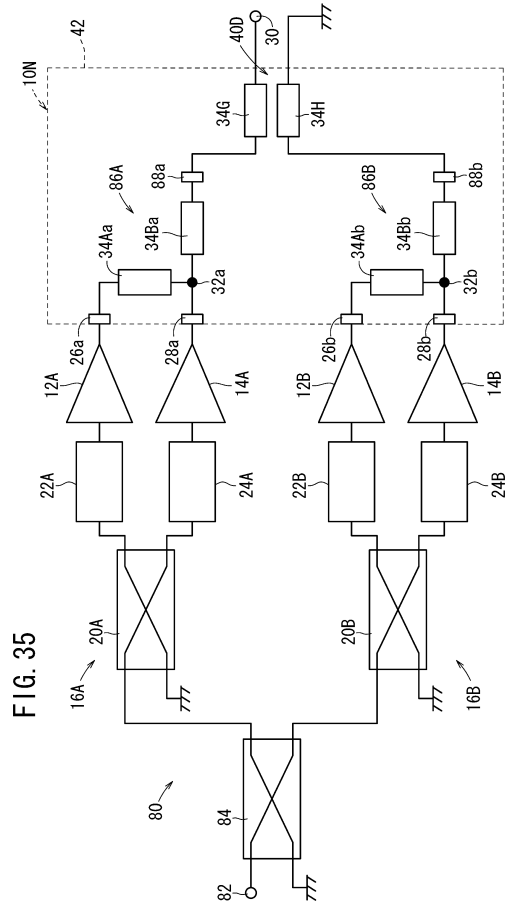


FIG. 35

【 図 3 7 】

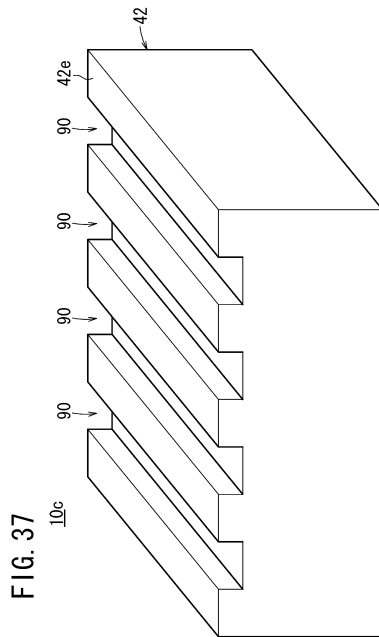
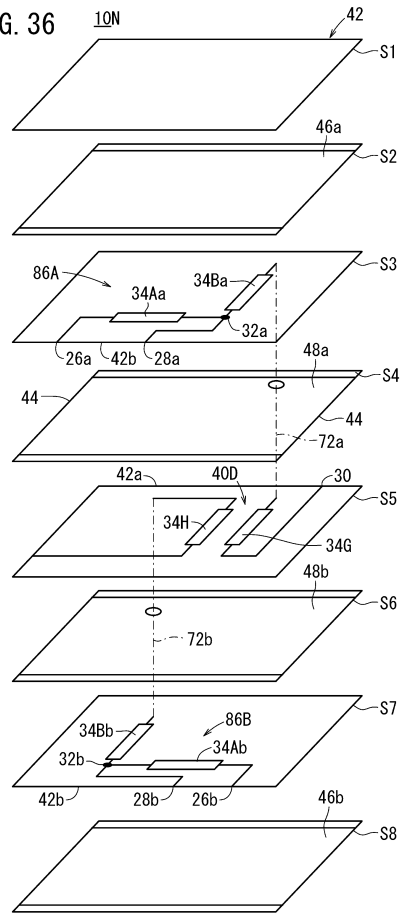


FIG. 37

【 図 3 6 】

FIG. 36



【 図 3 8 】

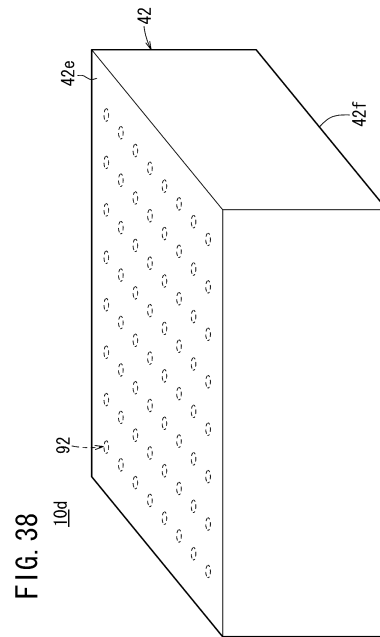


FIG. 38

【 図 3 9 】

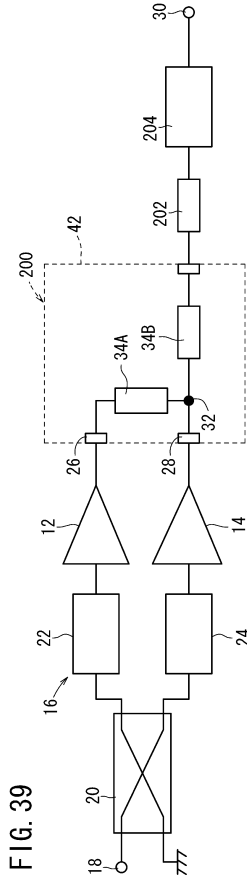


FIG. 39

【 図 4 0 】

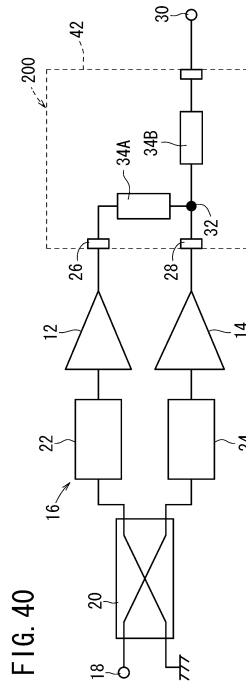


FIG. 40

【 図 4 1 】

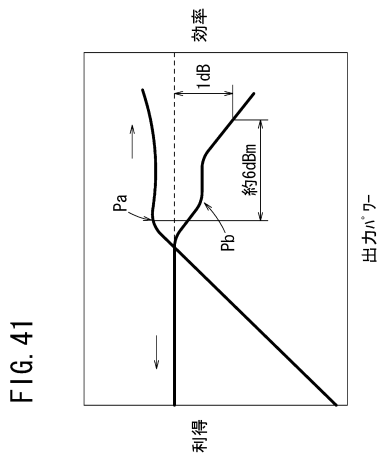


FIG. 41

【 図 4 2 】

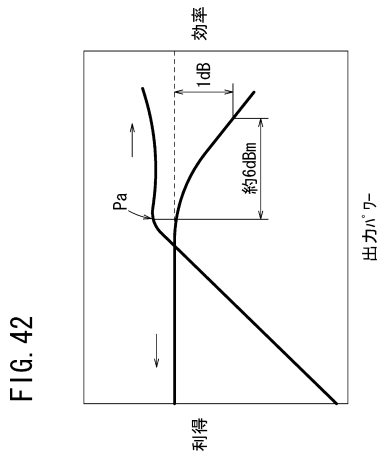
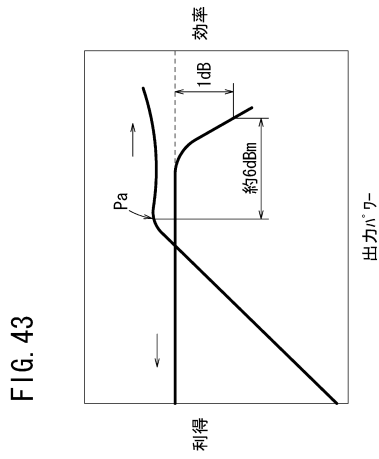
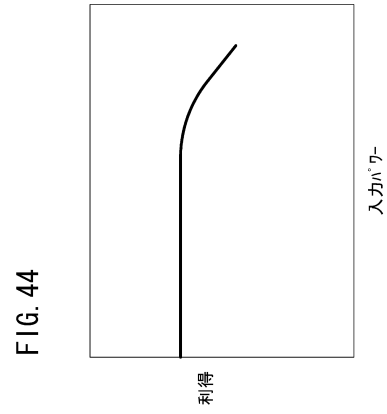


FIG. 42

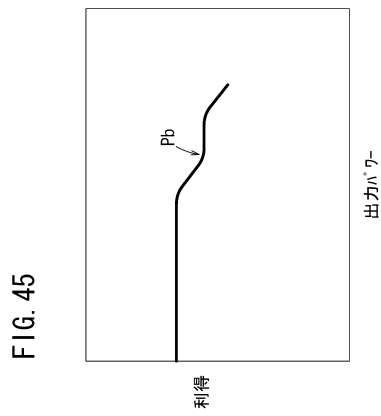
【 図 4 3 】



【 図 4 4 】



【 図 4 5 】



## フロントページの続き

- (72)発明者 滑川 政彦  
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
- (72)発明者 矢野 信介  
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
- (72)発明者 堀尾 保文  
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
- (72)発明者 鶴岡 達也  
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
- (72)発明者 平井 隆己  
愛知県名古屋市瑞穂区須田町2番56号 日本碍子株式会社内
- (72)発明者 大久保 秀顕  
長野県佐久市猿久保664-1 日本碍子株式会社 千曲工場内
- (72)発明者 水間 厚夫  
長野県佐久市猿久保664-1 日本碍子株式会社 千曲工場内

審査官 宮島 郁美

- (56)参考文献 特開2007-228062(JP,A)  
国際公開第2008/123438(WO,A1)  
特開平07-106898(JP,A)  
特開2008-219175(JP,A)  
特開2008-022513(JP,A)  
特開平06-216680(JP,A)  
再公表特許第2008/136080(JP,A1)  
特開2002-124840(JP,A)  
特開2006-173722(JP,A)  
特開2006-174409(JP,A)  
特開2009-206675(JP,A)  
特表2006-525751(JP,A)  
特表2005-525727(JP,A)  
特開2007-173647(JP,A)  
特開2009-176839(JP,A)  
特開2010-206351(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H03F 1/07  
H03F 1/32  
H03F 3/60