(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0024112
(43) 공개일자 2025년02월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/1362* (2006.01)
H10D 86/40 (2025.01)
(52) CPC특허분류
G09G 3/3614 (2013.01)
G02F 1/136286 (2013.01)
(21) 출원번호 10-2025-7003433(분할)
(22) 출원일자(국제) 2018년02월06일
심사청구일자 2025년02월03일
(62) 원출원 특허 10-2023-7039752
원출원일자(국제) 2018년02월06일
심사청구일자 2023년12월19일
(85) 번역문제출일자 2025년02월03일
(86) 국제출원번호 PCT/IB2018/050722
(87) 국제공개번호 WO 2018/150293
국제공개일자 2018년08월23일
(30) 우선권주장
JP-P-2017-027901 2017년02월17일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
기무라 하지메
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
김태홍, 김진희

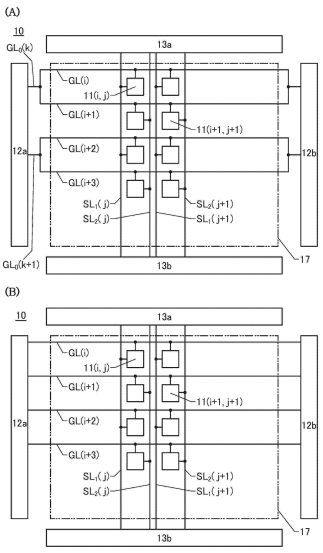
전체 청구항 수 : 총 2 항

(54) 발명의 명칭 **표시 장치**

(57) 요 약

대형화에 적합한 표시 장치가 실현된다. 화소열마다 3개 이상의 소스선을 제공한다. 1프레임 기간 중, 같은 극성의 비디오 신호를 인접한 소스선에 입력한다. 플리커 또는 크로스토크 등을 저감하기 위하여 도트 반전 구동을 사용한다.

대 표 도 - 도1



(52) CPC특허분류
H10D 86/441 (2025.01)
G09G 2300/0417 (2013.01)
G09G 2300/0426 (2013.01)
G09G 2320/0223 (2013.01)

명 세 서

청구범위

청구항 1

표시 장치로서,

제 1 게이트선 내지 제 4 게이트선과, 제 1 소스선 내지 제 4 소스선과, 표시부를 포함하고,

상기 표시부는, 제 1 열에 배치된 제 1 화소 내지 제 4 화소와, 상기 제 1 열에 인접한 제 2 열에 배치된 제 5 화소 내지 제 8 화소를 포함하고,

상기 제 2 화소는 상기 제 1 화소 및 상기 제 3 화소에 인접하여 배치되고,

상기 제 3 화소는 상기 제 2 화소 및 상기 제 4 화소에 인접하여 배치되고,

상기 제 6 화소는 상기 제 5 화소 및 상기 제 7 화소에 인접하여 배치되고,

상기 제 7 화소는 상기 제 6 화소 및 상기 제 8 화소에 인접하여 배치되고,

상기 제 1 화소 및 상기 제 5 화소는 상기 제 1 게이트선에 전기적으로 접속되고,

상기 제 2 화소 및 상기 제 6 화소는 상기 제 2 게이트선에 전기적으로 접속되고,

상기 제 3 화소 및 상기 제 7 화소는 상기 제 3 게이트선에 전기적으로 접속되고,

상기 제 4 화소 및 상기 제 8 화소는 상기 제 4 게이트선에 전기적으로 접속되고,

상기 제 1 게이트선은 상기 제 2 게이트선 내지 상기 제 4 게이트선에 전기적으로 접속되고,

상기 제 2 소스선은 상기 제 1 소스선과 상기 제 1 화소 사이에 배치되고,

상기 제 1 화소는 상기 제 2 소스선과 상기 제 3 소스선 사이에 배치되고,

상기 제 3 소스선은 상기 제 1 화소와 상기 제 4 소스선 사이에 배치되고,

상기 제 1 소스선은 상기 제 1 화소에 전기적으로 접속되고,

상기 제 2 소스선은 상기 제 3 화소에 전기적으로 접속되고,

상기 제 3 소스선은 상기 제 2 화소에 전기적으로 접속되고,

상기 제 4 소스선은 상기 제 4 화소에 전기적으로 접속되어 있는, 표시 장치.

청구항 2

표시 장치로서,

제 1 게이트선 내지 제 4 게이트선과, 제 1 소스선 내지 제 4 소스선과, 표시부를 포함하고,

상기 표시부는, 제 1 열에 배치된 제 1 화소 내지 제 4 화소와, 상기 제 1 열에 인접한 제 2 열에 배치된 제 5 화소 내지 제 8 화소를 포함하고,

상기 제 2 화소는 상기 제 1 화소 및 상기 제 3 화소에 인접하여 배치되고,

상기 제 3 화소는 상기 제 2 화소 및 상기 제 4 화소에 인접하여 배치되고,

상기 제 6 화소는 상기 제 5 화소 및 상기 제 7 화소에 인접하여 배치되고,

상기 제 7 화소는 상기 제 6 화소 및 상기 제 8 화소에 인접하여 배치되고,

상기 제 1 화소 및 상기 제 5 화소는 상기 제 1 게이트선에 전기적으로 접속되고,

상기 제 2 화소 및 상기 제 6 화소는 상기 제 2 게이트선에 전기적으로 접속되고,

상기 제 3 화소 및 상기 제 7 화소는 상기 제 3 게이트선에 전기적으로 접속되고,

상기 제 4 화소 및 상기 제 8 화소는 상기 제 4 게이트선에 전기적으로 접속되고,

상기 제 1 소스선은 상기 제 1 화소에 전기적으로 접속되고,

상기 제 2 소스선은 상기 제 3 화소에 전기적으로 접속되고,

상기 제 3 소스선은 상기 제 2 화소에 전기적으로 접속되고,

상기 제 4 소스선은 상기 제 4 화소에 전기적으로 접속되어 있는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 표시 장치에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 본 발명의 일 형태의 기술분야의 예에는 반도체 장치, 표시 장치, 발광 장치, 전력 저장 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 및 이들의 제작 방법이 포함된다.

[0003] 본 명세서 등에서, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 임의의 장치를 말한다. 트랜지스터, 반도체 회로, 연산 장치, 및 기억 장치 등은 각각 반도체 장치의 일 형태이다. 또한, 촬상 장치, 전기광학 장치, 발전 장치(예를 들어, 박막 태양 전지 및 유기 박막 태양 전지), 및 전자 기기는 각각 반도체 장치를 포함하여도 좋다.

배 경 기 술

[0004] 근년, 고해상도의 표시 장치가 요구되고 있다. 예를 들어, 풀 HD(full high-definition)(화소수 1920×1080)가 가정용 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함)의 주류가 되어 있지만, 4K(화소수 3840×2160) 디스플레이 및 8K(화소수 7680×4320) 디스플레이 등의 고해상도 표시 장치가 개발되고 있다.

[0005] 액정 표시 장치는 표시 장치의 한 종류로서 알려져 있다. 투과형 액정 표시 장치는, 액정의 광학 변조 작용을 이용함으로써 백라이트로부터의 광의 투과량을 조정하고 콘트라스트를 표현하여 화상을 표시한다.

[0006] 전계 효과 트랜지스터의 한 종류로서, 절연 표면을 갖는 기판 위에 형성된 반도체막을 사용하여 채널 형성 영역이 형성되는 박막 트랜지스터가 알려져 있다. 특허문헌 1에는 박막 트랜지스터의 채널 형성 영역에 사용되는 반도체막에 비정질 실리콘을 사용하는 기술이 개시되어 있다. 예를 들어, 액정 표시 장치에서는, 박막 트랜지스터가 각 화소의 스위칭 트랜지스터로서 사용된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 공개특허공보 특개2001-053283호

발명의 내용

해결하려는 과제

[0008] 텔레비전 장치 또는 모니터 장치 등의 표시 장치의 해상도가 높아지거나 스크린 크기가 커지면, 상기 표시 장치에 포함되는 트랜지스터 등의 부하가 현저히 커진다. 이에 의하여, 특히 트랜지스터의 전계 효과 이동도가 낮은 경우에 높은 구동 주파수로 동작시키기 어려워질 수 있다.

[0009] 고해상도의 표시 장치 및 이 표시 장치의 제작 방법을 제공하는 것을 과제로 한다. 대형화에 적합한 표시 장치 및 이 표시 장치의 제작 방법을 실현하는 것을 다른 과제로 한다. 저렴한 표시 장치 및 이 표시 장치의 제작 방법을 제공하는 것을 다른 과제로 한다. 신뢰성이 높은 표시 장치 및 이 표시 장치의 제작 방법을 제공하는 것을 다른 과제로 한다. 금속 산화물 등을 사용한 표시 장치 및 이 표시 장치의 제작 방법을 제공하는 것을 다

른 과제로 한다. 신규 표시 장치 및 이 표시 장치의 제작 방법을 제공하는 것을 다른 과제로 한다.

[0010] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 모든 과제를 달성할 필요는 없다. 또한, 다른 과제는 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 형태는 복수의 게이트선, 복수의 소스선, 및 표시부를 포함하는 표시 장치이다. 표시부는 m행 n열(m 및 n은 각각 2 이상의 정수(整數))로 배치된 복수의 화소를 포함한다. 복수의 화소는 각각 트랜지스터 및 표시 소자를 포함한다. i행(i는 1 이상 m 이하의 정수)에 배치된 복수의 화소는 i번째 게이트선에 전기적으로 접속된다. 표시 장치는 열마다 g개의 소스선을 포함한다. j열에 배치된 g개의 소스선 및 j+1열에 배치된 g개의 소스선 중, 같은 극성의 신호를 공급하는 g개의 소스선이 서로 인접하여 제공되어 있다. 또한, g는 3 이상인 것이 바람직하다.

[0012] 상기에서, 인접한 g개의 소스선 중 적어도 하나는 j열의 복수의 화소 중 하나 이상에 전기적으로 접속된다. 인접한 g개의 소스선 중 적어도 다른 하나는 j+1열의 복수의 화소 중 하나 이상에 전기적으로 접속된다. 1프레임 기간 중, 인접한 g개의 소스선에는 같은 극성의 신호가 공급된다. 복수의 게이트선 중 f개마다 동시에 신호가 공급된다. 또한, f는 3 이상인 것이 바람직하다.

[0013] 상기 표시 장치는 도트 반전 구동에 의하여 동작되는 것이 바람직하다.

[0014] 트랜지스터의 반도체층은 비정질 실리콘을 포함하여도 좋고 금속 산화물을 포함하여도 좋다.

발명의 효과

[0015] 본 발명의 일 형태에 따르면, 대형화에 적합한 표시 장치 및 이 표시 장치의 제작 방법을 제공할 수 있다. 고해상도의 표시 장치 및 이 표시 장치의 제작 방법을 제공할 수 있다. 저렴한 표시 장치 및 이 표시 장치의 제작 방법을 제공할 수 있다. 신뢰성이 높은 표시 장치 및 이 표시 장치의 제작 방법을 제공할 수 있다. 금속 산화물 등을 사용한 표시 장치 및 이 표시 장치의 제작 방법을 제공할 수 있다. 신규 표시 장치 및 이 표시 장치의 제작 방법을 제공할 수 있다.

[0016] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 효과 모두를 반드시 달성할 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 추출될 수 있다.

도면의 간단한 설명

[0017] 도 1의 (A) 및 (B)는 표시 장치의 구조예를 도시한 것.

도 2는 표시 장치의 구조예를 도시한 것.

도 3은 표시 장치의 구조예를 도시한 것.

도 4는 표시 장치의 구조예를 도시한 것.

도 5는 표시 장치의 구조예를 도시한 것.

도 6은 표시 장치의 구조예를 도시한 것.

도 7은 표시 장치의 구조예를 도시한 것.

도 8의 (A) 및 (B)는 표시 장치의 구조예를 각각 도시한 것.

도 9의 (A) 및 (B)는 표시 장치의 구조예를 각각 도시한 것.

도 10은 표시 장치의 구조예를 도시한 것.

도 11의 (A) 및 (B)는 표시 장치의 구조예를 각각 도시한 것.

도 12는 표시 장치의 구조예를 도시한 것.

도 13은 표시 장치의 구조예를 도시한 것.

도 14는 표시 장치의 구조예를 도시한 것.

도 15는 표시 장치의 구조예를 도시한 것.

도 16은 표시 장치의 구조예를 도시한 것.

도 17은 표시 장치의 구조예를 도시한 것.

도 18은 표시 장치의 구조예를 도시한 것.

도 19의 (A) 내지 (C)는 표시 장치의 제작 방법의 예를 도시한 것.

도 20의 (A) 및 (B)는 표시 장치의 제작 방법의 예를 도시한 것.

도 21의 (A) 및 (B)는 표시 장치의 제작 방법의 예를 도시한 것.

도 22의 (A) 및 (B)는 표시 장치의 구조예를 각각 도시한 것.

도 23의 (A) 및 (B)는 표시부의 구조예를 각각 도시한 것.

도 24는 표시부의 구조예를 도시한 것.

도 25는 표시부의 구조예를 도시한 것.

도 26은 표시부의 구조예를 도시한 것.

도 27은 표시부의 구조예를 도시한 것.

도 28은 표시부의 구조예를 도시한 것.

도 29는 표시부의 구조예를 도시한 것.

도 30은 표시부의 구조예를 도시한 것.

도 31의 (A) 및 (B)는 표시부의 구조예를 각각 도시한 것.

도 32의 (A) 및 (B)는 구동 회로의 구조예를 각각 도시한 것.

도 33의 (A) 및 (B)는 구동 회로의 구조예를 각각 도시한 것.

도 34는 디멀티플렉서와 표시부의 접속의 예를 도시한 것.

도 35는 디멀티플렉서와 표시부의 접속의 예를 도시한 것.

도 36은 디멀티플렉서와 표시부의 접속의 예를 도시한 것.

도 37은 디멀티플렉서와 표시부의 접속의 예를 도시한 것.

도 38의 (A) 내지 (D)는 기억 회로의 예를 각각 도시한 것.

도 39의 (A) 내지 (F)는 트랜지스터의 구조예를 각각 도시한 것.

도 40의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것.

도 41의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것.

도 42의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것.

도 43의 (A) 내지 (D)는 트랜지스터의 구조예를 도시한 것.

도 44의 (A) 내지 (C)는 트랜지스터의 구조예를 도시한 것.

도 45는 표시 패널의 구조예를 도시한 것.

도 46의 (A) 및 (B)는 레이저 조사 방법 및 레이저 결정화 장치를 도시한 것.

도 47의 (A) 및 (B)는 레이저 조사 방법을 도시한 것.

도 48의 (A) 내지 (D)는 전자 기기의 예를 각각 도시한 것.

발명을 실시하기 위한 구체적인 내용

[0018] 실시형태에 대하여 도면을 참조하여 자세히 설명한다. 또한, 본 발명은 이하의 설명에 한정되지 않는다. 본 발명의 취지 및 범위에서 벗어나지 않고 본 발명의 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자에 의하여 쉽게 이해된다. 따라서, 본 발명은 이하의 실시형태의 설명에 한정하여 해석되지 말아야 한다.

[0019] 또한, 이하에서 설명하는 본 발명의 구조에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 다른 도면에서 같은 부호로 나타내어지며, 그 설명은 반복되지 않는다. 비슷한 기능을 갖는 부분에는 같은 해칭 패턴을 적용하고, 이 부분을 특별히 부호로 나타내지 않는 경우가 있다.

[0020] 또한, 본 명세서에서 설명하는 각 도면에서 각 구성 요소의 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 크기, 층의 두께, 또는 영역은 도시된 스케일에 한정되지 않는다.

[0021] 또한, 본 명세서 등에서 "제 1" 및 "제 2" 등의 서수사는 구성 요소 간의 혼동을 피하기 위하여 사용되는 것으로, 수를 한정하는 것은 아니다.

[0022] 트랜지스터는 반도체 소자의 일종으로, 전류 또는 전압의 증폭, 혹은 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는 IGFET(insulated-gate field effect transistor) 및 TFT(thin film transistor)를 그 범주에 포함한다.

[0023] 또한, 소스 및 드레인의 기능은, 예를 들어 반대 극성의 트랜지스터를 채용하거나 회로 동작에서 전류가 흐르는 방향이 변화되는 경우에 바뀔 수 있다. 따라서, 본 명세서에서는 "소스" 및 "드레인"이라는 용어를 서로 바꿀 수 있다.

[0024] 또한, 본 명세서 등에서, "전기적으로 접속"이라는 용어에는 어떠한 전기적 작용을 갖는 물체를 통하여 구성 요소들이 접속되는 경우가 포함된다. "어떠한 전기적 작용을 갖는 물체"에는, 그 물체를 통하여 접속된 구성 요소들 간에서 전기 신호가 송수신될 수 있기만 하면, 특별한 한정은 없다. "어떠한 전기적 작용을 갖는 물체"의 예로서는 전극 및 배선에 더하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 코일, 용량 소자, 및 다양한 기능을 갖는 소자가 있다.

[0025] 본 명세서 등에서, 표시 장치의 일 형태로서의 표시 패널은 표시면에 화상 등을 표시(출력)하는 기능을 갖기 때문에, 표시 패널은 출력 장치의 일 형태이다.

[0026] 본 명세서 등에서는, 표시 패널의 기판에 FPC(flexible printed circuit) 또는 TCP(tape carrier package) 등의 커넥터가 접착된 구조, 또는 COG(chip on glass) 방식 등에 의하여 기판에 집적 회로(IC)가 실장된 구조를 표시 패널 모듈 또는 표시 모듈이라고 하거나 단순히 표시 패널 등이라고 하는 경우가 있다.

[0027] 본 명세서 등에서, 터치 센서는 손가락 또는 스타일러스 등의 물체의 접촉, 압력, 또는 접근 등을 검지하는 기능을 갖는다. 또한, 터치 센서는 위치 정보를 검지하는 기능을 가져도 좋다. 따라서, 터치 센서는 입력 장치의 일 형태이다. 예를 들어, 터치 센서는 하나 이상의 센서 소자를 포함할 수 있다.

[0028] 본 명세서 등에서는, 터치 센서가 제공된 기판을 터치 센서 패널이라고 하거나 단순히 터치 센서 등이라고 하는 경우가 있다. 또한, 본 명세서 등에서는, 터치 센서 패널의 기판에 FPC 또는 TCP 등의 커넥터가 접착된 구조, 또는 COG 방식 등에 의하여 기판에 IC가 실장된 구조를 터치 센서 패널 모듈, 터치 센서 모듈, 또는 센서 모듈이라고 하거나 단순히 터치 센서 등이라고 하는 경우가 있다.

[0029] 또한, 본 명세서 등에서, 표시 장치의 일 형태인 터치 패널은, 표시면에 화상 등을 표시(출력)하는 기능과, 표시면에 대한 손가락 또는 스타일러스 등의 물체의 접촉, 압력, 또는 접근 등을 검지할 수 있는 터치 센서로서의 기능을 갖는다. 따라서, 터치 패널은 입출력 장치의 일 형태이다.

[0030] 터치 패널은 예를 들어, 터치 센서를 갖는 표시 패널(또는 표시 장치) 또는 터치 센서 기능을 갖는 표시 패널(또는 표시 장치)이라고 할 수 있다.

[0031] 터치 패널에는 표시 패널 및 터치 센서 패널이 포함될 수 있다. 또는, 터치 패널은 표시 패널의 내부 또는 표시 패널의 표면에 터치 센서의 기능을 가질 수 있다.

[0032] 본 명세서 등에서는, 터치 패널의 기판에 TCP 등의 커넥터가 접착된 구조, 또는 COG 방식 등에 의하여 기판에 IC가 실장된 구조를 터치 패널 모듈 또는 표시 모듈이라고 하거나 단순히 터치 패널 등이라고 하는 경우가 있다.

[0033] (실시형태 1)

[0034] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치에 대하여 설명한다.

[0035] 본 발명의 일 형태는 복수의 화소가 매트릭스로 제공된 표시부를 포함한 표시 장치이다. 표시부에는, 선택 신호가 공급되는 복수의 배선(게이트선 또는 주사선이라고도 함) 및 화소에 기록되는 신호(비디오 신호 등이라고도 함)가 공급되는 복수의 배선(소스선, 신호선, 또는 데이터선 등이라고도 함)이 제공된다.

[0036] 복수의 게이트선은 행 방향("제 1 방향"이라고도 함)으로 연장되고, 복수의 소스선은 열 방향("제 2 방향"이라고도 함)으로 연장된다. 표시부(17)에서, 복수의 게이트선 중 적어도 하나 및 복수의 소스선 중 적어도 하나는, 이들이 서로 중첩된 영역을 포함한다.

[0037] 하나의 화소는 적어도 하나의 트랜지스터 및 하나의 표시 소자를 포함한다. 표시 소자는 화소 전극으로서의 기능을 갖는 도전층을 포함한다. 상기 도전층은 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 트랜지스터의 게이트는 게이트선에 전기적으로 접속된다. 소스 및 드레인 중 다른 쪽은 소스선에 전기적으로 접속된다.

[0038] 인접한 2개의 게이트선에는 같은 선택 신호가 공급되는 것이 바람직하다. 즉, 이들 게이트선의 선택 기간이 같은 것이 바람직하다. 특히, 3개의 게이트선을 하나의 그룹으로 간주하면, 구동 회로의 구조를 간략화할 수 있어 바람직하다.

[0039] 2개의 게이트선에 같은 선택 신호가 공급되는 경우, 열 방향으로 서로 인접한 2개의 화소가 동시에 선택된다. 따라서, 이 2개의 화소에는 다른 소스선이 접속된다. 즉, 열마다 2개의 소스선이 제공된다.

[0040] 열마다 2개의 소스선을 제공한 구조로 함으로써, 1수평 기간을 종래보다 길게 할 수 있다. 예를 들어, 2개의 게이트선에 같은 선택 신호가 공급되는 경우에는, 1수평 기간의 길이를 종래의 길이의 2배로 할 수 있다. 3개의 게이트선에 같은 선택 신호가 공급되는 경우에는, 1수평 기간의 길이를 종래의 길이의 3배로 할 수 있다. 또한, 하나의 소스선에 전기적으로 접속되는 화소(11)의 개수가 감소되기 때문에, 소스 드라이버의 출력 부하를 저감할 수 있다.

[0041] 그러므로, 4K 디스플레이 또는 8K 디스플레이 등 해상도가 매우 높은 표시 장치이어도, 전계 효과 이동도가 낮은 트랜지스터를 사용하여 동작될 수 있다. 말할 나위 없이, 8K를 초과하는 해상도(예를 들어 10K, 12K, 또는 16K)의 표시 장치이어도, 본 발명의 일 형태에 따라 동작될 수 있다. 본 발명의 일 형태에 따르면, 대각선 화면 크기가 50인치 이상, 60인치 이상, 또는 70인치 이상의 대형 표시 장치를 쉽게 실현할 수도 있다.

[0042] 열마다 4개의 소스선을 제공하는 경우, 화소의 왼쪽에 2개의 소스선을 제공하고, 화소의 오른쪽에 2개의 소스선을 제공할 수 있다. 바꿔 말하면, 화소의 왼쪽 외측, 왼쪽 내측, 오른쪽 내측, 및 오른쪽 외측의 각각에 소스선을 제공할 수 있다. 이 구조에서는, 화소의 왼쪽 외측의 소스선에 전기적으로 접속되는 트랜지스터의 소스가, 화소의 왼쪽 내측의 소스선과 교차된다. 또한 이 구조에서는, 화소의 오른쪽 외측의 소스선에 전기적으로 접속되는 트랜지스터의 소스가, 화소의 오른쪽 내측의 소스선과 교차된다. 본 발명의 일 형태에 따르면, 화소 전극과 같은 단계에서 형성될 수 있는 도전층과, 트랜지스터의 게이트와 같은 단계에서 형성될 수 있는 도전층을 사용함으로써, 화소의 왼쪽 외측의 소스선에 전기적으로 접속되는 트랜지스터의 소스와, 화소의 왼쪽 내측의 소스선 간의 단락을 방지한다. 또한 본 발명의 일 형태에 따르면, 화소 전극과 같은 단계에서 형성될 수 있는 도전층과, 트랜지스터의 게이트와 같은 단계에서 형성될 수 있는 도전층을 사용함으로써, 화소의 오른쪽 외측의 소스선에 전기적으로 접속되는 트랜지스터의 소스와, 화소의 오른쪽 내측의 소스선 간의 단락을 방지한다. 그러므로, 열마다 4개의 소스선을 포함하는 구조이어도, 열마다 하나 또는 2개의 소스선을 포함하는 구조를 얻는 단계와 비슷한 단계 수, 더 구체적으로는 포토리소그래피의 단계 수를 늘리지 않고 4개의 소스선을 제공할 수 있다. 즉, 포토마스크의 개수를 늘리지 않고 4개의 소스선을 제공할 수 있다. 이로써, 표시 장치의 제작 비용의 증가를 억제할 수 있다.

[0043] 이하에서는 표시 장치의 더 구체적인 예에 대하여 도면을 참조하여 설명한다.

[0044] <표시 장치의 구조예>

[0045] 도 1의 (A)는 본 발명의 일 형태에 따른 표시 장치(10)의 블록도이다. 표시 장치(10)는 표시부(17), 게이트 드라이버(12a), 게이트 드라이버(12b), 소스 드라이버(13a), 및 소스 드라이버(13b)를 포함한다. 표시부(17)에서는, 복수의 화소(11)가 m행 n열의 매트릭스로 배치되어 있다. 또한, m 및 n은 각각 2 이상의 정수이다. 본 명세서 등에서는, i행 j열의 화소(11)를 화소(11(i, j))라고 한다. 또한, i는 2 이상 m 이하의 정수이다. 또한,

j는 2 이상 n 이하의 정수이다. 게이트 드라이버 및 소스 드라이버 중 한쪽 또는 양쪽 모두를 "구동 회로"라고 하는 경우가 있다.

[0046] 도 1의 (A)에는 게이트 드라이버(12a) 및 게이트 드라이버(12b)가 표시부(17)를 개재(介在)하여 서로 대향하도록 제공된 예를 나타내었다. 게이트 드라이버(12a) 및 게이트 드라이버(12b)에는 복수의 게이트선(GL_0)이 접속된다. 본 명세서 등에서는, k번째 배선(GL_0)을 배선($GL_0(k)$)이라고 한다. 또한, k는 1 이상의 정수이다.

[0047] 도 1의 (A)에서는, 배선($GL_0(k)$)이 2개의 배선(GL)(배선(GL(i)) 및 배선(GL(i+1)))에 전기적으로 접속되어 있다. 따라서, 이 2개의 배선(GL)에는 같은 선택 신호가 공급된다. 또한, 배선(GL_0) 및 배선(GL)은 각각 게이트선으로서의 기능을 갖는다. 본 명세서 등에서는, i번째 배선(GL)을 배선(GL(i))이라고 한다.

[0048] 게이트 드라이버(12a) 및 게이트 드라이버(12b)는 하나의 배선(GL_0)에 같은 선택 신호를 공급하는 기능을 갖는다. 이로써, 게이트 드라이버를 하나만 포함하는 표시 장치(10)와 비교하여, 배선(GL_0)의 충방전 시간을 짧게 할 수 있다. 그러므로, 4K 디스플레이 또는 8K 디스플레이 등 해상도가 매우 높은 표시 장치이어도, 전계 효과 이동도가 낮은 트랜지스터를 사용하여 동작될 수 있다. 또한, 대각선 화면 크기가 50인치 이상, 60인치 이상, 또는 70인치 이상의 대형 표시 장치를 쉽게 실현할 수 있다.

[0049] 도 1의 (A)에는 소스 드라이버(13a) 및 소스 드라이버(13b)가 표시부(17)를 개재하여 서로 대향하도록 제공된 예를 나타내었다. 또한, 소스 드라이버(13a) 및 소스 드라이버(13b)에는 $2\times n$개의 배선(SL)이 접속된다. 도 1의 (A)에서는, 화소열마다 2개의 배선(SL)이 제공되어 있다. 화소열마다 g개(g는 2 이상의 정수)의 배선(SL)을 제공하는 경우, 소스 드라이버(13a) 및 소스 드라이버(13b)에는 $g\times n$개의 배선(SL)이 접속된다.

[0050] 도 1의 (A)에서는, j열의 화소열의 2개의 배선(SL)을 배선($SL_1(j)$) 및 배선($SL_2(j)$)으로 나타내었다. 다른 배선(SL)에는 다른 신호를 공급할 수 있다. 예를 들어, 배선($SL_1(j)$) 및 배선($SL_2(j)$)에는 다른 신호를 공급할 수 있다. 또한, 각 배선(SL)은 소스선으로서의 기능을 갖는다.

[0051] 소스 드라이버(13a) 및 소스 드라이버(13b)는 하나의 배선(SL)에 같은 선택 신호를 공급하는 기능을 갖는다. 이로써, 소스 드라이버를 하나만 포함하는 표시 장치(10)와 비교하여 배선(SL)의 충방전 시간을 짧게 할 수 있다. 그러므로, 4K 디스플레이 또는 8K 디스플레이 등 해상도가 매우 높은 표시 장치이어도, 전계 효과 이동도가 낮은 트랜지스터를 사용하여 동작될 수 있다. 또한, 대각선 화면 크기가 50인치 이상, 60인치 이상, 또는 70인치 이상의 대형 표시 장치를 쉽게 실현할 수 있다.

[0052] 도 1의 (A)의 예에서는, 2개의 게이트 드라이버 및 2개의 소스 드라이버를 배치하였지만, 게이트 드라이버 및/또는 소스 드라이버의 개수는 하나이어도 좋다.

[0053] 하나의 화소(11)는 하나의 색깔에 대응한다. 복수의 화소로부터 방출되는 광의 혼색을 이용함으로써 컬러 표시를 수행하는 경우에는, 화소(11)를 부화소라고 부를 수 있다.

[0054] 적색 광을 제어하는 화소(11), 녹색 광을 제어하는 화소(11), 및 청색 광을 제어하는 화소(11)를 총괄적으로 하나의 화소로서 기능시키고, 각 화소(11)로부터 방출되는 광량(발광 휘도)을 제어함으로써, 풀 컬러 표시를 실현할 수 있다. 그러므로, 상기 3개의 화소(11)는 각각 부화소로서 기능한다. 즉, 3개의 부화소는 예를 들어 적색 광, 녹색 광, 및 청색 광의 광량을 제어한다. 3개의 부화소에 의하여 제어되는 광의 색깔은 적색(R), 녹색(G), 및 청색(B)에 한정되지 않고, 시안(C), 마젠타(M), 및 황색(Y)이어도 좋다.

[0055] 4개의 부화소가 총괄적으로 하나의 화소로서 기능하여도 좋다. 예를 들어, 적색 광, 녹색 광, 및 청색 광을 제어하는 3개의 부화소에, 백색 광을 제어하는 부화소를 추가하여도 좋다. 백색 광을 제어하는 부화소를 추가함으로써, 표시 영역의 휘도를 높일 수 있다. 또는, 적색 광, 녹색 광, 및 청색 광을 제어하는 3개의 부화소에, 황색 광을 제어하는 부화소를 추가하여도 좋다. 또는, 시안 광, 마젠타 광, 및 황색 광을 제어하는 3개의 부화소에, 백색 광을 제어하는 부화소를 추가하여도 좋다.

[0056] 하나의 화소로서 기능하는 부화소를 증가시켜, 적색, 녹색, 청색, 시안, 마젠타, 및 황색 등의 색깔의 광을 제어하는 부화소를 적절히 조합하면, 중간조의 재현성을 높일 수 있다. 그러므로, 표시 품질을 향상시킬 수 있다.

[0057] 1920×1080의 매트릭스로 배치된 화소를 사용하면, 표시 장치(10)는 풀 HD(2K 해상도, 2K1K, 및 2K 등이라고도 함)의 풀 컬러 표시를 실현할 수 있다. 3840×2160의 매트릭스로 배치된 화소를 사용하면, 표시 장치(10)는 울

트라 HD(4K 해상도, 4K2K, 및 4K 등이라고도 함)의 풀 컬러 표시를 실현할 수 있다. 7680×4320의 매트릭스로 배치된 화소를 사용하면, 표시 장치(10)는 슈퍼 HD(8K 해상도, 8K4K, 및 8K 등이라고도 함)의 풀 컬러 표시를 실현할 수 있다. 더 많은 개수의 화소를 사용하면, 표시 장치(10)는 16K 또는 32K 해상도의 풀 컬러 표시를 실현할 수 있다.

[0058] 또한, 열 방향에 제공되는 화소는 같은 색깔의 광을 방출하는 것이 바람직하다. 표시 소자로서 액정 소자를 사용하는 경우, 열 방향에 제공되는 화소에는 액정 소자와 중첩하여 같은 색깔의 광을 투과하는 착색층을 제공하는 것이 바람직하다.

[0059] 전계 효과 이동도가 낮은 트랜지스터를 사용하는 경우, 표시 장치의 표시부를 복수의 표시 영역으로 분할하고 구동시켜도 좋다. 상술한 방법에서는, 예를 들어 구동 회로의 특성의 편차에 의하여, 분할된 화소 영역들 사이의 경계 부분이 시인되어 시인성이 저하되는 경우가 있다. 또한, 입력되는 화상 데이터를 미리 분할하기 위한 화상 처리 등이 필요하기 때문에, 고속으로 동작할 수 있는 대규모 화상 처리 장치가 요구된다.

[0060] 한편, 본 발명의 일 형태에 따른 표시 장치는, 전계 효과 이동도가 비교적 낮은 트랜지스터를 포함하는 경우에도, 표시 영역을 복수의 표시 영역으로 분할할 일 없이 구동될 수 있다.

[0061] 도 1의 (B)에 도시된 바와 같이, 배선(GL_0)을 생략하여 게이트 드라이버(12a) 및 게이트 드라이버(12b)를 배선(GL)에 접속하여도 좋다.

[0062] 표시 장치(10)에는 보호 회로를 제공하여도 좋다. 도 2는, 도 1의 (A)의 구조를 갖는 표시 장치(10)에 보호 회로(18a), 보호 회로(18b), 보호 회로(19a), 및 보호 회로(19b)를 제공한 경우를 나타낸 블록도이다. 배선(GL_0)은 보호 회로(18a) 또는 보호 회로(18b)에 전기적으로 접속되어 있다. 보호 회로(19a) 및 보호 회로(19b)는 배선(SL)(배선(SL_1 및 SL_2))에 전기적으로 접속되어 있다.

[0063] 보호 회로(18a)는 게이트 드라이버(12a) 측에 제공될 수 있고, 보호 회로(18b)는 게이트 드라이버(12b) 측에 제공될 수 있다. 바꿔 말하면, 보호 회로(18a) 및 보호 회로(18b)는 표시부(17)를 개재하여 서로 대향하도록 제공될 수 있다. 보호 회로(19a)는 소스 드라이버(13a) 측에 제공될 수 있고, 보호 회로(19b)는 소스 드라이버(13b) 측에 제공될 수 있다. 바꿔 말하면, 보호 회로(19a) 및 보호 회로(19b)는 표시부(17)를 개재하여 서로 대향하도록 제공될 수 있다.

[0064] 표시 장치(10)에 제공된 보호 회로에 의하여, 화소(11)를 잡음, 서지(surge), 및 정전기 방전 등으로부터 보호할 수 있다. 이에 의하여, 표시 장치(10)의 신뢰성이 높아진다.

[0065] 도 1의 (A)의 예에서는, 화소열마다 2개의 소스선이 제공되어 있지만, 본 발명의 일 형태는 이 예에 한정되지 않는다. 도 3에는, 화소열마다 3개의 소스선(배선(SL_1, SL_2, 및 SL_3))을 제공한 구조를 도시하였다. 도 3의 표시 장치(10)에서, 배선($GL_0(k)$)은 3개의 배선(GL)(배선($GL(i)$, $GL(i+1)$, 및 $GL(i+2)$))에 전기적으로 접속되고, 이들 3개의 배선에는 같은 선택 신호가 공급된다.

[0066] 도 4에는 화소열마다 4개의 소스선(배선(SL_1, SL_2, SL_3, 및 SL_4))을 제공한 구조를 도시하였다. 도 4의 표시 장치(10)에서, 배선($GL_0(k)$)은 4개의 배선(GL)(배선($GL(i)$, $GL(i+1)$, $GL(i+2)$, 및 $GL(i+3)$))에 전기적으로 접속되고, 이들 4개의 배선에는 같은 선택 신호가 공급된다. 말할 나위 없이, 본 발명의 일 형태에서는, 화소열마다 5개 이상의 소스선을 제공하여도 좋다.

[0067] 도 5에는 화소열마다 하나의 소스 드라이버(13a) 및 하나의 소스 드라이버(13b)를 제공한 예를 나타내었다. 바꿔 말하면, 화소열과 같은 개수의 소스 드라이버(13a)가 직사각형의 표시부(17)의 1변을 따라 제공되고, 소스 드라이버들(13a 및 13b) 사이에 표시부(17)를 개재하여 화소열과 같은 개수의 소스 드라이버(13b)가 제공된다. 도 5의 예에서는, 배선(GL_0)마다 하나의 게이트 드라이버(12a) 및 하나의 게이트 드라이버(12b)가 제공되어 있다. 화소열마다 4개의 소스선을 제공한 도 5에 나타낸 예의 표시 장치(10)에서는, 화소행의 수를 4로 나눔으로써 개수를 구한 게이트 드라이버(12a)를 직사각형의 표시부(17)의 1변을 따라 제공하고, 화소행의 수를 4로 나눔으로써 개수를 구한 게이트 드라이버(12b)를 게이트 드라이버들(12a 및 12b) 사이에 표시부(17)를 개재하여 제공한다. 도 5에 도시된 이러한 구조에 의하여, 게이트 드라이버의 부하를 저감하여 대형 표시 장치이어도 배선의 저항에 기인한 전위 강하에 따른 표시 불균일을 억제할 수 있다.

[0068] 표시 장치(10)에는 기준 전압 생성 회로를 제공할 수 있다. 기준 전압 생성 회로는 소스 드라이버에 의하여 공

급되는 신호의 기준 전압을 생성하는 기능을 갖는다. 기준 전압 생성 회로는 예를 들어 감마 기준 생성 회로일 수 있다.

[0069] 도 6은, 도 5에 도시된 구조를 갖는 표시 장치(10)에, 소스 드라이버(13a)에 기준 전압을 공급하는 기능을 갖는 기준 전압 생성 회로(16a)와, 소스 드라이버(13b)에 기준 전압을 생성하는 기능을 갖는 기준 전압 생성 회로(16b)가 제공된 예를 나타낸 것이다. 도 6에 도시된 구조를 갖는 표시 장치(10)에 의하여, 각 소스 드라이버(13a)로부터 생성되는 신호의 전압의 정밀도와, 각 소스 드라이버(13b)로부터 생성되는 신호의 전압의 정밀도를 향상시킬 수 있다.

[0070] 도 7은, 도 5에 도시된 구조를 갖는 표시 장치(10)에, 소스 드라이버(13a) 및 소스 드라이버(13b)에 기준 전압을 공급하는 기능을 갖는 기준 전압 생성 회로(16)가 제공된 예를 나타낸 것이다. 도 7에 도시된 구조를 갖는 표시 장치(10)이어도, 각 소스 드라이버(13a)로부터 생성되는 신호의 전압의 정밀도와, 각 소스 드라이버(13b)로부터 생성되는 신호의 전압의 정밀도를 향상시킬 수 있다.

[0071] 표시 장치의 화면 크기가 커지거나 해상도가 높아지면, 배선의 저항의 증대 및 기생 용량의 증가가 일어나는 경향이 있다. 배선의 저항이 증대되면, 배선 종단(終端)에 대한 신호 전달의 지연 또는 신호 파형의 왜곡 등이 일어나, 표시 불균일 또는 계조 불량 등의 표시 품질의 저하 또는 소비전력의 증가 등이 일어난다. 배선에서 발생되는 기생 용량의 증대에 의해서도 표시 품질의 저하 또는 소비전력의 증가 등이 일어난다.

[0072] 배선의 저항 및 기생 용량을 저감하기 위하여, 배선(SL)을 배선(SLa)과 배선(SLb)으로 반으로 나누어도 좋다(도 8의 (A) 참조). 도 8의 (A)의 블록도에서는, 표시부(17) 중 배선(SLa)을 포함한 영역 및 배선(SLb)을 포함한 영역을 각각 표시부(17_1) 및 표시부(17_2)로 나타낸다.

[0073] 배선(SLa)은 소스 드라이버(13a)에 전기적으로 접속되고, 배선(SLb)은 소스 드라이버(13b)에 전기적으로 접속된다. 소스 드라이버(13a)는 배선(SLa)에 신호를 공급하고, 소스 드라이버(13b)는 배선(SLb)에 신호를 공급한다.

[0074] 배선(SL)을 반으로 나눔으로써, 배선의 저항과 기생 용량을 각각 반으로 저감할 수 있다. 따라서, 신호의 지연 및 신호의 왜곡에 대한 영향을 4분의 1로 저감할 수 있다. 이 결과, 표시 장치의 표시 품질을 향상시킬 수 있다. 또한, 소스 드라이버의 부하를 저감할 수 있어, 표시 장치의 소비전력을 저감할 수 있다.

[0075] 또한, 배선(GL)을 배선(GLa)과 배선(GLb)으로 반으로 나누어도 좋다(도 8의 (B) 참조). 도 8의 (B)의 블록도에서는, 표시부(17) 중 배선(SLa 및 GLa)을 포함한 영역, 배선(SLb 및 GLa)을 포함한 영역, 배선(SLa 및 GLb)을 포함한 영역, 및 배선(SLb 및 GLb)을 포함한 영역을 각각 표시부(17_1), 표시부(17_2), 표시부(17_3), 및 표시부(17_4)로 나타낸다.

[0076] 배선(GLa)은 게이트 드라이버(12a)에 전기적으로 접속되고, 배선(GLb)은 게이트 드라이버(12b)에 전기적으로 접속된다. 게이트 드라이버(12a)는 배선(GLa)에 신호를 공급하고, 게이트 드라이버(12b)는 배선(GLb)에 신호를 공급한다.

[0077] 도 8의 (A) 및 (B)에 도시된 바와 같이 표시부(17)를 나누면, 표시 장치를 보는 사람이 경계 부분을 줄무늬로서 인식하는 경우가 있다. 상술한 관점에서, 도 9의 (A)에 도시된 바와 같이 배선(SL)을 소스 드라이버(13a 또는 13b)에 열 걸러 또는 복수의 열 걸러 접속시켜도 좋다. 예를 들어, 홀수 열의 화소(11)에 전기적으로 접속되는 배선(SL)은 소스 드라이버(13a)에 전기적으로 접속되고, 짝수 열의 화소(11)에 전기적으로 접속되는 배선(SL)은 소스 드라이버(13b)에 전기적으로 접속된다.

[0078] 도 9의 (A)에 도시된 구조에 의하여, 줄무늬를 없애고 배선 종단에 대한 신호 전달의 지연 또는 신호 파형의 왜곡 등에 기인한 표시 품질의 저하를 줄일 수 있다.

[0079] 도 9의 (B)에 도시된 바와 같이, 배선(GL)을 게이트 드라이버(12a 또는 12b)에 행 걸러 또는 복수의 행 걸러 접속시켜도 좋다. 예를 들어, 홀수 열의 화소(11)에 전기적으로 접속되는 배선(GL)은 게이트 드라이버(12a)에 전기적으로 접속되고, 짝수 열의 화소(11)에 전기적으로 접속되는 배선(GL)은 게이트 드라이버(12b)에 전기적으로 접속된다.

[0080] [화소의 평면 구조예]

[0081] 이하에서는 도 5에서의 표시 장치(10)의 표시부(17)에 배치되는 화소의 평면 구조예에 대하여 설명한다.

[0082] 도 10은 열 방향으로 배치되는 화소(11(i, j)), 화소(11(i+1, j)), 화소(11(i+2, j)), 및 화소(11((i+3, j))의 4개의 화소를 포함한 회로도이다.

[0083] 각 화소(11)는 트랜지스터(30), 액정 소자(20), 및 용량 소자(60)를 포함한다.

[0084] 배선(S1 내지 S4)은 소스선에 대응하고, 배선(G1 내지 G4)은 게이트선에 대응한다. 예를 들어, 도 10의 배선(S1), 배선(S2), 배선(S3), 및 배선(S4)은 각각 배선($SL_1(j)$), 배선($SL_2(j)$), 배선($SL_3(j)$), 및 배선($SL_4(j)$)에 대응한다. 도 10의 배선(G1), 배선(G2), 배선(G3), 및 배선(G4)은 각각 배선(GL(i)), 배선(GL(i+1)), 배선(GL(i+2)), 및 배선(GL(i+3))에 대응한다. 배선(CS)은 용량 소자(60)의 한쪽 전극에 전기적으로 접속되고, 배선(CS)에는 소정의 전위가 인가된다.

[0085] 화소(11(i, j))에 포함되는 트랜지스터(30)의 소스 및 드레인 중 한쪽에는 배선(S1)이 전기적으로 접속되고, 화소(11(i, j))에 포함되는 트랜지스터(30)의 게이트에는 배선(G1)이 전기적으로 접속된다. 화소(11(i+1, j))에 포함되는 트랜지스터(30)의 소스 및 드레인 중 한쪽에는 배선(S3)이 전기적으로 접속되고, 화소(11(i+1, j))에 포함되는 트랜지스터(30)의 게이트에는 배선(G2)이 전기적으로 접속된다. 화소(11(i+2, j))에 포함되는 트랜지스터(30)의 소스 및 드레인 중 한쪽에는 배선(S2)이 전기적으로 접속되고, 화소(11(i+2, j))에 포함되는 트랜지스터(30)의 게이트에는 배선(G3)이 전기적으로 접속된다. 화소(11(i+3, j))에 포함되는 트랜지스터(30)의 소스 및 드레인 중 한쪽에는 배선(S4)이 전기적으로 접속되고, 화소(11(i+3, j))에 포함되는 트랜지스터(30)의 게이트에는 배선(G4)이 전기적으로 접속된다.

[0086] 트랜지스터(30)의 소스 및 드레인 중 다른 쪽은 용량 소자(60)의 한쪽 전극 및 액정 소자(20)의 한쪽 전극(화소 전극)에 전기적으로 접속된다. 용량 소자(60)의 다른 쪽 전극에는 공통 전위가 공급된다.

[0087] 트랜지스터(30)는 온 상태 및 오프 상태를 전환함으로써, 소스선으로부터 공급된 신호를 화소(11)에 기록할지 여부를 제어하는 기능을 갖는다. 구체적으로는, 트랜지스터(30)를 온으로 함으로써, 소스선으로부터 공급된 신호에 대응하는 전하를 트랜지스터(30)에 전기적으로 접속된 용량 소자(60)에 기록할 수 있다. 트랜지스터(30)를 오프로 하으로써, 용량 소자(60)에 기록된 전하는 유지될 수 있다.

[0088] 도 11의 (A)에는 화소(11(i+2, j)) 및 화소(11(i+3, j))의 레이아웃의 예를 도시하였다.

[0089] 도 11의 (A) 등에서는, 같은 층에 제공된 구성 요소를 같은 해치 패턴으로 나타내었다. 이하에서 참조하는 도면에서도, 같은 층에 제공된 구성 요소를 같은 해치 패턴으로 나타내는 경우가 있다.

[0090] 도 11의 (A)에 도시된 바와 같이, 행 방향(가로 방향)으로 배선(G3), 배선(G4), 및 배선(CS)이 연장되고, 열 방향(세로 방향)으로 배선(S1 내지 S4)이 연장되어 있다.

[0091] 다음으로, 화소(11(i+2, j))의 구조에 대하여 설명한다. 화소(11(i+2, j))에 포함되는 트랜지스터(30)에서는, 배선(G3) 위에 반도체층(32)이 제공되고, 배선(G3)의 일부가 게이트 전극으로서의 기능을 갖는다. 배선(S2)의 일부는 소스 전극 및 드레인 전극 중 한쪽으로서의 기능을 갖는다. 반도체층(32)은 배선(S2)과 배선(S3) 사이에 위치한 영역을 포함한다.

[0092] 트랜지스터(30)의 소스 및 드레인 중 다른 쪽 및 용량 소자(60)의 한쪽 전극으로서의 기능을 갖는 도전층(33a)은, 반도체층(32)에 전기적으로 접속되도록 제공된다. 화소 전극으로서의 기능을 갖는 도전층(21)이 제공되고, 개구부(38)에서 도전층(33a) 및 도전층(21)이 전기적으로 서로 접속되어 있다.

[0093] 다음으로, 화소(11(i+3, j))의 구조에 대하여 설명한다. 화소(11(i+3, j))에 포함되는 트랜지스터(30)에서는, 배선(G4) 위에 반도체층(32)이 제공되고, 배선(G4)의 일부가 게이트 전극으로서의 기능을 갖는다. 반도체층(32)은 배선(S2)과 배선(S3) 사이에 위치한 영역을 포함한다.

[0094] 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(51)은, 반도체층(32)에 전기적으로 접속되도록 제공된다. 개구부(71)에서, 도전층(51)은 도전층(21)과 같은 층에 형성된 도전층(52)에 전기적으로 접속되어 있다. 개구부(72)에서, 도전층(52)은 배선(G4)과 같은 층에 형성된 도전층(53)에 전기적으로 접속되어 있다. 개구부(73)에서, 도전층(53)은 도전층(21)과 같은 층에 형성된 도전층(54)에 전기적으로 접속되어 있다. 개구부(74)에서, 도전층(54)은 배선(S4)에 전기적으로 접속되어 있다.

[0095] 그러므로, 화소(11(i+3, j))에서, 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(51)은 도전층(52, 53, 및 54)을 통하여 배선(S4)에 전기적으로 접속되어 있다. 화소(11(i+3, j))가 도 11의 (A)에 도시된 구조를 갖는 경우, 도전층(51)과 배선(S3 및 S4)은 같은 층에 제공되고, 도전층(53)은 배선(S3)과 중첩되는 영역을 갖지만, 트랜지스터(30)의 소스 및 드레인 중 한쪽과 배선(S3) 간의 단락을 방지할 수 있다. 또한, 도전층(52 및 54)은 화소 전극으로서의 기능을 갖는 도전층(21)과 같은 단계에서 형성될 수 있고, 도전층

(53)은 배선(G4)과 같은 단계에서 형성될 수 있다. 그러므로, 열마다 4개의 소스선을 포함하는 구조이어도, 열마다 하나 또는 2개의 소스선을 포함하는 구조를 얻는 단계와 비슷한 단계 수, 더 구체적으로는 포토리소그래피의 단계 수를 늘리지 않고 4개의 소스선을 제공할 수 있다. 즉, 포토마스크의 개수를 늘리지 않고 4개의 소스선을 제공할 수 있다. 이로써, 표시 장치의 제작 비용의 증가를 억제할 수 있다.

[0096] 도 11의 (B)에는 화소(11(i, j)) 및 화소(11(i+1, j))의 레이아웃의 예를 도시하였다. 도 11의 (B)에 도시된 바와 같이, 배선(G1) 및 배선(G2)은 행 방향으로 연장되어 있다.

[0097] 화소(11(i, j))에서, 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(51)은 도전층(52, 53, 및 54)을 통하여 배선(S1)에 전기적으로 접속되어 있다. 이를 제외하면, 화소(11(i, j)) 및 화소(11(i+3, j))의 구조는 같다.

[0098] 화소(11(i, j))에서, 배선(S3)의 일부는 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는다. 이를 제외하면, 화소(11(i+1, j)) 및 화소(11(i+2, j))의 구조는 같다.

[0099] 이상이 화소의 평면 구조예에 대한 설명이다.

[0100] [화소의 단면 구조예]

[0101] 이하에서는 도 5에서의 표시 장치(10)의 표시부(17)에 배치되는 화소의 단면 구조예에 대하여 설명한다.

[0102] [단면 구조예 1]

[0103] 도 12에는 도 11의 (A)의 선 A1-A2를 따르는 단면의 예를 도시하였다. 여기서는, 표시 소자로서 투과형 액정 소자(20)를 사용한 예를 나타내었다. 도 12에서는, 기판(15) 측이 표시면 측이다.

[0104] 표시 장치(10)에서는, 기판(14)과 기판(15) 사이에 액정(22)이 제공되어 있다. 액정 소자(20)는 기판(14) 측에 제공된 도전층(21), 기판(15) 측에 제공된 도전층(23), 및 도전층들(21 및 23) 사이에 제공된 액정(22)을 포함한다. 또한, 액정(22)과 도전층(21) 사이에 배향막(24a)이 제공되고, 액정(22)과 도전층(23) 사이에 배향막(24b)이 제공되어 있다.

[0105] 도전층(21)은 화소 전극으로서의 기능을 갖는다. 도전층(23)은 공통 전극 등으로서의 기능을 갖는다. 도전층(21) 및 도전층(23)은 각각 가시광을 투과시키는 기능을 갖는다. 따라서, 액정 소자(20)는 투과형 액정 소자이다.

[0106] 기판(15)의 기판(14) 측의 면에는, 착색층(41) 및 차광층(42)이 제공되어 있다. 착색층(41) 및 차광층(42)을 덮어 절연층(26)이 제공되고, 절연층(26)을 덮어 도전층(23)이 제공되어 있다. 착색층(41)은 도전층(21)과 중첩되는 영역에 제공되어 있다. 차광층(42)은 트랜지스터(30) 및 개구부(38) 등을 덮어 제공되어 있다.

[0107] 기판(14)보다 외측에 편광판(39a)이 배치되고, 기판(15)보다 외측에 편광판(39b)이 배치되어 있다. 또한, 편광판(39a)보다 외측에 백라이트 유닛(90)이 배치되어 있다. 도 12에 도시된 표시 장치(10)의 표시면은 기판(15) 측이다.

[0108] 기판(14) 위에 트랜지스터(30) 및 용량 소자(60) 등이 제공되어 있다. 트랜지스터(30)는 화소(11)의 선택 트랜지스터로서의 기능을 갖는다. 트랜지스터(30)는 개구부(38)에서 액정 소자(20)에 전기적으로 접속되어 있다.

[0109] 도 12에 도시된 트랜지스터(30)는 소위 채널 에칭형 보텀 게이트 트랜지스터(channel-etched bottom-gate transistor)이다. 트랜지스터(30)는 게이트로서의 기능을 갖는 도전층(31), 게이트 절연층으로서 기능하는 절연층(34), 반도체층(32), 및 소스 및 드레인으로서의 기능을 갖는 한 쌍의 도전층(33a 및 33b)을 포함한다. 도전층(31)과 중첩되는 반도체층(32)의 영역은 채널 형성 영역으로서의 기능을 갖는다.

[0110] 또한, 도전층(31)은 도 11의 (A)에서의 배선(G3)의 일부에 대응하고, 도전층(33b)은 배선(S3)의 일부에 대응한다. 또한, 나중에 설명하는 도전층(31a) 및 도전층(33c)은 각각 배선(CS)의 일부 및 배선(S4)의 일부이다.

[0111] 반도체층(32)에 사용할 수 있는 재료에 대해서는 나중에 설명한다. 예를 들어, 금속 산화물을 포함한 반도체를 반도체층(32)에 사용, 즉 나중에 설명하는 OS 트랜지스터를 트랜지스터(30)로서 사용함으로써, 상술한 바와 같이 소스선으로부터 공급된 신호에 대응하는 전하는 용량 소자(60)에서 오랫동안 유지될 수 있다. 그러므로, 용량 소자(60)로의 전하의 기록 동작의 빈도, 즉 리프레시 동작을 감소시킬 수 있어, 표시 장치(10)의 소비전력이 저감된다.

[0112] 용량 소자(60)는 도전층(31a), 절연층(34), 및 도전층(33a)을 포함한다. 또한, 도전층(31) 위에는 절연층(34)

을 개재하여 도전층(33c)이 제공되어 있다.

[0113] 트랜지스터(30) 등을 덮어 절연층(82) 및 절연층(81)이 적층되어 있다. 화소 전극으로서의 기능을 갖는 도전층(21)은 절연층(81) 위에 제공되어 있다. 절연층(81 및 82)에 제공된 개구부(38)에서 도전층(21) 및 도전층(33a)이 전기적으로 서로 접속되어 있다. 절연층(81)은 평탄화층으로서의 기능을 갖는 것이 바람직하다. 절연층(82)은 트랜지스터(30) 등으로 불순물 등이 확산되는 것을 억제하는 보호막으로서의 기능을 갖는 것이 바람직하다. 예를 들어, 절연층(82)은 무기 절연 재료를 사용하여 형성될 수 있고, 절연층(81)은 유기 절연 재료를 사용하여 형성될 수 있다.

[0114] 본 명세서 등에서는, 절연층(82) 및 절연층(81)을 통틀어 절연층이라고 하는 경우가 있다.

[0115] [단면 구조예 2]

[0116] 도 13에는 도 11의 (A)의 선 B1-B2를 따르는 단면의 예를 도시하였다. 도 13에 도시된 트랜지스터(30)는 게이트 전극으로서의 기능을 갖는 도전층(31), 게이트 절연층으로서의 기능을 갖는 절연층(34), 반도체층(32), 및 소스 및 드레인으로서의 기능을 갖는 한 쌍의 도전층(33a 및 51)을 포함한다. 도전층(31)과 중첩되는 반도체층(32)의 영역은 채널 형성 영역으로서의 기능을 갖는다.

[0117] 또한, 도전층(31)은 도 11의 (A)에서의 배선(G4)의 일부에 대응한다. 도 12의 경우와 같이, 도전층(31a), 도전층(33b), 및 도전층(33c)은 각각 배선(CS)의 일부, 배선(S3)의 일부, 및 배선(S4)의 일부에 대응한다. 도전층(33b)은 절연층(34)을 개재하여 도전층(53)과 중첩되는 영역을 갖도록 제공되어 있다.

[0118] 상술한 바와 같이, 절연층(81 및 82)에 제공된 개구부(71)에서 도전층(51) 및 도전층(52)이 전기적으로 서로 접속되어 있다. 절연층(81, 82, 및 34)에 제공된 개구부(72)에서는, 도전층(52) 및 도전층(53)이 전기적으로 서로 접속되어 있다. 절연층(81, 82, 및 34)에 제공된 개구부(73)에서는, 도전층(53) 및 도전층(54)이 전기적으로 서로 접속되어 있다. 절연층(81 및 82)에 제공된 개구부(74)에서는, 도전층(54) 및 도전층(33c)이 전기적으로 서로 접속되어 있다. 그러므로, 상술한 바와 같이, 도전층들(51 및 33c) 사이에 도전층(52, 53, 및 54)을 개재하여, 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(51)이 배선(S4)의 일부에 대응하는 도전층(33c)에 전기적으로 접속되어 있다. 개구부(72 및 73)는 도전층(33b)을 개재하여 형성되어 있다. 이로써, 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(51)과, 배선(S3)의 일부에 대응하는 도전층(33b) 간의 단락이 억제된다. 도 13에 도시된 바와 같이, 도전층(52 및 54)은 도전층(21)과 같은 층에 형성되어 있고, 도전층(53)은 도전층(31 및 31a)과 같은 층에 형성되어 있다.

[0119] 또한, 같은 층에 형성된 구성 요소는 같은 재료를 포함할 수 있다. 바꿔 말하면, 예를 들어 도전층(21, 52, 및 54)은 같은 재료를 포함할 수 있다. 예를 들어, 도전층(31, 31a, 및 53)은 같은 재료를 포함할 수 있다.

[0120] [단면 구조예 3]

[0121] 도 14는 도 13에 도시된 구조의 변형예를 도시한 것이다. 도 14에는 착색층(41)을 기판(14) 측에 제공한 예를 도시하였다. 따라서, 기판(15) 측의 구조를 간략화할 수 있다.

[0122] 또한, 착색층(41)이 평탄화막인 경우에는, 절연층(81)을 제공하지 않아도 된다. 이 경우, 표시 장치(10)의 제작 단계 수를 줄이고, 표시 장치(10)의 제작 비용을 삭감할 수 있다.

[0123] [단면 구조예 4]

[0124] 도 15는 도 14에 도시된 구조의 변형예를 도시한 것이다. 도 15의 예에서는, 도전층(52, 53, 및 54) 및 개구부(72 및 73)를 생략하였다. 이 경우, 도전층(51 및 33c)은, 도전층(21)과 같은 층에 형성된 도전층(55)을 개재하여 전기적으로 서로 접속되어 있다. 구체적으로는, 개구부(71)에서 도전층(51 및 55)이 전기적으로 서로 접속되고, 개구부(74)에서 도전층(33c 및 55)이 전기적으로 서로 접속되어 있다. 도 15에 도시된 구조에 의해서도 도전층들(51 및 33b) 간의 단락을 억제할 수 있다.

[0125] [단면 구조예 5]

[0126] 도 16은 도 15에 도시된 구조의 변형예를 도시한 것이다. 도 16에서는, 도전층(55) 대신에 도전층(55a)이 제공되어 있다. 도전층(55a)은 도전층(31 및 31a)과 같은 층에 형성되어 있다. 도전층(51 및 55a)은 절연층(34)에 제공된 개구부(71)에서 전기적으로 서로 접속되어 있다. 도전층(33c 및 55a)은 절연층(34)에 제공된 개구부(74)에서 전기적으로 서로 접속되어 있다.

[0127] [단면 구조예 6]

[0128] 도 17 및 도 18은 트랜지스터(30)로서 사용한 톱 게이트 트랜지스터의 구조예를 각각 도시한 것이다. 도 17은 도 11의 (A)에 상당하는 평면도이다. 도 18은 도 17의 선 C1-C2를 따르는 단면의 예를 나타낸 것이다. 도 18의 단면은 도 15의 단면에 상당한다.

[0129] 도 18에서 트랜지스터(30)는 기판(14) 위에 제공되어 있다. 도 18에서의 트랜지스터(30)에 포함되는 반도체층(32)은 기판(14) 위에 제공되어 있다. 반도체층(32)은 소스 영역(32s), 드레인 영역(32d), 및 채널 형성 영역(32c)을 포함한다. 반도체층(32)의 채널 형성 영역(32c) 위에는, 절연층(34)을 개재하여 도전층(31)이 제공되어 있다. 채널 형성 영역(32c) 및 도전층(31)은, 이들이 절연층(34)을 개재하여 서로 중첩되는 영역을 포함한다. 도전층(31)은 게이트로서 기능할 수 있다. 절연층(34)은 게이트 절연층으로서 기능할 수 있다.

[0130] 도 18에 도시된 단면 구조에서는, 절연층(82) 위에 도전층(33a, 51, 33b, 및 33c)이 제공되어 있다. 도전층(51)은 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서 기능하고, 도전층(33a)은 트랜지스터(30)의 소스 및 드레인 중 다른 쪽, 그리고 용량 소자(60)의 한쪽 전극으로서의 기능을 갖는다. 도 18에 도시된 단면 구조에서는, 절연층(82)을 개재하여 도전층들(31a 및 33a)이 서로 중첩되는 영역이 용량 소자(60)로서 기능한다.

[0131] 절연층(81)의 일부에 개구부(38)가 제공되어 있다. 개구부(38)에서, 도전층들(33a 및 21)이 전기적으로 서로 접속되어 있다. 절연층(82)의 일부에 개구부(72 및 74)가 제공되어 있다. 개구부(72)에서, 도전층들(53 및 51)이 전기적으로 서로 접속되어 있다. 개구부(74)에서, 도전층들(53 및 33c)이 전기적으로 서로 접속되어 있다. 도전층(51 및 33c)은 도전층(53)을 개재하여 전기적으로 서로 접속되어 있다.

[0132] 이상이 화소의 단면 구조예에 대한 설명이다.

[0133] [구성 요소]

[0134] 이하에서는 상술한 구성 요소에 대하여 설명한다.

[0135] [기판]

[0136] 표시 패널에 포함되는 기판으로서는 평탄면을 갖는 재료를 사용할 수 있다. 표시 소자로부터의 광을 추출하는 측의 기판은 상기 광을 투과시키는 재료를 사용하여 형성된다. 예를 들어 유리, 석영, 세라믹, 사파이어, 또는 유기 수지 등의 재료를 사용할 수 있다.

[0137] 얇은 기판을 사용함으로써 표시 패널의 무게 및 두께를 저감할 수 있다. 가요성을 가질 정도로 얇은 기판을 사용함으로써 플렉시블 표시 패널을 얻을 수 있다. 또는, 가요성을 가질 정도로 얇은 유리 등을 기판으로서 사용할 수 있다. 또는, 유리와 수지 재료가 접착층에 의하여 서로 접착된 복합 재료를 사용하여도 좋다.

[0138] [트랜지스터]

[0139] 트랜지스터는 게이트로서의 기능을 갖는 도전층, 반도체층, 소스로서의 기능을 갖는 도전층, 드레인으로서의 기능을 갖는 도전층, 및 게이트 절연층으로서의 기능을 갖는 절연층을 포함한다.

[0140] 또한, 본 발명의 일 형태에 따른 표시 장치에 포함되는 트랜지스터의 구조에 특별한 한정은 없다. 예를 들어, 플레이너(planar)형 트랜지스터, 스태거형 트랜지스터, 또는 역 스태거형 트랜지스터를 사용할 수 있다. 또한, 톱 게이트 트랜지스터 또는 보텀 게이트 트랜지스터를 사용하여도 좋다. 채널 상하에 게이트를 제공하여도 좋다.

[0141] [반도체층]

[0142] 트랜지스터에 사용하는 반도체층의 결정성에 특별한 한정은 없고, 비정질 반도체 또는 결정성을 갖는 반도체(미결정(microcrystalline) 반도체, 다결정 반도체, 단결정 반도체, 또는 결정 영역을 부분적으로 포함하는 반도체)를 사용하여도 좋다. 결정성을 갖는 반도체를 사용하면, 트랜지스터 특성의 열화를 억제할 수 있으므로 바람직하다.

[0143] 트랜지스터에 사용하는 반도체 재료로서는, 예를 들어 14족 원소(예를 들어 실리콘 또는 저마늄), 탄소화 실리콘, 갈륨 비소, 금속 산화물, 또는 질화물 반도체 등의 화합물 반도체, 또는 유기 반도체 등을 사용할 수 있다.

[0144] 예를 들어, 트랜지스터에 사용하는 반도체 재료로서 비정질 실리콘을 사용할 수 있다. 특히, 비정질 실리콘은

대량 생산이 쉽고 대형 기판 위에 제공하기 쉽다. 또한, 일반적으로 트랜지스터에 사용하는 비정질 실리콘은 수소를 대량으로 포함하기 때문에, 수로를 대량으로 포함한 비정질 실리콘을 수소화 비정질 실리콘 또는 a-Si:H라고 하는 경우가 있다. 또한, 비정질 실리콘은 다결정 실리콘을 형성하는 온도보다 낮은 온도로 형성될 수 있기 때문에, 제작 공정 중의 최고 온도를 낮출 수 있다. 따라서, 기판, 도전층, 및 절연층 등에 내열성이 낮은 재료를 사용할 수 있다.

[0145] 또한, 트랜지스터에 사용하는 반도체 재료로서 미결정 실리콘, 다결정 실리콘, 또는 단결정 실리콘 등 결정성을 갖는 실리콘을 사용할 수 있다. 특히, 다결정 실리콘은 단결정 실리콘보다 낮은 온도로 형성될 수 있고, 비정질 실리콘보다 전계 효과 이동도가 높고 신뢰성이 높다.

[0146] 또한, 트랜지스터에 사용하는 반도체 재료로서, 금속 산화물의 한 종류인 산화물 반도체를 사용할 수 있다. 대표적인 예로서는, 인듐을 포함한 산화물 반도체를 들 수 있다. 산화물 반도체는 비정질 실리콘보다 높은 전계 효과 이동도 및 높은 신뢰성을 가능하게 한다. 또한, 산화물 반도체는 대량 생산이 쉽고 대형 기판 위에 제공하기 쉽다.

[0147] 금속 산화물의 한 종류인 산화물 반도체는 실리콘보다 밴드 갭이 넓고 캐리어 밀도가 낮기 때문에, 산화물 반도체를 트랜지스터의 반도체층에 사용하는 것이 바람직하다. 트랜지스터의 반도체층에 산화물 반도체를 사용하면, 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류가 저감된다는 점에서 바람직하다.

[0148] 금속 산화물의 한 종류인 산화물 반도체는 에너지 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하고, 3eV 이상인 것이 더욱 바람직하다. 이러한 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터의 오프 상태 전류가 저감된다. 채널이 형성되는 반도체층에 금속 산화물의 한 종류인 산화물 반도체를 사용한 트랜지스터를 OS 트랜지스터라고도 한다.

[0149] OS 트랜지스터는 그 오프 상태 전류가 낮기 때문에, 트랜지스터에 직렬로 접속된 용량에 저장된 전하는 오랫동안 유지될 수 있다. 이러한 트랜지스터를 화소에 사용함으로써, 표시부에 표시된 화상의 계조를 유지하면서 구동 회로를 정지시킬 수 있다. 이 결과, 소비전력이 매우 낮은 표시 장치를 얻을 수 있다.

[0150] 금속 산화물의 한 종류인 산화물 반도체는 예를 들어, 적어도 인듐, 아연, 및 *M*(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함한 In-*M*-Zn계 산화물로 나타내어지는 재료를 포함하는 것이 바람직하다. 상기 반도체층을 포함한 트랜지스터의 전기 특성의 편차를 저감하기 위하여, 산화물 반도체는 인듐, 아연, 및 *M*에 더하여 스태빌라이저를 포함하는 것이 바람직하다.

[0151] 스태빌라이저의 예로서는, *M*으로서 사용할 수 있는 금속을 포함하여 갈륨, 주석, 하프늄, 알루미늄, 및 지르코늄이 있다. 다른 스태빌라이저로서는, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 사마륨, 유로퓸, 가돌리늄, 터븀, 디스프로슘, 홀뮴, 어븀, 툴륨, 이터븀, 또는 루테튬 등의 란타노이드를 들 수 있다.

[0152] 반도체층에 포함되는 금속 산화물로서는 예를 들어 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 및 In-Hf-Al-Zn계 산화물 중 임의의 것을 사용할 수 있다.

[0153] 또한, 여기서 예를 들어 "In-Ga-Zn계 산화물"은 In, Ga, 및 Zn을 주성분으로 포함한 산화물을 의미하고, In:Ga:Zn의 원자수비에 한정은 없다. 예를 들어, In:Ga:Zn의 비율을 1:1:1, 2:2:1, 3:1:2, 4:2:3, 5:1:6, 또는 그 근방으로 하여도 좋다. 또한, In, Ga, 및 Zn 외의 금속 원소가 포함되어도 좋다.

[0154] 반도체층 및 도전층은 상술한 산화물에 포함되는 같은 금속 원소를 포함하여도 좋다. 반도체층 및 도전층에 같은 금속 원소를 사용함으로써 제작 비용을 삭감할 수 있다. 예를 들어 금속 조성이 같은 금속 산화물 타깃을 사용함으로써 제작 비용을 삭감할 수 있다. 또한, 반도체층 및 도전층의 가공 시에 같은 에칭 가스 또는 같은 에천트를 사용할 수 있다. 또한, 반도체층 및 도전층이 같은 금속 원소를 포함하여도, 이들의 조성이 다른 경우가 있다. 예를 들어, 트랜지스터 및 용량 소자의 제작 공정 중에 막 내의 금속 원소가 방출되어 다른 금속 조성이 되는 경우가 있다.

[0155] 반도체층에 포함되는 금속 산화물이 In-*M*-Zn계 산화물을 포함하는 경우, In-*M*-Zn계 산화물의 막 형성에 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 In=*M*을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금

속 원소의 원자수비로서는 In:*M*:Zn=1:1:1, In:*M*:Zn=1:1:1.2, In:*M*:Zn=3:1:2, In:*M*:Zn=4:2:4.1, In:*M*:Zn=2:1:3, In:*M*:Zn=3:1:2, In:*M*:Zn=5:1:6, In:*M*:Zn=5:1:7, In:*M*:Zn=5:1:8, In:*M*:Zn=6:1:6, 및 In:*M*:Zn=5:2:5 등이 바람직하다. 또한, 형성되는 반도체층의 금속 원소의 원자수비는 상술한 스퍼터링 타깃의 금속 원소의 원자수비로부터 오차로서 ±40%의 범위 내에서 변동된다.

[0156] 반도체층에 포함되는 금속 산화물은 나중에 설명하는 CAC-OS 또는 CAC-metal oxide인 것이 바람직하다. 그러므로, 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0157] 반도체층에는 캐리어 밀도가 낮은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어, 반도체층은 캐리어 밀도가 $1\times10^{17}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하, 더 바람직하게는 $1\times10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 이하, 더욱더 바람직하게는 $1\times10^{10}/cm^3$ 미만이고, $1\times10^{-9}/cm^3$ 이상인 금속 산화물이다. 이러한 반도체층은 불순물 농도가 낮고 결함 준위 밀도가 낮기 때문에, 안정적인 특성을 갖는다. 또한, 반도체층이 금속 산화물인 경우, 불순물의 예로서는 물 및 수소 등이 있다.

[0158] 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 금속 산화물을 고순도 진성의 금속 산화물 또는 실질적으로 고순도 진성의 금속 산화물이라고 하는 경우가 있다.

[0159] 고순도 진성 또는 실질적으로 고순도 진성의 금속 산화물은 캐리어 발생원이 적기 때문에 캐리어 밀도가 낮다. 따라서, 상기 금속 산화물을 포함한 트랜지스터는 문턱 전압이 음이 되기 어렵다(노멀리 온이 되기 어렵다). 고순도 진성 또는 실질적으로 고순도 진성의 금속 산화물은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도가 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성의 금속 산화물은 오프 상태 전류가 매우 낮고, 소자의 채널 폭이 1×10^6 μm이고 채널 길이 *L*이 10 μm인 경우에도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V일 때 오프 상태 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13}A 이하가 될 수 있다.

[0160] 또한, 본 발명의 일 형태에 사용할 수 있는 반도체층은 상술한 구성 요소 및 재료에 한정되지 않고, 요구되는 트랜지스터의 반도체 특성 및 전기 특성(예를 들어, 전계 효과 이동도 및 문턱 전압)에 따라 적절한 조성의 재료를 사용할 수 있다. 요구되는 트랜지스터의 반도체 특성을 얻기 위해서는, 반도체층의 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자 간 거리, 및 밀도 등을 적절한 값으로 설정하는 것이 바람직하다.

[0161] 반도체층에 포함되는 금속 산화물에 14족 원소 중 하나인 실리콘 또는 탄소가 포함되면, 반도체층에서 산소 결손이 증가되어 반도체층이 n형화되는 경우가 있다. 따라서, 반도체층에서의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법에 의하여 측정됨)를 바람직하게는 $2\times10^{18}atoms/cm^3$ 이하, 더 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0162] 알칼리 금속 및 알칼리 토금속은 금속 산화물과 결합되면 캐리어를 생성할 수 있고, 이 경우 트랜지스터의 오프 상태 전류가 증가될 수 있다. 따라서, 이차 이온 질량 분석법에 의하여 측정되는, 반도체층의 알칼리 금속 또는 알칼리 토금속의 농도를 바람직하게는 $1\times10^{18}atoms/cm^3$ 이하, 더 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0163] 반도체층은 예를 들어 비단결정 구조를 가져도 좋다. 비단결정 구조에는 예를 들어, 다결정 구조, 미결정 구조, 및 비정질 구조가 포함된다. 비단결정 구조 중에서, 비정질 구조는 결함 준위 밀도가 가장 높다.

[0164] 비정질 구조를 갖는 금속 산화물은 예를 들어, 원자 배열이 무질서하고 결정 성분을 갖지 않는다. 또는, 비정질 구조를 갖는 산화물막은 예를 들어, 완전한 비정질 구조를 갖고, 결정부를 갖지 않는다.

[0165] 또한, 반도체층은 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, 및 단결정 구조를 갖는 영역 중 2개 이상을 포함한 혼합막이어도 좋다. 혼합막은 예를 들어, 상술한 영역 중 2개 이상을 포함한 단층 구조 또는 적층 구조를 갖는 경우가 있다.

[0166] [도전층]

[0167] 트랜지스터의 게이트, 소스, 및 드레인, 및 표시 장치에 포함된 배선 및 전극 등의 도전층에 사용될 수 있는 재료로서는, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텅스텐 등의 금속 중 임의의 것, 또는 이들 금속 중 임의의 것을 주성분으로 포함하는 합금을 사용할 수 있다. 이들 재

료 중 임의의 것을 포함하는 막을 포함하는 단층 구조 또는 적층 구조를 사용할 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 텅스텐막 위에 알루미늄막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 텅스텐막 위에 구리막이 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 순서대로 적층된 3층 구조, 및 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 이 순서대로 적층된 3층 구조를 들 수 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연 등의 산화물을 사용하여도 좋다. 망가니즈를 포함한 구리를 사용하면 에칭에 의한 형상의 제어성이 높아지기 때문에 바람직하다.

[0168] 트랜지스터의 게이트, 소스, 및 드레인, 및 표시 장치에 포함된 배선 및 전극 등의 도전층에 사용될 수 있는 투광성 도전 재료로서는, 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 또는 갈륨이 첨가된 산화 아연 등의 도전성 산화물, 또는 그래핀을 사용할 수 있다. 또는, 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 팔라듐, 또는 타이타늄 등의 금속 재료, 또는 상기 금속 재료를 포함한 합금 재료를 사용할 수 있다. 또는, 상기 금속 재료의 질화물(예를 들어 질화 타이타늄) 등을 사용하여도 좋다. 금속 재료 또는 합금 재료(또는 이들의 질화물)를 사용하는 경우에는, 광을 투과시킬 수 있을 정도로 두께를 얇게 한다. 상기 재료 중 임의의 것의 적층막을 도전층에 사용할 수 있다. 예를 들어, 인듐 주석 산화물과, 은과 마그네슘의 합금의 적층막을 사용하면, 도전성을 높일 수 있어 바람직하다. 이들은, 표시 장치에 포함되는 배선 및 전극 등의 도전층, 및 표시 소자에 포함되는 도전층(예를 들어, 화소 전극 또는 공통 전극으로서의 기능을 갖는 도전층)에 사용될 수도 있다.

[0169] [절연층]

[0170] 절연층에 사용할 수 있는 절연 재료의 예에는 아크릴 또는 에폭시 수지 등의 수지, 실록산 결합을 갖는 수지, 및 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 또는 산화 알루미늄 등의 무기 절연 재료가 포함된다.

[0171] 투수성이 낮은 절연막의 예에는, 질소 및 실리콘을 포함한 막(예를 들어 질화 실리콘막 및 질화산화 실리콘막), 그리고 질소 및 알루미늄을 포함한 막(예를 들어 질화 알루미늄막)이 포함된다. 또는, 산화 실리콘막, 산화질화 실리콘막, 또는 산화 알루미늄막 등을 사용하여도 좋다.

[0172] 반도체층이 금속 산화물을 포함하는 경우, 상기 반도체층과 접촉하는 영역을 포함한 절연층은, 화학량론적 조성을 초과하여 산소를 포함한 영역(과잉 산소 영역)을 포함하는 것이 바람직하다. 예를 들어, 반도체층(32)과 접촉하는 영역을 포함한 절연층(34 및 82)은 과잉 산소 영역을 포함하는 것이 바람직하다. 그러므로, 절연층으로부터 반도체층에 산소를 공급할 수 있다. 반도체층(32)이 금속 산화물을 포함하고 이 금속 산화물에 산소 결손이 형성되는 경우에는, 수소 등의 불순물이 상기 산소 결손에 들어가고 캐리어로서 기능하는 전자가 생성될 수 있다. 이에 의하여 트랜지스터의 전기 특성이 저하되는 경우가 있다. 반도체층과 접촉하는 영역을 포함한 절연층이 과잉 산소 영역을 포함하는 경우, 절연층으로부터 반도체층에 산소를 공급할 수 있어 산소 결손이 충전될 수 있다. 그러므로, 트랜지스터의 전기 특성의 저하를 억제할 수 있다. 절연층에 과잉 산소 영역을 제공하기 위해서는, 산소 분위기에서 절연층을 형성하거나, 또는 형성된 절연층에 대하여 산소 분위기에서 가열 처리를 실시한다.

[0173] [표시 소자]

[0174] 본 발명의 일 형태에 따른 표시 장치는 다양한 형태가 채용되고 다양한 표시 소자를 포함할 수 있다. 표시 소자에는 LED(예를 들어, 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED)를 포함한 EL(electroluminescent) 소자(예를 들어, 유기 재료 및 무기 재료를 포함한 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), 트랜지스터(전류에 따라 광을 방출하는 트랜지스터), 플라스마 디스플레이 패널(PDP), 전자 방출체, 액정 소자, 전기 영동 소자, GLV(grating light valve), DMD(digital micromirror device), DMS(digital micro shutter) 소자, MIRASOL(등록 상표) 디스플레이, IMOD(interferometric modulator display) 소자, 및 압전 세라믹 디스플레이 등 MEMS(micro electro mechanical systems)를 사용한 표시 소자, 및 일렉트로 웨팅(electrowetting) 소자 등 중 적어도 하나가 포함된다. 상기 외에는, 전기적 또는 자기적 작용에 의하여 콘트라스트, 휘도, 반사율, 또는 투과율 등이 변화되는 표시 매체가 포함되어도 좋다. 또는, 표시 소자로서 퀀텀닷(quantum dot)을 사용하여도 좋다.

[0175] 또한, EL 소자를 갖는 표시 장치의 예에는 EL 디스플레이가 포함된다. 전자 방출체를 포함하는 표시 장치의 예

에는 FED(field emission display) 및 SED(surface-conduction electron-emitter display) 방식의 평판 디스플레이가 포함된다. 액정 소자를 포함하는 표시 장치의 예에는 액정 디스플레이(예를 들어 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)가 포함된다. 전기 영동 소자를 포함한 표시 장치의 예에는 전자 종이가 포함된다. 퀀텀닷을 포함한 표시 장치의 예에는 퀀텀닷 디스플레이가 포함된다.

[0176] 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이의 경우에는 화소 전극의 일부 또는 모두가 반사 전극으로서 기능한다. 예를 들어 화소 전극의 일부 또는 모두가 알루미늄 또는 은 등을 포함하도록 형성된다. 이러한 경우, 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수 있다. 이로써, 소비전력을 더 저감할 수 있다.

[0177] [액정 소자]

[0178] 액정 소자는 예를 들어 수직 배향(VA) 모드를 채용할 수 있다. 수직 배향 모드의 예에는 MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 및 ASV(advanced super view) 모드가 포함된다.

[0179] 액정 소자는 다양한 모드를 채용할 수 있고, 예를 들어 VA 모드 외에, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, VA-IPS 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드, ECB(electrically controlled birefringence) 모드, 또는 게스트-호스트 모드를 사용할 수 있다.

[0180] 액정 소자는 액정의 광학 변조 작용을 이용하여 광의 투과 또는 비투과를 제어한다. 또한, 액정의 광학 변조 작용은 액정에 가해지는 전계(수평 전계, 수직 전계, 또는 경사 전계를 포함함)에 의하여 제어된다. 액정 소자에 사용되는 액정으로서는, 서모트로픽 액정, 저분자 액정, 고분자 액정, PDLC(polymer dispersed liquid crystal), PNLC(polymer network liquid crystal), 강유전성 액정, 또는 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 또는 등방상 등을 나타낸다.

[0181] 액정 재료로서는, 포지티브형 액정 및 네거티브형 액정 중 어느 쪽을 사용하여도 좋고, 사용되는 모드 또는 설계에 따라 적절한 액정 재료를 사용할 수 있다.

[0182] 액정의 배향을 조정하기 위하여 배향막을 제공할 수 있다. 수평 전계 모드를 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이며, 콜레스테릭 액정의 온도가 상승되면서 콜레스테릭상이 등방상으로 전이하기 직전에 발현한다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 향상시키기 위하여 키랄제가 수중량% 이상 점유하도록 혼합된 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정, 및 키랄제를 포함하는 액정 조성물은 응답 시간이 짧고, 광학적 등방성을 가지므로 배향 처리가 불필요해지고 시야각 의존성이 저감된다. 배향막을 제공하지 않아도 되기 때문에 러빙 처리가 필요하지 않고, 이에 따라 러빙 처리에 기인하는 정전기 방전 대미지를 방지할 수 있어, 제작 공정에서의 액정 표시 장치의 불량 및 대미지가 저감된다.

[0183] 또한, 액정 소자에 게스트-호스트 모드 액정 재료를 사용하는 경우에는, 광 확산층 또는 편광판 등의 기능성 부재를 반드시 제공할 필요는 없다. 따라서, 표시 장치의 생산성을 향상시킬 수 있다. 또한, 편광판 등의 기능성 부재가 필요하지 않기 때문에, 액정 소자의 광의 반사 휘도를 높일 수 있다. 따라서, 표시 장치의 시인성을 높일 수 있다.

[0184] 원 편광판을 포함한 반사형 액정 표시 장치의 온 상태 및 오프 상태(밝은 상태 및 어두운 상태)는, 액정 분자의 장축의 배향 방향(기판에 대하여 실질적으로 수직인 방향 또는 기판에 대하여 실질적으로 평행한 방향)에 따라 전환된다. 일반적으로, IPS 모드 등의 수평 전계 모드로 동작되는 액정 소자는, 온 상태뿐만 아니라 오프 상태에서도 액정 소자의 액정 분자의 장축이 기판에 대하여 실질적으로 평행한 방향으로 배향되기 때문에 반사형 액정 표시 장치에 사용하기가 어렵다.

[0185] VA-IPS 모드 등의 수평 전계 모드로 동작되는 액정 소자의 온 상태 및 오프 상태는, 액정 분자의 장축의 배향 방향(기판에 대하여 실질적으로 수직인 방향 또는 기판에 대하여 실질적으로 평행한 방향)에 따라 전환된다. 따라서, 반사형 액정 표시 장치에 수평 전계 모드로 동작되는 액정 소자를 사용하는 경우에는, 액정 소자가 VA-IPS 모드로 동작되는 것이 바람직하다.

[0186] 본 발명의 일 형태에서는, 투과형 액정 소자가 특히 적합하다.

[0187] 투과형 또는 반투과형 액정 소자를 사용하는 경우, 한 쌍의 기판을 개재하도록 2개의 편광판을 제공한다. 또한, 편광판의 외측에 백라이트를 제공한다. 백라이트는 직하형(direct-below) 백라이트이어도 좋고 에지 라이트형(edge-light) 백라이트이어도 좋다. LED(light-emitting diode)를 포함한 직하형 백라이트를 사용하면, 로컬 디밍을 수행하기 쉬워져 콘트라스트가 향상되기 때문에 바람직하다. 에지 라이트형 백라이트를 사용하면, 백라이트를 포함한 모듈의 두께를 저감할 수 있어 바람직하다.

[0188] 에지 라이트형 백라이트를 오프로 하면, 시스루 표시를 수행할 수 있다.

[0189] [착색층]

[0190] 착색층에 사용할 수 있는 재료의 예에는 금속 재료, 수지 재료, 및 안료 또는 염료를 포함한 수지 재료가 포함된다.

[0191] [차광층]

[0192] 차광층에 사용할 수 있는 재료의 예에는 카본 블랙, 타이타늄 블랙, 금속, 금속 산화물, 및 복수의 금속 산화물의 고용체를 포함한 복합 산화물이 포함된다. 차광층은 수지 재료를 포함한 막이어도 좋고, 금속 등의 무기 재료의 박막이어도 좋다. 착색층의 재료를 포함한 적층막을 차광층에 사용할 수도 있다. 예를 들어 어떤 색의 광을 투과시키는 착색층의 재료를 포함한 막과, 다른 색의 광을 투과시키는 착색층의 재료를 포함한 막을 포함하는 적층 구조를 채용할 수 있다. 착색층 및 차광층을 같은 재료를 사용하여 형성하면, 같은 제조 장치를 사용할 수 있고 공정을 간략화할 수 있기 때문에 바람직하다.

[0193] 이상이 각 구성 요소에 관한 설명이다.

[0194] [화소 등의 제작 방법의 예]

[0195] 이하에서는 도 13에 도시된 구조를 갖는 화소(11(i+3, j)) 등의 제작 방법의 예에 대하여 설명한다.

[0196] 표시 장치에 포함되는 박막(즉 절연막, 반도체막, 및 도전막 등)은 스퍼터링법, CVD(chemical vapor deposition)법, 진공 증착법, PLD(pulsed laser deposition)법, 및 ALD(atomic layer deposition)법 등 중 임의의 것에 의하여 형성될 수 있다. CVD법의 예로서는, PECVD(plasma-enhanced CVD)법 또는 열 CVD법을 들 수 있다. 열 CVD법의 예로서는, MOCVD(metal organic CVD)법을 들 수 있다.

[0197] 또는, 표시 장치에 포함되는 박막(즉 절연막, 반도체막, 및 도전막 등)은 스핀 코팅, 디핑(dipping), 스프레이 코팅, 잉크젯 인쇄, 디스펜싱, 스크린 인쇄, 또는 오프셋 인쇄 등의 방법, 또는 닥터 나이프, 슬릿 코터, 롤 코터, 커튼 코터, 또는 나이프 코터에 의하여 형성될 수 있다.

[0198] 표시 장치에 포함되는 박막은 리소그래피법 등을 사용하여 가공할 수 있다. 또는, 차폐 마스크를 사용하는 막 형성법에 의하여 섬 형상의 박막을 형성하여도 좋다. 또는, 나노 임프린팅법, 샌드 블라스팅법(sandblasting method), 또는 리프트 오프법 등에 의하여 박막을 가공하여도 좋다.

[0199] 포토리소그래피법에 의한 가공의 경우에는, i선의 광(파장 365nm), g선의 광(파장 436nm), h선의 광(파장 405nm), 및 i선, g선, 및 h선을 혼합시킨 광을 사용할 수 있다. 또는, 자외광, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수 있다. 노광은 액침 노광 기술에 의하여 수행되어도 좋다. 노광에 사용하는 광으로서는 EUV(extreme ultra-violet light) 또는 X선 등을 들 수 있다. 노광에 사용하는 광 대신에 전자 빔을 사용할 수 있다. EUV, X선, 또는 전자 빔을 사용하면 매우 미세한 가공을 수행할 수 있어 바람직하다. 또한, 전자 빔 등의 빔을 주사함으로써 노광을 수행하는 경우, 포토마스크는 불필요하다.

[0200] 박막의 에칭에는, 드라이 에칭, 웨트 에칭, 또는 샌드 블라스트법 등을 사용할 수 있다.

[0201] 표시 장치(10)를 제작하기 위해서는, 먼저 기판(14) 위에 도전층을 형성한다. 다음으로, 포토리소그래피법 등에 의하여 패터닝을 수행하고 에칭법 등에 의하여 상기 도전층을 가공함으로써, 도전층(31), 도전층(31a), 및 도전층(53)을 형성한다(도 19의 (A)). 상술한 바와 같이, 도전층(31)은 배선(G3)의 일부에 대응하고, 도전층(31a)은 배선(CS)의 일부에 대응한다.

[0202] 다음으로, 절연층(34)을 형성한다. 상술한 바와 같이, 절연층(34)은 표시 장치(10)에 제공된 트랜지스터의 게이트 절연층으로서의 기능을 갖는다.

[0203] 다음으로, 절연층(34) 위에 반도체층을 형성한다. 반도체층에 예를 들어 금속 산화물을 사용하는 경우에는, 스퍼터링법에 의하여 형성할 수 있다. 반도체층에 예를 들어 In-Ga-Zn계 산화물을 사용하는 경우에는, In-Ga-Zn계 산화물을 타깃으로서 사용한 스퍼터링법에 의하여 형성할 수 있다.

[0204] 그리고, 포토리소그래피법 등에 의하여 패터닝을 수행하고, 형성된 반도체층을 에칭법 등에 의하여 가공함으로써, 반도체층(32)을 형성한다(도 19의 (B)).

[0205] 다음으로, 절연층(34) 및 반도체층(32) 위에 도전층을 형성한다. 그 후, 포토리소그래피법 등에 의하여 패터닝을 수행하고 에칭법 등에 의하여 상기 도전층을 가공함으로써, 도전층(51, 33a, 33b, 및 33c)을 형성한다(도 19의 (C)). 상술한 바와 같이, 도전층(51)은 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서 기능하고, 도전층(33a)은 트랜지스터(30)의 소스 및 드레인 중 다른 쪽, 그리고 용량 소자(60)의 한쪽 전극으로서 기능한다. 또한, 도전층(33b) 및 도전층(33c)은 각각 배선(S3)의 일부 및 배선(S4)의 일부에 대응한다. 도전층(33b)은, 도전층(53)과 중첩되는 영역을 갖도록 제공된다.

[0206] 그리고, 절연층(82)을 형성한 다음, 절연층(81)을 형성한다. 절연층(81)을 형성한 후, CMP(chemical mechanical polishing)법 등에 의하여 절연층(81)에 평탄화 처리를 수행한다.

[0207] 다음으로, 포토리소그래피법 등에 의하여 패터닝을 수행한다. 그리고, 에칭법 등에 의하여 절연층(81 및 82)을 가공함으로써, 도전층(51)에 도달하는 개구부(71), 도전층(33a)에 도달하는 개구부(38), 및 도전층(33c)에 도달하는 개구부(74)를 형성한다. 또한, 에칭법 등에 의하여 절연층(81, 82, 및 34)을 가공함으로써, 도전층(53)에 도달하는 개구부(72 및 73)를, 도전층(33b)을 개구부들(72 및 73) 사이에 제공하도록 형성한다(도 20의 (A)). 이로써, 개구부(38 및 71 내지 74)가 형성된다.

[0208] 다음으로, 절연층(81) 위 및 개구부(38 및 71 내지 74)에 도전층을 형성한다. 그 후, 포토리소그래피법 등에 의하여 패터닝을 수행하고 에칭법 등에 의하여 상기 도전층을 가공함으로써, 도전층(21, 52, 및 54)을 형성한다(도 20의 (B)). 도전층(21)은 개구부(38)에서 도전층(33a)에 전기적으로 접속된다. 도전층(52)은 개구부(71)에서 도전층(51)에 전기적으로 접속되고, 개구부(72)에서 도전층(53)에 전기적으로 접속된다. 도전층(54)은 개구부(73)에서 도전층(53)에 전기적으로 접속되고, 개구부(74)에서 도전층(33c)에 전기적으로 접속된다. 상술한 바와 같이, 도전층(21)은 표시 장치(10)에 제공된 표시 소자의 화소 전극으로서 기능한다. 또한, 트랜지스터(30)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(51)은, 도전층(51)과 도전층(33c) 사이에 도전층(52, 53, 및 54)을 개재하여, 배선(S4)의 일부에 대응하는 도전층(33c)에 전기적으로 접속되어 있다.

[0209] 다음으로, 배향막(24a)을 형성한다(도 21의 (A)). 그 후, 기판(15) 위에 차광층(42), 착색층(41), 절연층(26), 도전층(23), 및 배향막(24b)을 형성한다(도 21의 (B)). 착색층(41)은 포토리소그래피법, 인쇄법, 또는 잉크젯법에 의하여 형성될 수 있다. 예를 들어 잉크젯법을 사용함으로써, 착색층을 실온에서 형성하거나, 저진공에서 형성하거나, 또는 대형 기판 위에 형성할 수 있다. 이로써, 4K 디스플레이 또는 8K 디스플레이 등 해상도가 매우 높은 표시 장치이어도 착색층(41)을 형성할 수 있다. 대각선 화면 크기가 50인치 이상, 60인치 이상, 또는 70인치 이상의 대형 표시 장치에도 착색층(41)을 형성할 수 있다. 레지스트 마스크가 없어도 착색층(41)을 형성할 수 있기 때문에, 표시 장치(10)의 제작 단계 수를 줄이고, 표시 장치(10)의 제작 비용을 삭감할 수 있다.

[0210] 다음으로, 도 21의 (A)에 도시된 기판(14), 도 21의 (B)에 도시된 기판(15), 및 접착층(미도시)을 사용하여 액정(22)을 밀봉한다. 그리고, 편광판(39a), 편광판(39b), 및 백라이트 유닛(90)을 형성한다. 상술한 단계를 거쳐, 도 13의 구조를 갖는 표시 장치(10)를 제작할 수 있다.

[0211] 여기서, 표시 장치의 제작 공정 시의 포토리소그래피 단계의 수가 적을수록, 즉 포토마스크의 개수가 적을수록, 제작 비용을 더 삭감할 수 있다.

[0212] 예를 들어, 기판(14) 측의 구조는, 도 19의 (A) 내지 도 20의 (B)에 도시된 단계(기판(14) 측의 구조를 형성하는 단계) 중, 도전층(31) 등의 형성 단계(도 19의 (A)), 반도체층(32)의 형성 단계(도 19의 (B)), 도전층(33a) 등의 형성 단계(도 19의 (C)), 개구부(38) 등의 형성 단계(도 20의 (A)), 및 도전층(21) 등의 형성 단계(도 20의 (B))의 5가지 포토리소그래피 단계를 거쳐 제작될 수 있다. 즉, 5개의 포토마스크를 사용하여 백 플레인 기판을 제작할 수 있다.

[0213] 화소열마다 하나 또는 2개의 소스선이 제공된 구조를 표시 장치가 갖는 경우, 도 13에 도시된 구조를 갖는 화소(11)는 반드시 제공될 필요는 없고, 예를 들어 모든 화소(11)가 도 12에 도시된 구조를 가질 수 있다. 이 경우

에도, 백 플레인 기판의 제작에는 총 5가지 포토리소그래피 단계가 필요하고, 즉 5개의 포토마스크가 필요하다. 따라서, 화소열마다 4개의 소스선을 제공하는 경우에는, 화소열마다 하나 또는 2개의 소스선을 제공한 경우와 같은 개수의 포토마스크를 사용하여 표시 장치를 제작할 수 있다. 따라서, 화소열마다 4개의 소스선을 제공한 구조를 갖는 표시 장치의 제작 비용이, 화소열마다 하나 또는 2개의 소스선을 제공한 구조를 갖는 표시 장치의 제작 비용을 초과하는 것을 방지할 수 있다.

[0214] 이상이 화소 등의 제작 방법의 예에 관한 설명이다.

[0215] [도전층의 형상]

[0216] 게이트선 또는 소스선 등의 배선으로서 사용할 수 있는 도전막에는, 금속 또는 합금 등의 저저항 재료를 사용하면, 배선의 저항을 저감할 수 있어 바람직하다. 대형 화면의 표시 장치를 제작하는 경우에는, 배선의 폭을 넓히는 것도 효과적이다. 그러나, 이러한 도전막은 가시광을 투과시키지 않으므로, 투과형 액정 표시 장치에서는, 배선 자체의 폭이 넓어지고, 배선의 개수가 증가됨에 따라 개구율이 저하되는 문제가 발생하는 경우가 있다.

[0217] 도전막의 단부의 형상을 강구함으로써, 백라이트 유닛으로부터의 광을 효율적으로 추출할 수 있다.

[0218] 도 22의 (A)는 소스선 등을 형성하는 도전층(33) 및 그 근방의 단면도이다. 도전층(33)은 역 테이퍼의 단부를 갖는다. 도전층(33)은 예를 들어 도전층(33a, 33b, 및 33c)으로 할 수 있다. 도전층(33)은 예를 들어 도전층(51)으로 할 수 있다.

[0219] 여기서, 테이퍼 각도란 박막의 단부에서의 저면(박막이 형성되는 면과 접촉되는 면)과 측면 사이의 각도를 말한다. 테이퍼 각도는 0° 보다 크고 180° 미만이다. 90° 미만의 테이퍼 각도를 순 테이퍼(forward taper)라고 하고, 90° 보다 큰 테이퍼 각도를 역 테이퍼(inverse taper)라고 한다.

[0220] 도 22의 (A)에 도시된 바와 같이, 도전층(33)이 역 테이퍼 형상을 가지면, 백라이트 유닛으로부터의 광(50)의 일부는 도전층(33)의 측면에 의하여 반사되고 액정(22)에 도달한다. 이 결과, 도전층(33)의 측면이 수직인 경우 또는 테이퍼인 경우와 비교하여 광 추출 효율을 높일 수 있다.

[0221] 여기서, 도전층(33)의 테이퍼 각도는 바람직하게는 90° 보다 크고 135° 미만이고, 더 바람직하게는 91° 이상 120° 이하이고, 더욱 바람직하게는 95° 이상 110° 이하이다.

[0222] 도 22의 (B)에는 게이트선 등을 형성하는 도전층(31)이 역 테이퍼 형상을 갖는 예를 도시하였다. 도전층(33)에 더하여 도전층(31)도 역 테이퍼 형상을 가지면, 광 추출 효율을 더 효율적으로 높일 수 있다.

[0223] 이상이 배선의 형상에 관한 설명이다.

[0224] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0225] (실시형태 2)

[0226] 본 실시형태에서는, 표시부(17)에서의 배선(SL)과 화소(11)의 접속 관계에 대하여 설명한다. 예로서, 표시 소자로서 액정 소자를 사용하는 경우에 대하여 설명한다. 도 23의 (A) 및 (B), 도 24, 도 25, 도 27, 도 28, 및 도 29는 표시부(17)의 일부를 각각 도시한 블록도이다. 도 23의 (A) 및 (B), 도 24, 도 25, 도 27, 도 28, 및 도 29에서, "+" 및 "-"는 화소(11)에 공급되는 신호의 극성을 나타낸다.

[0227] <구동 방법>

[0228] 일반적으로, 액정 소자는 DC 전압을 연속적으로 인가하면 열화되는 경향이 있다. 따라서, 표시 소자로서 액정 소자를 포함한 표시 장치에는, 프레임 기간마다 액정 소자에 인가하는 신호의 극성을 반전시키는 구동 방법(이 구동 방법을 "프레임 반전 구동"이라고도 함)이 사용된다. 예를 들어, 홀수 프레임 중에는 모든 화소에 양의 신호를 공급하고, 짝수 프레임 중에는 모든 화소에 음의 신호를 공급한다. 극성은 프레임마다 반드시 반전될 필요는 없고, 여러 개 액정 소자에서 특정한 개수의 프레임마다 반전되어도 좋다.

[0229] 모든 화소에 같은 극성의 전위를 공급하는 프레임 반전 구동에서는, 화상 표시 시에 플리커 또는 크로스토크 등의 현상이 일어나기 쉽고, 표시 장치의 표시 품질이 저하되는 경우가 있다. 이러한 현상을 억제하기 위하여, 소스선 반전 구동, 게이트선 반전 구동, 및 도트 반전 구동 등의 구동 방법이 고안되고 있다.

[0230] [소스선 반전 구동]

[0231] 소스선 반전 구동("열 반전 구동" 등이라고도 함)은, 특정한 개수의 프레임마다, 그리고 특정한 개수의 신호선(소스선)마다 화소에 공급하는 신호의 극성을 반전시키는 구동 방법이다.

[0232] [게이트선 반전 구동]

[0233] 게이트선 반전 구동("행 반전 구동" 등이라고도 함)은, 특정한 개수의 프레임마다, 그리고 특정한 개수의 주사선(게이트선)마다 화소에 공급하는 신호의 극성을 반전시키는 구동 방법이다.

[0234] [도트 반전 구동]

[0235] 도트 반전 구동("행 반전 구동" 등이라고도 함)은, 특정한 개수의 프레임마다, 행 방향 및 열 방향으로 인접한 화소에 공급하는 신호의 극성을 반전시키는 구동 방법이다. 도트 반전 구동에서는, 특정한 개수의 화소마다 신호의 극성을 반전시킬 수 있다. 예를 들어, 화소마다 또는 복수의 화소마다 공급하는 신호의 극성을 반전시켜도 좋다.

[0236] 도트 반전 구동은 소스선 반전 구동 및 게이트선 반전 구동보다 플리커 또는 크로스토크 등의 현상을 억제하는 데 효과적이다. 따라서, 액정 표시 장치의 구동 방법으로서 도트 반전 구동을 사용하는 경우가 많다.

[0237] <배선(SL)과 화소(11)의 접속 관계>

[0238] 다음으로, 표시부(17)에서의 배선(SL)과 화소(11)의 접속 관계에 대하여 설명한다. 먼저, 화소마다 수행되는 도트 반전 구동의 접속 관계에 대하여 설명한다.

[0239] [도트 반전 구동을 위한 접속 관계]

[0240] [열마다 2개의 소스선을 포함한 표시부]

[0241] 도 23의 (A) 및 (B)는 열마다 2개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 23의 (A)에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선($SL_1(j)$) 및 배선($SL_2(j)$)이 제공되어 있다.

[0242] 도 23의 (A)에서는, 화소(11(i, j)) 및 화소(11(i+2, j))가 배선($SL_1(j)$)에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+3, j))가 배선($SL_2(j)$)에 전기적으로 접속되어 있다.

[0243] 따라서, 도 23의 (A)에서 j열 i+2x행(x는 0 이상의 정수)에 제공된 화소(11)는 배선($SL_1(j)$)에 전기적으로 접속되어 있다. j열 i+2x+1행에 제공된 화소(11)는 배선($SL_2(j)$)에 전기적으로 접속되어 있다.

[0244] 도 23의 (A)에 도시된 접속에서의 도트 반전 구동을 위해서는, 인접한 배선들($SL_1(j)$ 및 $SL_2(j)$)에 다른 극성의 신호를 공급할 필요가 있다. 배선들($SL_1(j)$ 및 $SL_2(j)$) 사이에 기생 용량 Cst가 발생되어 있기 때문에, 배선들($SL_1(j)$ 및 $SL_2(j)$) 간의 전위차가 크면 소스 드라이버의 부하가 커지고 소비전력이 증가되기 쉽다.

[0245] 상술한 관점에서, 도 23의 (B)에 도시된 바와 같이 배선(SL) 및 화소(11)를 배치하는 것이 바람직하다. 도 23의 (B)에서는, j열의 화소(11)가 배선($SL_1(j)$)과 배선($SL_2(j)$) 사이에 제공되어 있다. 도 23의 (B)에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선($SL_2(j)$) 및 배선($SL_1(j$+1))이 제공되어 있다.

[0246] 또한, j열 i+2x행에 제공된 화소(11)는 배선($SL_1(j)$)에 전기적으로 접속되어 있다. j열 i+2x+1행에 제공된 화소(11)는 배선($SL_2(j)$)에 전기적으로 접속되어 있다.

[0247] 도 23의 (B)에 도시된 접속에서의 도트 반전 구동을 위해서는, 인접한 배선들($SL_2(j)$ 및 $SL_1(j$+1))에 같은 극성의 신호가 공급된다. 인접한 배선들($SL_2(j$+1) 및 $SL_1(j$+2))에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0248] [열마다 3개의 소스선을 포함한 표시부]

[0249] 도 24 및 도 25는 열마다 3개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 24 및 도 25에서는, 배선($SL_2(j)$)과 배선($SL_3(j)$) 사이에 j열의 화소(11)가 제공되어 있다. 배선($SL_1(j)$)은 배선($SL_2(j)$)에 인접하

여 제공되어 있다.

[0250] 도 24에서는, 화소(11(i, j))가 배선(SL_1(j))에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+5, j))가 배선(SL_3(j))에 전기적으로 접속되고, 화소(11(i+2, j)) 및 화소(11(i+4, j))가 배선(SL_2(j))에 전기적으로 접속되고, 화소(11(i+3, j))가 배선(SL_1(j+1))에 전기적으로 접속되어 있다.

[0251] 따라서, 도 24에서 j열 i+6x행(x는 0 이상의 정수)에 제공된 화소(11)는 배선(SL_1(j))에 전기적으로 접속되어 있다. j열 i+6x+1행에 제공된 화소(11) 및 j열 i+6x+5행에 제공된 화소(11)는 배선(SL_3(j))에 전기적으로 접속되어 있다. j열 i+6x+2행에 제공된 화소(11) 및 j열 i+6x+4행에 제공된 화소(11)는 배선(SL_2(j))에 전기적으로 접속되어 있다. j열 i+6x+3행에 제공된 화소(11)는 배선(SL_1(j+1))에 전기적으로 접속되어 있다.

[0252] 도 25에 도시된 바와 같이, 배선(SL) 및 화소(11)가 접속되어도 좋다. 도 25에서는, 화소(11(i, j)) 및 화소(11(i+4, j))가 배선(SL_2(j))에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+3, j))가 배선(SL_3(j))에 전기적으로 접속되고, 화소(11(i+2, j))가 배선(SL_1(j))에 전기적으로 접속되고, 화소(11(i+5, j))가 배선(SL_1(j+1))에 전기적으로 접속되어 있다.

[0253] 따라서, 도 25에서 j열 i+6x행(x는 0 이상의 정수)에 제공된 화소(11) 및 j열 i+6x+4행에 제공된 화소(11)는 배선(SL_2(j))에 전기적으로 접속되어 있다. j열 i+6x+1행에 제공된 화소(11) 및 j열 i+6x+3행에 제공된 화소(11)는 배선(SL_3(j))에 전기적으로 접속되어 있다. j열 i+6x+2행에 제공된 화소(11)는 배선(SL_1(j))에 전기적으로 접속되어 있다. j열 i+6x+5행에 제공된 화소(11)는 배선(SL_1(j+1))에 전기적으로 접속되어 있다.

[0254] 도 24 및 도 25에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선(SL_3(j)), 배선(SL_1(j+1)), 및 배선(SL_2(j+1))이 제공되어 있다. 또한, 배선들(SL_3(j), SL_1(j+1), 및 SL_2(j+1)) 사이에 기생 용량 Cst가 발생되어 있다.

[0255] 특히, 배선(SL_3(j))과 배선(SL_2(j+1)) 사이에 제공된 배선(SL_1(j+1))에는, 배선들(SL_3(j) 및 SL_1(j+1)) 사이의 기생 용량 Cst 및 배선들(SL_2(j+1) 및 SL_1(j+1)) 사이의 기생 용량 Cst가 더해지기 때문에, 소스 드라이버의 부하가 커지기 쉽다. 따라서, 배선들(SL_3(j), SL_1(j+1), 및 SL_2(j+1))에는 같은 극성의 신호가 공급되는 것이 바람직하다.

[0256] 상술한 바와 같이, 본 발명의 일 형태는 각 열의 소스선의 개수가 3개 이상인 경우에 특히 효과적이다. 바꿔 말하면, 화소열마다 g개의 배선(GL)을 제공하는 경우, g는 3 이상인 것이 바람직하다. 마찬가지로, 배선(GL_0)이 f개의 배선(GL)에 전기적으로 접속되는 경우, f는 3 이상인 것이 바람직하다.

[0257] 도 24 및 도 25에 도시된 접속에서의 도트 반전 구동을 위해서는, 배선들(SL_3(j), SL_1(j+1), 및 SL_2(j+1))에 같은 극성의 신호가 공급된다. 배선들(SL_3(j+1), SL_1(j+2), 및 SL_2(j+2))에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0258] [구동 파형]

[0259] 도 26은, 도 24에 도시된 표시부(17)의 도트 반전 구동을 위한 구동 파형의 예를 나타낸 것이다. 어떤 하나의 프레임 기간 중, 배선들(SL_1(j) 및 SL_2(j))에는 양의 신호가 공급되고, 배선(SL_3(j))에는 음의 신호가 공급된다.

[0260] 또한 이 프레임 기간 중에는, 모든 배선(GL_0)에 펄스 선택 신호가 순차적으로 공급된다. 예를 들어, 배선(GL_0(k))에 선택 신호가 공급되면, 3개의 배선(GL)(배선(GL(i), GL(i+1), 및 GL(i+2)))에 동시에 선택 신호가 공급된다. 그리고, 배선(GL(i))이 접속된 화소에 배선(SL_1(j))을 통하여 양의 신호가 공급된다. 그 후, 배선(GL(i+1))이 접속된 화소에 배선(SL_3(j))을 통하여 음의 신호가 공급된다. 그리고, 배선(GL(i+2))이 접속된 화소에 배선(SL_2(j))을 통하여 양의 신호가 공급된다.

[0261] 모든 배선(GL_0)을 순차적으로 선택함으로써, 모든 화소(11)에 신호를 공급할 수 있다. 다음의 프레임 기간 중에는, 배선들($SL_1(j)$ 및 $SL_2(j)$)에는 음의 신호가 공급되고, 배선($SL_3(j)$)에는 양의 신호가 공급된다. 이러한 식으로, 프레임마다, 행 방향 및 열 방향으로 인접한 화소에 다른 극성의 신호를 공급할 수 있다.

[0262] 예를 들어 도트 반전 구동에서, 배선(SL)에 공급되는 신호의 극성을 행마다 반전시키는 경우에는, 배선(SL)에 공급되는 전압 진폭이 커지기 때문에, 소스 드라이버의 부하가 커지고 소비전력이 증가된다. 본 발명의 일 형태에 따른 표시 장치에서는, 도트 반전 구동에서도 1프레임 기간 중에 배선(SL)에 같은 극성의 신호를 공급할 수 있다. 따라서, 배선(SL)에 공급되는 전압 진폭을 작게 할 수 있어, 신호 재기록 시의 소스 드라이버의 부하를 저감하고 소비전력을 저감할 수 있다.

[0263] 도 24의 구조에서는, 각 행 선택 단계에 의하여 3행의 화소(11)에 신호를 공급할 수 있다. 그러므로, 1행의 선택 기간을 확장할 수 있다. 본 발명의 일 형태에 따르면, 화소(11)에 신호를 확실히 기록할 수 있기 때문에, 표시 장치의 표시 품질을 향상시킬 수 있다.

[0264] [열마다 4개의 소스선을 포함한 표시부]

[0265] 도 27 및 도 28은 열마다 4개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 27 및 도 28에서는, 배선들($SL_1(j)$ 및 $SL_2(j)$)과 배선들($SL_3(j)$ 및 $SL_4(j)$) 사이에 j열의 화소(11)가 제공되어 있다.

[0266] 도 27에서는, 화소(11(i, j)) 및 화소(11(i+4, j))가 배선($SL_1(j)$)에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+5, j))가 배선($SL_3(j)$)에 전기적으로 접속되고, 화소(11(i+2, j)) 및 화소(11(i+6, j))가 배선($SL_2(j)$)에 전기적으로 접속되고, 화소(11(i+3, j)) 및 화소(11(i+7, j))가 배선($SL_4(j)$)에 전기적으로 접속되어 있다.

[0267] 따라서, 도 27에서 j열 i+4x행(x는 0 이상의 정수)에 제공된 화소(11)는 배선($SL_1(j)$)에 전기적으로 접속되어 있다. j열 i+4x+1행에 제공된 화소(11)는 배선($SL_3(j)$)에 전기적으로 접속되어 있다. j열 i+4x+2행에 제공된 화소(11)는 배선($SL_2(j)$)에 전기적으로 접속되어 있다. j열 i+4x+3행에 제공된 화소(11)는 배선($SL_4(j)$)에 전기적으로 접속되어 있다.

[0268] 도 28에서는, 화소(11(i, j)) 및 화소(11(i+4, j))가 배선($SL_2(j)$)에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+5, j))가 배선($SL_3(j)$)에 전기적으로 접속되고, 화소(11(i+2, j)) 및 화소(11(i+6, j))가 배선($SL_1(j)$)에 전기적으로 접속되고, 화소(11(i+3, j)) 및 화소(11(i+7, j))가 배선($SL_4(j)$)에 전기적으로 접속되어 있다.

[0269] 도 27 및 도 28에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선($SL_3(j)$), 배선($SL_4(j)$), 배선($SL_1(j+1)$), 및 배선($SL_2(j+1)$)이 제공되어 있다. 또한, 배선들($SL_3(j)$, $SL_4(j)$, $SL_1(j+1)$, 및 $SL_2(j+1)$) 사이에 기생 용량 Cst가 발생되어 있다.

[0270] 도 27 및 도 28에 도시된 접속에서의 도트 반전 구동을 위해서는, 배선들($SL_3(j)$, $SL_4(j)$, $SL_1(j+1)$, 및 $SL_2(j+1)$)에 같은 극성의 신호가 공급된다. 배선들($SL_3(j+1)$, $SL_4(j+1)$, $SL_1(j+2)$, 및 $SL_2(j+2)$)에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0271] [열마다 5개의 소스선을 포함한 표시부]

[0272] 도 29는 열마다 5개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 29에서는, 배선들($SL_1(j)$, $SL_2(j)$, $SL_3(j)$)과 배선들($SL_4(j)$ 및 $SL_5(j)$) 사이에 j열의 화소(11)가 제공되어 있다.

[0273] 도 29에서는, 화소(11(i, j))가 배선($SL_1(j)$)에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+5, j))가 배선($SL_4(j)$)에 전기적으로 접속되고, 화소(11(i+2, j)) 및 화소(11(i+6, j))가 배선($SL_2(j)$)에 전기적으로 접속되고, 화소(11(i+3, j)) 및 화소(11(i+7, j))가 배선($SL_5(j)$)에 전기적으로 접속되고, 화소(11(i+4, j)) 및 화소(11(i+8, j))가 배선($SL_3(j)$)에 전기적으로 접속되고, 화소(11(i+9, j))가 배선($SL_1(j+1)$)에 전기적으로 접

속되어 있다.

[0274] 따라서, 도 29에서 j열 i+10x행(x는 0 이상의 정수)에 제공된 화소(11)는 배선($SL_1(j)$)에 전기적으로 접속되어 있다. j열 i+10x+1행에 제공된 화소(11) 및 j열 i+10x+5행에 제공된 화소(11)는 배선($SL_4(j)$)에 전기적으로 접속되어 있다. j열 i+6x+2행에 제공된 화소(11) 및 j열 i+6x+6행에 제공된 화소(11)는 배선($SL_2(j)$)에 전기적으로 접속되어 있다. j열 i+6x+3행에 제공된 화소(11) 및 j열 i+6x+7행에 제공된 화소(11)는 배선($SL_5(j)$)에 전기적으로 접속되어 있다. j열 i+6x+4행에 제공된 화소(11) 및 j열 i+6x+8행에 제공된 화소(11)는 배선($SL_3(j)$)에 전기적으로 접속되어 있다. j열 i+6x+9행에 제공된 화소(11)는 배선($SL_1(j+1)$)에 전기적으로 접속되어 있다.

[0275] 도 29에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선($SL_4(j)$), 배선($SL_5(j)$), 배선($SL_1(j+1)$), 배선($SL_2(j+1)$), 및 배선($SL_3(j+1)$)이 제공되어 있다.

[0276] 도 29에 도시된 접속에서의 도트 반전 구동을 위해서는, 배선들($SL_4(j)$, $SL_5(j)$, $SL_1(j+1)$, $SL_2(j+1)$, 및 $SL_3(j+1)$)에 같은 극성의 신호가 공급된다. 배선들($SL_4(j+1)$, $SL_5(j+1)$, $SL_1(j+2)$, $SL_2(j+2)$, 및 $SL_3(j+2)$)에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0277] [열마다 6개의 소스선을 포함한 표시부]

[0278] 도 30은 열마다 6개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 30에서는, 배선들($SL_1(j)$ 내지 $SL_3(j)$)과 배선들($SL_4(j)$ 내지 $SL_6(j)$) 사이에 j열의 화소(11)가 제공되어 있다.

[0279] 도 30에서는, 화소(11(i, j)) 및 화소(11(i+6, j))가 배선($SL_1(j)$)에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+7, j))가 배선($SL_4(j)$)에 전기적으로 접속되고, 화소(11(i+2, j)) 및 화소(11(i+8, j))가 배선($SL_2(j)$)에 전기적으로 접속되고, 화소(11(i+3, j)) 및 화소(11(i+9, j))가 배선($SL_5(j)$)에 전기적으로 접속되고, 화소(11(i+4, j)) 및 화소(11(i+10, j))가 배선($SL_3(j)$)에 전기적으로 접속되고, 화소(11(i+5, j)) 및 화소(11(i+11, j))가 배선($SL_6(j)$)에 전기적으로 접속되어 있다.

[0280] 따라서, 도 30에서 j열 i+6x행(x는 0 이상의 정수)에 제공된 화소(11)는 배선($SL_1(j)$)에 전기적으로 접속되어 있다. j열 i+6x+1행에 제공된 화소(11)는 배선($SL_4(j)$)에 전기적으로 접속되어 있다. j열 i+6x+2행에 제공된 화소(11)는 배선($SL_2(j)$)에 전기적으로 접속되어 있다. j열 i+6x+3행에 제공된 화소(11)는 배선($SL_5(j)$)에 전기적으로 접속되어 있다. j열 i+6x+4행에 제공된 화소(11)는 배선($SL_3(j)$)에 전기적으로 접속되어 있다. j열 i+6x+5행에 제공된 화소(11)는 배선($SL_6(j)$)에 전기적으로 접속되어 있다.

[0281] 도 30에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선들($SL_4(j)$, $SL_5(j)$, $SL_6(j)$, $SL_1(j+1)$, $SL_2(j+1)$, 및 $SL_3(j+1)$)이 제공되어 있다.

[0282] 도 30에 도시된 접속에서의 도트 반전 구동을 위해서는, 배선들($SL_4(j)$, $SL_5(j)$, $SL_6(j)$, $SL_1(j+1)$, $SL_2(j+1)$, 및 $SL_3(j+1)$)에 같은 극성의 신호가 공급된다. 배선들($SL_4(j+1)$, $SL_5(j+1)$, $SL_6(j+1)$, $SL_1(j+2)$, $SL_2(j+2)$, 및 $SL_3(j+2)$)에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0283] [소스선 반전 구동을 위한 접속 관계]

[0284] [열마다 2개의 소스선을 포함한 표시부]

[0285] 도 31의 (A)는 열마다 2개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 31의 (A)에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선($SL_1(j)$) 및 배선($SL_2(j)$)이 제공되어 있다.

[0286] 도 31의 (A)에서는, 화소(11(i, j)) 및 화소(11(i+2, j))가 배선(SL_1(j))에 전기적으로 접속되고, 화소(11(i+1, j)) 및 화소(11(i+3, j))가 배선(SL_2(j))에 전기적으로 접속되어 있다.

[0287] 따라서, 도 31의 (A)에서 j열 i+2x행(x는 0 이상의 정수)에 제공된 화소(11)는 배선(SL_1(j))에 전기적으로 접속되어 있다. j열 i+2x+1행에 제공된 화소(11)는 배선(SL_2(j))에 전기적으로 접속되어 있다.

[0288] 도 31의 (A)에 도시된 접속에서의 소스선 반전 구동을 위해서는, 인접한 배선들(SL_1(j) 및 SL_2(j))에 같은 극성의 신호가 공급된다. 인접한 배선들(SL_1(j+1) 및 SL_2(j+1))에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0289] [게이트선 반전 구동을 위한 접속 관계]

[0290] [열마다 2개의 소스선을 포함한 표시부]

[0291] 도 31의 (B)는 열마다 2개의 소스선을 제공한 표시부(17)의 일부를 도시한 것이다. 도 31의 (B)에서는, 배선(SL_1(j))과 배선(SL_2(j)) 사이에 j열의 화소(11)가 제공되어 있다. 도 31의 (B)에서는, j열의 화소(11)와 j+1열의 화소(11) 사이에 배선(SL_2(j)) 및 배선(SL_1(j+1))이 제공되어 있다.

[0292] 도 31의 (B)에서, j열 i+2x행에 제공된 화소(11)는 배선(SL_1(j))에 전기적으로 접속되어 있다. j열 i+2x+1행에 제공된 화소(11)는 배선(SL_2(j))에 전기적으로 접속되어 있다. j+1열 i+2x행에 제공된 화소(11)는 배선(SL_2(j+1))에 전기적으로 접속되어 있다. j+1열 i+2x+1행에 제공된 화소(11)는 배선(SL_1(j+1))에 전기적으로 접속되어 있다.

[0293] 도 31의 (B)에 도시된 접속에서의 게이트선 반전 구동을 위해서는, 인접한 배선들(SL_2(j) 및 SL_1(j+1))에 같은 극성의 신호가 공급된다. 인접한 배선들(SL_2(j+1) 및 SL_1(j+2))에도 같은 극성의 신호가 공급된다. 인접한 배선들(SL)에 같은 극성의 신호가 공급되면, 이들 배선 간의 전위차를 저감할 수 있다. 따라서, 신호 재기록 시의 소스 드라이버의 부하가 저감되고 소비전력을 저감할 수 있다.

[0294] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0295] (실시형태 3)

[0296] 본 실시형태에서는, 게이트 드라이버(12a) 및 소스 드라이버(13a)의 구조예에 대하여 설명한다.

[0297] [게이트 드라이버의 구조예]

[0298] 도 32의 (A)는 게이트 드라이버(12a)의 구조예를 도시한 것이다. 게이트 드라이버(12a)는 시프트 레지스터(511) 및 버퍼 증폭기(514)를 포함한다. 게이트 드라이버(12a)는 복수의 배선(GL)(또는 복수의 배선(GL_0))에 전기적으로 접속되어 있다.

[0299] 시프트 레지스터(511)에는 스타트 펄스(SP) 및 클럭 신호(CLK) 등이 입력된다. 시프트 레지스터(511)는 클럭 신호(CLK)와 동기하여, 선택 신호가 공급되는 배선(GL)을 선택하는 기능을 갖는다. 선택 신호는 버퍼 증폭기(514)에 의하여 증폭되고 배선(GL)에 공급된다. 버퍼 증폭기(514)는 전류 공급 능력을 높이는 기능(전력을 증폭하는 기능)을 갖는다. 또한, 선택 신호의 전압 진폭을 크게 하기 위하여, 전원 전압을 전환하는 레벨 시프터가 포함되어도 좋다. 또한, 게이트 드라이버(12b)는 게이트 드라이버(12a)와 비슷한 구조를 가질 수 있다.

[0300] [소스 드라이버의 구조예]

[0301] 도 32의 (B)는 소스 드라이버(13a)의 구조예를 도시한 것이다. 소스 드라이버(13a)는 시프트 레지스터(521), 래치(522), DA 컨버터(523), 및 버퍼 증폭기(524)를 포함한다. 소스 드라이버(13a)는 복수의 배선(SL)에 전기적으로 접속되어 있다.

[0302] 시프트 레지스터(521)에는 스타트 펄스(SP) 및 클럭 신호(CLK) 등이 입력된다. 래치(522)에는 디지털 화상 데이터(Video)가 공급된다. 래치(522)는 화상 데이터(Video)를 저장하는 기능을 갖는다. DA 컨버터(523)는, 래

치(522)에 저장된 화상 데이터(Video)를 사용하여 아날로그 화상 신호(비디오 신호)를 생성하는 기능을 갖는다. 또한, DA 컨버터(523)에서 비디오 신호를 생성하는 경우에는, 감마 보정 등을 수행하여도 좋다.

[0303] 시프트 레지스터(521)는 클럭 신호(CLK)와 동기하여, 비디오 신호가 공급되는 배선(SL)을 선택하는 기능을 갖는다. 비디오 신호는 버퍼 증폭기(524)에 의하여 증폭되고 배선(SL)에 공급된다. 버퍼 증폭기(524)는 전류 공급 능력을 높이는 기능을 갖는다. 또한, 비디오 신호의 전압 진폭을 크게 하기 위하여, 전원 전압을 전환하는 레벨 시프터가 포함되어도 좋다. 또한, 소스 드라이버(13b)는 소스 드라이버(13a)와 비슷한 구조를 가질 수 있다.

[0304] 도 33의 (A)에 도시된 바와 같이, 버퍼 증폭기(524)와 배선(SL) 사이에 디멀티플렉서(525)를 제공하여도 좋다. 디멀티플렉서(525)는 입력된 신호를 제어 신호(DMXc)에 따라 복수의 출력 중 임의의 것에 공급하는 기능을 갖는다.

[0305] 디멀티플렉서(525)에 의하여, 소스 드라이버(13a)에 입력되는 신호선의 개수를 줄일 수 있다. 이에 의하여, 표시 장치의 접속 단자의 개수가 저감되고 표시 장치의 신뢰성을 향상시킬 수 있다.

[0306] 도 33의 (B)에 도시된 바와 같이, DA 컨버터(523)와 버퍼 증폭기(524) 사이에 디멀티플렉서(525) 및 아날로그 래치(526)를 제공하여도 좋다. 도 33의 (B)의 구조에서는, 디멀티플렉서(525)로부터 공급된 비디오 신호를 아날로그 래치(526)에 저장한다. 그 후, 이 비디오 신호를 버퍼 증폭기(524)에 의하여 증폭하고 배선(SL)에 출력한다. 아날로그 래치(526)를 제공하면, 버퍼 증폭기(524)로부터의 출력을 안정화시킬 수 있다. 이로써, 의도하지 않은 배선(SL)의 전위 변동이 방지되고, 표시 장치의 표시 품질을 향상시킬 수 있다.

[0307] 도 34, 도 35, 및 도 36은, 도 33의 (A)에서의 소스 드라이버(13a)의 디멀티플렉서(525)와, 표시부(17)의 접속의 예를 각각 도시한 것이다. 디멀티플렉서(525)는 복수의 디멀티플렉서(535)를 포함한다. 그러므로, 디멀티플렉서(525)를 "디멀티플렉서군"이라고 할 수 있다. 도 34 내지 도 36에서는, p번째(p는 1 이상의 정수) 디멀티플렉서(535)를 디멀티플렉서(535(p))라고 나타낸다.

[0308] 도 34 및 도 35는, 열마다 2개의 소스선을 포함한 표시부(17)와, 1입력 2출력의 디멀티플렉서(535)를 포함한 디멀티플렉서(525)의 접속의 예를 각각 도시한 것이다.

[0309] 도 34에 나타낸 예에서는, 디멀티플렉서(535(p))의 출력 단자 중 한쪽이 배선($SL_1(j)$)에 전기적으로 접속되고, 다른 쪽이 배선($SL_2(j)$)에 전기적으로 접속되어 있다. 마찬가지로, 디멀티플렉서(535(p+1))의 출력 단자 중 한쪽이 배선($SL_1(j+1)$)에 전기적으로 접속되고, 다른 쪽이 배선($SL_2(j+1)$)에 전기적으로 접속되어 있다.

[0310] 도 35에 나타낸 예에서는, 디멀티플렉서(535(p))의 출력 단자 중 한쪽이 배선($SL_2(j-1)$)에 전기적으로 접속되고, 다른 쪽이 배선($SL_1(j)$)에 전기적으로 접속되어 있다. 마찬가지로, 디멀티플렉서(535(p+1))의 출력 단자 중 한쪽이 배선($SL_2(j)$)에 전기적으로 접속되고, 다른 쪽이 배선($SL_1(j+1)$)에 전기적으로 접속되어 있다.

[0311] 상기 실시형태에서 설명한 바와 같이, 인접한 배선들(SL)의 극성을 같게 함으로써, 신호 재기록 시의 소스 드라이버의 부하를 저감하고 소비전력을 저감할 수 있다. 따라서, 도 33의 (A)에 도시된 소스 드라이버(13a)를 표시부(17)에 접속시키는 경우에는, 도 35에 도시된 접속 방법을 사용하는 것이 바람직하다.

[0312] 도 36은, 열마다 3개의 소스선을 포함한 표시부(17)와, 1입력 3출력의 디멀티플렉서(535)를 포함한 디멀티플렉서(525)의 접속의 예를 도시한 것이다.

[0313] 도 36에 나타낸 예에서, 디멀티플렉서(535(p))의 출력 단자 중 제 1 출력 단자, 제 2 출력 단자, 및 제 3 출력 단자는 각각 배선($SL_3(j-1)$), 배선($SL_1(j)$), 및 배선($SL_2(j)$)에 전기적으로 접속되어 있다. 마찬가지로, 디멀티플렉서(535(p+1))의 출력 단자 중 제 1 출력 단자, 제 2 출력 단자, 및 제 3 출력 단자는 각각 배선($SL_3(j)$), 배선($SL_1(j+1)$), 및 배선($SL_2(j+1)$)에 전기적으로 접속되어 있다.

[0314] 도 37은, 열마다 4개의 소스선을 포함한 표시부(17)와, 1입력 4출력의 디멀티플렉서(535)를 포함한 디멀티플렉서(525)의 접속의 예를 도시한 것이다.

[0315] 도 37에 나타낸 예에서, 디멀티플렉서(535(p))의 출력 단자 중 제 1 출력 단자, 제 2 출력 단자, 제 3 출력 단자, 및 제 4 출력 단자는 각각 배선($SL_3(j-1)$), 배선($SL_4(j-1)$), 배선($SL_1(j)$), 및 배선($SL_2(j)$)에 전기적으로 접속되어 있다. 마찬가지로, 디멀티플렉서(535(p+1))의 출력 단자 중 제 1 출력 단자, 제 2 출력 단자, 제 3

출력 단자, 및 제 4 출력 단자는 각각 배선($SL_3(j)$), 배선($SL_4(j)$), 배선($SL_1(j+1)$), 및 배선($SL_2(j+1)$)에 전기적으로 접속되어 있다.

[0316] [아날로그 래치]

[0317] 여기서, 아날로그 래치(526)에 사용할 수 있는 반도체 회로의 예에 대하여 설명한다.

[0318] 도 38의 (A)에 도시된 반도체 회로는, 트랜지스터(262)의 소스 및 드레인 중 한쪽이 트랜지스터(263)의 게이트 및 용량 소자(258)의 한쪽 전극에 접속된 기억 회로(251a)의 구조를 갖는다. 도 38의 (B)에 도시된 회로는, 트랜지스터(262)의 소스 및 드레인 중 한쪽이 용량 소자(258)의 한쪽 전극에 접속된 기억 회로(261a)의 구조를 갖는다.

[0319] 아날로그 래치(526)는 복수의 래치 회로를 포함한다. 이 래치 회로로서는, 기억 회로(251a) 및 기억 회로(261a)를 사용할 수 있다.

[0320] 기억 회로들(251a 및 261a)의 각각에서는, 단자(254) 및 트랜지스터(262)를 통하여 주입된 전하가 노드(257)에 유지될 수 있다. 노드(257)는 임의의 전위(임의의 전하량)를 유지할 수 있다.

[0321] 기억 회로(251a)는 트랜지스터(263)를 포함한다. 도 38의 (A)에서 트랜지스터(263)는 p채널 트랜지스터이지만, 트랜지스터(263)로서는 n채널 트랜지스터를 사용하여도 좋다. 또한, 트랜지스터(263)로서 OS 트랜지스터를 사용하여도 좋다.

[0322] 기억 회로(251a) 및 기억 회로(261a)는 각각 아날로그 신호를 유지할 수 있다. 도 38의 (A)에 도시된 기억 회로(251a) 및 도 38의 (B)에 도시된 기억 회로(261a)에 대하여 자세히 설명한다.

[0323] 기억 회로(251a)는 제 1 반도체를 사용한 트랜지스터(263), 제 2 반도체를 사용한 트랜지스터(262), 및 용량 소자(258)를 포함한다.

[0324] 트랜지스터(262)로서는, OS 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(262)로서 오프 상태 전류가 낮은 트랜지스터를 사용함으로써, 노드(257)에 유지된 전하량의 변동을 억제할 수 있다. 그러므로, 데이터를 더 정확하게 저장할 수 있다.

[0325] 도 38의 (A)에서는, 단자(252)가 트랜지스터(263)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 단자(253)가 트랜지스터(263)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되어 있다. 배선(255)이 트랜지스터(262)의 게이트에 전기적으로 접속되고, 트랜지스터(262)의 소스 및 드레인 중 한쪽이 노드(257)에 전기적으로 접속되고, 트랜지스터(262)의 소스 및 드레인 중 다른 쪽이 단자(254)에 전기적으로 접속되어 있다. 트랜지스터(263)의 게이트 및 용량 소자(258)의 한쪽 전극이 노드(257)에 전기적으로 접속되어 있다. 배선(256)이 용량 소자(258)의 다른 쪽 전극에 전기적으로 접속되어 있다.

[0326] 기억 회로(251a)에서는, 단자(254)가 입력 단자로서 기능하고 단자(253)가 출력 단자로서 기능한다. 기억 회로(261a)에서는, 단자(254)가 입출력 단자로서 기능한다.

[0327] 기억 회로(251a) 및 기억 회로(261a)는 노드(257)에 공급된 전하를 유지할 수 있다는 특성을 갖기 때문에, 다음과 같이 데이터의 기록, 유지, 및 판독이 가능하다.

[0328] [기록 동작 및 유지 동작]

[0329] 기억 회로(251a) 및 기억 회로(261a)의 데이터의 기록 및 유지 동작에 대하여 설명한다. 먼저, 배선(255)의 전위를 트랜지스터(262)가 온이 되는 전위로 한다. 이로써, 단자(254)의 전위가 노드(257)에 공급된다. 즉, 노드(257)에 소정의 전하가 공급된다(기록). 여기서는, 임의의 전위에 상당하는 전하가 공급된다. 그 후, 배선(255)의 전위를 트랜지스터(262)가 오프가 되는 전위로 한다. 이로써, 노드(257)에 전하가 유지된다(유지 동작).

[0330] 기억 회로(251a)에서, 트랜지스터(263)로서 p채널 트랜지스터를 사용하는 경우, 임의의 전위는 트랜지스터(263)의 문턱 전압보다 높은 전위로 한다. 트랜지스터(263)로서 n채널 트랜지스터를 사용하는 경우에는, 임의의 전위는 트랜지스터(263)의 문턱 전압보다 낮은 전위로 한다. 바꿔 말하면, 이들 임의의 전위의 각각은 트랜지스터(263)가 오프가 되는 전위이다.

[0331] 도 38의 (B)에 도시된 기억 회로(261a)는 트랜지스터(263)가 제공되지 않았다는 점에서 기억 회로(251a)와 다르다. 용량 소자(258)의 다른 쪽 전극은 배선(264)에 전기적으로 접속되어 있다. 배선(264)의 전위는 고정 전위

이기만 하면 어떤 전위이어도 좋다. 예를 들어, 배선(264)에는 GND가 공급된다. 기억 회로(261a)에는, 기억 회로(251a)와 마찬가지로 데이터를 기록할 수 있다.

[0332] [기억 회로(251A)의 판독 동작]

[0333] 기억 회로(251a)에 유지된 데이터의 판독 동작에 대하여 설명한다. 단자(252)에 소정의 전위(정전위)를 공급하면서 배선(256)에 판독 전위(V_R)를 공급하면, 노드(257)에 유지된 전위를 판독할 수 있다. 바꿔 말하면, 단자(252)에 공급되는 전위, 및 판독 전위(V_R)를 적절히 설정함으로써, 노드(257)에 유지된 전위와 동등한 전위를 단자(253)에 출력할 수 있다.

[0334] [기억 회로(261A)의 판독 동작]

[0335] 기억 회로(261a)에 유지된 데이터의 판독 동작에 대하여 설명한다. 배선(255)에 트랜지스터(262)가 온이 되는 전위가 공급되면, 단자(254)가 노드(257)에 전기적으로 접속되고, 노드(257)에 유지된 전위가 단자(254)에 공급된다. 여기서, 용량 소자(258)의 용량값은 클수록 바람직하다. 용량 소자(258)의 용량값이 클수록, 기록된 전위를 단자(254)에 더 정확하게 공급할 수 있다.

[0336] 기억 회로(251a 및 261a)에서는, 데이터의 기록에 높은 전압을 필요로 하지 않으므로 소자의 열화가 일어나기 어렵다. 예를 들어, 종래의 비휘발성 메모리와는 달리, 플로팅 게이트로의 전자의 주입 및 플로팅 게이트로부터의 전자의 추출이 필요하지 않기 때문에, 절연체의 열화 등의 문제가 일어나지 않는다. 즉, 본 발명의 일 형태에 따른 기억 소자는 종래의 비휘발성 메모리의 문제인 데이터를 재기록할 수 있는 횟수에 제한이 없으며, 그 신뢰성이 대폭으로 향상되어 있다. 또한, 트랜지스터의 상태(온 또는 오프)에 따라 데이터가 기록되기 때문에, 고속 동작을 쉽게 실현할 수 있다.

[0337] 트랜지스터(262)는 백 게이트를 포함한 트랜지스터이어도 좋다. 상기 백 게이트에 공급되는 전위를 제어함으로써, 트랜지스터(262)의 문턱 전압을 적절히 변경할 수 있다. 도 38의 (C)에 도시된 기억 회로(251b)는, 트랜지스터(262)로서 백 게이트를 포함한 트랜지스터를 사용한다는 점에서 기억 회로(251a)와 다르다. 도 38의 (D)에 도시된 기억 회로(261b)는, 트랜지스터(262)로서 백 게이트를 포함한 트랜지스터를 사용한다는 점에서 기억 소자(261a)와 다르다.

[0338] 기억 회로(251b 및 261b)의 각각에서는, 트랜지스터(262)의 백 게이트가 배선(259)에 전기적으로 접속되어 있다. 배선(259)에 공급되는 전위를 제어함으로써, 트랜지스터(262)의 문턱 전압을 적절히 변경할 수 있다.

[0339] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0340] (실시형태 4)

[0341] 본 실시형태에서는, 상기 실시형태에서 설명한 표시 장치 등에 사용할 수 있는 트랜지스터의 예에 대하여 도면을 참조하여 설명한다.

[0342] 도 39의 (A)에 도시된 트랜지스터는 반도체층(32)과 불순물 반도체층(35) 사이에 반도체층(37)을 포함한다.

[0343] 반도체층(37)은 반도체층(32)과 같은 반도체막을 사용하여 형성되어도 좋다. 반도체층(37)은, 불순물 반도체층(35)의 에칭 시에 반도체층(32)이 제거되는 것을 방지하는 에칭 스토퍼로서 기능할 수 있다. 도 39의 (A)에는 반도체층(37)이 오른쪽 부분과 왼쪽 부분으로 분리된 예를 도시하였지만, 반도체층(37)의 일부가 반도체층(32)의 채널 형성 영역을 덮어도 좋다.

[0344] 또한, 반도체층(37)은 불순물 반도체층(35)보다 낮은 농도로 불순물을 포함하여도 좋다. 그러므로, 반도체층(37)을 LDD(lightly doped drain) 영역으로서 기능시킬 수 있고, 트랜지스터를 구동시킨 경우에 나타나는 핫 캐리어 영향을 억제할 수 있다.

[0345] 도 39의 (B)에 도시된 트랜지스터에서는, 반도체층(32)의 채널 형성 영역 위에 절연층(84)이 제공되어 있다. 절연층(84)은 도전층(33a 및 33b)의 에칭 시에 에칭 스토퍼로서 기능한다.

[0346] 도 39의 (C)에 도시된 트랜지스터는 반도체층(32) 대신에 반도체층(32p)을 포함한다. 반도체층(32p)은 결정성이 높은 반도체막을 포함한다. 예를 들어, 반도체층(32p)은 다결정 반도체 또는 단결정 반도체를 포함한다. 이로써, 전계 효과 이동도가 높은 트랜지스터를 제공할 수 있다.

[0347] 도 39의 (D)에 도시된 트랜지스터는 반도체층(32)의 채널 형성 영역에 반도체층(32p)을 포함한다. 예를 들어,

도 39의 (D)에 도시된 트랜지스터는, 반도체층(32)이 되는 반도체막에 레이저 광 등을 조사하여 국소적으로 결정화시킴으로써 형성될 수 있다. 이로써, 전계 효과 이동도가 높은 트랜지스터를 제공할 수 있다.

[0348] 도 39의 (E)에 도시된 트랜지스터는 도 39의 (A)에 도시된 트랜지스터의 반도체층(32)의 채널 형성 영역에 결정성을 갖는 반도체층(32p)을 포함한다.

[0349] 도 39의 (F)에 도시된 트랜지스터는 도 39의 (B)에 도시된 트랜지스터의 반도체층(32)의 채널 형성 영역에 결정성을 갖는 반도체층(32p)을 포함한다.

[0350] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0351] (실시형태 5)

[0352] 본 실시형태에서는, 상기 실시형태에서 설명한 표시 장치 등에 사용할 수 있는 트랜지스터의 예에 대하여 도면을 참조하여 설명한다. 구체적으로는, OS 트랜지스터로서 바람직하게 사용할 수 있는 트랜지스터의 구조예에 대하여 설명한다.

[0353] <트랜지스터의 구조예>

[0354] [구조예 1]

[0355] 트랜지스터의 구조예를 제시하기 위하여, 트랜지스터(200a)에 대하여 도 40의 (A) 내지 (C)를 참조하여 설명한다. 도 40의 (A)는 트랜지스터(200a)의 상면도이다. 도 40의 (B)는 도 40의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 40의 (C)는 도 40의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다. 또한, 도 40의 (A)에서는, 복잡해지는 것을 피하기 위하여, 트랜지스터(200a)의 구성 요소의 일부(예를 들어, 게이트 절연층으로서의 기능을 갖는 절연층)를 도시하지 않았다. 또한, 이하에서는 일점쇄선 X1-X2의 방향을 채널 길이 방향이라고 부르고, 일점쇄선 Y1-Y2의 방향을 채널 폭 방향이라고 부르는 경우가 있다. 도 40의 (A)에서와 같이, 이하에서 설명하는 일부의 트랜지스터의 상면도에서도, 구성 요소의 일부를 도시하지 않은 경우가 있다.

[0356] 트랜지스터(200a)는 절연층(224) 위의 도전층(221), 절연층(224) 및 도전층(221) 위의 절연층(211), 절연층(211) 위의 반도체층(231), 반도체층(231) 및 절연층(211) 위의 도전층(222a), 반도체층(231) 및 절연층(211) 위의 도전층(222b), 반도체층(231) 및 도전층(222a 및 222b) 위의 절연층(212), 및 절연층(212) 위의 도전층(223)을 포함한다.

[0357] 또한, 절연층(224)은 기판이어도 좋다. 절연층(224)이 기판인 경우, 상기 기판은 실시형태 1에서 설명한 기판(14)과 비슷한 재료를 포함할 수 있다.

[0358] 도전층(221) 및 도전층(223)은 예를 들어, 실시형태 1에서 설명한 도전층(31)과 비슷한 재료를 포함할 수 있다. 절연층(211)은 예를 들어, 실시형태 1에서 설명한 절연층(34)과 비슷한 재료를 포함할 수 있다. 도전층(222a) 및 도전층(222b)은 예를 들어, 실시형태 1에서 설명한 도전층(33 및 51)과 비슷한 재료를 포함할 수 있다. 절연층(212)은 실시형태 1에서 설명한 절연층(82)과 비슷한 재료를 포함할 수 있다.

[0359] 반도체층(231)은 예를 들어, 실시형태 1에서 설명한 반도체층(32)과 비슷한 재료를 포함할 수 있다. 본 실시형태에서는, 반도체층(231)이 금속 산화물을 포함한 반도체층인 경우에 대하여 설명한다.

[0360] 절연층(211) 및 절연층(212)은 개구부(235)를 갖는다. 도전층(223)은 개구부(235)를 통하여 도전층(221)에 전기적으로 접속되어 있다.

[0361] 절연층(211)은 트랜지스터(200a)의 제 1 게이트 절연층으로서의 기능을 갖고, 절연층(212)은 트랜지스터(200a)의 제 2 게이트 절연층으로서의 기능을 갖는다. 트랜지스터(200a)에서, 도전층(221)은 제 1 게이트로서의 기능을 갖는다. 도전층(222a)은 소스 및 드레인 중 한쪽으로서의 기능을 갖고, 도전층(222b)은 소스 및 드레인 중 다른 쪽으로서의 기능을 갖는다. 트랜지스터(200a)에서, 도전층(223)은 제 2 게이트로서의 기능을 갖는다.

[0362] 또한, 트랜지스터(200a)는 채널 에치형 트랜지스터이고, 듀얼 게이트 구조를 갖는다.

[0363] 트랜지스터(200a)에서는, 도전층(223)을 생략하여도 좋다. 이 경우, 트랜지스터(200a)는 채널 에치형 트랜지스터이고, 보텀 게이트 구조를 갖는다.

[0364] 도 40의 (B) 및 (C)에 도시된 바와 같이, 반도체층(231)은 도전층(221) 및 도전층(223)과 대향하고, 2개의 게이트로서의 기능을 갖는 도전층들 사이에 있다. 도전층(223)의 채널 길이 방향의 길이는, 반도체층(231)의 채널

길이 방향의 길이보다 길다. 도전층(223)의 채널 폭 방향의 길이는, 반도체층(231)의 채널 폭 방향의 길이보다 길다. 반도체층(231)의 전체는 절연층(212)을 개재하여 도전층(223)으로 덮여 있다.

[0365] 바꿔 말하면, 도전층(221 및 223)은 절연층(211 및 212)에 제공되는 개구부(235)에서 서로 접속되고, 반도체층(231)의 측단부 외부에 위치하는 영역을 갖는다.

[0366] 이 구조로 함으로써, 트랜지스터(200a)에 포함되는 반도체층(231)을 도전층(221 및 223)의 전계로 전기적으로 둘러쌀 수 있다. 트랜지스터(200a)와 같이, 채널 형성 영역이 형성되는 반도체층을 제 1 게이트 및 제 2 게이트의 전계가 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 S-channel(surrounded channel) 구조라고 할 수 있다.

[0367] 트랜지스터(200a)는 S-channel 구조를 갖기 때문에, 채널을 유발시키기 위한 전계를 제 1 게이트로서의 기능을 갖는 도전층(221)에 의하여 반도체층(231)에 효과적으로 인가할 수 있으므로, 트랜지스터(200a)의 전류 구동 능력이 향상되고 높은 온 상태 전류 특성을 얻을 수 있다. 온 상태 전류를 높일 수 있기 때문에, 트랜지스터(200a)의 크기를 축소할 수 있다. 또한, 트랜지스터(200a)는, 제 1 게이트로서의 기능을 갖는 도전층(221) 및 제 2 게이트로서의 기능을 갖는 도전층(223)으로 반도체층(231)이 둘러싸인 구조를 갖기 때문에, 트랜지스터(200a)의 기계적 강도를 높일 수 있다.

[0368] S-channel 구조를 갖는 트랜지스터(200a)는 전계 효과 이동도가 높고 구동 능력이 높기 때문에, 트랜지스터(200a)를 구동 회로, 대표적인 예로서는 게이트 드라이버에 사용함으로써, 베젤이 좁은 표시 장치로 할 수 있다.

[0369] [구조예 2]

[0370] 다음으로, 트랜지스터의 구조예를 제시하기 위하여, 트랜지스터(200b)에 대하여 도 41의 (A) 내지 (C)를 참조하여 설명한다. 도 41의 (A)는 트랜지스터(200b)의 상면도이다. 도 41의 (B)는 도 41의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 41의 (C)는 도 41의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.

[0371] 트랜지스터(200b)는 반도체층(231), 도전층(222a), 도전층(222b), 및 절연층(212)이 각각 다층 구조를 갖는다는 점에서 트랜지스터(200a)와 다르다.

[0372] 절연층(212)은 반도체층(231) 및 도전층(222a 및 222b) 위의 절연층(212a)과, 절연층(212a) 위의 절연층(212b)을 포함한다. 절연층(212)은 반도체층(231)에 산소를 공급하는 기능을 갖는다. 즉, 절연층(212)은 산소를 포함한다. 절연층(212a)은 산소를 투과시킬 수 있는 절연층이다. 또한, 절연층(212a)은 나중의 단계에서의 절연층(212b) 형성 시에 반도체층(231)에 대한 대미지를 완화시키는 막으로서도 기능한다.

[0373] 절연층(212a)으로서는 두께 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하의 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.

[0374] 또한, 절연층(212a)의 결함 수가 적은 것이 바람직하고, 대표적으로는 ESR(electron spin resonance) 측정에 의하여 실리콘의 댕글링 본드(dangling bond)로 인하여 g=2.001에서 나타나는 신호에 대응하는 스핀 밀도가 3×10^{17}spins/cm^3 이하인 것이 바람직하다. 이는, 절연층(212a)에서의 결함 밀도가 높으면, 산소가 상기 결함과 결합되고 절연층(212a)의 산소 투과성이 저하되기 때문이다.

[0375] 또한, 외부로부터 절연층(212a)에 들어간 산소 모두가 절연층(212a) 외부로 이동하지는 않고, 일부의 산소는 절연층(212a)에 남는다. 또한, 산소가 절연층(212a)에 들어가고 절연층(212a)에 포함되는 산소가 절연층(212a) 외부로 이동하는 식으로 절연층(212a)에서 산소의 이동이 일어나는 경우가 있다. 절연층(212a)으로서 산소를 투과시킬 수 있는 산화물 절연층을 형성하면, 절연층(212a) 위에 제공된 절연층(212b)으로부터 방출되는 산소가 절연층(212a)을 통하여 반도체층(231)으로 이동할 수 있다.

[0376] 또한, 절연층(212a)은 질소 산화물에 기인한 준위 밀도가 낮은 산화물 절연층을 사용하여 형성될 수 있다. 또한, 상기 질소 산화물에 기인한 준위 밀도는 금속 산화물층의 가전자대 상단의 에너지와 전도대 하단의 에너지 사이에 형성될 수 있다. 상기 산화물 절연층으로서는, 질소 산화물의 방출량이 적은 산화질화 실리콘막 또는 질소 산화물의 방출량이 적은 산화질화 알루미늄막 등을 사용할 수 있다.

[0377] 또한, 질소 산화물의 방출량이 적은 산화질화 실리콘막은, TDS(thermal desorption spectroscopy)에서 질소 산화물보다 암모니아를 더 방출하는 막이고, 암모니아의 방출량은 대표적으로는 1×10^{18}/cm^3 이상 5×10^{19}/cm^3 이하이다. 또한, 암모니아의 방출량은 막의 표면 온도가 50℃ 이상 650℃ 이하, 바람직하게는 50℃ 이상 550℃ 이

하가 되는 가열 처리에 의하여 방출되는 암모니아의 양이다.

[0378] 예를 들어, 질소 산화물(NO_x; x는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로는 NO_2 또는 NO는 절연층(212a)에 준위를 형성한다. 이 준위는 반도체층(231)의 에너지 갭에 위치한다. 그러므로, 질소 산화물이 절연층(212a)과 반도체층(231)의 계면으로 확산되면, 전자가 절연층(212a) 측의 준위에 의하여 트랩되는 경우가 있다. 이 결과, 트랩된 전자가 절연층(212a)과 반도체층(231)의 계면 근방에 남기 때문에, 트랜지스터의 문턱 전압이 양의 방향으로 변동된다.

[0379] 질소 산화물은 가열 처리에서 암모니아 및 산소와 반응한다. 절연층(212a)에 포함되는 질소 산화물은 가열 처리에서 절연층(212b)에 포함되는 암모니아와 반응하기 때문에, 절연층(212a)에 포함되는 질소 산화물이 저감된다. 그러므로, 절연층(212a)과 반도체층(231)의 계면에서 전자가 트랩되기 어렵다.

[0380] 이러한 산화물 절연층을 절연층(212a)에 사용함으로써, 트랜지스터의 문턱 전압의 변동이 저감되어, 트랜지스터의 전기 특성의 변화를 작게 할 수 있다.

[0381] SIMS에 의하여 측정되는 상술한 산화물 절연층의 질소 농도는 6×10^{20}atoms/cm^3 이하이다.

[0382] 상술한 산화물 절연층을, 기판 온도 220℃ 이상 350℃ 이하에서 실레인 및 일산화이질소를 사용하여 PECVD법으로 형성함으로써, 치밀하고 경도가 높은 막을 형성할 수 있다.

[0383] 절연층(212b)은 화학량론적 조성보다 높은 비율로 산소를 포함하는 산화물 절연층이다. 가열에 의하여 상기 산화물 절연층으로부터 산소의 일부가 방출된다. TDS에서 상기 산화물 절연층으로부터의 산소의 방출량은 1.0×10^{19}atoms/cm^3 이상, 바람직하게는 3.0×10^{20}atoms/cm^3 이상이다. 또한, 상기 산소의 방출량은, TDS에서 50℃ 내지 650℃ 또는 50℃ 내지 550℃의 온도 범위에서 가열 처리하여 방출된 산소의 총량이다. 또한, 상기 산소의 방출량은 TDS에서 산소 원자로 환산된 산소의 총 방출량이다.

[0384] 절연층(212b)으로서는, 두께 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하의 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.

[0385] 절연층(212b)에서의 결함 수는 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 실리콘의 댕글링 본드로 인하여 g=2.001에서 나타나는 신호에 대응하는 스핀 밀도가 1.5×10^{18}spins/cm^3 미만, 바람직하게는 1×10^{18}spins/cm^3 이하인 것이 바람직하다. 또한, 절연층(212b)은 절연층(212a)보다 반도체층(231)에서 더 떨어지도록 제공되어 있기 때문에, 절연층(212b)은 절연층(212a)보다 결함 밀도가 높아도 좋다.

[0386] 또한, 절연층(212)은 같은 종류의 재료로 형성된 절연층을 사용하여 형성될 수 있기 때문에, 절연층들(212a 및 212b)의 경계를 명확하게 관찰할 수 없는 경우가 있다. 따라서, 본 실시형태에서는 절연층들(212a 및 212b)의 경계를 파선으로 나타내었다. 본 실시형태에서는 절연층들(212a 및 212b)의 2층 구조에 대하여 설명하지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 절연층(212a)만의 단층 구조 또는 3층 이상의 적층 구조를 채용하여도 좋다.

[0387] 트랜지스터(200b)에서 반도체층(231)은 절연층(211) 위의 반도체층(231_1) 및 반도체층(231_1) 위의 반도체층(231_2)을 포함한다. 반도체층(231_1 및 231_2)은 같은 종류의 원소를 포함한다. 예를 들어, 반도체층(231_1 및 231_2)은 상술한 반도체층(231)의 원소와 같은 원소를 각각 독립적으로 포함하는 것이 바람직하다.

[0388] 반도체층들(231_1 및 231_2)의 각각은 In의 원자수비가 M의 원자수비보다 높은 영역을 포함하는 것이 바람직하다. 예를 들어, 반도체층들(231_1 및 231_2)의 각각에서의 In 대 M 대 Zn의 원자수비를 In:M:Zn=4:2:3 또는 그 근방으로 하는 것이 바람직하다. 여기서 "근방"이라는 용어로 나타내어지는 범위에 대하여 말하자면, In이 4일 때 M은 1.5 내지 2.5의 범위에 있고, Zn은 2 내지 4의 범위에 있다. 또는, 반도체층들(231_1 및 231_2)의 각각에서의 In 대 M 대 Zn의 원자수비를 In:M:Zn=5:1:6 또는 그 근방으로 하는 것이 바람직하다. 상술한 바와 같이, 실질적으로 조성이 같은 반도체층들(231_1 및 231_2)은, 같은 스퍼터링 타깃을 사용하여 형성될 수 있기 때문에, 제조 비용을 삭감할 수 있다. 같은 스퍼터링 타깃을 사용하는 경우, 같은 진공 체임버에서 반도체층들(231_1 및 231_2)을 연속적으로 형성할 수 있다. 이에 의하여, 반도체층들(231_1 및 231_2)의 계면에 불순물이 들어가는 것을 억제할 수 있다.

[0389] 여기서, 반도체층(231_1)은 반도체층(231_2)보다 결정성이 낮은 영역을 포함하여도 좋다. 또한, 반도체층(231_1 및 231_2)의 결정성은 예를 들어, X선 회절(XRD)에 의한 분석 또는 투과 전자 현미경(TEM)을 사용한 분

석에 의하여 측정될 수 있다.

[0390] 반도체층(231_1)의 결정성이 낮은 영역이 과잉 산소의 확산 경로로서 기능하여, 반도체층(231_1)보다 결정성이 높은 반도체층(231_2)으로 과잉 산소를 확산시킬 수 있다. 상술한 바와 같이, 결정 구조가 다른 반도체층을 포함한 다층 구조를 채용하고, 결정성이 낮은 영역을 과잉 산소의 확산 경로로서 사용하면, 신뢰성이 높은 트랜지스터로 할 수 있다.

[0391] 반도체층(231_1)보다 결정성이 높은 영역을 갖는 반도체층(231_2)에 의하여, 반도체층(231)에 불순물이 들어가는 것을 방지할 수 있다. 특히, 반도체층(231_2)의 결정성을 높임으로써, 도전층(222a 및 222b)의 가공 시의 대미지를 줄일 수 있다. 반도체층(231)의 표면, 즉 반도체층(231_2)의 표면은 도전층(222a 및 222b)의 가공 시에 에천트 또는 에칭 가스에 노출된다. 그러나, 반도체층(231_2)이 결정성이 높은 영역을 갖는 경우, 반도체층(231_2)은 반도체층(231_1)보다 에칭 내성이 높다. 따라서, 반도체층(231_2)은 에칭 스토퍼로서의 기능을 갖는다.

[0392] 반도체층(231_1)은, 반도체층(231_2)보다 결정성이 낮은 영역을 포함함으로써, 캐리어 밀도가 높아지는 경우가 있다.

[0393] 반도체층(231_1)의 캐리어 밀도가 높아지면, 반도체층(231_1)의 전도대에 대하여 페르미 준위가 상대적으로 높아지는 경우가 있다. 이에 의하여 반도체층(231_1)의 전도대 하단이 낮아져, 반도체층(231_1)의 전도대 하단과, 게이트 절연층(여기서는 절연층(211))에 형성될 수 있는 트랩 준위의 에너지 차이가 커지는 경우가 있다. 이 에너지 차이가 커짐으로써, 게이트 절연층에서의 전하의 트랩이 저감되고 트랜지스터의 문턱 전압의 변동이 저감될 수 있는 경우가 있다. 또한, 반도체층(231_1)의 캐리어 밀도가 높아지면, 반도체층(231)의 전계 효과 이동도를 높일 수 있다.

[0394] 이 예에서, 트랜지스터(200b)의 반도체층(231)은 2층을 포함한 다층 구조를 갖지만, 구조는 이에 한정되지 않고, 반도체층(231)은 3층 이상의 층을 포함한 다층 구조를 가져도 좋다.

[0395] 트랜지스터(200b)의 도전층(222a)은 도전층(222a_1), 도전층(222a_1) 위의 도전층(222a_2), 및 도전층(222a_2) 위의 도전층(222a_3)을 포함한다. 트랜지스터(200b)의 도전층(222b)은 도전층(222b_1), 도전층(222b_1) 위의 도전층(222b_2), 및 도전층(222b_2) 위의 도전층(222b_3)을 포함한다.

[0396] 예를 들어, 도전층(222a_1, 222b_1, 222a_3, 및 222b_3)은 타이타늄, 텅스텐, 탄탈럼, 몰리브데넘, 인듐, 갈륨, 주석, 및 아연에서 선택된 하나 이상의 원소를 포함하는 것이 바람직하다. 또한, 도전층(222a_2 및 222b_2)은 구리, 알루미늄, 및 은에서 선택된 하나 이상의 원소를 포함하는 것이 바람직하다.

[0397] 구체적으로, 도전층(222a_1, 222b_1, 222a_3, 및 222b_3)은 In-Sn 산화물 또는 In-Zn 산화물을 포함할 수 있고, 도전층(222a_2 및 222b_2)은 구리를 포함할 수 있다.

[0398] 도전층(222a_1)의 단부는 도전층(222a_2)의 단부보다 외측에 위치하는 영역을 갖는다. 도전층(222a_3)은 도전층(222a_2)의 상면 및 측면을 덮고, 도전층(222a_1)과 접촉하는 영역을 갖는다. 도전층(222b_1)의 단부는 도전층(222b_2)의 단부보다 외측에 위치하는 영역을 갖는다. 도전층(222b_3)은 도전층(222b_2)의 상면 및 측면을 덮고, 도전층(222b_1)과 접촉하는 영역을 갖는다.

[0399] 상술한 구조로 하면, 도전층(222a 및 222b)의 배선의 저항을 저감하고 반도체층(231)으로의 구리의 확산을 억제할 수 있기 때문에 바람직하다.

[0400] [구조예 3]

[0401] 트랜지스터의 구조예를 제시하기 위하여, 트랜지스터(200c)에 대하여 도 42의 (A) 내지 (C)를 참조하여 설명한다. 도 42의 (A)는 트랜지스터(200c)의 상면도이다. 도 42의 (B)는 도 42의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 42의 (C)는 도 42의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.

[0402] 트랜지스터(200c)는 절연층(224) 위의 도전층(221), 도전층(221) 및 절연층(224) 위의 절연층(211), 절연층(211) 위의 반도체층(231), 반도체층(231) 및 절연층(211) 위의 절연층(216), 반도체층(231) 및 절연층(216) 위의 도전층(222a), 반도체층(231) 및 절연층(216) 위의 도전층(222b), 절연층(216) 및 도전층(222a 및 222b) 위의 절연층(212), 및 절연층(212) 위의 도전층(223)을 포함한다.

[0403] 절연층(211, 216, 및 212)은 개구부(235)를 갖는다. 트랜지스터(200c)의 제 1 게이트로서의 기능을 갖는 도전층(221)은, 개구부(235)를 통하여 트랜지스터(200c)의 제 2 게이트로서의 기능을 갖는 도전층(223)에 전기적으

로 접속되어 있다. 절연층(216)은 개구부(238a) 및 개구부(238b)를 갖는다. 트랜지스터(200c)의 소스 및 드레인 중 한쪽으로서의 기능을 갖는 도전층(222a)은, 개구부(238a)를 통하여 반도체층(231)에 전기적으로 접속되어 있다. 트랜지스터(200c)의 소스 및 드레인 중 다른 쪽으로서의 기능을 갖는 도전층(222b)은, 개구부(238b)를 통하여 반도체층(231)에 전기적으로 접속되어 있다.

[0404] 절연층(216)은 트랜지스터(200c)의 채널 보호층으로서의 기능을 갖는다. 절연층(216)이 없는 경우, 도전층(222a 및 222b)을 형성할 때 에칭법 등에 의하여 반도체층(231)의 채널 형성 영역이 손상될 수 있다. 이에 의하여, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 절연층(216)을 형성하고, 개구부(238a 및 238b)를 제공한 다음에 도전층을 형성하고 에칭법 등에 의하여 도전층(222a 및 222b)으로 가공함으로써, 반도체층(231)의 채널 형성 영역으로의 대미지를 방지할 수 있다. 이로써, 트랜지스터의 전기 특성을 안정화시켜 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0405] 절연층(216)은 예를 들어 절연층(212)과 비슷한 재료를 포함할 수 있다.

[0406] 절연층(216)은 과잉 산소 영역을 포함하는 것이 바람직하다. 절연층(216)이 과잉 산소 영역을 포함하면, 반도체층(231)의 채널 형성 영역에 산소를 공급할 수 있다. 이 결과, 상기 채널 형성 영역에 형성되는 산소 결손을 과잉 산소로 충전시킬 수 있어, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0407] 개구부(238a 및 238b)를 형성한 후, 반도체층(231)에 불순물 원소를 첨가하는 것이 바람직하다. 구체적으로는, 산소 결손을 형성하는 원소 또는 산소 결손과 결합되는 원소를 첨가하는 것이 바람직하다. 자세하게는 나중에 설명하겠지만, 이에 의하여 반도체층(231)에서 도전층(222a)과 중첩되는 영역(소스 영역 및 드레인 영역 중 한쪽) 및 반도체층(231)에서 도전층(222b)과 중첩되는 영역(소스 영역 및 드레인 영역 중 다른 쪽)의 도전성을 높일 수 있다. 이로써, 트랜지스터(200c)의 전류 구동 능력이 향상되어, 높은 온 상태 전류를 얻을 수 있다.

[0408] 또한, 트랜지스터(200c)는 채널 보호형(channel-protective) 트랜지스터이고, 듀얼 게이트 구조를 갖는다.

[0409] 트랜지스터(200a 및 200b)와 같이, 트랜지스터(200c)는 S-channel 구조를 갖는다. 이 구조로 함으로써, 트랜지스터(200c)에 포함되는 반도체층(231)을 도전층(221 및 223)의 전계로 전기적으로 둘러쌀 수 있다.

[0410] 트랜지스터(200c)는 S-channel 구조를 갖기 때문에, 채널을 유발시키기 위한 전계를 도전층(221 또는 223)에 의하여 반도체층(231)에 효과적으로 인가할 수 있다. 그러므로, 트랜지스터(200c)의 전류 구동 능력이 향상되고 높은 온 상태 전류 특성을 얻을 수 있다. 온 상태 전류가 높아진 결과, 트랜지스터(200c)의 크기를 축소할 수 있다. 또한, 트랜지스터(200c)는 반도체층(231)이 도전층(221 및 223)으로 둘러싸인 구조를 갖기 때문에, 트랜지스터(200c)의 기계적 강도를 높일 수 있다.

[0411] 트랜지스터(200c)에서는, 도전층(223)을 생략하여도 좋다. 이 경우, 트랜지스터(200c)는 채널 보호형 트랜지스터이고, 보텀 게이트 구조를 갖는다.

[0412] [구조예 4]

[0413] 다음으로, 트랜지스터의 예에 대하여 도 43의 (A) 내지 (D)를 참조하여 설명한다.

[0414] 도 43의 (A) 및 (B)는 트랜지스터(200d)의 단면도이고, 도 43의 (C) 및 (D)는 트랜지스터(200e)의 단면도이다. 트랜지스터(200d)는 상술한 트랜지스터(200b)의 변형예이고, 트랜지스터(200e)는 상술한 트랜지스터(200c)의 변형예이다. 따라서 도 43의 (A) 내지 (D)에서, 트랜지스터(200b) 및 트랜지스터(200c)와 비슷한 기능을 갖는 구성 요소에 대해서는 공통의 부호를 사용하고, 이 구성 요소에 대한 자세한 설명은 생략한다.

[0415] 도 43의 (A)는 트랜지스터(200d)의 채널 길이 방향의 단면도이고, 도 43의 (B)는 트랜지스터(200d)의 채널 폭 방향의 단면도이다. 도 43의 (C)는 트랜지스터(200e)의 채널 길이 방향의 단면도이고, 도 43의 (D)는 트랜지스터(200e)의 채널 폭 방향의 단면도이다.

[0416] 도 43의 (A) 및 (B)에 도시된 트랜지스터(200d)는, 도전층(223) 및 개구부(235)가 제공되지 않았다는 점에서 트랜지스터(200b)와 다르다. 트랜지스터(200d)는 절연층(212), 도전층(222a), 및 도전층(222b)의 구조가 트랜지스터(200b)와 다르다.

[0417] 트랜지스터(200d)의 절연층(212)은 절연층(212c) 및 절연층(212c) 위의 절연층(212d)을 포함한다. 절연층(212c)은 반도체층(231)에 산소를 공급하는 기능과, 불순물(대표적으로는, 물 및 수소 등)이 반도체층(231)에 들어가는 것을 방지하는 기능을 갖는다. 절연층(212c)으로서는, 산화 알루미늄막, 산화질화 알루미늄막, 또는 질화산화 알루미늄막을 사용할 수 있다. 특히, 절연층(212c)은 반응성 스퍼터링법에 의하여 형성되는 산화 알

루미늄막인 것이 바람직하다. 반응성 스퍼터링법에 의하여 산화 알루미늄을 형성하는 방법의 예로서는, 다음 방법을 들 수 있다.

[0418] 먼저, 스퍼터링 체임버 내에 불활성 가스(대표적으로는 Ar 가스)와 산소 가스의 혼합 가스를 도입한다. 이어서, 스퍼터링 체임버에 제공된 알루미늄 타깃에 전압을 인가함으로써, 산화 알루미늄막을 퇴적할 수 있다. 알루미늄 타깃에 전압을 인가하기 위하여 사용되는 전원은, DC 전원, AC 전원, 또는 RF 전원으로부터 공급된다. DC 전원을 사용하면 생산성이 향상되므로 특히 바람직하다.

[0419] 절연층(212d)은 불순물(대표적으로는 물 및 수소 등)이 들어가는 것을 방지하는 기능을 갖는다. 절연층(212d)으로서는, 질화 실리콘막, 질화산화 실리콘막, 또는 산화질화 실리콘막을 사용할 수 있다. 특히, 절연층(212d)으로서는 PECVD법에 의하여 형성되는 질화 실리콘막을 사용하는 것이 바람직하다. PECVD법에 의하여 형성되는 질화 실리콘막은 높은 막 밀도를 얻기 쉽기 때문에 바람직하다. 또한, PECVD법에 의하여 형성되는 질화 실리콘막의 수소 농도가 높은 경우가 있다.

[0420] 트랜지스터(200d)에서는 절연층(212d) 아래에 절연층(212c)이 제공되어 있기 때문에, 절연층(212d)의 수소가 반도체층(231) 측으로 확산되지 않거나 또는 확산되기 어렵다.

[0421] 트랜지스터(200d)는 트랜지스터(200b)와는 달리 싱글 게이트 트랜지스터이다. 싱글 게이트 트랜지스터를 사용함으로써, 마스크의 개수를 줄일 수 있어 생산성이 높아진다.

[0422] 도 43의 (C) 및 (D)에 도시된 트랜지스터(200e)는, 절연층(216) 및 절연층(212)의 구조가 트랜지스터(200c)와 다르다. 구체적으로는, 트랜지스터(200e)는 절연층(216) 대신에 절연층(216a)을, 그리고 절연층(212) 대신에 절연층(212d)을 포함한다.

[0423] 절연층(216a)은 절연층(212c)과 비슷한 기능을 갖는다.

[0424] 트랜지스터(200d 또는 200e)의 구조는 큰 설비 투자 없이 기존의 생산 라인을 사용하여 형성될 수 있다. 예를 들어, 수소화 비정질 실리콘의 제작 공장을 산화물 반도체의 제작 공장으로 평이하게 대체할 수 있다.

[0425] [구조예 5]

[0426] 트랜지스터의 구조예를 제시하기 위하여, 트랜지스터(200f)에 대하여 도 44의 (A) 내지 (C)를 참조하여 설명한다. 도 44의 (A)는 트랜지스터(200f)의 상면도이다. 도 44의 (B)는 도 44의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도이고, 도 44의 (C)는 도 44의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도이다.

[0427] 도 44의 (A) 내지 (C)에 도시된 트랜지스터(200f)는 절연층(224) 위의 도전층(221), 도전층(221) 및 절연층(224) 위의 절연층(211), 절연층(211) 위의 반도체층(231), 반도체층(231) 위의 절연층(212), 절연층(212) 위의 도전층(223), 및 절연층(211), 반도체층(231), 및 도전층(223) 위의 절연층(215)을 포함한다. 반도체층(231)은 도전층(223)과 중첩되는 채널 형성 영역(231i), 절연층(215)과 접촉하는 소스 영역(231s), 및 절연층(215)과 접촉하는 드레인 영역(231d)을 포함한다.

[0428] 절연층(215)은 질소 또는 수소를 포함한다. 절연층(215)이 소스 영역(231s) 및 드레인 영역(231d)과 접촉함으로써, 절연층(215)에 포함되는 질소 또는 수소가 소스 영역(231s) 및 드레인 영역(231d)에 첨가된다. 소스 영역(231s) 및 드레인 영역(231d)은 질소 또는 수소가 첨가되면 캐리어 밀도가 각각 높아진다.

[0429] 트랜지스터(200f)는 절연층(215)에 제공된 개구부(236a)를 통하여 소스 영역(231s)에 전기적으로 접속되는 도전층(222a)을 포함하여도 좋다. 트랜지스터(200f)는 절연층(215)에 제공된 개구부(236b)를 통하여 드레인 영역(231d)에 전기적으로 접속되는 도전층(222b)을 더 포함하여도 좋다.

[0430] 절연층(211)은 제 1 게이트 절연층으로서의 기능을 갖고, 절연층(212)은 제 2 게이트 절연층으로서의 기능을 갖는다. 절연층(215)은 보호 절연층으로서 기능한다.

[0431] 절연층(212)은 과잉 산소 영역을 포함한다. 절연층(212)이 과잉 산소 영역을 포함하기 때문에, 반도체층(231)에 포함되는 채널 형성 영역(231i)에 과잉 산소를 공급할 수 있다. 이 결과, 채널 형성 영역(231i)에 형성될 수 있는 산소 결손을 과잉 산소로 충전시킬 수 있어, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0432] 반도체층(231)에 과잉 산소를 공급하기 위해서는, 반도체층(231) 아래에 형성되는 절연층(211)에 과잉 산소를 공급하여도 좋다. 그러나, 이 경우, 절연층(211)에 포함되는 과잉 산소는 반도체층(231)에 포함되는 소스 영역(231s) 및 드레인 영역(231d)에도 공급될 수 있다. 소스 영역(231s) 및 드레인 영역(231d)에 과잉 산소가 공급

되면, 소스 영역(231s) 및 드레인 영역(231d)의 저항이 높아질 수 있다.

[0433] 한편, 반도체층(231) 위에 형성되는 절연층(212)이 과잉 산소를 포함하는 구조에서는, 과잉 산소를 채널 형성 영역(231i)에만 선택적으로 공급할 수 있다. 또는, 채널 형성 영역(231i), 그리고 소스 영역 및 드레인 영역(231s 및 231d)에 과잉 산소를 공급한 후, 소스 영역 및 드레인 영역(231s 및 231d)의 캐리어 밀도를 선택적으로 높임으로써, 소스 영역 및 드레인 영역(231s 및 231d)의 저항이 높아지는 것을 방지할 수 있다.

[0434] 또한, 반도체층(231)에 포함되는 소스 영역(231s) 및 드레인 영역(231d)의 각각은 산소 결손을 형성하는 원소 또는 산소 결손과 결합되는 원소를 포함하는 것이 바람직하다. 산소 결손을 형성하는 원소 또는 산소 결손과 결합되는 원소의 대표적인 예에는, 수소, 붕소, 탄소, 질소, 플루오린, 인, 황, 염소, 타이타늄, 및 희가스가 포함된다. 희가스 원소의 대표적인 예에는 헬륨, 네온, 아르곤, 크립톤, 및 제논이 포함된다. 산소 결손을 형성하는 상기 원소 중 하나 이상이 절연층(215)에 포함되는 경우, 상기 원소 중 하나 이상은 절연층(215)으로부터 소스 영역(231s) 및 드레인 영역(231d)으로 확산, 및/또는 불순물 첨가 처리에 의하여 소스 영역(231s) 및 드레인 영역(231d)에 첨가될 수 있다.

[0435] 금속 산화물에 첨가된 불순물 원소는 금속 산화물에서 금속 원소와 산소의 결합을 절단하여 산소 결손이 형성된다. 또는, 금속 산화물에 불순물 원소가 첨가되면, 금속 산화물에서 금속 원소와 결합된 산소가 불순물 원소와 결합하고, 금속 원소로부터 산소가 방출되어 산소 결손이 형성된다. 그 결과, 금속 산화물은 캐리어 밀도가 높아지고, 따라서 도전성이 높아진다.

[0436] 도전층(221)은 제 1 게이트로서 기능하고, 도전층(223)은 제 2 게이트로서 기능한다. 도전층(222a)은 소스로서의 기능을 갖고, 도전층(222b)은 드레인으로서의 기능을 갖는다.

[0437] 도 44의 (C)에 도시된 바와 같이, 절연층(211 및 212)에는 개구부(237)가 형성된다. 도전층(221)은 개구부(237)에서 도전층(223)에 전기적으로 접속된다. 따라서, 도전층(221 및 223)에는 같은 전위가 공급된다. 또한, 개구부(237)를 제공하지 않고 도전층(221 및 223)에 다른 전위를 인가하여도 좋다. 또는, 개구부(237)를 제공하지 않고 도전층(221)을 차광막으로서 사용하여도 좋다. 예를 들어, 차광성 재료로 형성된 도전층(221)에 의하여, 채널 형성 영역(231i)에 아래로부터 조사되는 광을 저감할 수 있다.

[0438] 도 44의 (B) 및 (C)에 도시된 바와 같이, 반도체층(231)은, 제 1 게이트로서의 기능을 갖는 도전층(221) 및 제 2 게이트로서의 기능을 갖는 도전층(223)과 대향한 상태에서, 게이트로서의 기능을 갖는 2개의 도전층들 사이에 배치되어 있다.

[0439] 트랜지스터(200a, 200b, 및 200c)와 같이, 트랜지스터(200f)는 S-channel 구조를 갖는다. 이러한 구조에 의하여, 트랜지스터(200f)에 포함되는 반도체층(231)을, 제 1 게이트로서의 기능을 갖는 도전층(221) 및 제 2 게이트로서의 기능을 갖는 도전층(223)의 전계로 전기적으로 둘러쌀 수 있다.

[0440] 트랜지스터(200f)는 S-channel 구조를 갖기 때문에, 채널을 유발시키기 위한 전계를 도전층(221 또는 223)에 의하여 반도체층(231)에 효과적으로 인가할 수 있다. 그러므로, 트랜지스터(200f)의 전류 구동 능력이 향상되고 높은 온 상태 전류 특성을 얻을 수 있다. 온 상태 전류가 높아진 결과, 트랜지스터(200f)의 크기를 축소할 수 있다. 또한, 트랜지스터(200f)는 반도체층(231)이 도전층(221 및 223)으로 둘러싸인 구조를 갖기 때문에, 트랜지스터(200f)의 기계적 강도를 높일 수 있다.

[0441] 트랜지스터(200f)는, 도전층(223)의 반도체층(231)에 대한 위치 또는 도전층(223)의 형성 방법으로부터 TGSA(top-gate self-aligned) FET라고 불러도 좋다.

[0442] 트랜지스터(200f)의 반도체층(231)은, 트랜지스터(200b)와 같이 2층 이상의 층을 포함한 다층 구조를 가져도 좋다.

[0443] 트랜지스터(200f)에서는 도전층(223)과 중첩되는 부분에만 절연층(212)이 존재하지만, 구조는 이에 한정되지 않고, 절연층(212)이 반도체층(231)을 덮어도 좋다. 또는, 도전층(221)을 생략하여도 좋다.

[0444] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0445] (실시형태 6)

[0446] 본 발명의 일 형태에 개시된 트랜지스터에 적용할 수 있는 CAC(cloud-aligned composite) OS의 구성에 대하여 이하에서 설명한다.

[0447] <CAC-OS의 구성>

[0448] CAC-OS는 예를 들어 금속 산화물에 포함되는 원소가 고르지 않게 분포되어 있는 구성을 갖는다. 고르지 않게 분포된 원소를 포함하는 각 재료는 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 갖는다. 또한, 이하에서 설명하는 금속 산화물에서, 하나 이상의 금속 원소가 고르지 않게 분포되어 있고 이 금속 원소(들)를 포함하는 영역이 혼합되어 있는 상태를 모자이크 패턴 또는 패치상 패턴이라고 한다. 영역은 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 갖는다.

[0449] 또한, 금속 산화물은 적어도 인듐을 포함하는 것이 바람직하다. 특히, 인듐 및 아연이 포함되는 것이 바람직하다. 또한, 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되어도 좋다.

[0450] 예를 들어 CAC-OS 중, CAC 구성을 갖는 In-Ga-Zn 산화물(이러한 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)은 인듐 산화물(InO_{X1}, 여기서 $X1$은 0보다 큰 실수(實數)) 또는 인듐 아연 산화물($In_{X2}Zn_{Y2}O_{Z2}$, 여기서 $X2$, $Y2$, 및 $Z2$는 0보다 큰 실수)와, 갈륨 산화물(GaO_{X3}, 여기서 $X3$은 0보다 큰 실수) 또는 갈륨 아연 산화물($Ga_{X4}Zn_{Y4}O_{Z4}$, 여기서 $X4$, $Y4$, 및 $Z4$는 0보다 큰 실수) 등으로 재료가 분리되어 모자이크 패턴이 형성되는 구성을 갖는다. 그리고, 모자이크 패턴을 형성하는 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 고르게 분포되어 있다. 이 구성을 클라우드상 구성이라고도 한다.

[0451] 즉, CAC-OS는 GaO_{X3}을 주성분으로 포함하는 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역이 혼합되어 있는 구성을 갖는 복합 금속 산화물이다. 또한, 본 명세서에서, 예를 들어 제 1 영역에서의 원소 M에 대한 In의 원자수비가 제 2 영역에서의 원소 M에 대한 In의 원자수비보다 클 때, 제 1 영역은 제 2 영역보다 In의 농도가 높다.

[0452] 또한, IGZO로서 In, Ga, Zn, 및 O를 포함한 화합물도 알려져 있다. IGZO의 대표적인 예에는 $InGaO_3(ZnO)_{m1}$($m1$은 자연수)로 나타내어지는 결정성 화합물 및 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$(-1=$x0$=1, $m0$은 임의의 수)으로 나타내어지는 결정성 화합물이 포함된다.

[0453] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC(c-axis-aligned crystal) 구조를 갖는다. 또한, CAAC 구조는 복수의 IGZO 나노 결정이 c축 배향을 갖고 a-b면 방향에서는 배향하지 않고 연결되어 있는 결정 구조이다.

[0454] 한편, CAC-OS는 금속 산화물의 재료 구성에 관한 것이다. In, Ga, Zn, 및 O를 포함한 CAC-OS 재료에서는, Ga를 주성분으로 포함한 나노 입자가 부분적으로 관찰되는 영역과, In을 주성분으로 포함하는 나노 입자가 부분적으로 관찰되는 영역이 무작위로 분산되어 모자이크 패턴을 형성한다. 따라서, 이 결정 구조는 CAC-OS에서 부차적인 요소이다.

[0455] 또한, CAC-OS에서, 원자수비가 다른 2개 이상의 막을 포함한 적층 구조는 포함되지 않는다. 예를 들어, In을 주성분으로 포함하는 막과 Ga를 주성분으로 포함하는 막의 2층 구조는 포함되지 않는다.

[0456] GaO_{X3}을 주성분으로 포함하는 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역의 경계가 명확하게 관찰되지 않는 경우가 있다.

[0457] CAC-OS에서 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되는 경우, CAC-OS의 일부에 상기 선택된 금속 원소(들)를 주성분으로 포함하는 나노 입자 영역이 관찰되고, 그 일부에 In을 주성분으로 포함하는 나노 입자 영역이 관찰되고, 이들 나노 입자 영역은 CAC-OS에서 무작위로 분산되어 모자이크 패턴을 형성한다.

[0458] CAC-OS는 예를 들어, 기판을 의도적으로 가열하지 않는 조건하에서 스퍼터링법에 의하여 형성할 수 있다. 스퍼터링법에 의하여 CAC-OS를 형성하는 경우, 퇴적 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스에서 선택된 하나 이상을 사용할 수 있다. 퇴적 시의 퇴적 가스의 총유량에 대한 산소 가스의 유량비는 가능한 한 낮은 것이 바람직하고, 예를 들어 산소 가스의 유량비는 0% 이상 30% 미만인 것이 바람직하고, 0% 이상 10% 이하인 것이 더 바람직하다.

[0459] CAC-OS는 X선 회절(XRD) 측정 방법인, out-of-plane법에 의한 Θ/2Θ 스캔을 사용한 측정에서 명확한 피크가 관찰되지 않는다는 특징을 갖는다. 즉, X선 회절은 측정 영역에서 a-b면 방향 및 c축 방향에서의 배향성을 나타내지 않는다.

[0460] 프로브 직경 1nm의 전자 빔(나노미터 크기의 전자 빔이라고도 함)을 조사함으로써 얻어지는 CAC-OS의 전자 회절 패턴에서는, 휘도가 높은 링 형상의 영역, 및 이 링 형성의 영역에 복수의 휘점이 관찰된다. 그러므로, 전자 회절 패턴은 CAC-OS의 결정 구조가, 평면 방향 및 단면 방향에서 배향성이 없는 나노 결정(nc) 구조를 포함하는 것을 가리킨다.

[0461] 예를 들어 에너지 분산형 X선 분광법(EDX)의 매핑 이미지로부터, CAC 구성을 갖는 In-Ga-Zn 산화물은 GaO_{X3}을 주성분으로 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역이 고르지 않게 분포되고 혼합되어 있는 구조를 갖는 것이 확인된다.

[0462] CAC-OS는 금속 원소가 고르게 분포된 IGZO 화합물과는 다른 구조를 갖고, IGZO 화합물과는 다른 성질을 갖는다. 즉, CAC-OS에서, GaO_{X3} 등을 주성분으로 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역은 분리되어, 모자이크 패턴을 형성한다.

[0463] $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역의 도전성은, GaO_{X3} 등을 주성분으로 포함하는 영역의 도전성보다 높다. 바꿔 말하면, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역을 캐리어가 흐를 때, 금속 산화물의 도전성이 발현된다. 따라서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역이 금속 산화물에서 클라우드상으로 분포되는 경우, 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0464] 한편, GaO_{X3} 등을 주성분으로 포함하는 영역의 절연성은, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}을 주성분으로 포함하는 영역의 절연성보다 높다. 바꿔 말하면, GaO_{X3} 등을 주성분으로 포함하는 영역이 금속 산화물에 분포되면, 누설 전류를 억제할 수 있고 양호한 스위칭 동작을 실현할 수 있다.

[0465] 따라서, CAC-OS를 반도체 소자에 사용한 경우, GaO_{X3} 등에서 유래하는 절연성과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}에서 유래하는 도전성이 서로를 보완함으로써, 높은 온 상태 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0466] CAC-OS를 포함하는 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 디스플레이로 대표되는 다양한 반도체 장치에 적합하게 사용된다.

[0467] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0468] (실시형태 7)

[0469] 본 실시형태에서는, 상술한 실시형태에서 설명한 표시 장치의 다른 구조예에 대하여 설명한다.

[0470] 도 45는 표시 장치(10)의 구조예를 도시한 것이다. 표시 장치(10)는 기판(14) 위에 제공된 표시부(17)를 포함한다. 표시부(17)는 배선(GL) 및 배선(SL)에 접속된 복수의 화소(11)를 포함한다.

[0471] 또한, 표시 장치(10)에는 복수의 TAB(tape automated bonding) 테이프(121a) 및 복수의 TAB 테이프(121b)가 제공되어 있다. TAB 테이프(121a) 및 TAB 테이프(121b)는 표시부(17)를 개재하여 서로 대향하도록 제공되어 있다. TAB 테이프(121a)에는 게이트 드라이버(12a) 등이 형성된 집적 회로가 실정되고, TAB 테이프(121b)에는 게이트 드라이버(12b) 등이 형성된 집적 회로가 실장되어 있다. 게이트 드라이버(12a 및 12b)는 복수의 배선(GL)에 접속되고, 배선(GL)에 선택 신호를 공급한다.

[0472] 또한, 표시 장치(10)에는 복수의 인쇄 기판(131a) 및 복수의 TAB 테이프(132a)가 제공되어 있고, 복수의 인쇄 기판(131b) 및 복수의 TAB 테이프(132b)가 제공되어 있다. 인쇄 기판(131a) 및 TAB 테이프(132a)는, 표시부(17)를 개재하여 인쇄 기판(131b) 및 TAB 테이프(132b)와 대향한다.

[0473] 인쇄 기판(131a)은 복수의 TAB 테이프(132a)에 접속되고, 외부 입력 신호를 TAB 테이프(132a)에 분배하는 기능을 갖는다. 인쇄 기판(131b)은 복수의 TAB 테이프(132b)에 접속되고, 외부 입력 신호를 TAB 테이프(132b)에 분배하는 기능을 갖는다. 소스 드라이버(13a) 등이 형성된 집적 회로가 TAB 테이프(132a)에 실장되고, 소스 드라이버(13b) 등이 형성된 집적 회로가 TAB 테이프(132b)에 실장되어 있다. 소스 드라이버(13a) 및 소스 드라이버

(13b)는 복수의 배선(SL)에 접속되고, 배선(SL)에 선택 신호를 공급하는 기능을 갖는다.

[0474] 2K, 4K, 또는 8K 방송 등에 적합한 대형 표시 패널을 형성하는 경우에는, 도 45에 도시된 바와 같이 표시 패널에 복수의 인쇄 기판(131a) 및 복수의 인쇄 기판(131b)을 제공하는 것이 바람직하다. 이로써, 표시 장치(10)로의 화상 데이터의 입력이 용이해진다.

[0475] 또한, 게이트 드라이버(12a), 게이트 드라이버(12b), 소스 드라이버(13a), 및 소스 드라이버(13b)는 COG(chip on glass) 방식 또는 COF(chip on film) 방식 등에 의하여 기판(14) 위에 제공될 수도 있다.

[0476] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0477] (실시형태 8)

[0478] 본 실시형태에서는, 트랜지스터의 반도체층에 사용할 수 있는 다결정 실리콘의 결정화 방법 및 레이저 결정화 장치의 예에 대하여 설명한다.

[0479] 결정성이 양호한 다결정 실리콘층을 형성하기 위해서는, 기판 위에 비정질 실리콘층을 제공하고 레이저 조사에 의하여 결정화하는 것이 바람직하다. 예를 들어, 선형 빔을 비정질 실리콘층에 조사하면서 기판을 이동함으로써, 기판 위의 원하는 영역에 다결정 실리콘층을 형성할 수 있다.

[0480] 선형 빔을 사용한 방법은, 스루풋이 비교적 양호하다. 한편, 이 방법은, 레이저 광이 어떤 영역에 대하여 상대적으로 이동하고 상기 영역에 복수 회 방출되기 때문에, 레이저 광의 출력 변동 및 이 출력 변동에 기인한 빔 프로파일의 변화에 의한 결정성의 편차가 나타나는 경향이 있다. 예를 들어, 이 방법에 의하여 결정화시킨 반도체층을 화소에 포함한 트랜지스터를 사용한 표시 장치는, 결정성의 편차에 기인한 무작위의 스트라이프 패턴을 표시하는 경우가 있다.

[0481] 선형 빔의 길이는 기판의 1변의 길이 이상인 것이 이상적이지만, 선형 빔의 길이는 레이저의 출력과 광학계의 구조에 의하여 제한된다. 따라서, 기판 면 내에서 레이저 광을 되돌아오게 함으로써 대형 기판에 레이저 광을 조사하는 것이 현실적이다. 따라서, 레이저 광이 복수 회 조사되는 영역이 있다. 이러한 영역의 결정성은 다른 영역의 결정성과 달라지기 쉽기 때문에, 상기 영역에서는 표시 불균일이 일어나는 경우가 있다.

[0482] 이러한 문제를 피하기 위하여, 기판 위에 형성된 비정질 실리콘층을 국소적으로 레이저 조사함으로써 결정화시켜도 좋다. 국소적인 레이저 조사는, 결정성의 편차가 적은 다결정 실리콘층을 형성하기 쉽다.

[0483] 도 46의 (A)는 기판 위에 형성된 비정질 실리콘층에 레이저 광을 국소적으로 조사하는 방법을 도시한 것이다.

[0484] 광학계 유닛(821)으로부터 방출되는 레이저 광(826)은 미러(822)로 반사되고 마이크로렌즈 어레이(823)로 들어간다. 마이크로렌즈 어레이(823)는 레이저 광(826)을 모아 복수의 레이저 빔(827)을 형성한다.

[0485] 스테이지(815)에는 비정질 실리콘층(840)을 형성한 기판(830)이 고정된다. 비정질 실리콘층(840)에 복수의 레이저 빔(827)을 조사함으로써, 복수의 다결정 실리콘층(841)을 동시에 형성할 수 있다.

[0486] 마이크로렌즈 어레이(823)의 마이크로렌즈는, 표시 장치의 화소 피치에 따라 제공되는 것이 바람직하다. 또는, 이들은 화소 피치의 정수배(integral multiple)의 간격으로 제공되어도 좋다. 이들 경우 중 어느 쪽에서도 레이저 조사와 스테이지(815)의 X방향 또는 Y방향으로의 이동을 반복함으로써, 모든 화소에 대응한 영역에 다결정 실리콘층을 형성할 수 있다.

[0487] 예를 들어, 마이크로렌즈 어레이(823)가 화소 피치로 배치된 M행 N열(M 및 N은 자연수)의 마이크로렌즈를 포함하는 경우에는, 먼저 소정의 시작 위치에서 레이저 광 조사를 수행함으로써 M행 N열의 다결정 실리콘층(841)을 형성할 수 있다. 그리고, 행 방향으로 N열분 스테이지(815)를 이동하고 레이저 조사를 수행함으로써, M행 N열의 다결정 실리콘층(841)을 더 형성할 수 있다. 이 결과, M행 $2N$열의 다결정 실리콘층(841)을 얻을 수 있다. 상기 단계를 반복함으로써, 원하는 영역에 복수의 다결정 실리콘층(841)을 형성할 수 있다. 레이저 광을 되돌아오게 함으로써 레이저 광 조사를 수행하는 경우에는, 행 방향으로 N열분 스테이지(815)를 이동하고 레이저 광 조사를 수행하고, 열 방향으로 M행분 스테이지(815)를 이동하고 레이저 광 조사를 수행하는 단계를 반복한다.

[0488] 또한, 레이저 광의 발진 주파수 및 스테이지(815)의 이동 속도를 적절히 조정하면, 스테이지(815)를 한 방향으로 이동하면서 레이저 조사를 수행하는 방법이어도 화소 피치로 다결정 실리콘층을 형성할 수 있다.

[0489] 레이저 빔(827)의 크기는 예를 들어, 하나의 트랜지스터의 반도체층 전체가 포함되는 면적으로 할 수 있다. 또

는, 상기 크기는 하나의 트랜지스터의 채널 형성 영역 전체가 포함되는 면적으로 할 수 있다. 또는, 상기 크기는 하나의 트랜지스터의 채널 형성 영역의 일부가 포함되는 면적으로 할 수 있다. 상기 크기는 요구되는 트랜지스터의 전기 특성에 따라 선택될 수 있다.

[0490] 또한, 하나의 화소에 복수의 트랜지스터를 포함한 표시 장치의 경우, 레이저 빔(827)의 크기는, 하나의 화소 내의 각 트랜지스터의 반도체층 전체가 포함되는 면적으로 할 수 있다. 또는, 레이저 빔(827)의 크기는, 복수의 화소에서의 트랜지스터의 반도체층 전체가 포함되는 면적으로 하여도 좋다.

[0491] 도 47의 (A)에 도시된 바와 같이, 미러(822)와 마이크로렌즈 어레이(823) 사이에 마스크(824)를 제공하여도 좋다. 마스크(824)는 각 마이크로렌즈에 대응한 복수의 개구부를 포함한다. 상기 개구부의 형상을 레이저 빔(827)의 형상으로 반영할 수 있고, 도 47의 (A)에 도시된 바와 같이 마스크(824)가 원형의 개구부를 포함하는 경우에는, 원형의 레이저 빔(827)을 얻을 수 있다. 마스크(824)가 직사각형의 개구부를 포함하는 경우에는, 직사각형의 레이저 빔(827)을 얻을 수 있다. 마스크(824)는 예를 들어, 트랜지스터의 채널 형성 영역만을 결정화시키는 경우에 효과적이다. 또한, 마스크(824)는 도 47의 (B)에 도시된 바와 같이 광학계 유닛(821)과 미러(822) 사이에 제공되어도 좋다.

[0492] 도 46의 (B)는, 상술한 국소적인 레이저 조사 단계에 사용할 수 있는 레이저 결정화 장치의 주요 구조를 도시한 사시도이다. 레이저 결정화 장치는 X-Y 스테이지의 구성 요소인 이동 기구(812), 이동 기구(813), 및 스테이지(815)를 포함한다. 상기 결정화 장치는 레이저 빔(827)을 성형하기 위하여 레이저(820), 광학계 유닛(821), 미러(822), 및 마이크로렌즈 어레이(823)를 더 포함한다.

[0493] 이동 기구(812) 및 이동 기구(813)는 수평 방향으로 왕복 직선 운동을 하는 기능을 각각 갖는다. 이동 기구(812) 및 이동 기구(813)에 동력을 공급하는 기구로서는, 예를 들어 모터로 구동되는 볼 나사 기구(ball screw mechanism)(816)를 사용할 수 있다. 이동 기구(812) 및 이동 기구(813)의 이동 방향은 직교되기 때문에, 이동 기구(813)에 고정되는 스테이지(815)를 X방향 및 Y방향으로 자유로이 이동할 수 있다.

[0494] 스테이지(815)는 진공 흡착 기구 등의 고정 기구를 포함하고, 기판(830) 등을 고정시킬 수 있다. 또한, 스테이지(815)는 필요에 따라 가열 기구를 포함하여도 좋다. 도시하지 않았지만, 스테이지(815)는 푸셔 핀 및 그 수직 이동 기구(vertical moving mechanism)를 포함하여도 좋고, 기판(830) 등은 옮겨질 때 상하로 이동될 수 있다.

[0495] 레이저(820)는 펄스 레이저가 바람직하지만, 처리의 목적에 적합한 파장 및 강도의 광을 출력하기만 하면 CW 레이저이어도 좋다. 대표적으로는, 파장 351nm 내지 353nm(XeF) 또는 파장 308nm(XeCl) 등의 자외광을 방출하는 엑시머 레이저를 사용할 수 있다. 또는, YAG 레이저 또는 파이버 레이저 등의 고체 레이저의 2배파(515nm 또는 532nm 등) 또는 3배파(343nm 또는 355nm 등)를 사용하여도 좋다. 복수의 레이저(820)를 제공하여도 좋다.

[0496] 광학계 유닛(821)은 예를 들어, 미러, 빔 익스팬더, 또는 빔 호모지나이저 등을 포함하고, 레이저(820)로부터 방출되는 레이저 광(825)의 에너지의 면 내 분포를 균질화하고 확장할 수 있다.

[0497] 미러(822)로서는 예를 들어, 유전체 다층막 미러를 사용할 수 있고, 레이저 광의 입사 각도가 실질적으로 45°가 되도록 제공한다. 마이크로렌즈 어레이(823)는, 예를 들어 석영 기판의 상면 또는 상하면에 복수의 볼록 렌즈가 제공된 형상을 가질 수 있다.

[0498] 상술한 레이저 결정화 장치를 사용함으로써, 결정성의 편차가 적은 다결정 실리콘층을 형성할 수 있다.

[0499] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

[0500] (실시형태 9)

[0501] 본 실시형태에서는, 본 발명의 일 형태에 따른 전자 기기에 대하여 도면을 참조하여 설명한다.

[0502] 이하에서 설명하는 전자 기기의 각각은, 표시부에 본 발명의 일 형태에 따른 표시 장치가 제공되어 있다. 그러므로, 상기 전자 기기는 고해상도를 실현한다. 또한, 상기 전자 기기는 고해상도와 대화면의 양쪽 모두를 실현할 수 있다.

[0503] 본 발명의 일 형태에 따른 전자 기기의 표시부는 예를 들어, 풀 HD(high definition), 4K2K, 8K4K, 16K8K, 또는 그 이상의 해상도를 갖는 화상을 표시할 수 있다. 표시부의 화면 크기로서는, 대각선 크기가 20인치 이상, 30인치 이상, 50인치 이상, 60인치 이상, 또는 70인치 이상으로 할 수 있다.

[0504] 전자 기기의 예에는, 텔레비전 장치, 데스크톱 또는 노트북 퍼스널 컴퓨터, 컴퓨터 등의 모니터, 디지털 사이니지, 및 대형 게임기(예를 들어 파친코기) 등의 비교적 대화면의 전자 기기; 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라; 디지털 포토 프레임; 휴대 전화; 휴대용 게임기; 휴대 정보 단말기; 및 음향 재생 장치가 포함된다.

[0505] 본 발명의 일 형태에 따른 전자 기기 또는 조명 장치는 집 또는 빌딩의 내벽/외벽의 곡면, 또는 자동차의 내장/외장의 곡면을 따라 제공될 수 있다.

[0506] 본 발명의 일 형태에 따른 전자 기기는 안테나를 포함하여도 좋다. 안테나에 의하여 신호를 수신하면, 전자 기기는 화상 또는 정보 등을 표시부에 표시할 수 있다. 전자 기기가 안테나 및 이차 전지를 포함하는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[0507] 본 발명의 일 형태에 따른 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서)를 포함하여도 좋다.

[0508] 본 발명의 일 형태에 따른 전자 기기는 다양한 정보(예를 들어 정지 화상, 동영상, 및 텍스트 화상)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 및 기록 매체에 저장된 프로그램 또는 데이터를 판독하는 기능 등의 다양한 기능을 가질 수 있다.

[0509] 도 48의 (A)는 텔레비전 장치의 예를 도시한 것이다. 텔레비전 장치(7100)에서는, 하우징(7101)에 표시부(7000)가 포함된다. 여기서, 하우징(7101)은 스탠드(7103)에 의하여 지지되어 있다.

[0510] 본 발명의 일 형태에 따른 표시 장치를 표시부(7000)에 사용할 수 있다. 본 발명의 일 형태에 따른 표시 장치를 사용한 텔레비전 장치(7100)는 고해상도의 화상을 표시할 수 있다. 텔레비전 장치(7100)는 고해상도의 화상을 대화면에 표시할 수도 있다. 본 발명의 일 형태에 따른 표시 장치를 사용함으로써, 텔레비전 장치(7100)의 표시 품질을 향상시킬 수 있다.

[0511] 도 48의 (A)에 도시된 텔레비전 장치(7100)는 하우징(7101)에 제공된 조작 스위치 또는 별체의 리모트 컨트롤러(7111)로 조작될 수 있다. 또한, 표시부(7000)는 터치 센서를 포함하여도 좋다. 텔레비전 장치(7100)는 손가락 등으로 표시부(7000)를 터치함으로써 조작될 수 있다. 또한, 리모트 컨트롤러(7111)에는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부가 제공되어도 좋다. 리모트 컨트롤러(7111)의 조작 키 또는 터치 패널에 의하여, 채널 및 음량을 제어할 수 있고, 표시부(7000)에 표시되는 화상을 제어할 수 있다.

[0512] 또한, 텔레비전 장치(7100)에는 수신기 및 모뎀 등이 제공된다. 수신기를 사용함으로써, 일반 텔레비전 방송을 수신할 수 있다. 텔레비전 장치를 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이)의 정보 통신을 수행할 수 있다.

[0513] 도 48의 (B)에는 노트북 퍼스널 컴퓨터(7200)를 도시하였다. 노트북 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 및 외부 접속 포트(7214) 등을 포함한다. 하우징(7211)에는 표시부(7000)가 포함된다.

[0514] 본 발명의 일 형태에 따른 표시 장치를 표시부(7000)에 사용할 수 있다. 본 발명의 일 형태에 따른 표시 장치를 사용한 노트북 퍼스널 컴퓨터(7200)는 고해상도의 화상을 표시할 수 있다. 노트북 퍼스널 컴퓨터(7200)는 고해상도의 화상을 대화면에 표시할 수도 있다. 본 발명의 일 형태에 따른 표시 장치를 사용함으로써, 노트북 퍼스널 컴퓨터(7200)의 표시 품질을 향상시킬 수 있다.

[0515] 도 48의 (C) 및 (D)는 디지털 사이니지의 예를 도시한 것이다.

[0516] 도 48의 (C)에 도시된 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 포함한다. 또한, 디지털 사이니지(7300)는 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 및 마이크로폰 등을 포함할 수 있다.

[0517] 도 48의 (D)는 원주 형상의 기둥(7401)에 장착된 디지털 사이니지(7400)를 도시한 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 포함한다.

[0518] 본 발명의 일 형태에 따른 표시 장치를 도 48의 (C) 및 (D)에 도시된 표시부(7000)의 각각에 사용할 수 있다. 본 발명의 일 형태에 따른 표시 장치를 사용한 디지털 사이니지(7300 및 7400)는 고해상도의 화상을 표시할 수

있다. 디지털 사이니지(7300 및 7400)는 고해상도의 화상을 대화면에 표시할 수도 있다. 본 발명의 일 형태에 따른 표시 장치를 사용함으로써, 디지털 사이니지(7300 및 7400)의 표시 품질을 향상시킬 수 있다.

[0519] 표시부(7000)의 면적이 클수록 한번에 더 많은 정보를 제공할 수 있다. 또한, 표시부(7000)가 클수록 더 눈에 띄기 때문에, 예를 들어 광고의 효과를 높일 수 있다.

[0520] 표시부(7000)에 터치 패널을 사용하면, 표시부(7000)에 정지 화상 또는 동영상이 표시될 뿐만 아니라, 사용자에 의한 직관적인 조작이 가능하기 때문에 바람직하다. 노선 또는 교통 정보 등의 정보를 제공하기 위하여 표시 장치를 사용하는 경우에는, 직관적인 조작에 의하여 유용성을 높일 수 있다.

[0521] 또한, 도 48의 (C) 및 (D)에 도시된 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는, 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신으로 연동하는 것이 바람직하다. 예를 들어, 표시부(7000)에 표시되는 광고의 정보를 정보 단말기(7311 또는 7411)의 화면에 표시할 수 있다. 또한, 정보 단말기(7311 또는 7411)를 조작함으로써, 표시부(7000)에 표시되는 화상을 전환할 수 있다.

[0522] 또한, 디지털 사이니지(7300 또는 7400)에 의하여, 정보 단말기(7311 또는 7411)의 화면을 조작 수단(컨트롤러)으로서 사용한 게임을 실행할 수 있다. 따라서, 불특정 다수인이 동시에 게임에 참가하고 즐길 수 있다.

[0523] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시될 수 있다.

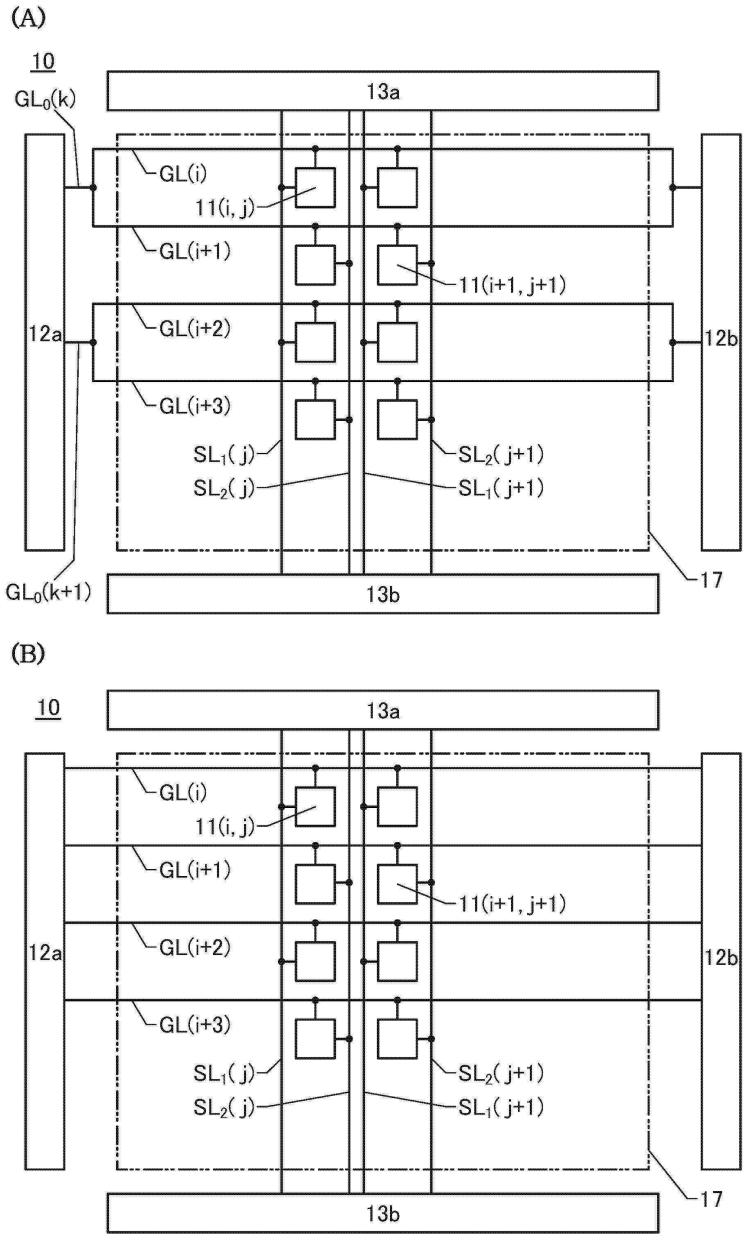
부호의 설명

[0524] 10: 표시 장치, 11: 화소, 14: 기판, 15: 기판, 16: 기준 전압 생성 회로, 17: 표시부, 20: 액정 소자, 21: 도전층, 22: 액정, 23: 도전층, 26: 절연층, 30: 트랜지스터, 31: 도전층, 32: 반도체층, 33: 도전층, 34: 절연층, 35: 불순물 반도체층, 37: 반도체층, 38: 개구부, 41: 착색층, 42: 차광층, 50: 광, 51: 도전층, 52: 도전층, 53: 도전층, 54: 도전층, 55: 도전층.

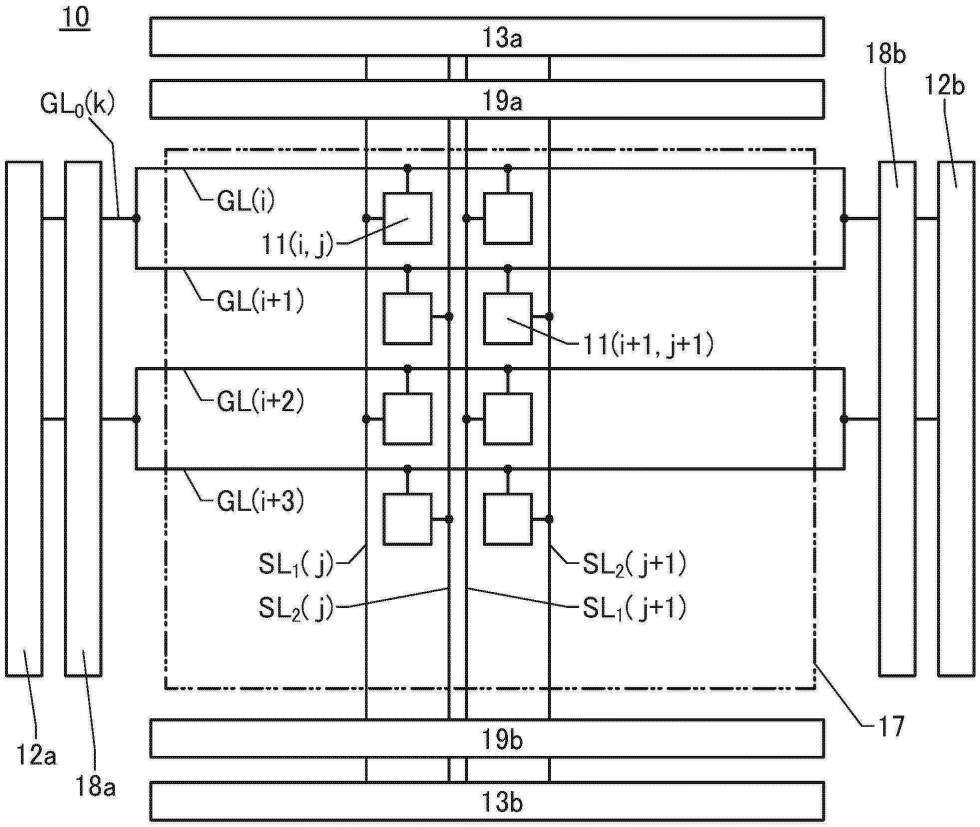
본 출원은 2017년 2월 17일에 일본 특허청에 출원된 일련 번호 2017-027901의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

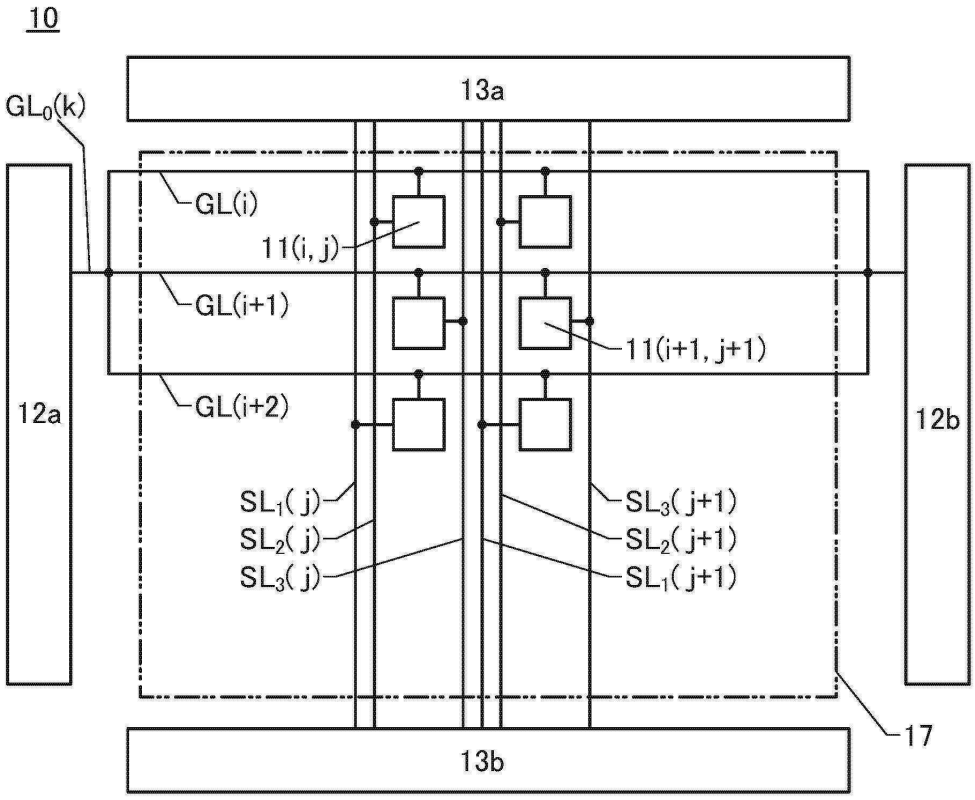
도면1


(A)
10
GL0(k)
13a
GL(i)
11(i, j)
GL(i+1)
11(i+1, j+1)
12a
GL(i+2)
12b
GL(i+3)
SL1(j)
SL2(j+1)
SL2(j)
SL1(j+1)
17
GL0(k+1)
13b
(B)
10
13a
GL(i)
11(i, j)
GL(i+1)
11(i+1, j+1)
12a
GL(i+2)
12b
GL(i+3)
SL1(j)
SL2(j+1)
SL2(j)
SL1(j+1)
17
13b

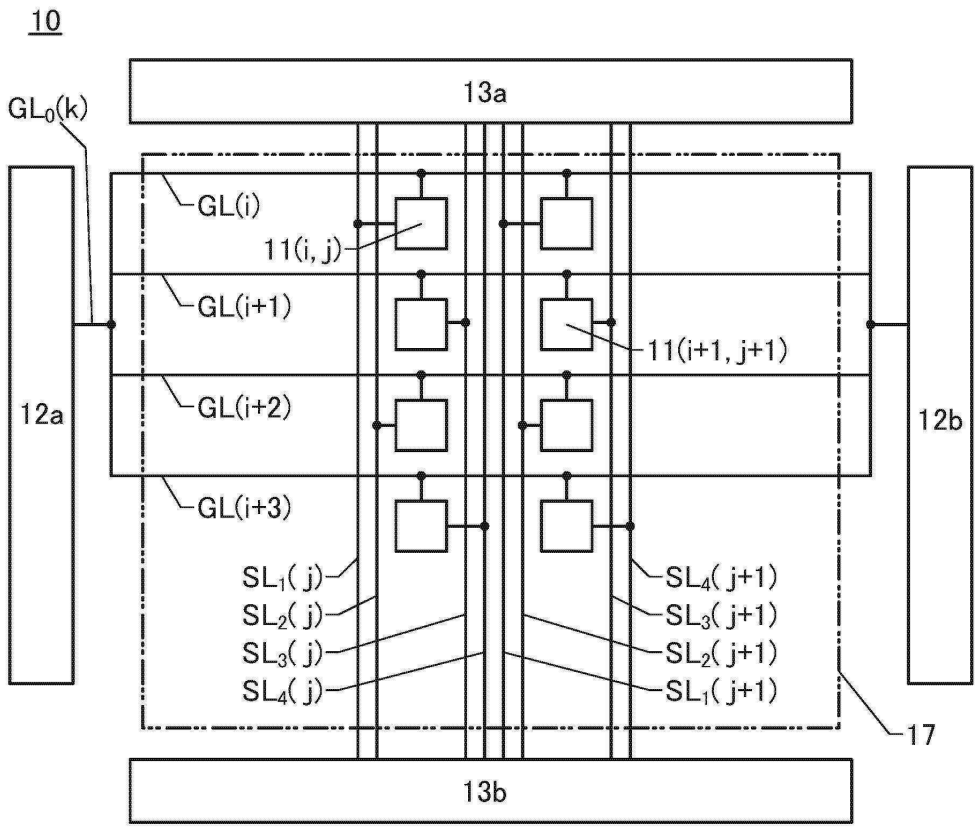
도면2


10
13a
18b
12b
GL0(k)
19a
GL(i)
11(i, j)
GL(i+1)
11(i+1, j+1)
GL(i+2)
GL(i+3)
SL1(j)
SL2(j+1)
SL2(j)
SL1(j+1)
17
12a
18a
19b
13b

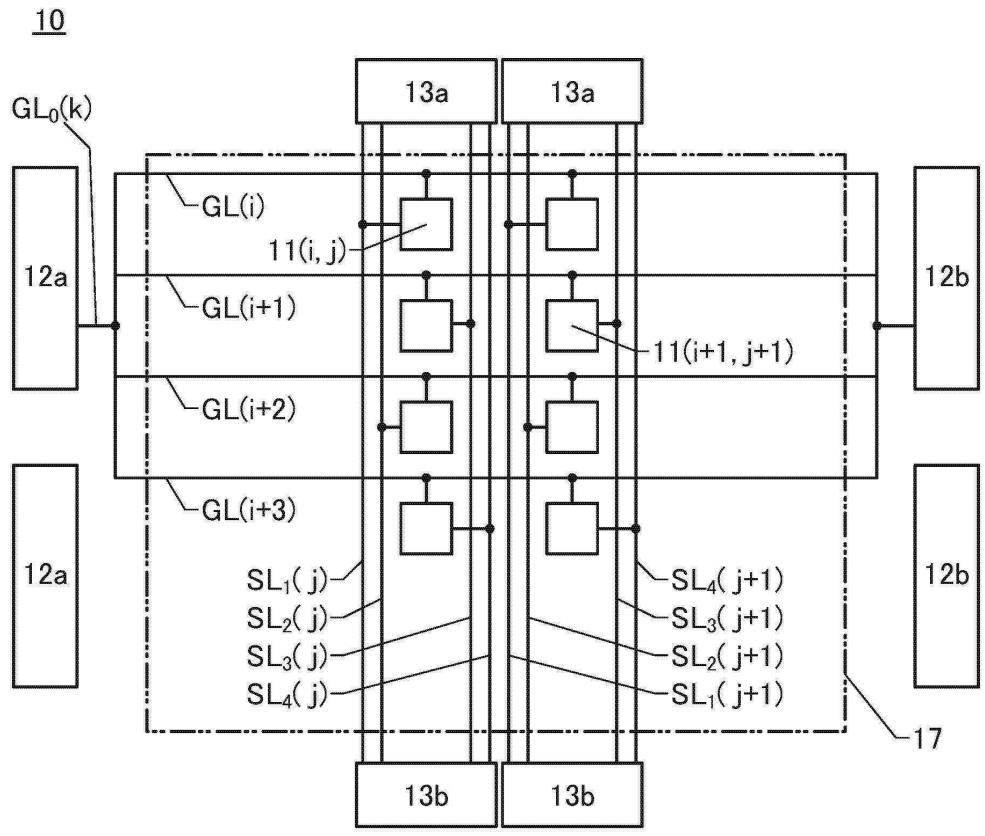
도면3


10
13a
GL0(k)
GL(i)
11(i, j)
GL(i+1)
11(i+1, j+1)
12a
GL(i+2)
12b
SL1(j)
SL2(j)
SL3(j)
SL3(j+1)
SL2(j+1)
SL1(j+1)
17
13b

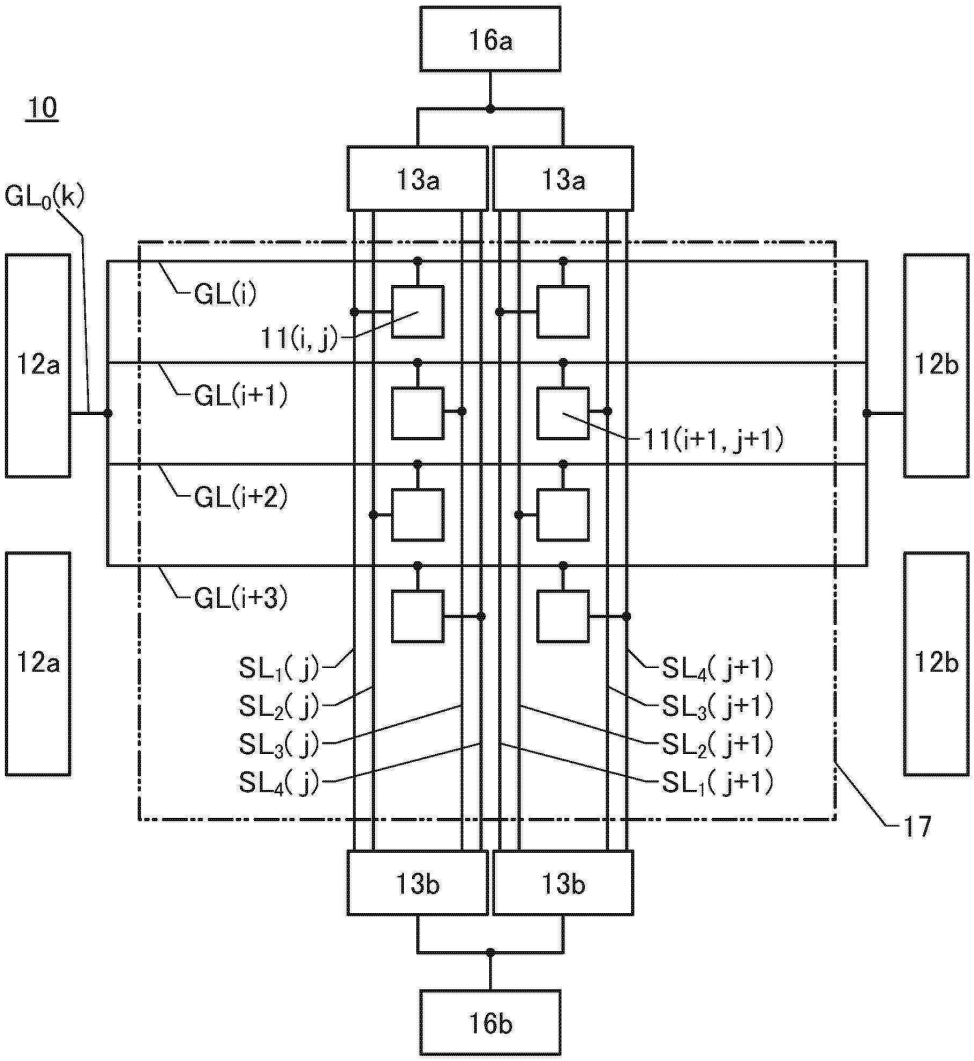
도면4


10
GL0(k)
13a
GL(i)
11(i, j)
GL(i+1)
11(i+1, j+1)
GL(i+2)
GL(i+3)
12a
12b
SL1(j)
SL2(j)
SL3(j)
SL4(j)
SL4(j+1)
SL3(j+1)
SL2(j+1)
SL1(j+1)
17
13b

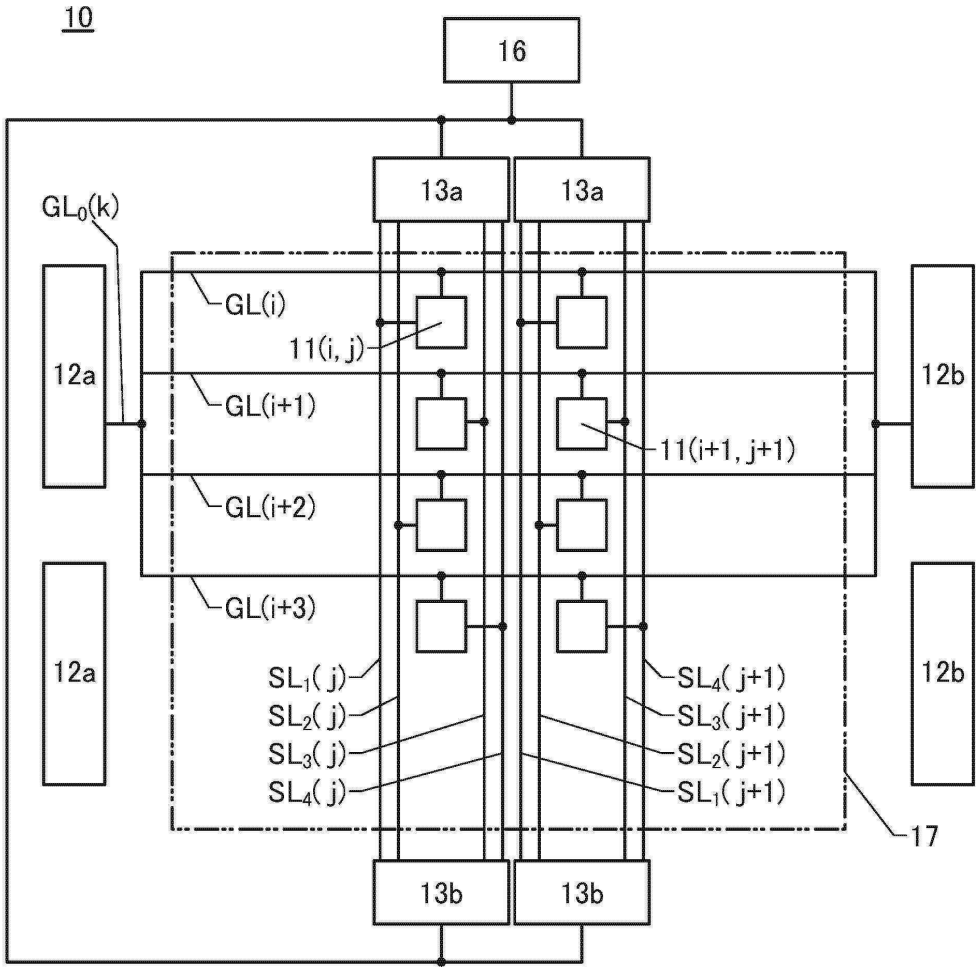
도면5


10
GL0(k)
13a
13a
GL(i)
11(i, j)
GL(i+1)
11(i+1, j+1)
GL(i+2)
GL(i+3)
12a
12a
12b
12b
SL1(j)
SL2(j)
SL3(j)
SL4(j)
SL4(j+1)
SL3(j+1)
SL2(j+1)
SL1(j+1)
17
13b
13b

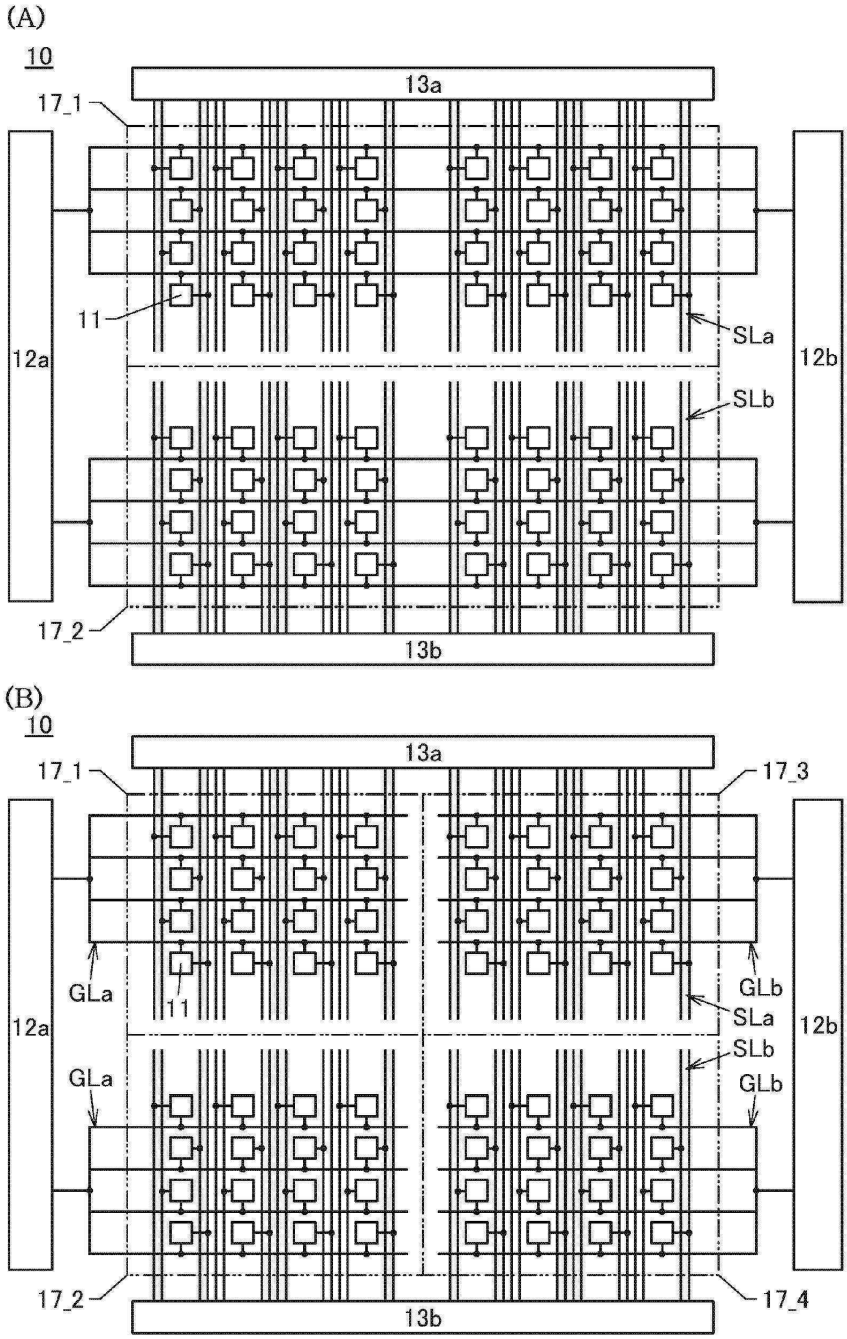
도면6


16a
10
13a
13a
GL0(k)
GL(i)
11(i, j)
12a
12b
GL(i+1)
11(i+1, j+1)
GL(i+2)
GL(i+3)
12a
12b
SL1(j)
SL2(j)
SL3(j)
SL4(j)
SL4(j+1)
SL3(j+1)
SL2(j+1)
SL1(j+1)
17
13b
13b
16b

도면7

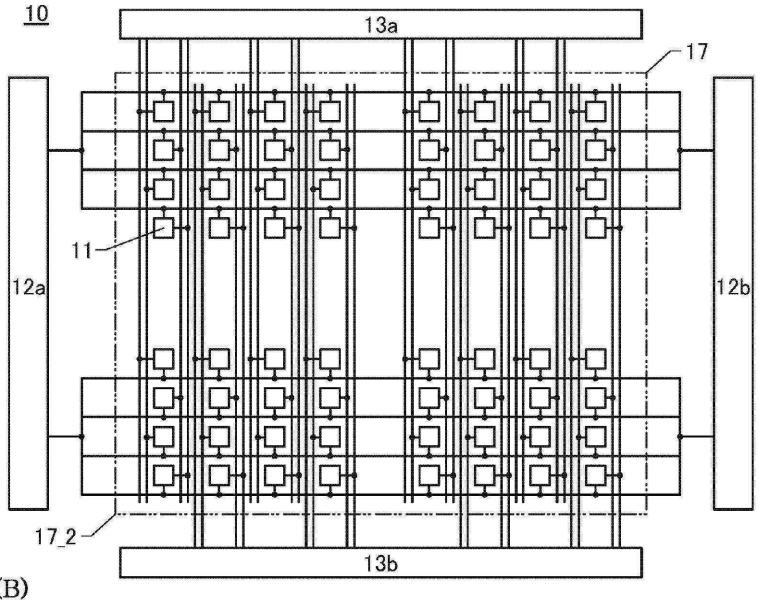

10
16
13a
13a
GL0(k)
GL(i)
11(i, j)
12a
GL(i+1)
12b
11(i+1, j+1)
GL(i+2)
GL(i+3)
12a
12b
SL1(j)
SL2(j)
SL3(j)
SL4(j)
SL4(j+1)
SL3(j+1)
SL2(j+1)
SL1(j+1)
17
13b
13b

도면8

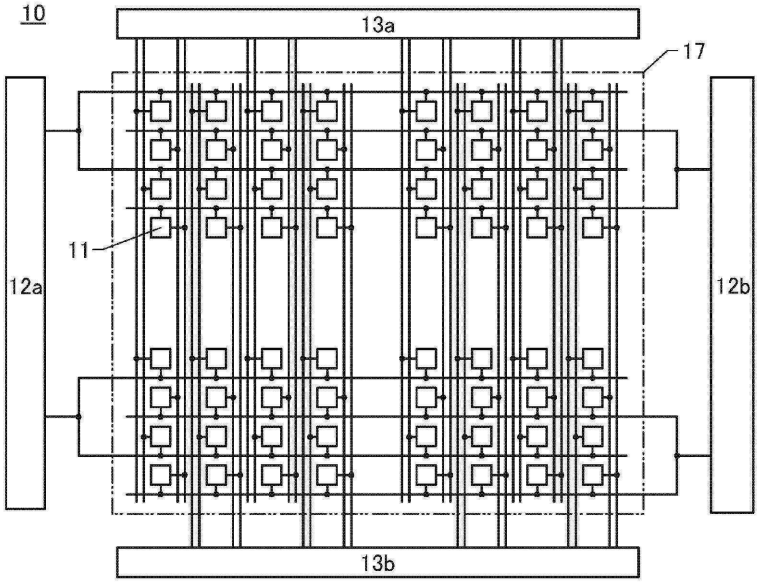

(A)
10
17_1
13a
11
12a
SLa
12b
SLb
17_2
13b
(B)
10
17_1
13a
17_3
GLa
11
GLb
SLa
12a
12b
SLb
GLa
GLb
17_2
13b
17_4

도면9

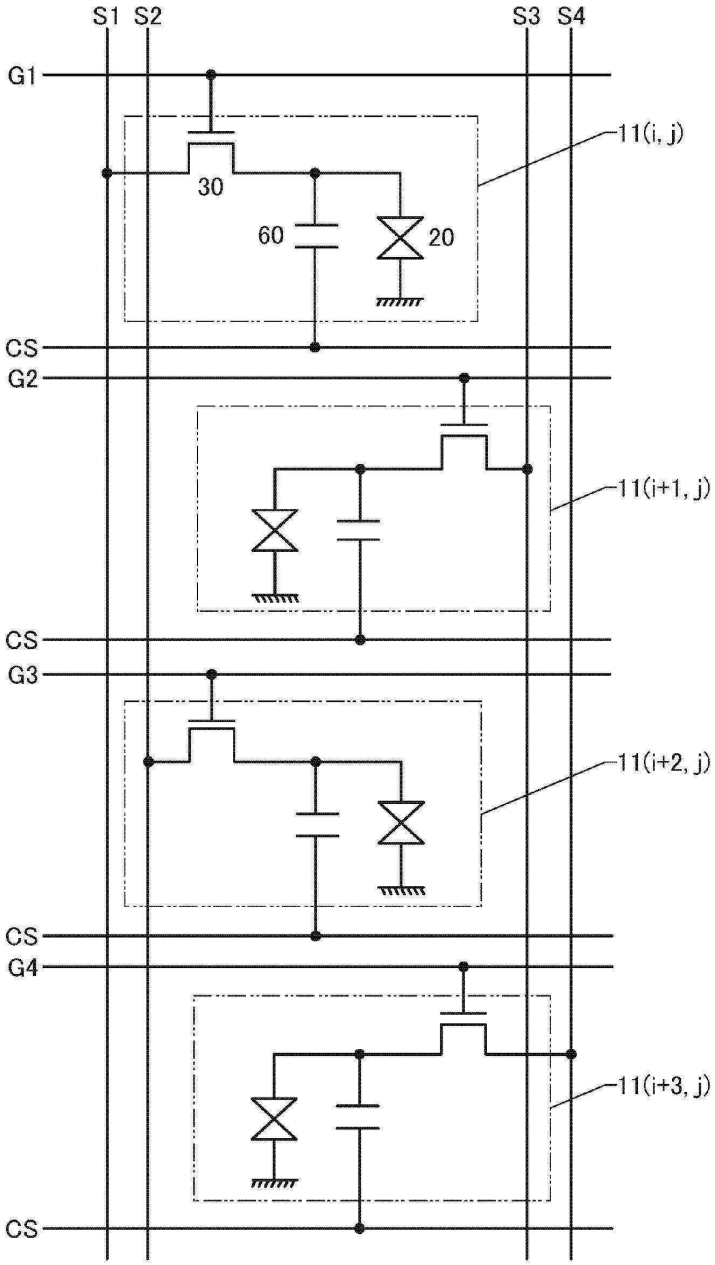
(A)



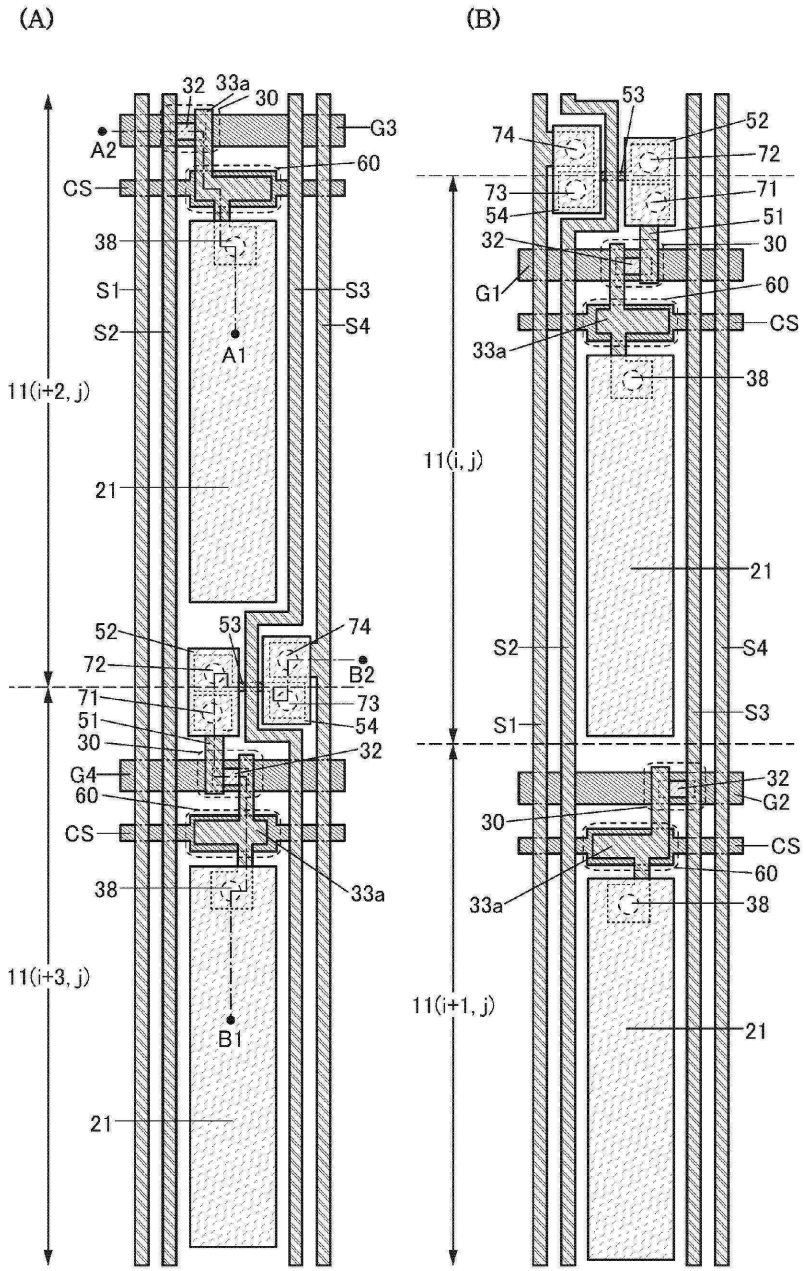
(B)



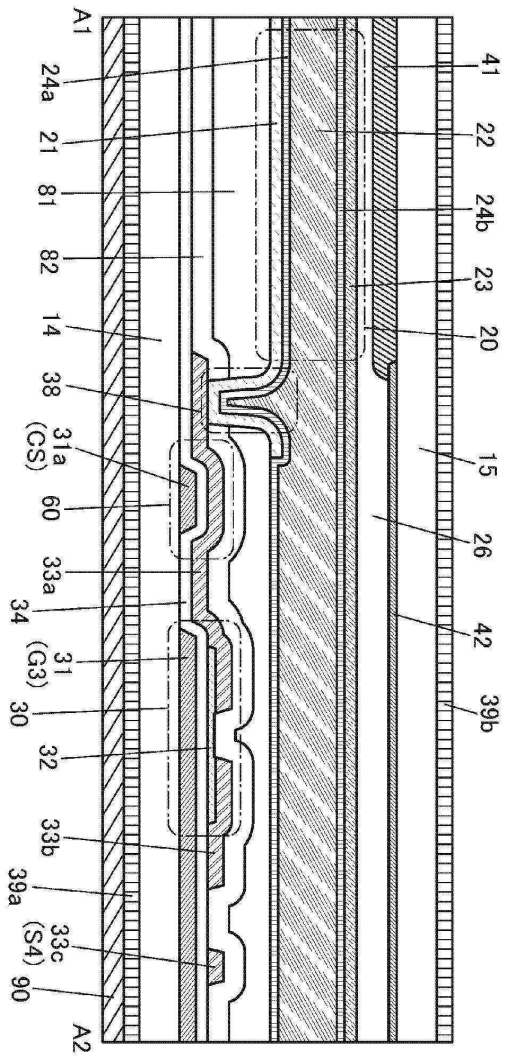
도면10



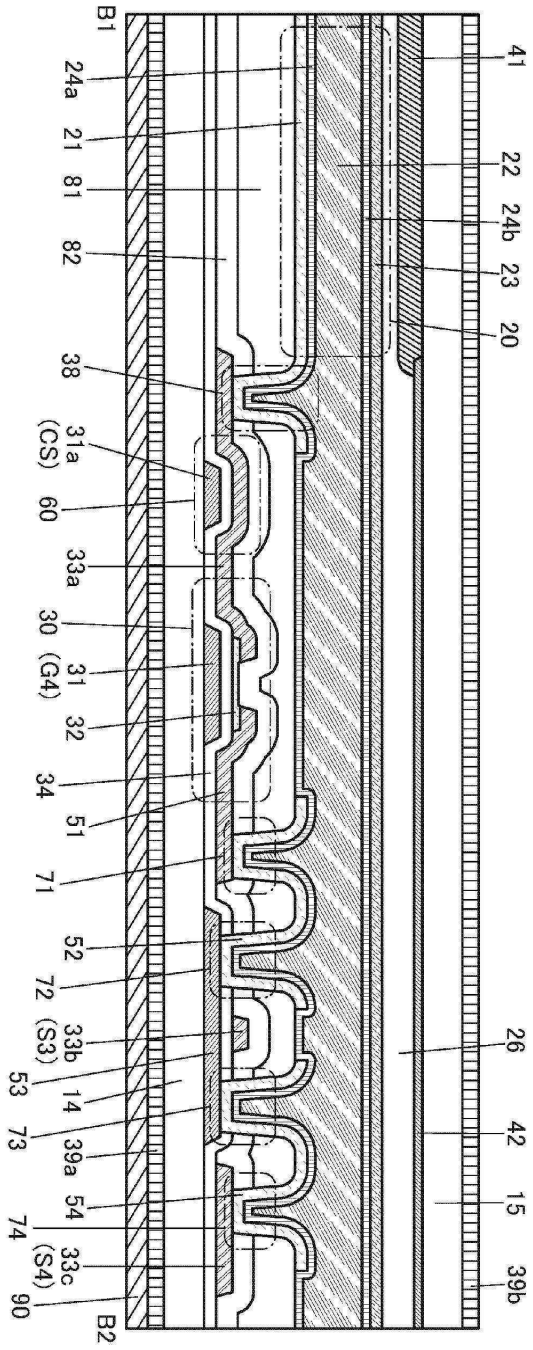
도면11


(A)
(B)
32
33a
30
G3
A2
60
CS
38
S1
S3
S2
S4
A1
11(i+2, j)
21
52
53
74
72
B2
71
73
51
54
30
32
G4
60
CS
38
33a
11(i+3, j)
B1
21
53
74
52
72
73
71
54
51
32
30
G1
60
CS
33a
38
11(i, j)
21
S2
S4
S1
S3
32
G2
30
CS
60
33a
38
11(i+1, j)
21

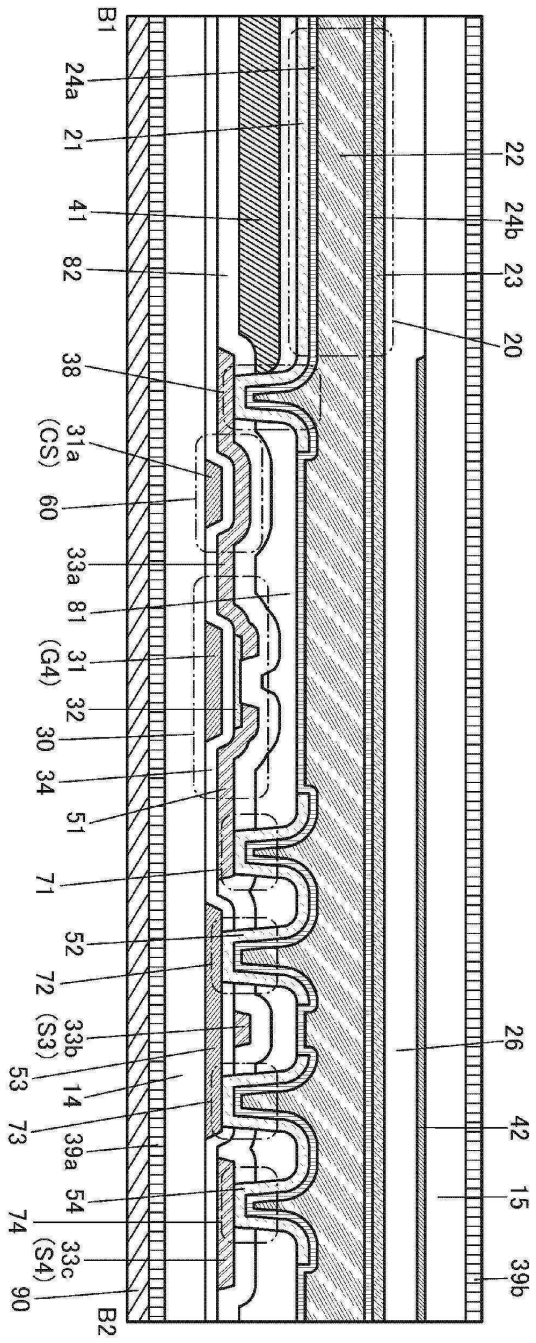
도면12


A1
24a
21
81
82
14
38
31a
(CS)
60
33a
34
31
(G3)
30
32
33b
39a
33c
(S4)
90
A2
41
22
24b
23
20
15
26
42
39b

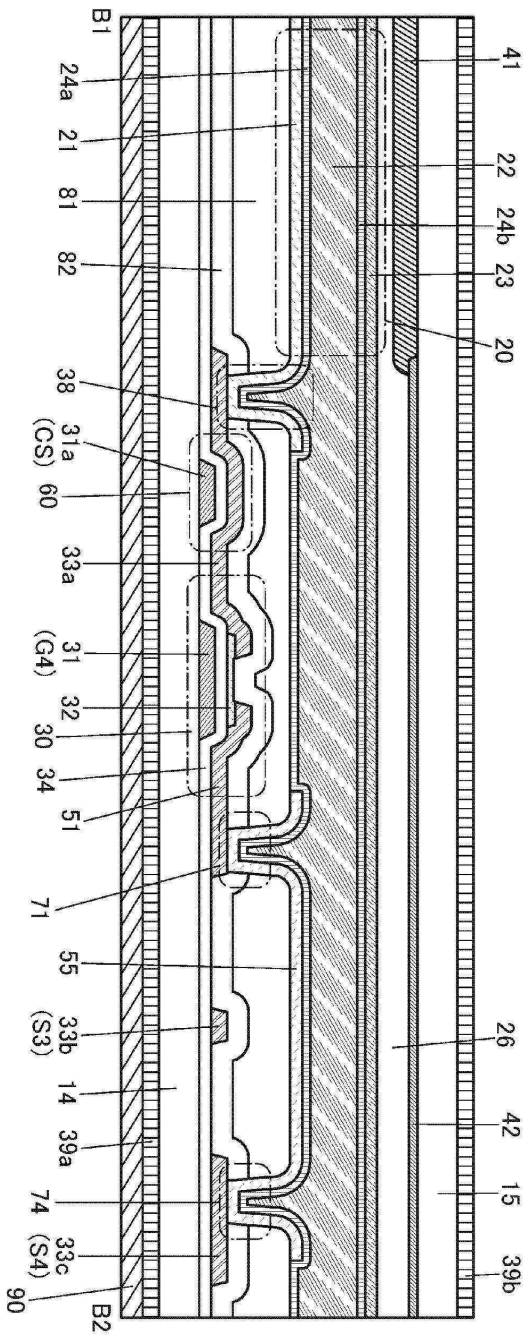
도면13


B1
24a
21
81
82
38
31a
(CS)
60
33a
30
(G4)
31
32
34
51
71
52
72
33b
(S3)
53
14
73
39a
54
74
33c
(S4)
90
B2
41
22
24b
23
20
26
42
15
39b

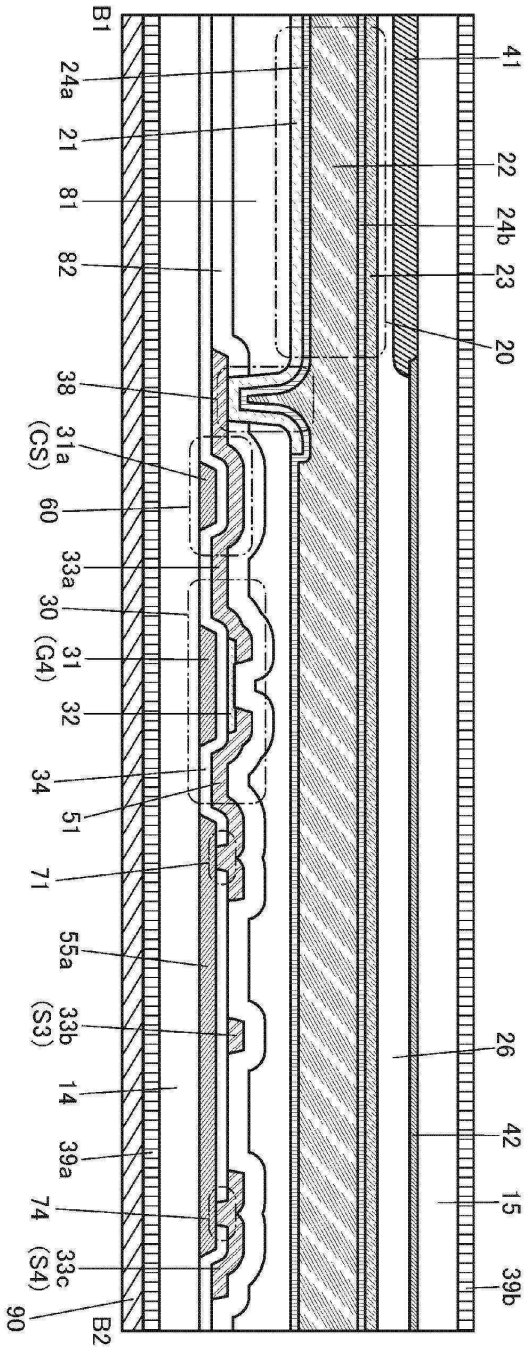
도면14


B1
24a
21
41
82
38
31a
(CS)
60
33a
81
31
(G4)
32
30
34
51
71
52
72
33b
(S3)
53
14
73
39a
54
74
33c
(S4)
90
B2
22
24b
23
20
26
42
15
39b

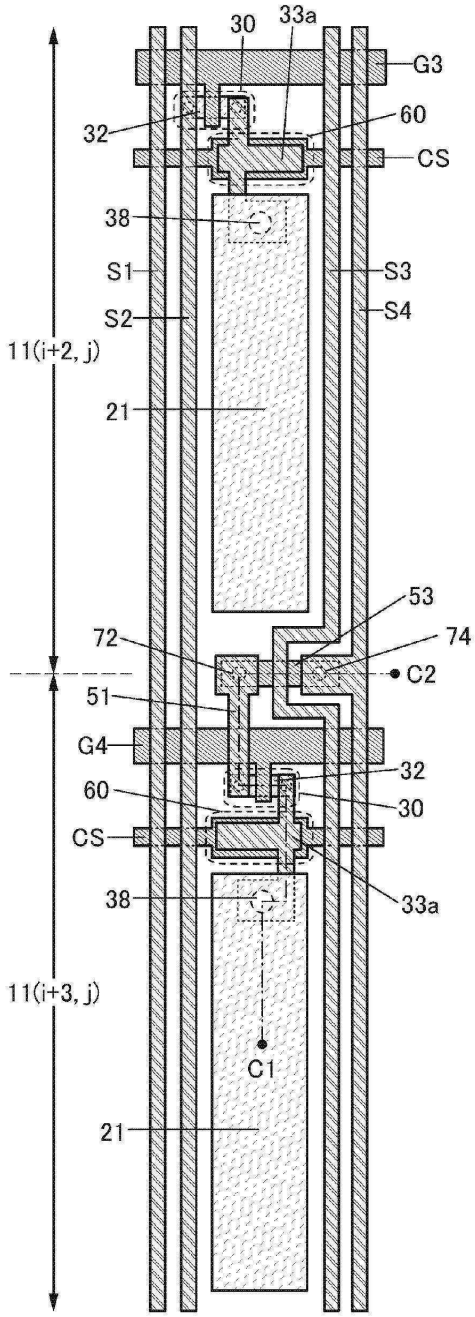
도면15


B1
24a
21
81
82
38
31a
(CS)
60
33a
31
(G4)
32
30
34
51
71
55
33b
(S3)
14
39a
74
33c
(S4)
90
B2
41
22
24b
23
20
26
42
15
39b

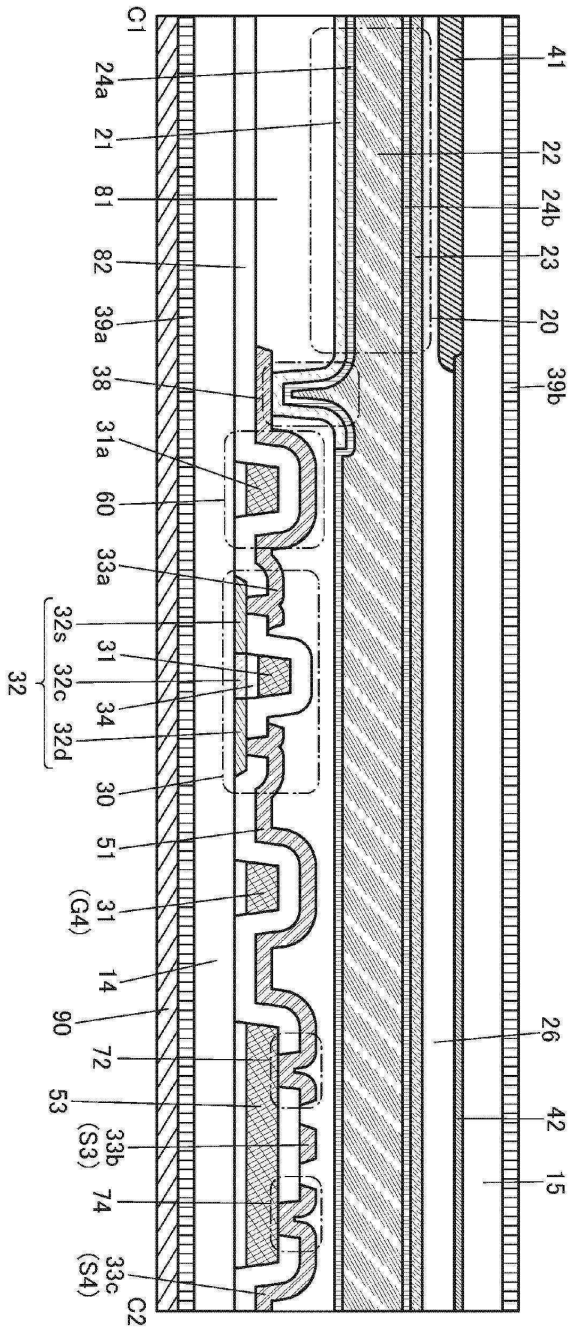
도면16


B1
24a
21
81
82
38
31a
(CS)
60
33a
30
31
(G4)
32
34
51
71
55a
33b
(S3)
14
39a
74
33c
(S4)
90
B2
41
22
24b
23
20
26
42
15
39b

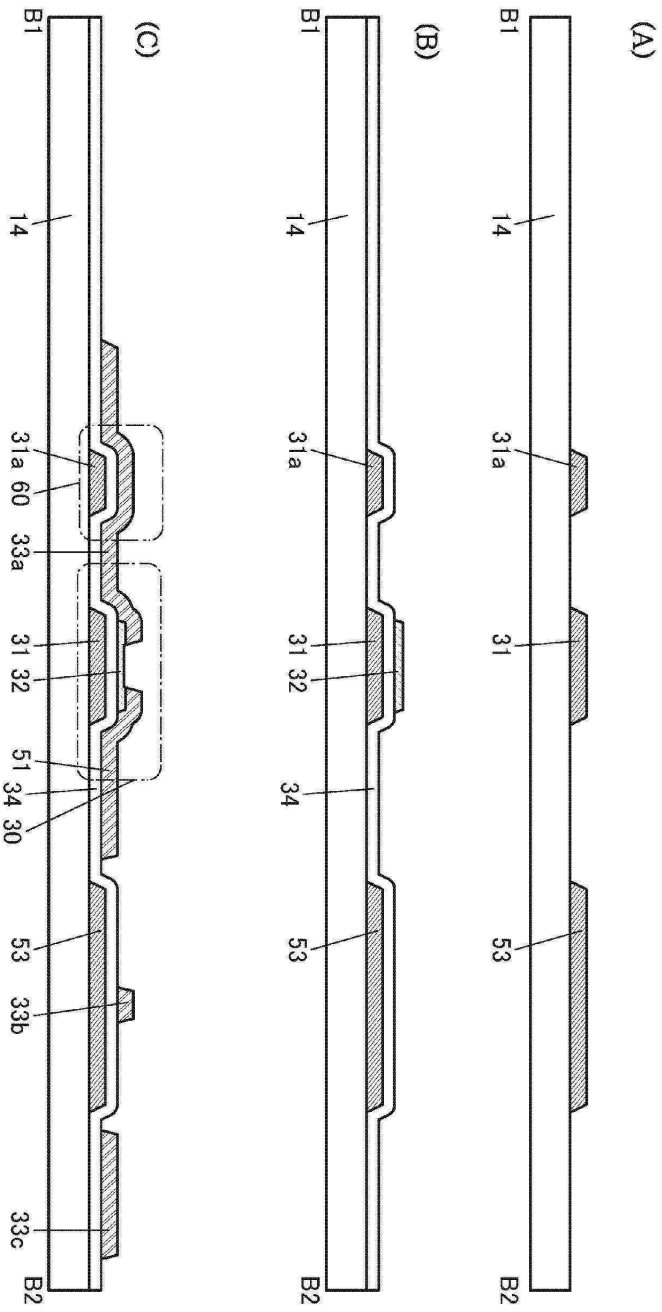
도면17


30
33a
G3
32
60
CS
38
S1
S3
S2
S4
11(i+2, j)
21
53
72
74
C2
51
G4
32
60
30
CS
38
33a
11(i+3, j)
C1
21

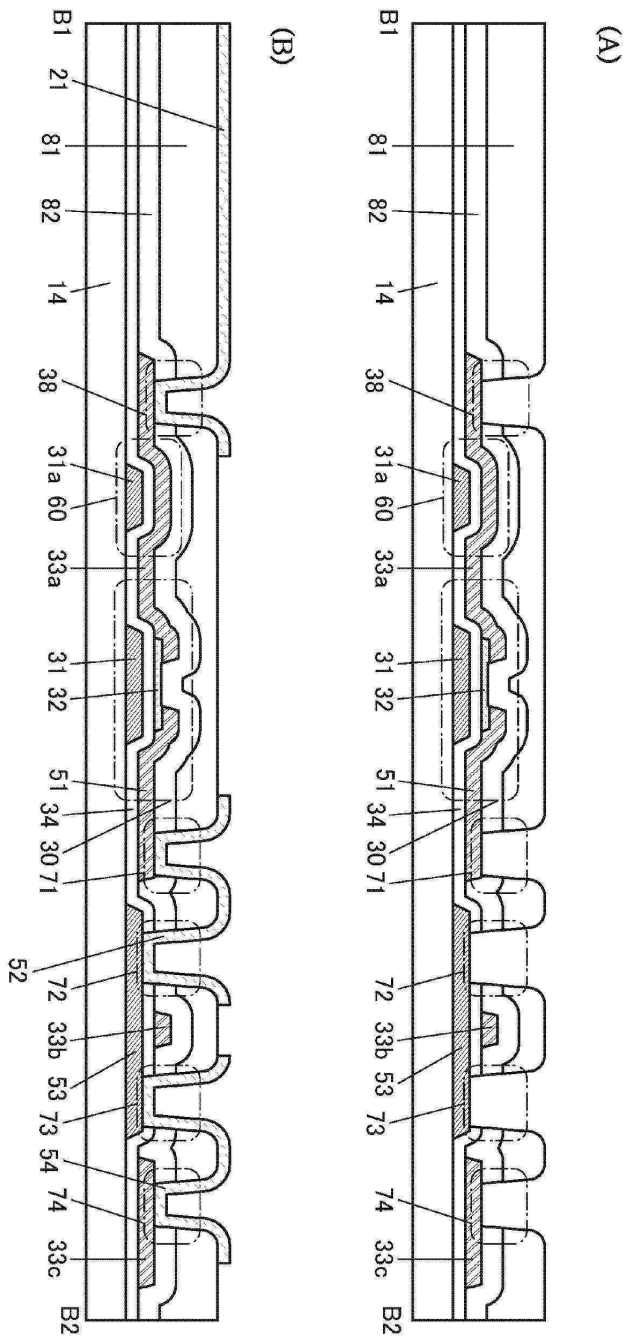
도면18


C1
24a
21
81
82
39a
38
31a
60
33a
32s
31
32c
34
32d
32
30
51
31
(G4)
14
90
72
53
33b
(S3)
74
33c
(S4)
C2
41
22
24b
23
20
39b
26
42
15

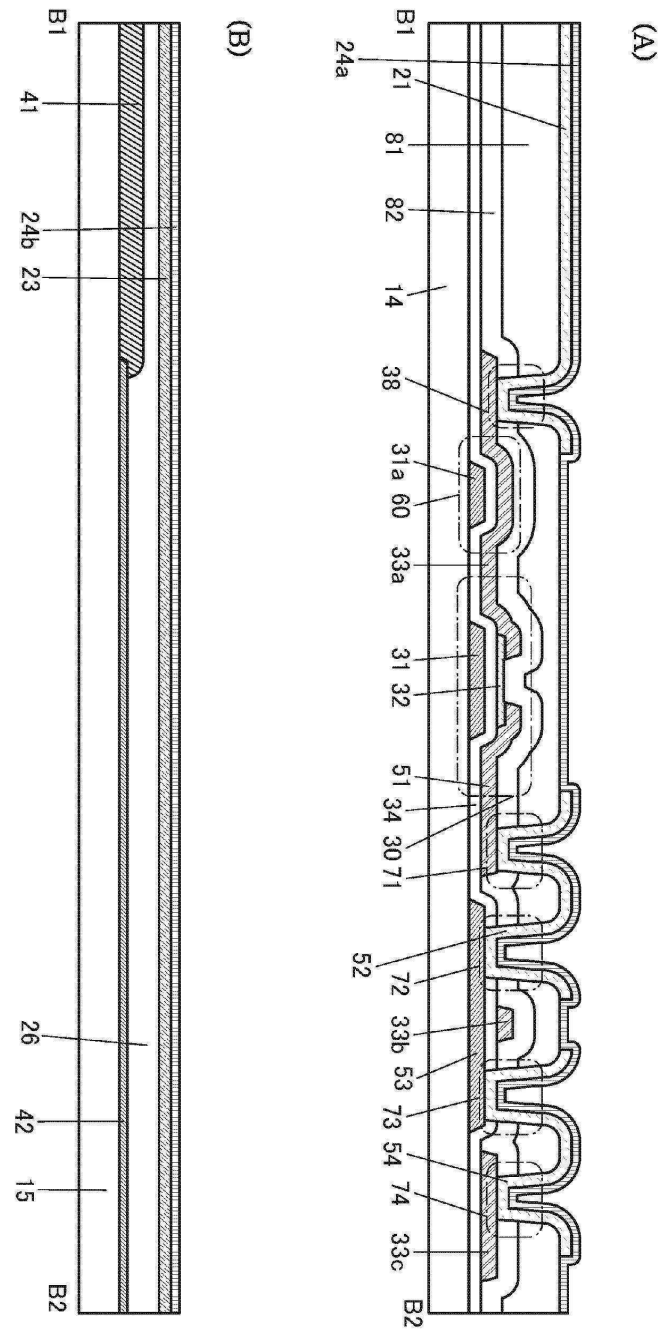
도면19


(A)
B1
14
31a
31
53
B2
(B)
B1
14
31a
31
32
34
53
B2
(C)
B1
14
31a
60
33a
31
32
51
34
30
53
33b
33c
B2

도면20

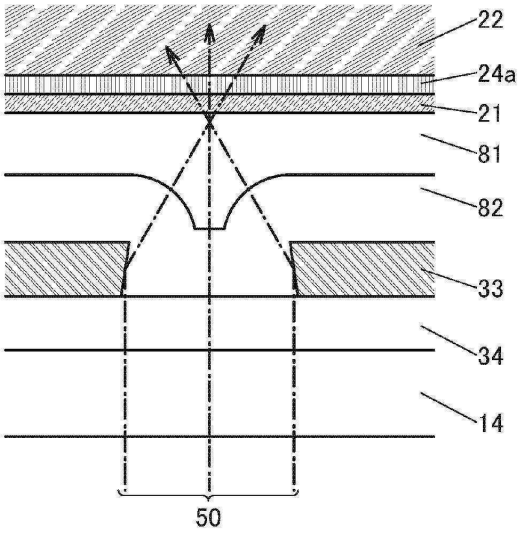

(A)
B1
81
82
14
38
31a
60
33a
31
32
51
34
30
71
72
33b
53
73
74
33c
B2
(B)
B1
21
81
82
14
38
31a
60
33a
31
32
51
34
30
71
52
72
33b
53
73
54
74
33c
B2

도면21

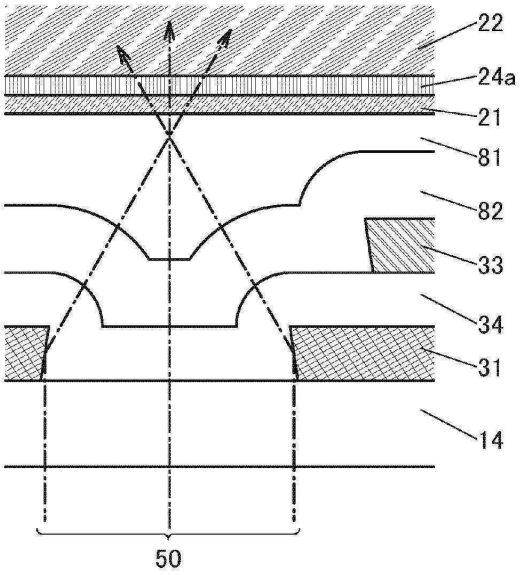

(A)
B1
24a
21
81
82
14
38
31a
60
33a
31
32
51
34
30
71
52
72
33b
53
73
54
74
33c
B2
(B)
B1
41
24b
23
26
42
15
B2

도면22

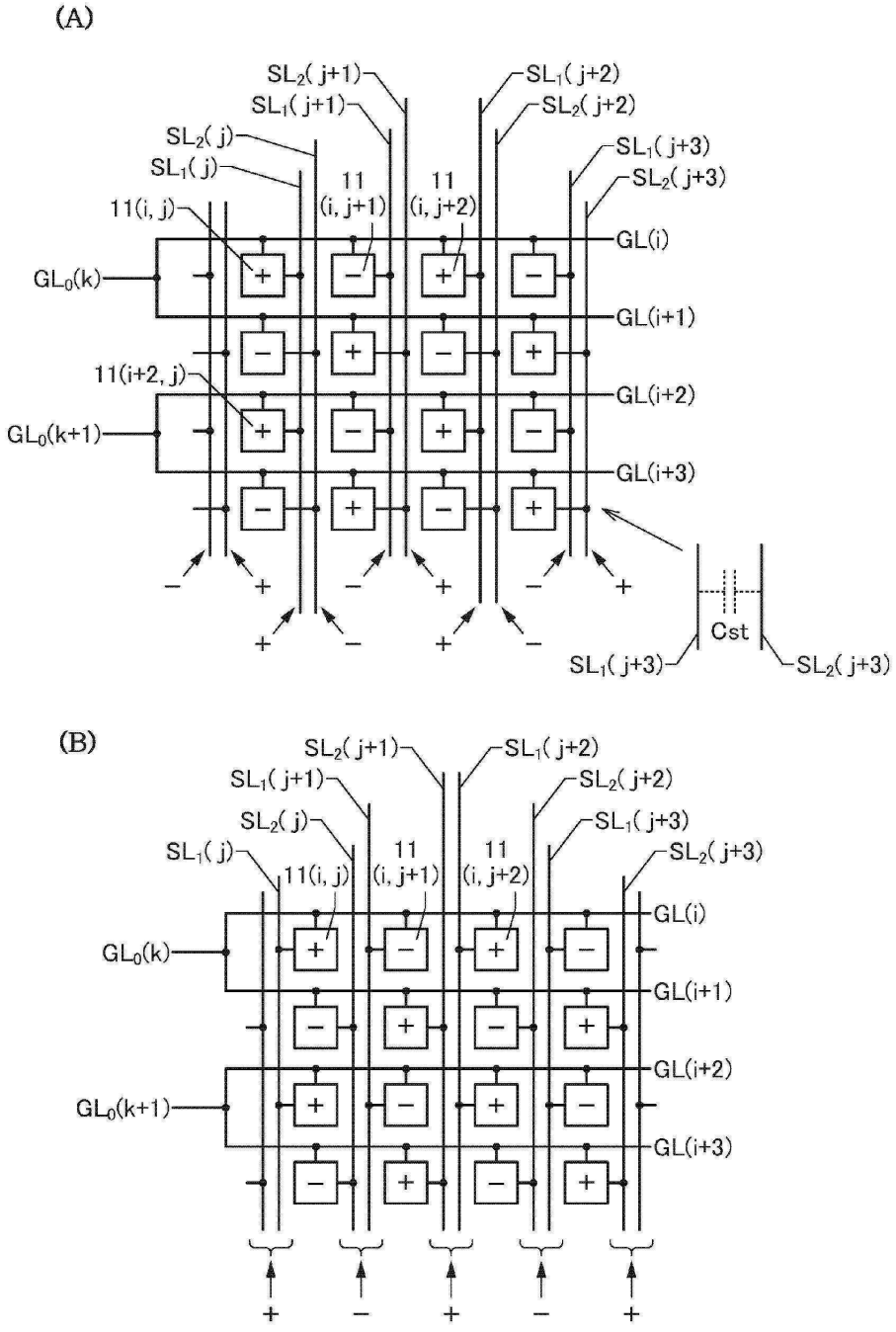
(A)



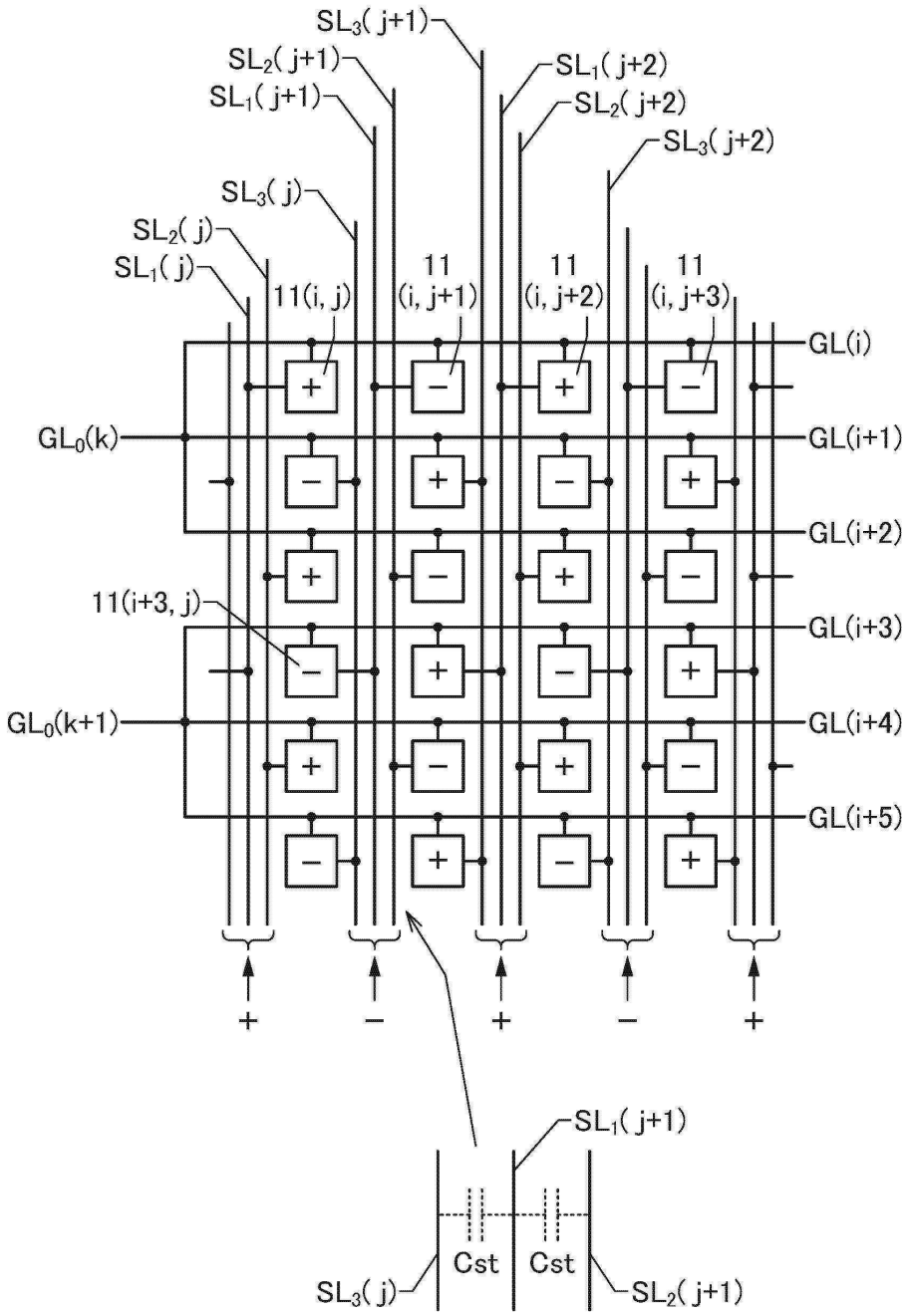
(B)



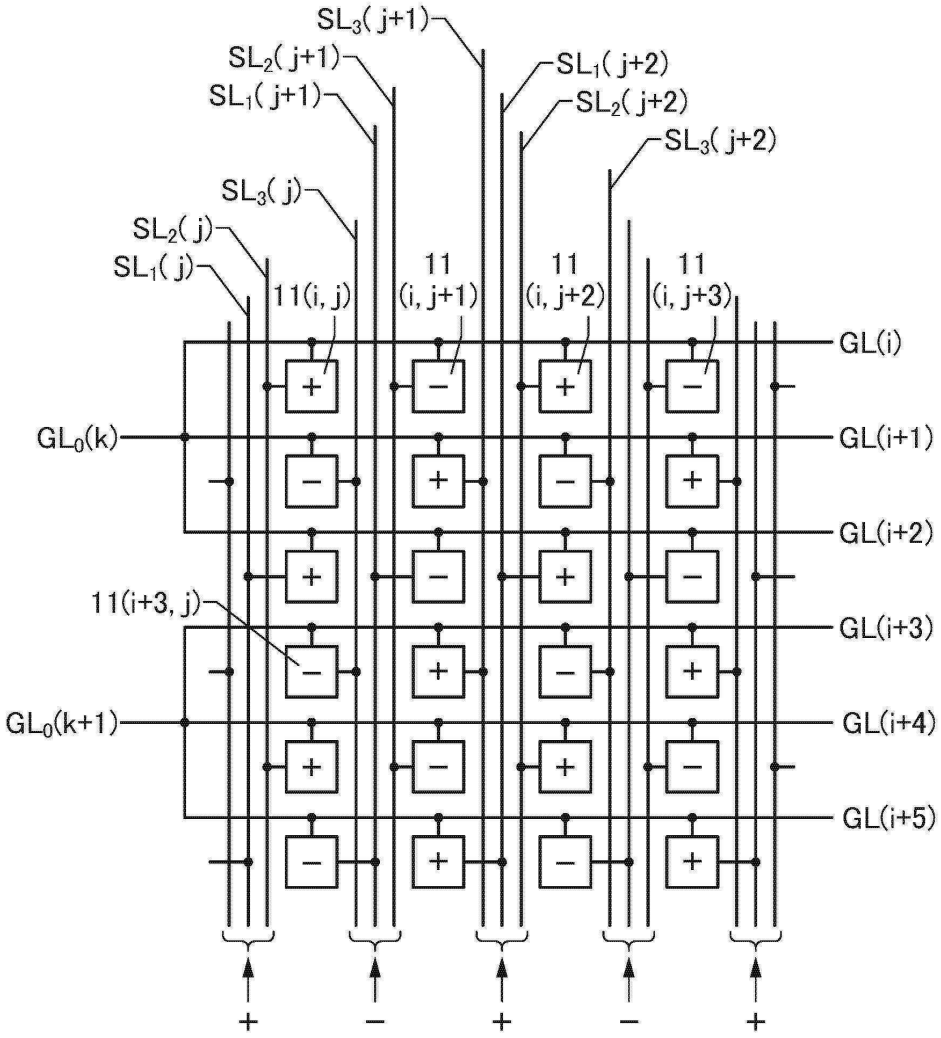
도면23


(A)
SL2(j+1)
SL1(j+1)
SL2(j)
SL1(j)
11(i, j)
11 (i, j+1)
11 (i, j+2)
SL1(j+2)
SL2(j+2)
SL1(j+3)
SL2(j+3)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL0(k)
GL0(k+1)
11(i+2, j)
Cst
SL1(j+3)
SL2(j+3)
(B)
SL2(j+1)
SL1(j+1)
SL2(j)
SL1(j)
11(i, j)
11 (i, j+1)
11 (i, j+2)
SL1(j+2)
SL2(j+2)
SL1(j+3)
SL2(j+3)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL0(k)
GL0(k+1)

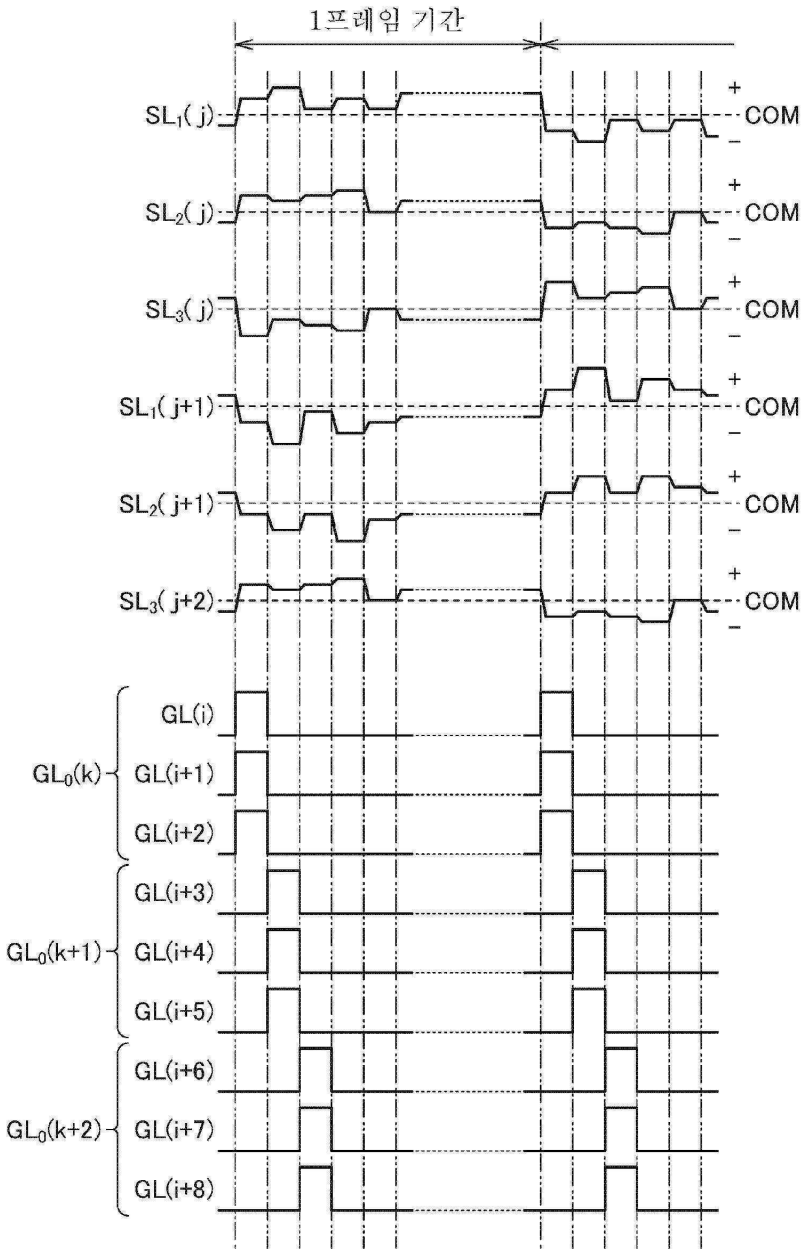
도면24


SL3(j+1)
SL2(j+1)
SL1(j+1)
SL1(j+2)
SL2(j+2)
SL3(j+2)
SL3(j)
SL2(j)
SL1(j)
11(i, j)
11 (i, j+1)
11 (i, j+2)
11 (i, j+3)
GL(i)
GL0(k)
GL(i+1)
GL(i+2)
11(i+3, j)
GL(i+3)
GL0(k+1)
GL(i+4)
GL(i+5)
+
−
+
−
+
SL1(j+1)
Cst
Cst
SL3(j)
SL2(j+1)

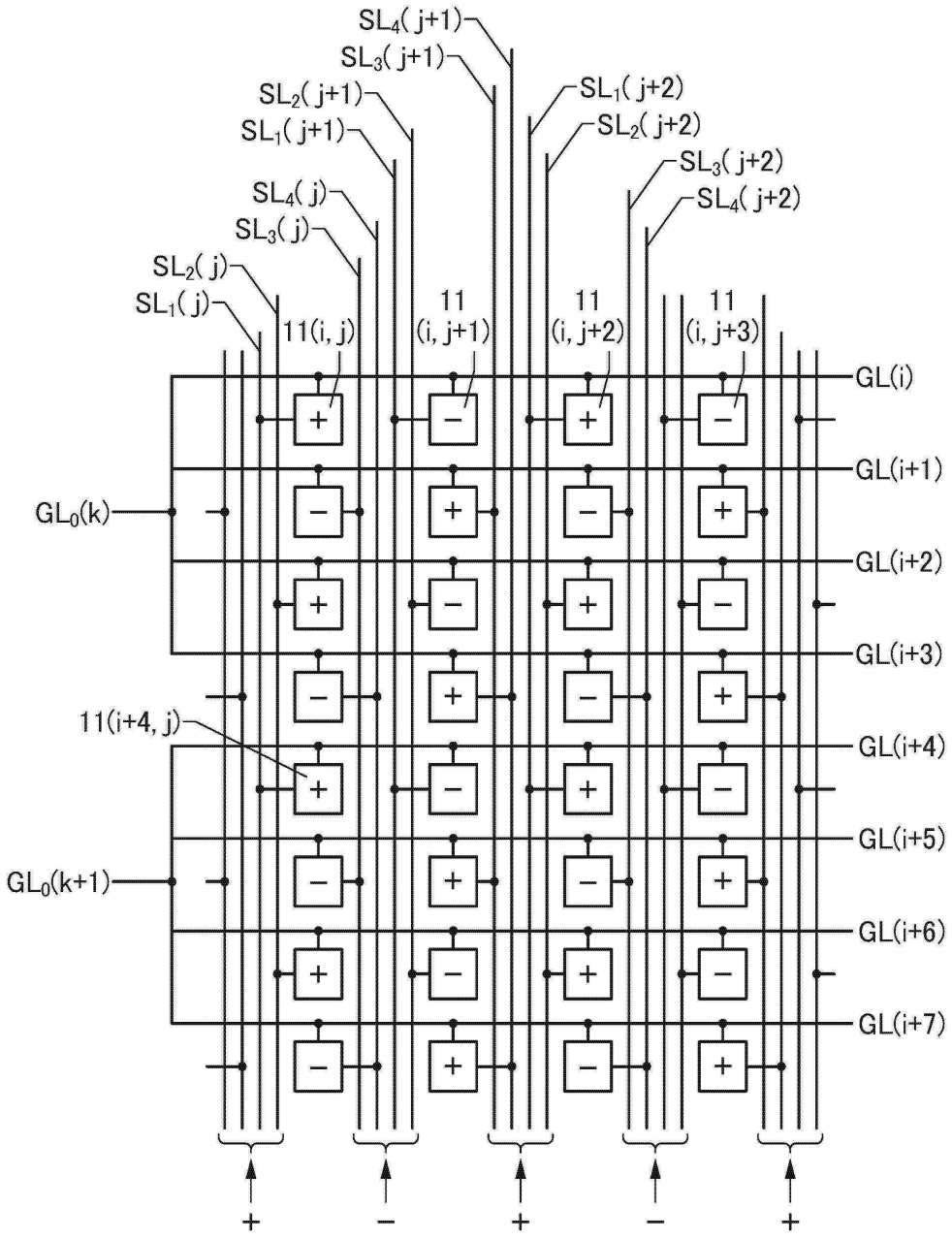
도면25


SL3(j+1)
SL2(j+1)
SL1(j+1)
SL1(j+2)
SL2(j+2)
SL3(j+2)
SL3(j)
SL2(j)
SL1(j)
11(i, j)
11 (i, j+1)
11 (i, j+2)
11 (i, j+3)
GL(i)
GL0(k)
GL(i+1)
GL(i+2)
11(i+3, j)
GL(i+3)
GL0(k+1)
GL(i+4)
GL(i+5)
+
−
+
−
+

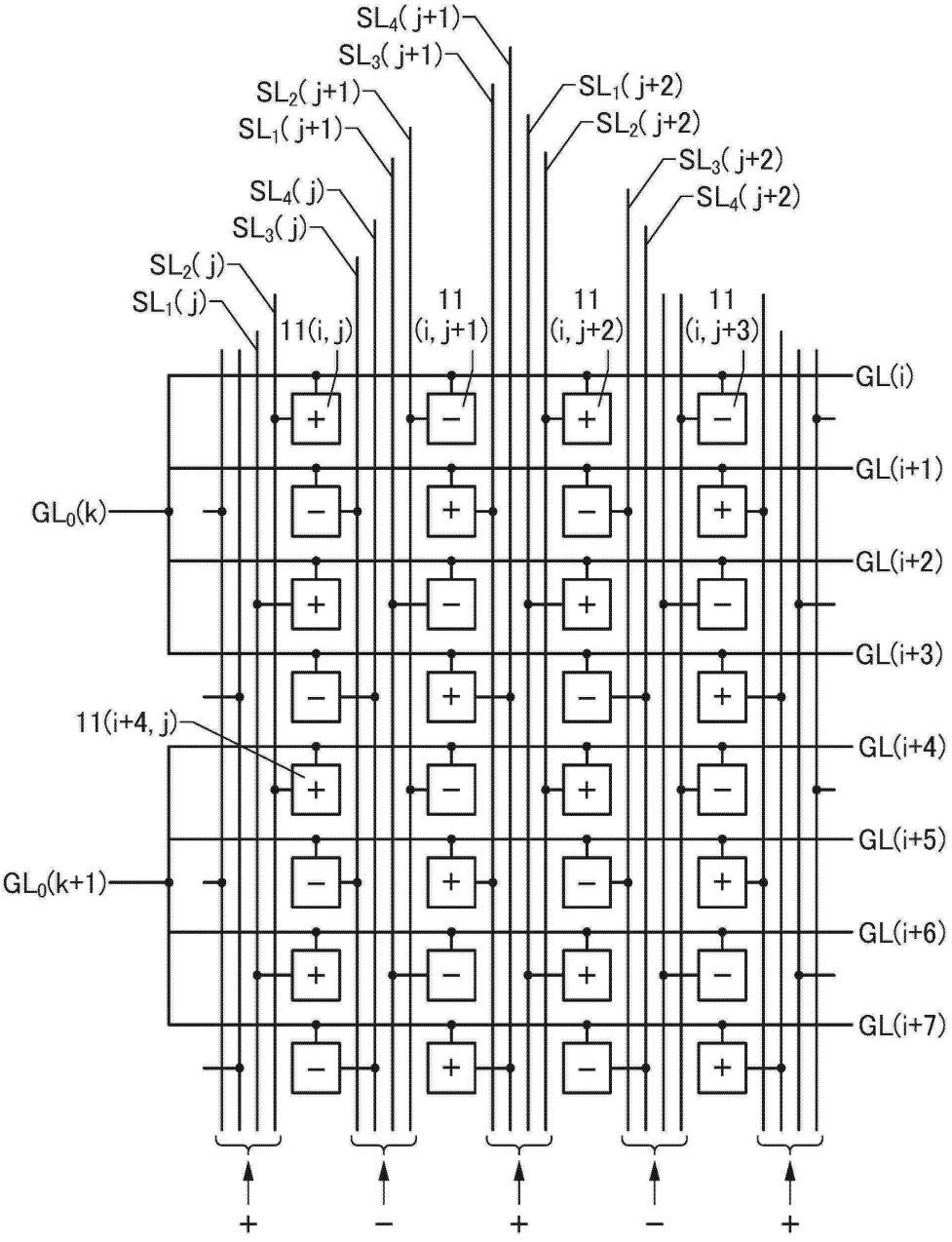
도면26


1프레임 기간
SL1(j)
SL2(j)
SL3(j)
SL1(j+1)
SL2(j+1)
SL3(j+2)
+
COM
−
GL0(k)
GL0(k+1)
GL0(k+2)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL(i+4)
GL(i+5)
GL(i+6)
GL(i+7)
GL(i+8)

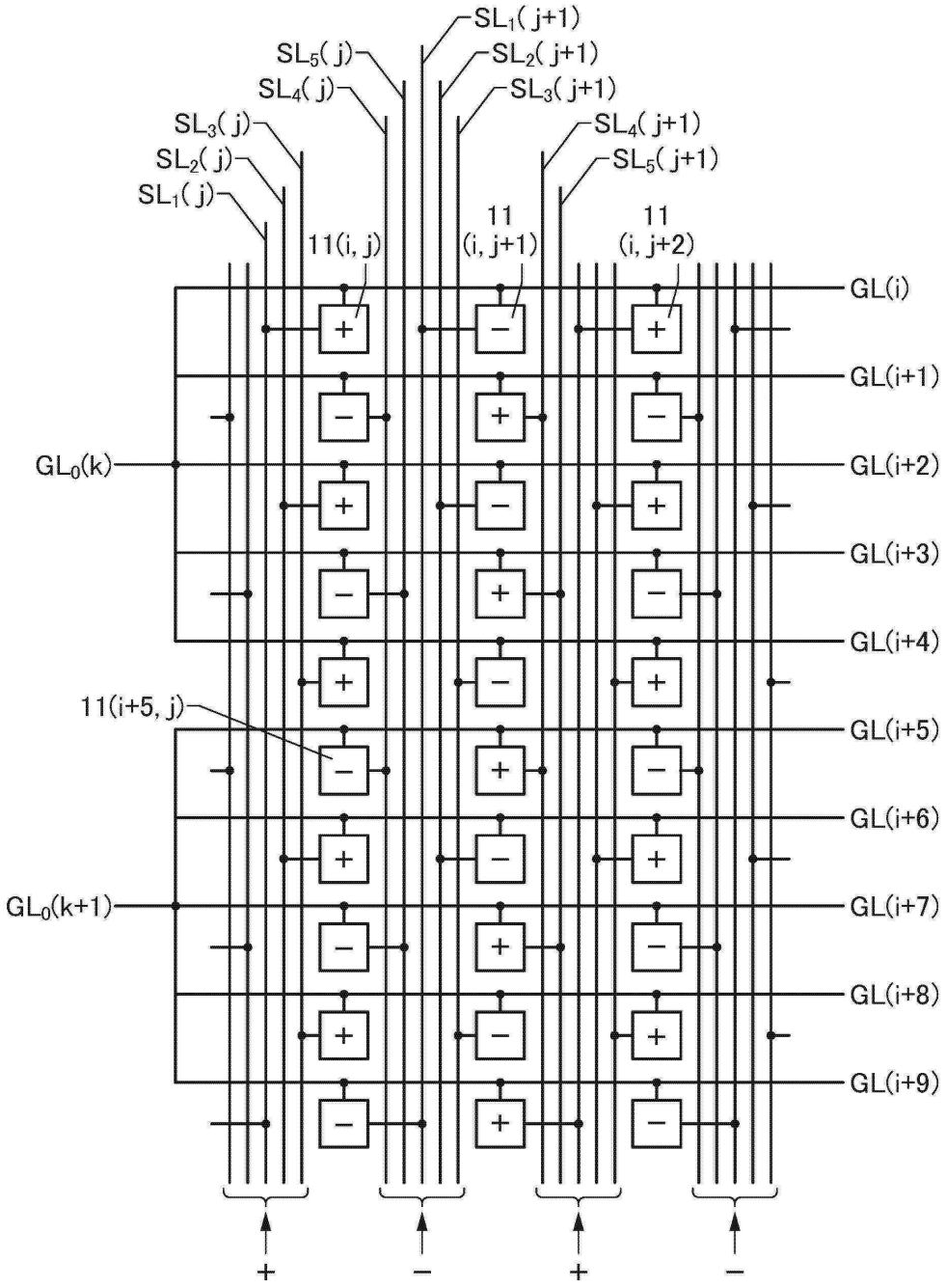
도면27


SL4(j+1)
SL3(j+1)
SL2(j+1)
SL1(j+1)
SL4(j)
SL3(j)
SL2(j)
SL1(j)
SL1(j+2)
SL2(j+2)
SL3(j+2)
SL4(j+2)
11(i, j)
11 (i, j+1)
11 (i, j+2)
11 (i, j+3)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL(i+4)
GL(i+5)
GL(i+6)
GL(i+7)
GL0(k)
GL0(k+1)
11(i+4, j)
+
−
+
−
+

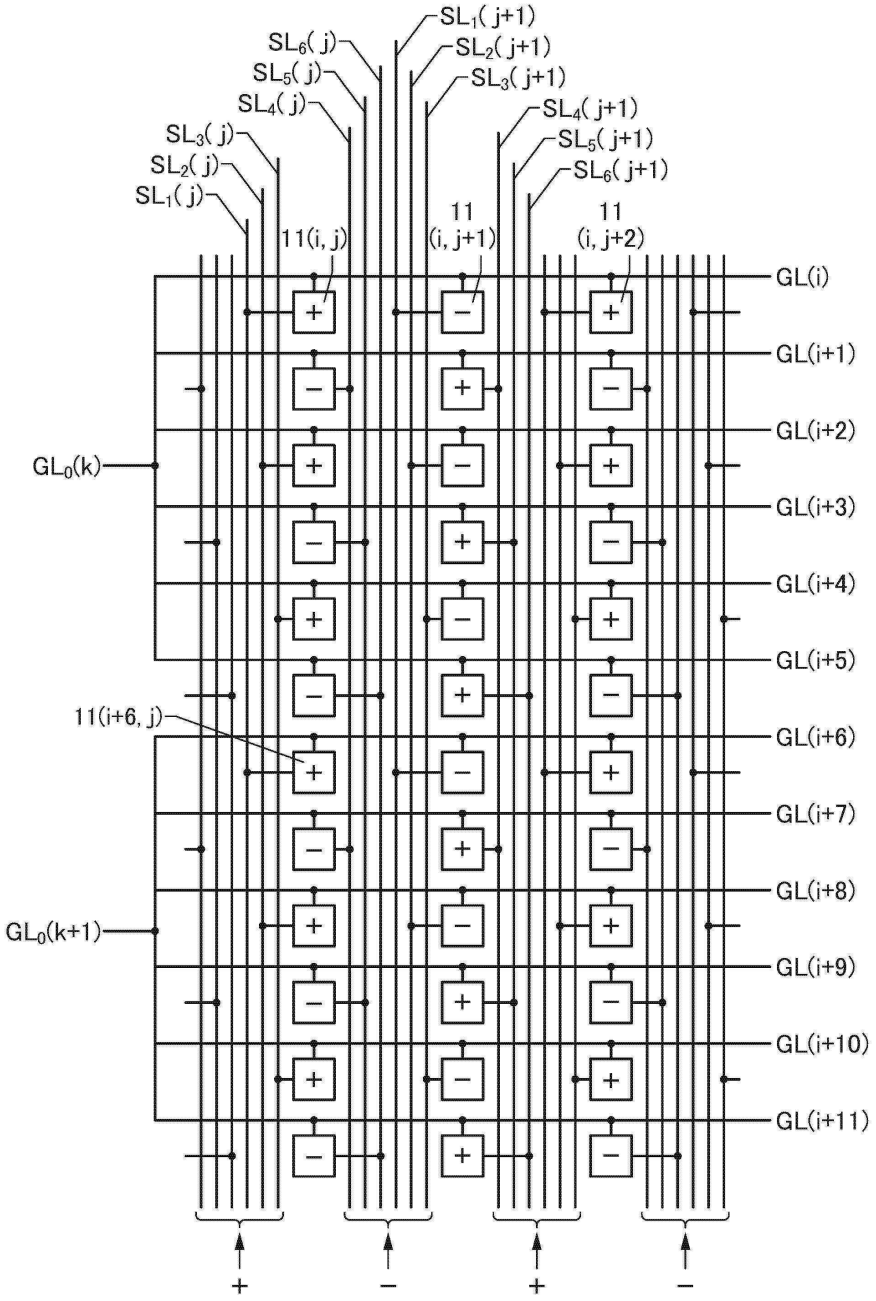
도면28


SL4(j+1)
SL3(j+1)
SL2(j+1)
SL1(j+1)
SL4(j)
SL3(j)
SL2(j)
SL1(j)
SL1(j+2)
SL2(j+2)
SL3(j+2)
SL4(j+2)
11(i, j)
11 (i, j+1)
11 (i, j+2)
11 (i, j+3)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL(i+4)
GL(i+5)
GL(i+6)
GL(i+7)
GL0(k)
GL0(k+1)
11(i+4, j)
+
−
+
−
+

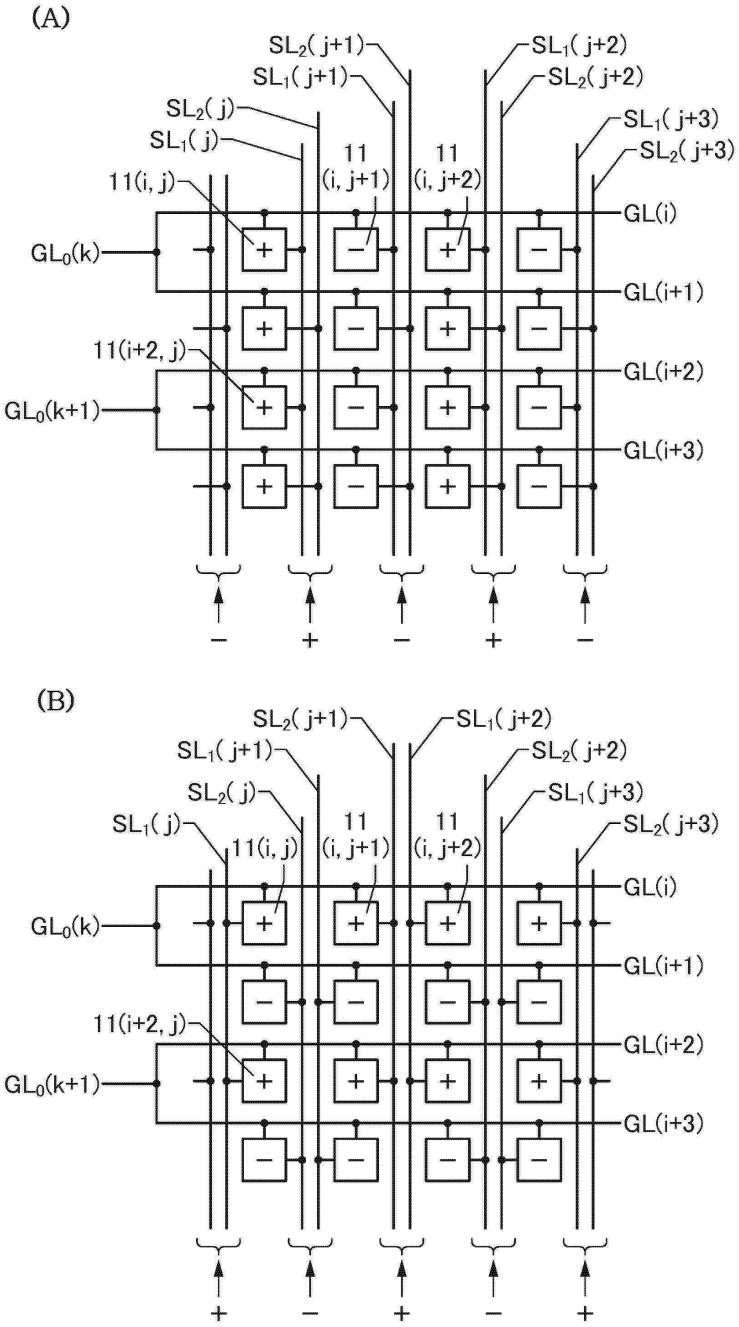
도면29


SL1(j+1)
SL5(j)
SL2(j+1)
SL4(j)
SL3(j+1)
SL3(j)
SL4(j+1)
SL2(j)
SL5(j+1)
SL1(j)
11
(i, j+1)
11
(i, j+2)
11(i, j)
GL(i)
GL(i+1)
GL0(k)
GL(i+2)
GL(i+3)
GL(i+4)
11(i+5, j)
GL(i+5)
GL(i+6)
GL0(k+1)
GL(i+7)
GL(i+8)
GL(i+9)
+
−
+
−

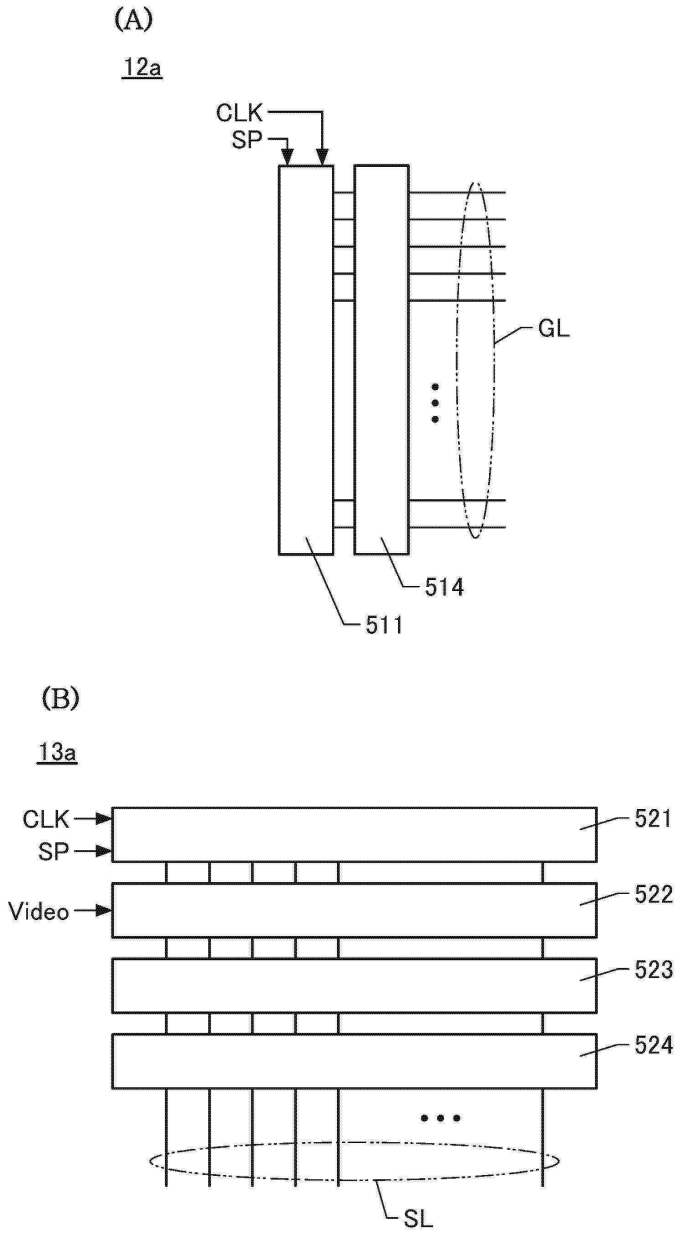
도면30


SL1(j+1)
SL6(j)
SL2(j+1)
SL5(j)
SL3(j+1)
SL4(j)
SL4(j+1)
SL3(j)
SL5(j+1)
SL2(j)
SL6(j+1)
SL1(j)
11(i, j)
11
(i, j+1)
11
(i, j+2)
GL(i)
GL(i+1)
GL(i+2)
GL0(k)
GL(i+3)
GL(i+4)
GL(i+5)
11(i+6, j)
GL(i+6)
GL(i+7)
GL(i+8)
GL0(k+1)
GL(i+9)
GL(i+10)
GL(i+11)
+
−
+
−

도면31

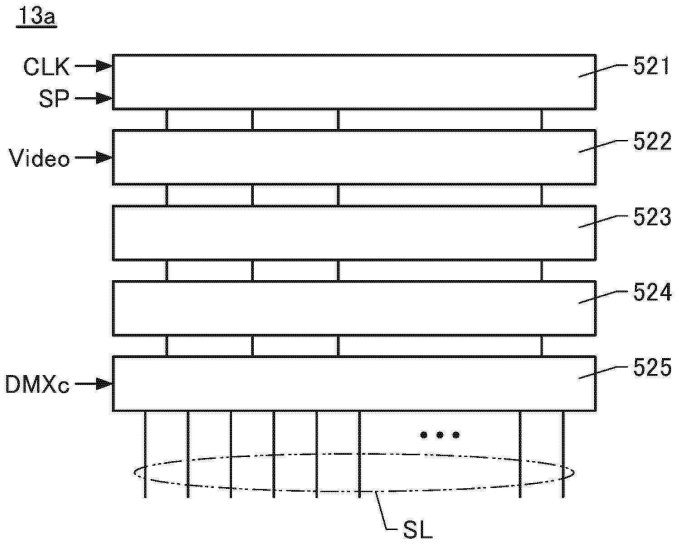

(A)
SL2(j+1)
SL1(j+1)
SL2(j)
SL1(j)
11(i, j)
11 (i, j+1)
11 (i, j+2)
SL1(j+2)
SL2(j+2)
SL1(j+3)
SL2(j+3)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL0(k)
GL0(k+1)
11(i+2, j)
(B)
SL2(j+1)
SL1(j+1)
SL2(j)
SL1(j)
11(i, j)
11 (i, j+1)
11 (i, j+2)
SL1(j+2)
SL2(j+2)
SL1(j+3)
SL2(j+3)
GL(i)
GL(i+1)
GL(i+2)
GL(i+3)
GL0(k)
GL0(k+1)
11(i+2, j)

도면32

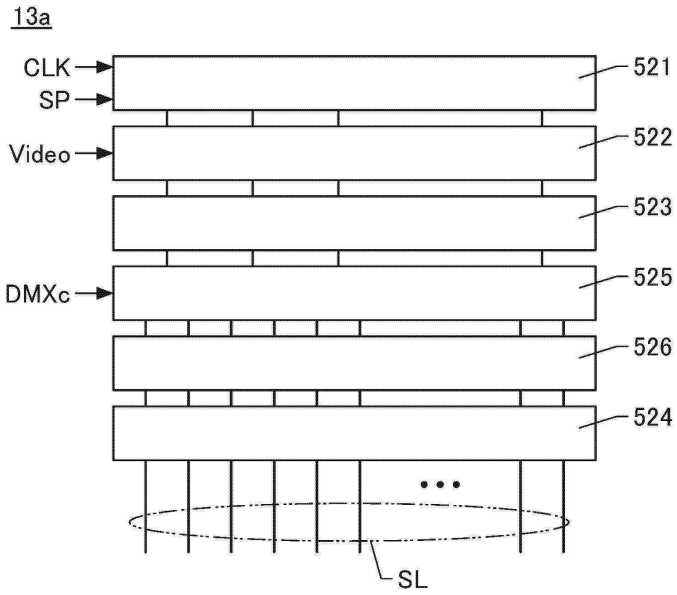


도면33

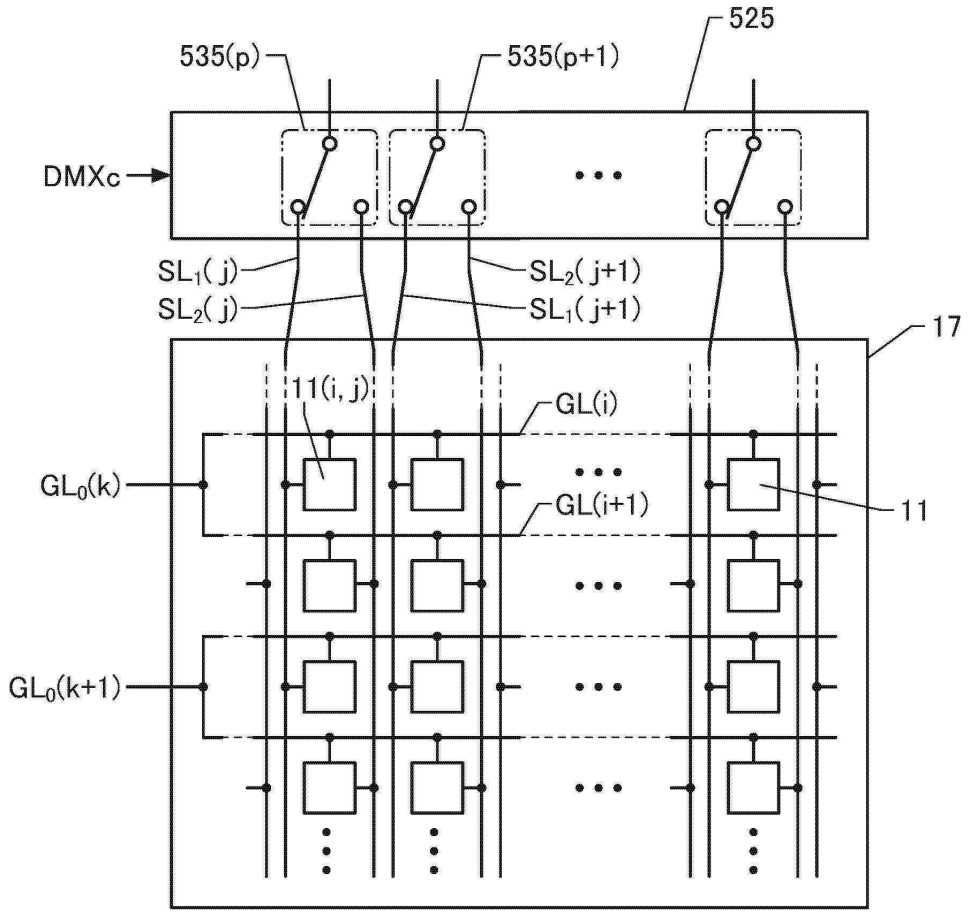
(A)


13a
CLK
SP
Video
DMXc
521
522
523
524
525
SL

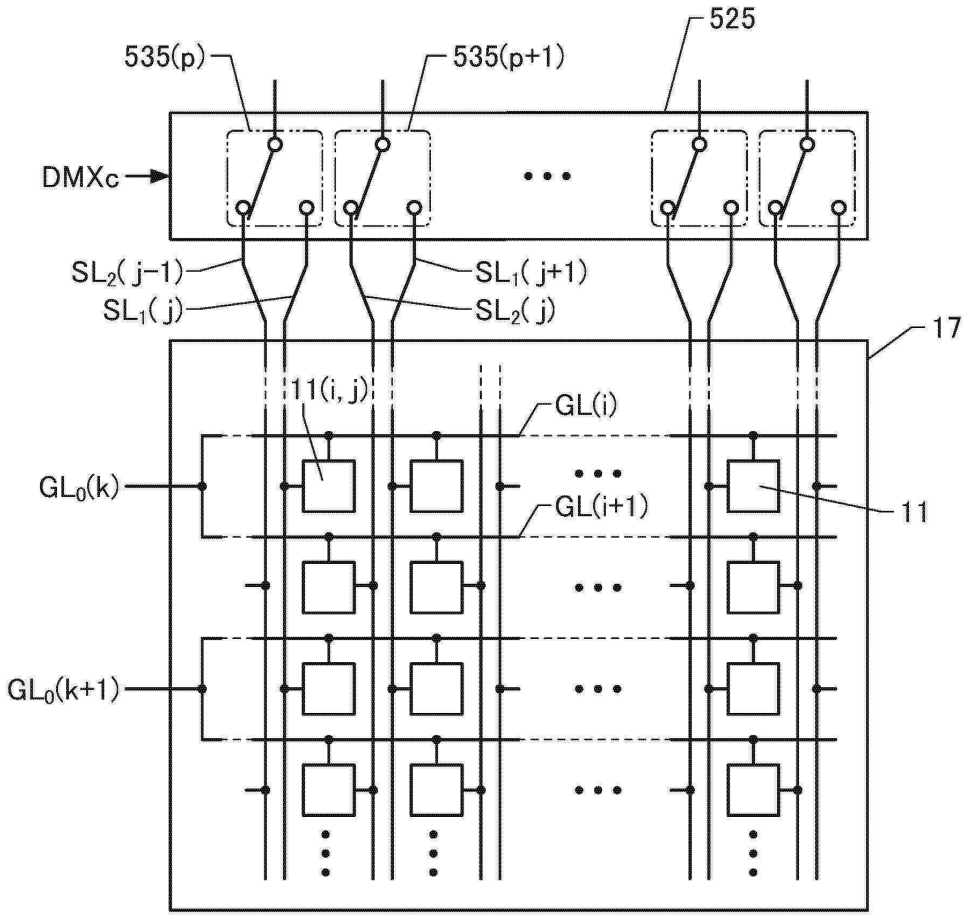
(B)


13a
CLK
SP
Video
DMXc
521
522
523
525
526
524
SL

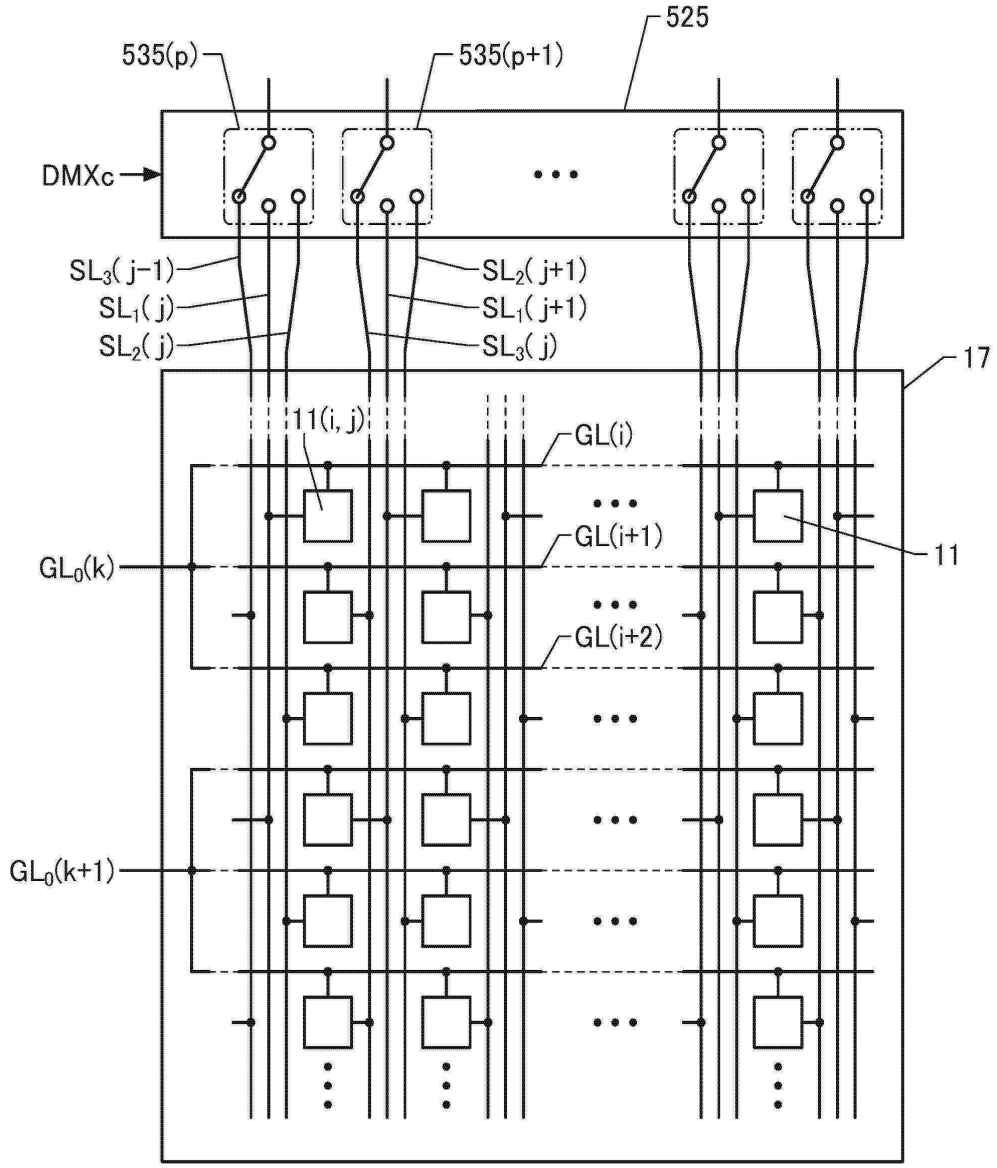
도면34


525
535(p)
535(p+1)
DMXc
SL1(j)
SL2(j)
SL2(j+1)
SL1(j+1)
17
11(i, j)
GL(i)
GL0(k)
GL(i+1)
11
GL0(k+1)

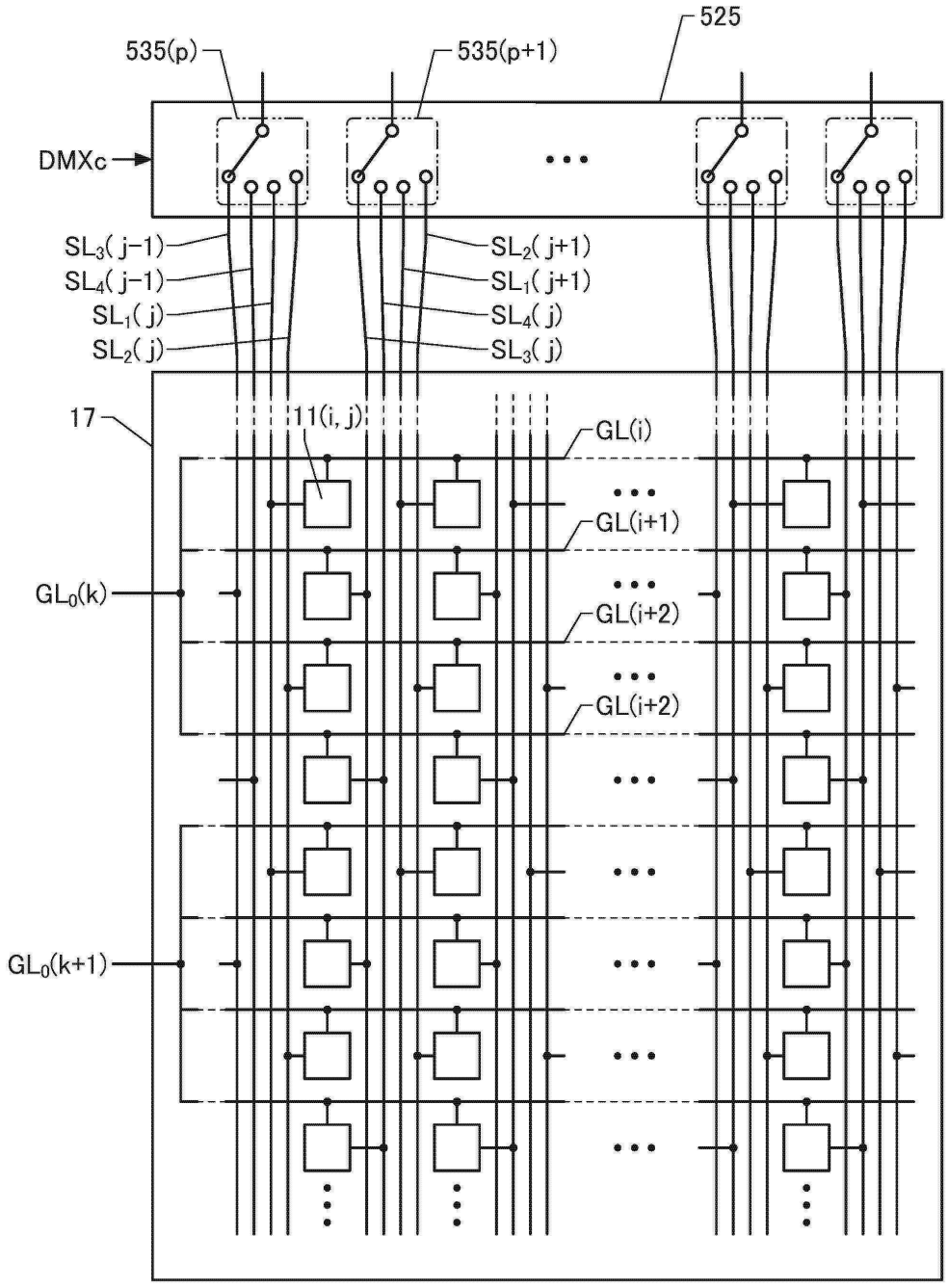
도면35


525
535(p)
535(p+1)
DMXc
SL2(j-1)
SL1(j)
SL1(j+1)
SL2(j)
17
11(i, j)
GL(i)
GL0(k)
GL(i+1)
11
GL0(k+1)

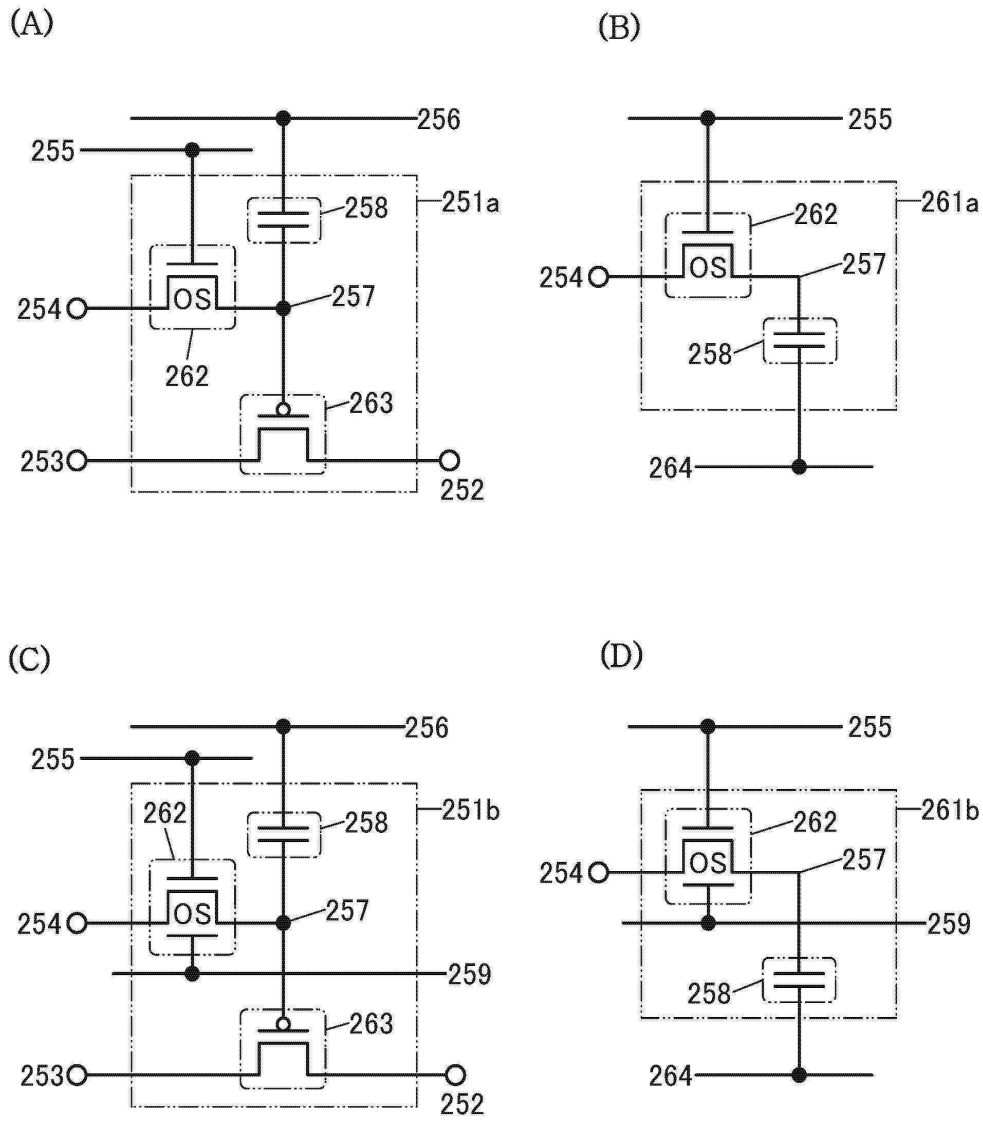
도면36


525
535(p)
535(p+1)
DMXc
SL3(j-1)
SL1(j)
SL2(j)
SL2(j+1)
SL1(j+1)
SL3(j)
17
11(i, j)
GL(i)
GL(i+1)
GL(i+2)
11
GL0(k)
GL0(k+1)

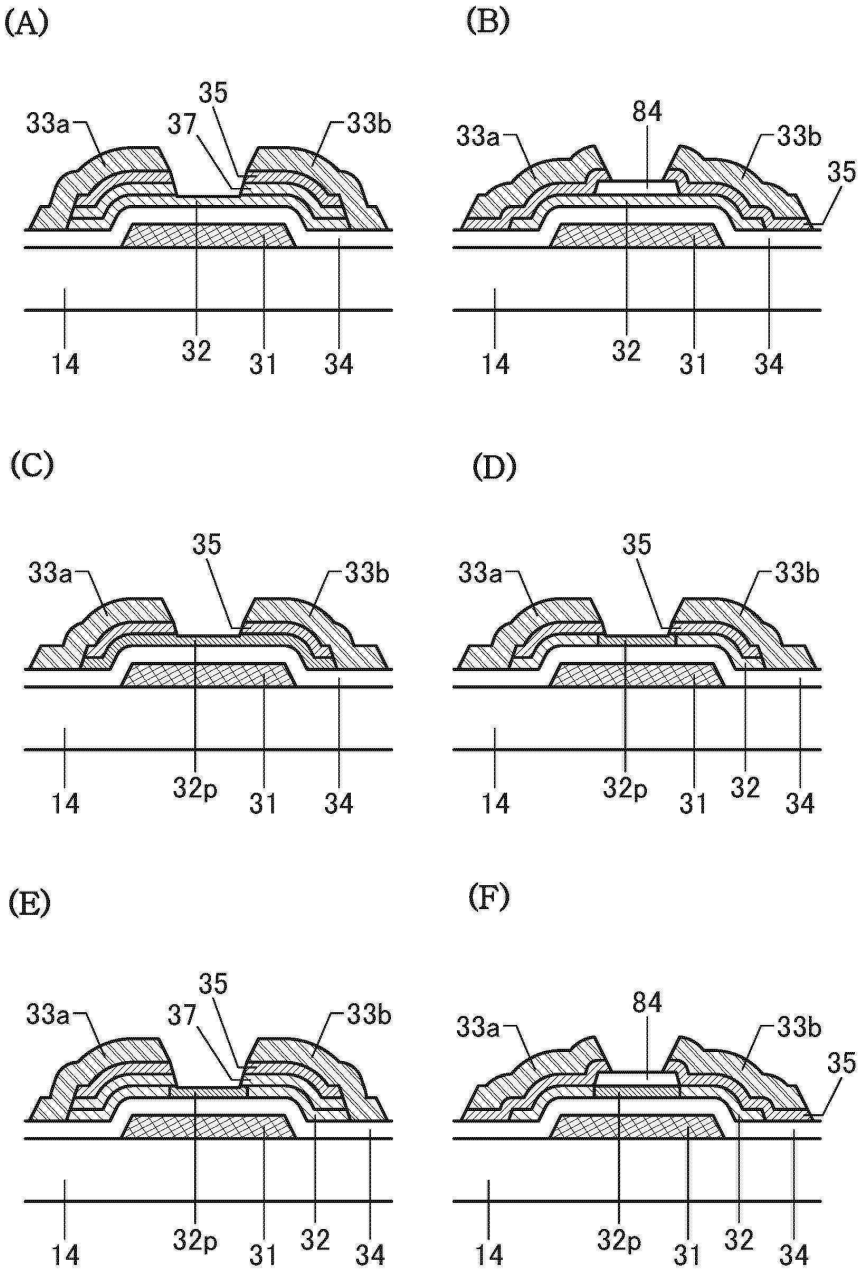
도면37


525
535(p)
535(p+1)
DMXc
SL3(j-1)
SL4(j-1)
SL1(j)
SL2(j)
SL2(j+1)
SL1(j+1)
SL4(j)
SL3(j)
17
11(i, j)
GL(i)
GL(i+1)
GL(i+2)
GL(i+2)
GL0(k)
GL0(k+1)

도면38

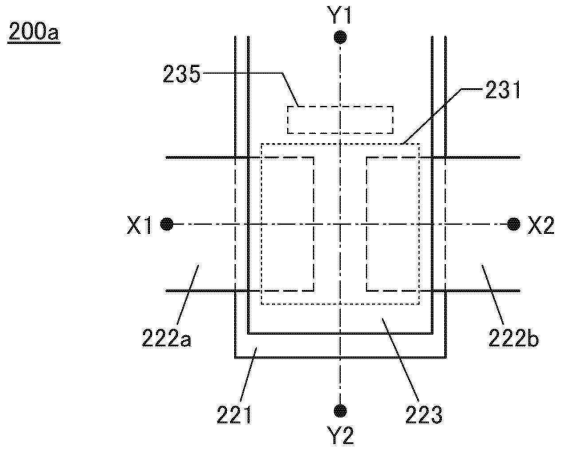

(A)
256
255
258
251a
254
OS
257
262
263
253
252
(B)
255
261a
262
254
OS
257
258
264
(C)
256
255
262
258
251b
254
OS
257
259
263
253
252
(D)
255
261b
262
254
OS
257
259
258
264

도면39

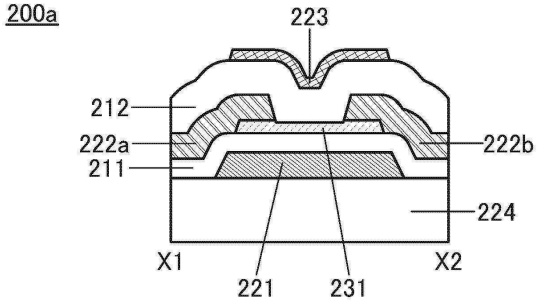

(A)
35
33a
37
33b
14
32
31
34
(B)
84
33a
33b
35
14
32
31
34
(C)
35
33a
33b
14
32p
31
34
(D)
35
33a
33b
14
32p
31
32
34
(E)
35
33a
37
33b
14
32p
31
32
34
(F)
84
33a
33b
35
14
32p
31
32
34

도면40

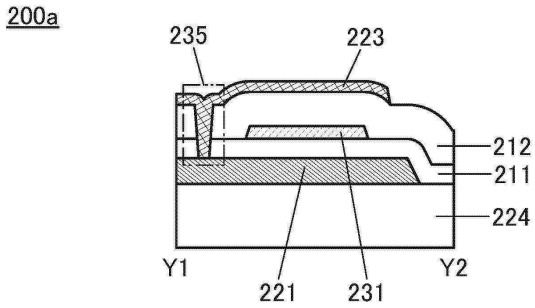
(A)


200a
Y1
235
231
X1
X2
222a
222b
221
223
Y2

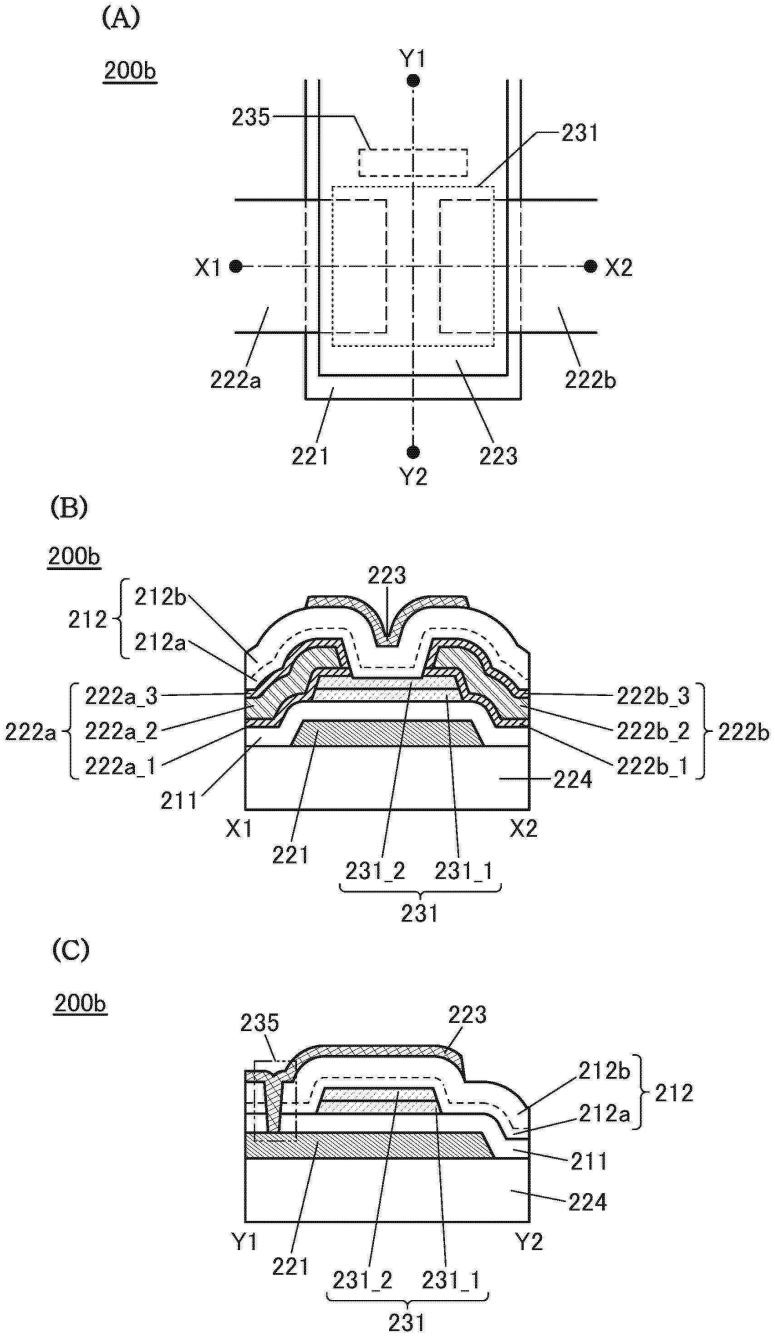
(B)


200a
223
212
222a
222b
211
224
X1
X2
221
231

(C)


200a
235
223
212
211
224
Y1
Y2
221
231

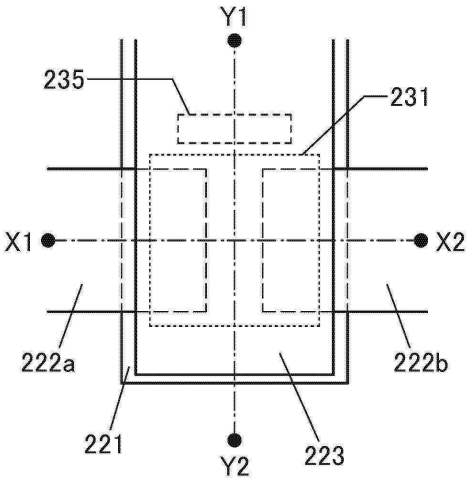
도면41


(A)
200b
Y1
235
231
X1
X2
222a
222b
221
223
Y2
(B)
200b
223
212
212b
212a
222a_3
222a_2
222a_1
222a
222b_3
222b_2
222b_1
222b
211
224
X1
X2
221
231_2
231_1
231
(C)
200b
235
223
212b
212a
212
211
224
Y1
Y2
221
231_2
231_1
231

도면42

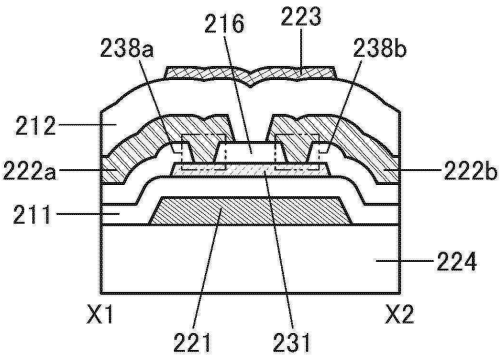
(A)

200c



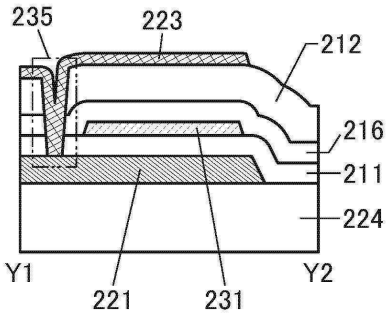
(B)

200c

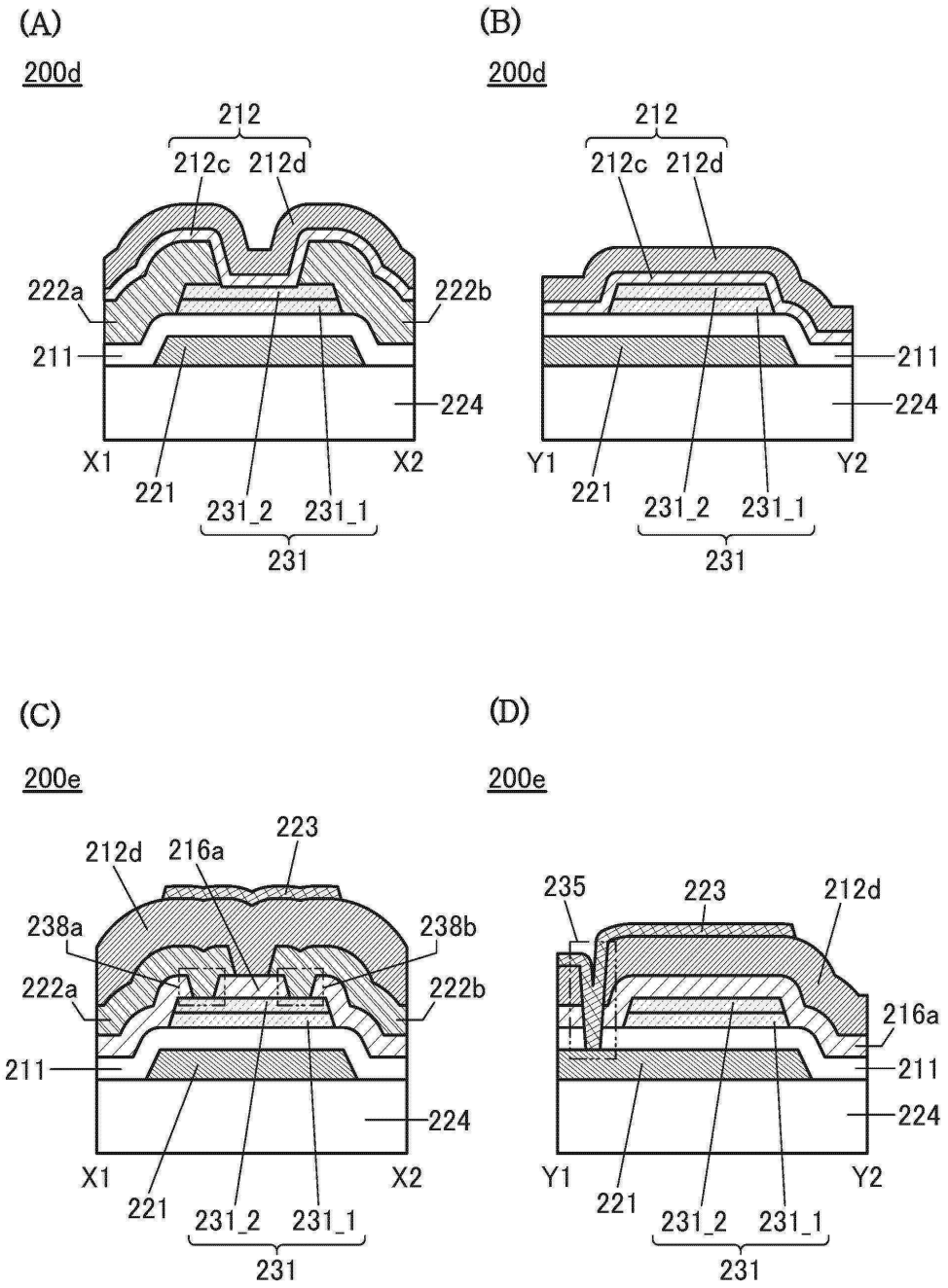


(C)

200c

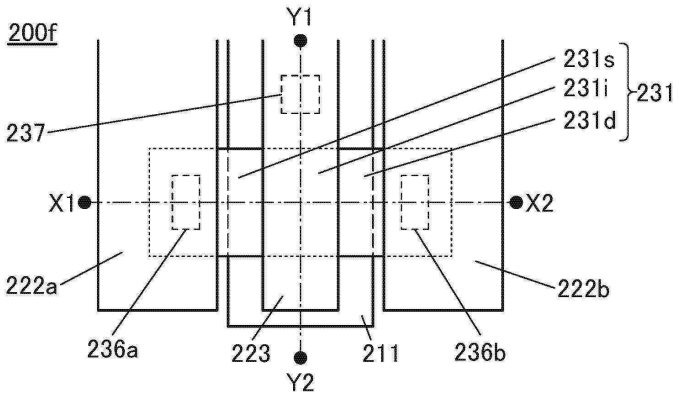


도면43

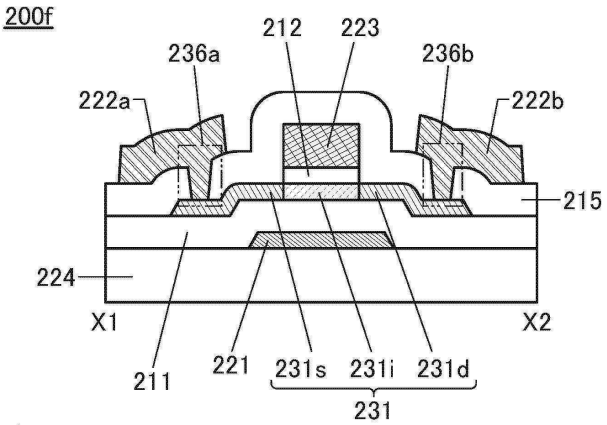

(A)
200d
212
212c
212d
222a
222b
211
224
X1
X2
221
231_2
231_1
231
(B)
200d
212
212c
212d
211
224
Y1
Y2
221
231_2
231_1
231
(C)
200e
223
212d
216a
238a
238b
222a
222b
211
224
X1
X2
221
231_2
231_1
231
(D)
200e
235
223
212d
216a
211
224
Y1
Y2
221
231_2
231_1
231

도면44

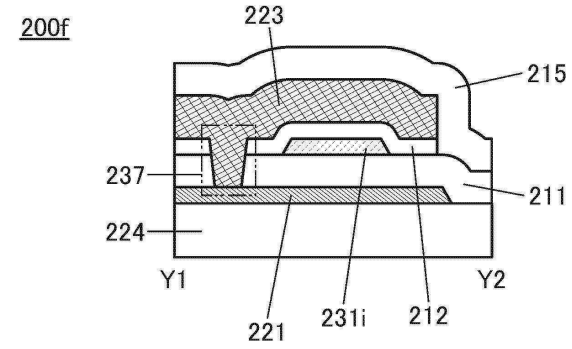
(A)


200f
Y1
231s
231i
231d
231
237
X1
X2
222a
222b
236a
223
211
236b
Y2

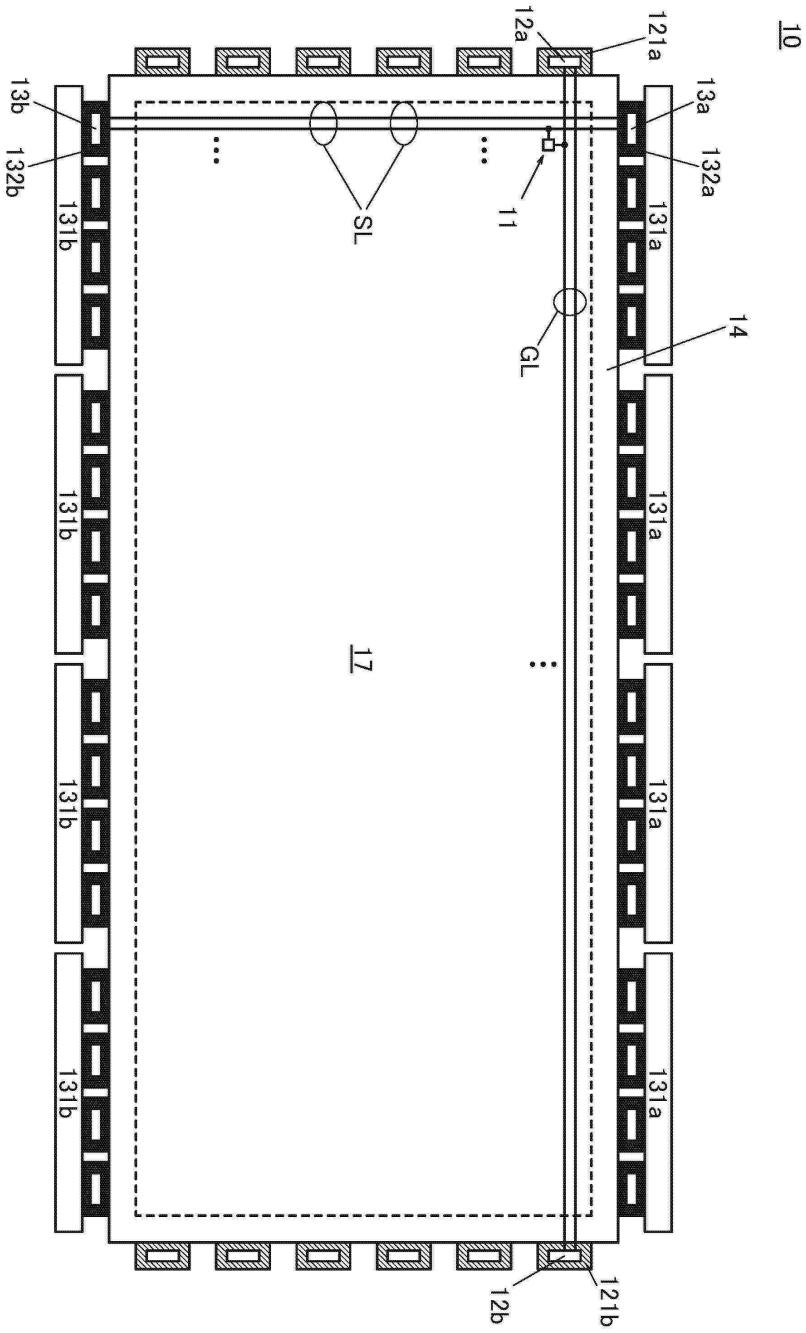
(B)


200f
212
223
236a
236b
222a
222b
215
224
X1
X2
211
221
231s
231i
231d
231

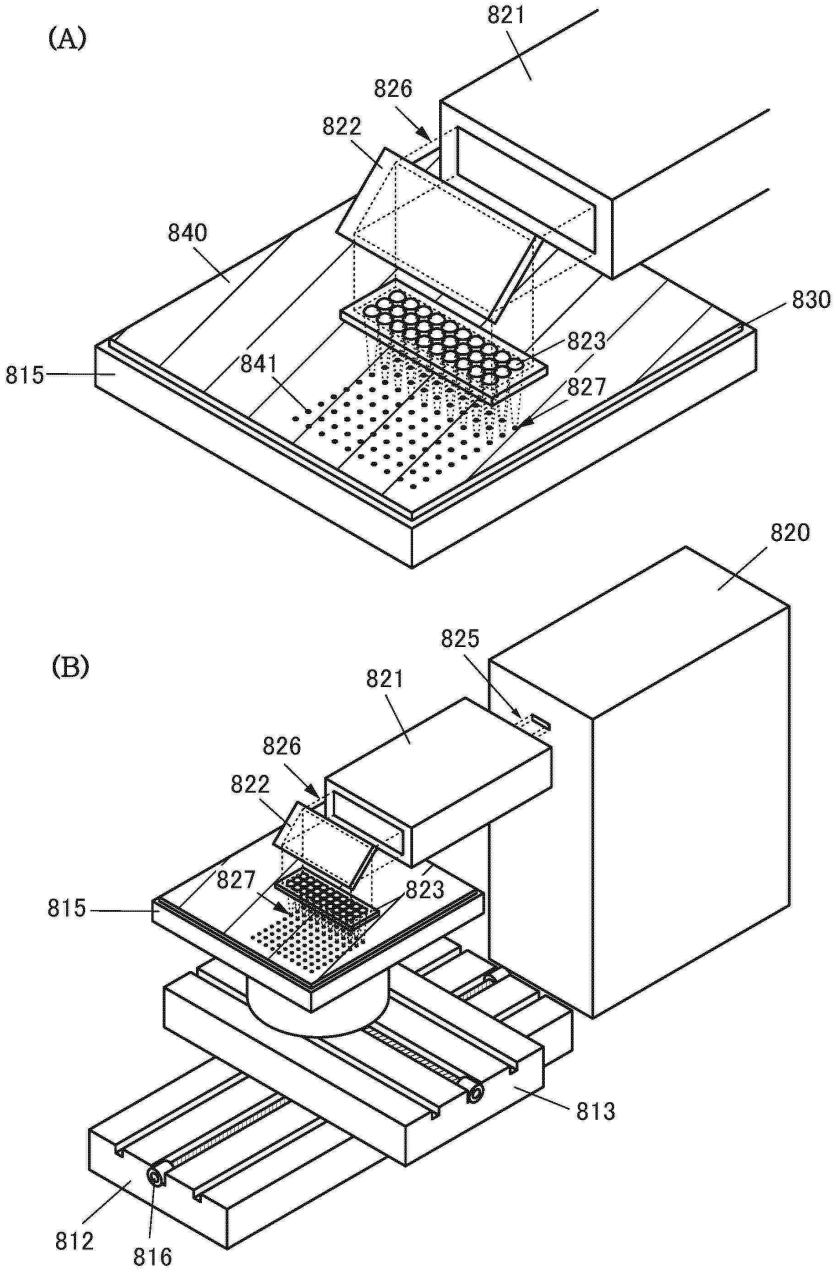
(C)


200f
223
215
237
211
224
Y1
Y2
221
231i
212

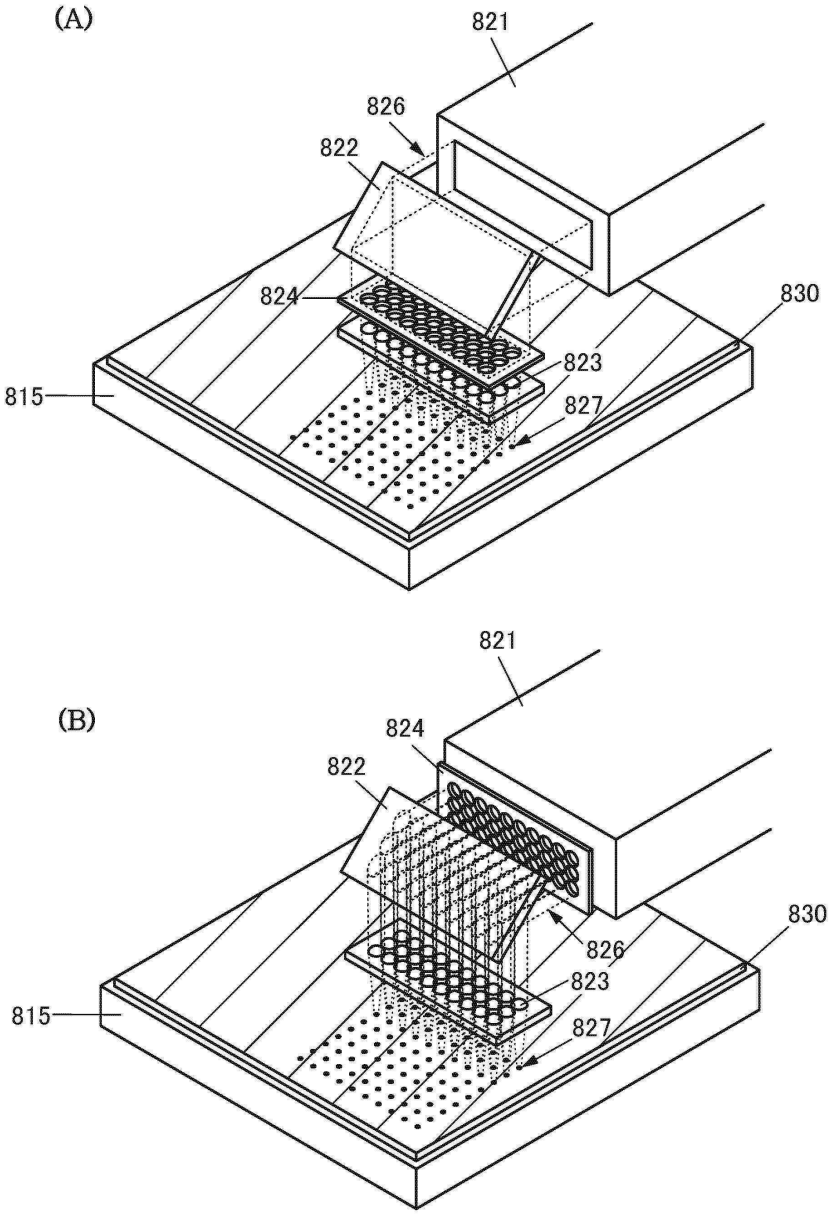
도면45



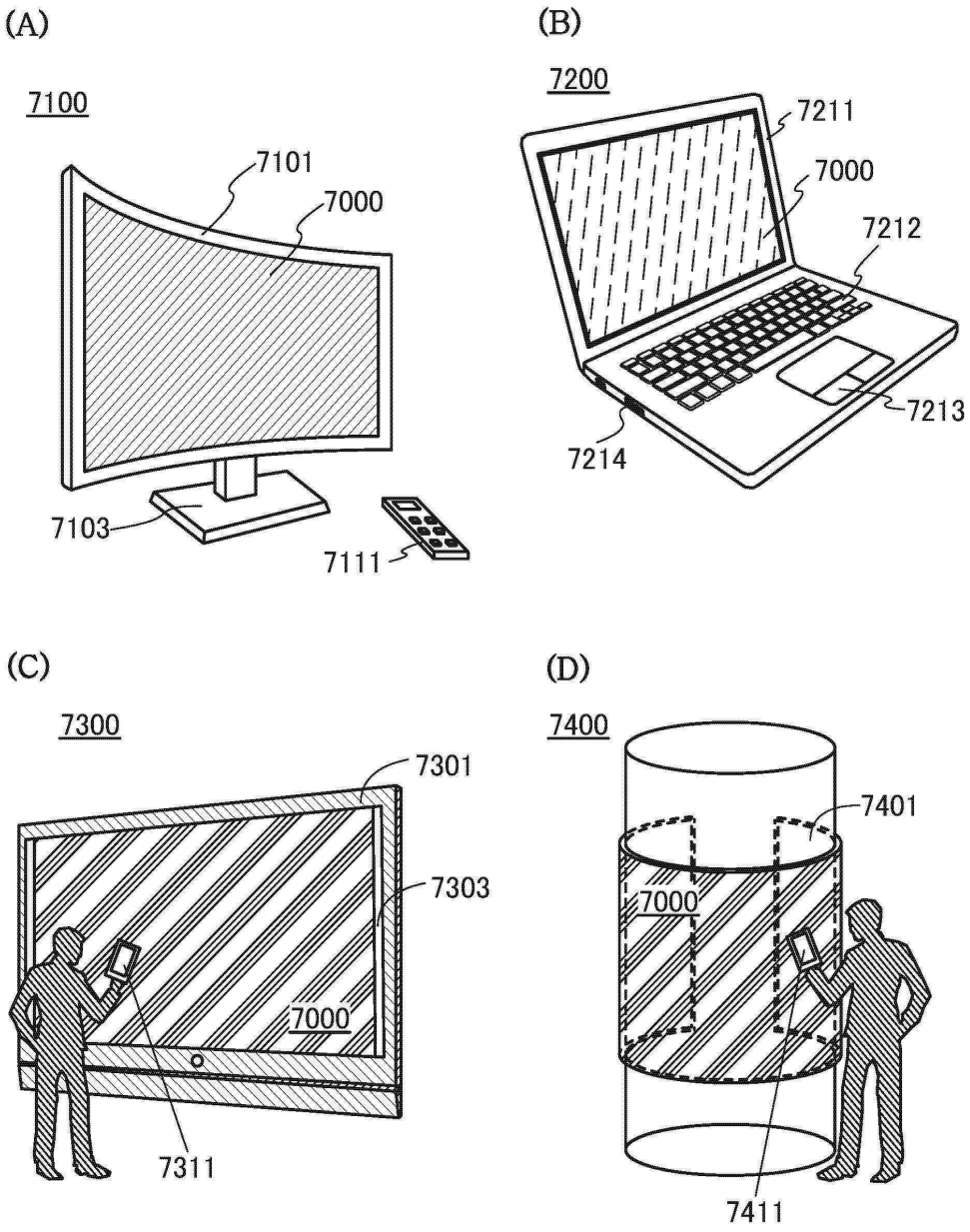
도면46


(A)
821
826
822
840
830
823
841
827
815
(B)
820
825
821
826
822
827
823
815
813
812
816

도면47


(A)
821
826
822
824
830
823
827
815
(B)
821
824
822
830
826
823
827
815

도면48


(A)
7100
7101
7000
7103
7111
(B)
7200
7211
7000
7212
7213
7214
(C)
7300
7301
7303
7000
7311
(D)
7400
7401
7000
7411