

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年1月5日(2017.1.5)

【公表番号】特表2016-504764(P2016-504764A)

【公表日】平成28年2月12日(2016.2.12)

【年通号数】公開・登録公報2016-010

【出願番号】特願2015-547954(P2015-547954)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/12 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 2 K

H 01 L 29/78 6 5 2 T

H 01 L 29/78 6 5 8 F

【手続補正書】

【提出日】平成28年11月14日(2016.11.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソースコンタクト及びドレインコンタクトと導電接続された炭化ケイ素を含む半導体基体であって、

半導体基体が、半導体基体の第1の側に配置され、かつ第1の型のドーパントをドープした、半導体基体の第1の体積部を備える第1のウェル領域を含み、半導体基体が、半導体基体の第1の側に配置され、かつ逆極性の第2の型のドーパントをドープした、半導体基体の第2の体積部を備える第2のウェル領域を含み、第2のウェル領域が、第1のウェル領域内に配置されている半導体基体と、

半導体基体及びゲートコンタクトと接続されたゲート酸化膜であって、ゲート酸化膜が、互いに異なる厚さ寸法を有する外側セクション及び内部セクションを含み、外側セクションが、半導体基体の第1のウェル領域及び第2のウェル領域上に配置されており、内部セクションが、半導体基体の接合ゲート型電界効果トランジスタ領域上に配置されており、半導体基体が、ゲート信号がゲートコンタクトに印加されているときに第2のウェル領域及び接合ゲート型電界効果トランジスタ領域を通る、ソースコンタクトからドレインコンタクトへの導電チャネルを形成するように構成されているゲート酸化膜とを備える絶縁ゲート型電界効果トランジスタ(IGFET)素子。

【請求項2】

ゲート酸化膜の外側セクションの厚さ寸法が、ゲート酸化膜の内部セクションよりも小さい、請求項1に記載のIGFET素子。

【請求項3】

半導体基体が、半導体基体の接合ゲート型電界効果トランジスタ領域によって互いに分離された複数の第1のウェル領域を含む、請求項1に記載のIGFET素子。

【請求項4】

ゲート酸化膜の内部セクションが、複数の第1のウェル領域のうちの第1のウェル領域の第1のものから複数の第1のウェル領域のうちの第1のウェル領域の第2のものまでの

、半導体基体の接合ゲート型電界効果トランジスタ領域上に延在する、請求項3に記載のIGFET素子。

【請求項5】

ゲート酸化膜の内部セクションが、少なくとも0.25μm厚の厚さ寸法を有する、請求項1に記載のIGFET素子。

【請求項6】

ゲート酸化膜の内部セクションが、少なくとも0.55μm厚の厚さ寸法を有する、請求項1に記載のIGFET素子。

【請求項7】

ゲート酸化膜の内部セクションが、少なくとも0.55μm厚の厚さ寸法及び30~50度のテーパ外縁角を有する、請求項1に記載のIGFET素子。

【請求項8】

テーパ外縁角が、45度である、請求項7に記載のIGFET素子。

【請求項9】

第1のウェル領域を形成するために半導体基体の第1の体積部に関して第1の型のドーパントを炭化ケイ素を含む半導体基体にドープするステップと、

第1のウェル領域内に配置される第2のウェル領域を形成するために半導体基体の第2の体積部に関して、逆極性の第2の型のドーパントを半導体基体にドープするステップと、

半導体基体上にゲート酸化膜を設けるステップであって、ゲート酸化膜が、互いに異なる厚さ寸法を有する外側セクション及び内部セクションを含み、外側セクションが、半導体基体の第1のウェル領域及び第2のウェル領域上に配置され、内部セクションが、半導体基体の接合ゲート型電界効果トランジスタ領域上に配置されるステップと、

半導体基体の第1のウェル領域又は第2のウェル領域の少なくとも一方とソースコンタクトとを導電接続し、ドレインコンタクトと半導体基体とを導電接続し、ゲートコンタクトとゲート酸化膜とを導電接続するステップであって、半導体基体が、ゲート信号がゲートコンタクトに印加されているときに第2のウェル領域及び接合ゲート型電界効果トランジスタ領域を通る、ソースコンタクトからドレインコンタクトへの導電チャネルを形成するように構成されるステップと

を含む方法。

【請求項10】

ゲート酸化膜を設けるステップが、外側セクションの厚さ寸法が内部セクションよりも小さくなるようにゲート酸化膜を形成することを含む、請求項9に記載の方法。

【請求項11】

ゲート酸化膜を設けるステップが、連続的な酸化膜体として外側セクション及び内部セクションを形成することを含む、請求項9に記載の方法。

【請求項12】

半導体基体の第1の体積部にドープするステップが、半導体基体の接合ゲート型電界効果トランジスタ領域によって互いに分離される複数の第1のウェル領域を形成するようにドープすることを含む、請求項9に記載の方法。

【請求項13】

ゲート酸化膜の内部セクションが、複数の第1のウェル領域のうちの第1のウェル領域の第1のものから複数の第1のウェル領域のうちの第1のウェル領域の第2のものまでの、半導体基体の接合ゲート型電界効果トランジスタ領域上に延在するように配置される、請求項12に記載の方法。

【請求項14】

ゲート酸化膜の内部セクションが、少なくとも0.55μm厚の厚さ寸法を有する、請求項9に記載の方法。

【請求項15】

ゲート酸化膜の内部セクションが、少なくとも0.55μm厚の厚さ寸法及び30~50度のテーパ外縁角を有する、請求項9に記載の方法。

0度のテーパ外縁角を有する、請求項9に記載の方法。

【請求項16】

テーパ外縁角が、45度である、請求項15に記載の方法。

【請求項17】

第1の型のドーパントをドープした第1のウェル領域及び逆極性の第2の型のドーパントをドープした第2のウェル領域を有する半導体基体であって、第2のウェル領域が、第1のウェル領域内に配置されており、第1のウェル領域が、半導体基体の接合ゲート型電界効果トランジスタ領域によって互いに分離されており、半導体基体が、ドレインコンタクトと導電接続されるように構成されており、第1のウェル領域又は第2のウェル領域の少なくとも一方が、ソースコンタクトと導電接続されるように構成されている炭化ケイ素を含む半導体基体と、

半導体基体上に配置され、かつゲートコンタクトと導電接続されるように構成されたゲート酸化膜であって、ゲート酸化膜が、半導体基体の接合ゲート型電界効果トランジスタ領域上に配置された内部セクション及び少なくとも部分的に第1のウェル領域上に配置された外側セクションを有し、ゲート酸化膜の内部セクションが、外側セクションの第2の厚さ寸法とは異なる第1の厚さ寸法を有するゲート酸化膜と
を備える絶縁ゲート型電界効果トランジスタ(IGFET)素子。

【請求項18】

ゲート酸化膜の内部セクションの第1の厚さ寸法が、ゲート酸化膜の外側セクションの第2の厚さ寸法よりも大きい、請求項17記載のIGFET素子。

【請求項19】

ゲート酸化膜の内部セクション及び外側セクションが、連続的な酸化膜体を形成している、請求項17に記載のIGFET素子。

【請求項20】

ゲート酸化膜の内部セクションの第1の厚さ寸法が、少なくとも0.25μm厚の厚さ寸法を有する、請求項17に記載のIGFET素子。

【請求項21】

ゲート酸化膜の内部セクションが、少なくとも0.55μm厚の厚さ寸法を有する、請求項17に記載のIGFET素子。

【請求項22】

ゲート酸化膜の内部セクションが、少なくとも0.55μm厚の厚さ寸法及び30~50度のテーパ外縁角を有する、請求項17に記載のIGFET素子。

【請求項23】

テーパ外縁角が、45度である、請求項22に記載のIGFET素子。