發明專利說明書

公告本

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96111504

※ 申請日期：96.3.30　　※IPC 分類：H04B 1/40
G06F 13/14
G06F 12/00

一、發明名稱：（中文/英文）

利用多埠記憶體裝置之埠間通訊之方法與系統/Inter-port Communication in a Multi-port Memory Device

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

矽像公司/Silicon Image, Inc.

代表人：（中文/英文）伯區 哈波/Harper, Burch

住居所或營業所地址：（中文/英文）

美國加利福尼亞州 94085 桑尼維尔市阿奎茲東路 1060 號/1060 E. Arques Avenue, Sunnyvale, California 94085, U.S.A.

國　籍：（中文/英文）美國/U.S.A.

三、發明人：（共 6 人）

姓　名：（中文/英文）

1、亞倫 T. 魯柏格/Ruberg, Alan T.

2、李東雲/Lee, Dong-Yun

3、大 K. 金/Kim, Dae K.

4、曹明來/Cho, Myung-Rai

5、沈大雲/Shim, Dae-Yun

6、金承俊/Kim, Sung-Joon

國　籍：（中文/英文）

1、美國/U.S.A.

2、韓國/Republic of Korea

3、韓國/Republic of Korea

4、韓國/Republic of Korea

（S）

5、韓國/Republic of Korea

6、韓國/Republic of Korea

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

美國、2006 年 3 月 30 日、60/788,401

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

5、韓國/Republic of Korea

6、韓國/Republic of Korea

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

美國、2006 年 3 月 30 日、60/788,401

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於埠間通訊之方法與系統，特定的說係有關於利用多埠記憶體裝置於埠間通訊之方法與系統。

【先前技術】

在電腦硬體內，共享式記憶體一般係指一大塊隨機存取記憶體，該隨機存取記憶體係可由多處理器電腦系統內之數個不同之中央處理器（CPUs）或其他元件所存取。例如，行動電話通常係包含基頻處理器、多媒體處理器以及液晶顯示（LCD）控制器，其中每一元件係可共享一公用記憶體區域。多處理器系統之元件通常係需要共享資訊。例如，行動電話之多媒體處理器係可執行一與基頻處理器交互作用之操作系統以產生電話呼叫。另一舉例，該多媒體處理器係可寫入資訊於該液晶顯示（LCD）控制器之碼框緩衝器內，該資訊係描述欲顯示之影像。元件間之資訊共享一般係需要許多不同之控制及資料介面。控制及資料介面係可加以定義於每一元件之間以及元件與共享式記憶體之間。此外，每一利用該共享式記憶體之元件之間係可有附加之介面以協調該共享式記憶體之存取。

多處理器架構之結果係增加每一元件內處理不同介面之複雜性以及增加為支援元件間所需之通訊而需要之互連數目。互連係昂貴的且為讓每一元件利用係需要額外之工作。通常理想之元件可能因未與另一需要之元件正確地交互操作而不被利用。例如，一特定液晶顯示（LCD）控制

器係可能無法以一特定多媒體處理器所需之速度通訊，因此必須選擇一較昂貴之液晶顯示（LCD）控制器。介面需求係不僅增加總體系統之複雜性亦係增加成本。因此需要有經過改良而以減少通訊間接費用之方式於多處理器系統內通訊之方法，且必須由該系統內之元件管理。

【發明內容】

根據本發明有一方法係予以提供以在第一元件與第二元件之間共享記憶體，第一元件係耦合至多埠記憶體裝置之第一埠，第二元件係耦合至該裝置之第二埠，該方法包含從在多埠記憶體裝置之第一埠之第一元件接收資料以及寫入接收到之資料於與多埠記憶體裝置之第二埠關聯之緩衝區。接著，設定與多埠記憶體裝置之第二埠關聯之中斷暫存器及中斷信號。然後，在耦合至第二埠之第二元件偵測到中斷信號後，發送與第二埠關聯之中斷暫存器之內容至第二元件。最後，發送與第二埠關聯之緩衝區之內容至第二元件，其中第二元件係基於緩衝區之內容而處理由中斷暫存器之內容所規定之中斷。

根據本發明之另一觀點，其具有一系統係予以提供以在附接至多埠記憶體系統之元件之間共享資訊，該系統包含一或多共享式記憶庫、一中斷暫存器以及一訊息緩衝區，該共享式記憶庫係用於儲存可由一或多該多埠記憶體系統之埠存取之資訊，該中斷暫存器係當事件已發生時對於耦合至一或多埠之元件做指示，該訊息緩衝區係內含關於中斷暫存器所指示之事件之資訊。

（5）

根據本發明之再一觀點，其具有一電腦可讀媒體，其內含用於控制記憶體裝置使其在多元件之間共享記憶庫之指令，上述係藉由一方法，該方法包含從第一元件接收一請求以存取記憶庫。接著，決定記憶庫目前是否在使用中。然後，若記憶庫目前不在使用中，授權第一元件存取記憶庫。接著，從第二元件接收一請求以存取記憶庫。之後，決定第一元件是否已完成存取記憶庫。最後，在第一元件已完成存取記憶庫時，授權第二元件存取記憶庫。

本發明之一優點係為在多處理器環境中元件之間共享記憶體之方法。

本發明之另一優點係為用於在附接至多埠記憶體系統之元件之間共享資訊之系統。

本發明之再一優點係為內含用於控制記憶體裝置使其在多元件之間共享記憶庫之指令之電腦可讀媒體。

本發明之又一優點係為該多埠記憶體裝置可使共享該記憶體之元件通訊而無須外部通訊硬體或額外已知例子，除讀寫至該共享式記憶體外。

本發明之再一優點係為利用中斷接腳及中斷信號移除該系統內元件間之直接互連，大為簡化時序及介面問題。

本發明之又一優點係為該暫存器檔案係可由應用所利用以協調記憶庫之存取。

此類及其他之優點將藉由以下一較佳實施例之敘述與所附之圖式及附加之申請專利範圍而變得顯而易見。

【實施方式】

本發明提供一利用多埠記憶體裝置之埠間通訊方法與系統。該多埠記憶體裝置係包含多處理器系統之元件可藉以連接之多個埠。利用該共享式記憶體內之暫存器檔案，使經連接至每一埠之元件間之訊息通訊成為可能。對於該多埠記憶體裝置之每一埠，該記憶體裝置係內含一中斷暫存器、一中斷信號介面（例如專屬接腳）、一中斷遮罩以及一或多個訊息緩衝區。當耦合至該記憶體裝置之第一埠之第一元件欲與耦合至該記憶體裝置之第二埠之第二元件通訊時，該第一元件係寫入一訊息至與該第二埠關聯之訊息緩衝區。該第二埠之輸入暫存器內之一中斷係經設定以通知耦合至該第二埠之第二元件有一新訊息。在收到該中斷後，該第二元件係讀取該中斷暫存器以決定該中斷之性質。該第二元件接著遂從該訊息緩衝區讀取該訊息。該第二元件係可於與第一埠關聯之中斷暫存器內設定一中斷以發信通知該第一元件該第二元件已完成該訊息之處理。因此，多埠記憶體裝置可使共享記憶體之元件通訊而無須外部通訊硬體或額外已知例子，除讀寫至共享式記憶體外。

現在將敘述不同之利用多埠記憶體裝置作為通訊通道之實施例。在下列敘述中，提供許多的特定細節以提供本發明之實施例之全盤了解以及便於此類實施例之敘述。然而熟悉此領域之技藝者將了解，實施本發明之技術可無需多項上述特殊細節。此外，某些已知的結構或功能，並未顯示或詳細敘述以避免模糊各個實施例之相關敘述。在以下敘述中所用到之術語雖然係用以關聯本發明之某些特定

實施例之詳細敘述，但仍意欲以最廣泛合理的方式解釋。以下敘述中某些詞甚至會被強調；然而，任何侷限解釋之術語將在此實施方式部分明顯加以具體地定義。

一、系統架構

第一圖係為方塊圖，其說明在一多處理器環境內耦合至數個元件之多埠記憶體裝置架構。該多埠記憶體裝置100係包含一或多個記憶庫110、二或多個埠120以及一暫存器檔案130。該記憶體、埠及暫存器檔案係全部由一匯流排140所耦合，該匯流排140係使任何記憶庫或暫存器檔案可由任何埠存取。該一或多個記憶庫110係儲存可透過該埠存取之資料。該記憶庫110係可由動態隨機存取記憶體（DRAM）或其他一般類型之記憶體裝置所組成。該二或多個埠120之每一埠係可連接至一對應之埠主控器（PM）150。該埠主控器150係可為任何類型之利用共享式記憶體之系統元件，例如基頻處理器、多媒體處理器或液晶顯示（LCD）控制器。如以下將另外詳細敘述，該多埠記憶體裝置係可利用為通訊通道以使多處理器環境中元件間之資料通訊成為可能。

第二圖係為方塊圖，其說明某些實施例中之該暫存器檔案130之組態。該暫存器檔案係藉由作為公用信號介面使多處理器環境中元件間之通訊成為可能，以指示一特定埠之通訊係存在或消除。對於該多埠記憶體之每一埠，該暫存器檔案130係內含一中斷暫存器210、一中斷信號介面例如中斷接腳220、一中斷遮罩緩衝區230以及一或多

個訊息緩衝區 240a、240b、…240n。該中斷暫存器 210 係內含數個位元，其表示不同類型之可能對於多埠記憶體內一特定埠發生之事件。中斷暫存器之每一位元可能與不同之事件相關聯。事件隨應用而特定，且可能由不同之多埠記憶體之使用者以不同方式加以定義。一應用可於每一埠之中斷暫存器內為多埠記憶體之每一其他埠保留一位元以使其得發信表示有該埠之新訊息。一應用亦可於每一埠之中斷暫存器內為每一其他埠保留一位元以使其得發信表示已完成一訊息之處理。例如，第二圖所描繪之該暫存器檔案之實施例係為三個埠 A 埠、B 埠及 C 埠所配置。每一埠係有一相關聯之具有四位元之中斷暫存器 210（圖式中只描繪出 A 埠中斷暫存器及 A 埠緩衝區）。該中斷暫存器之一位元係用以代表新訊息以及一位元係用以代表其他二埠之每一埠之訊息回應。A 埠之中斷暫存器位元係因此代表來自 B 埠之新訊息、來自 B 埠之回應、來自 C 埠之新訊息及來自 C 埠之回應。「1」之值係指示已設定該中斷。例如第二圖中指示來自 C 埠之新訊息之位元已被設定。若訊息緩衝區為多埠記憶體裝置之信箱，則中斷暫存器就如信箱側邊之紅色旗子，於有新訊息時，其將告知。藉由於暫存器檔案內設定或清除適當之位元，該埠之通訊狀態遂可傳送至系統元件。

在某些實施例中，該多埠記憶體裝置係儲存中斷暫存器 210 於快速靜態隨機存取記憶體（SRAM）內。該中斷暫存器之位元係可為標準之正反器以節省空間以及增加測

試及設定該位元之速度。另則或另外，該多埠記憶體裝置係可儲存該中斷暫存器於共享式記憶體本身之特定位址。例如，共享式記憶體之上部位元組係可由一應用加以保留用於儲存中斷暫存器。中斷暫存器係可為配置於埠間之單一暫存器（例如 16 位元），或為各別關聯至不同埠之多個暫存器。

在某些實施例中，多埠記憶體係用於除錯及測試之目的而保留中斷暫存器之一或多個位元。例如，在一具有 16 位元中斷暫存器之 3 埠裝置中，多埠記憶體係可為一暫停指令保留位元 15，該暫停指令係指示附接於一特定埠之元件中止進一步處理直到該中斷消除。斷點係可利用該中斷暫存器之一位元而加以實行以發信表示該斷點所應用之記憶體位址係儲存於訊息緩衝區內。例如，除錯應用係可設定一斷點於記憶體位址 0x0100，以及設定每一埠之中斷暫存器內之斷點位元。

一埠之中斷暫存器位元之狀態係透過一關聯至該埠之中斷接腳 220 以利於與一系統元件通訊。中斷接腳 220 上一中斷信號之存在係對該附接元件傳達一新中斷已被設定。該中斷信號係藉由利用邏輯閘 250 將該中斷暫存器位元之數值進行邏輯或操作（ORing）而產生（在某些實施例中是有遮罩功能的，此部分將於以下討論）。每當該中斷暫存器之任一位元被設定時，中斷接腳上之中斷信號遂產生。因此，該中斷信號係作為中斷暫存器之摘要且提供一單一機制以通知附接至該埠之元件，該元件應進一步查詢

關於該中斷之性質。熟悉此領域之技藝者將得以理解，除此處所揭露利用中斷接腳之方式外，中斷信號可藉他法予以產生。

在某些實施例中，一中斷遮罩係可用於該暫存器檔案130內以允許元件讀取該中斷暫存器210內一特定位元之狀態。數個邏輯及（AND）閘260係予以提供以實施該遮罩特徵。一至每一及閘之輸入係為該中斷暫存器210之位元值。其他至每一及閘之輸入係為一中斷遮罩之位元值，該中斷遮罩係儲存於一中斷遮罩暫存器230內。藉由該邏輯及閘操作，唯獨那些具有與該中斷遮罩內之「1」相對應之位元設定之中斷暫存器位元係予以應用於該邏輯閘250。因此，該中斷接腳220上之中斷信號係基於該中斷遮罩值選擇性代表該中斷暫存器內之一或多個位元之位元值。一監督埠主控器（SPM）係可代表每一埠設定該中斷遮罩，以作為於該多埠記憶體裝置啟動期間所進行之組態階段之一部分。該中斷遮罩係可儲存於該共享式記憶體內之一預定位置內，因此元件可藉由寫入於該預定位置而更新該中斷遮罩。

該中斷遮罩係可由應用所利用以忽略某些中斷。例如在利用該多埠記憶體裝置之行動電話中，該基頻處理器係可能對於從附接至該多埠記憶體裝置之液晶顯示（LCD）控制器接收中斷係不感興趣。因此，該基頻處理器係可設定其所附接之該埠之中斷遮罩，以遮蔽掉來自該液晶顯示（LCD）控制器所附接之該埠之中斷。基於該中斷遮罩，

（S）

除非未被該中斷遮罩所遮蔽之中斷已被設定，中斷信號將不會產生於該中斷接腳上。此外，該多埠記憶體裝置係可遮蔽為回應測試及設定（TAS）指令而返回之位元，因此該中斷暫存器之被忽略之位元係不會包含在內。

若一中斷係由附接至該埠之元件所偵測到，則該元件遂發出「測試及設定」（TAS）指令以讀取該中斷暫存器210之內容。在某些實施例中，該多埠記憶體裝置係提供測試及設定（TAS）指令以原子級測試及設定該中斷暫存器之數值。該測試及設定（TAS）指令係藉由允許同步讀取及消除中斷而減少該系統元件處理一中斷所需之該記憶體裝置之存取次數，以及該指令之原子性質係防止遭受競賽條件之情況。此領域之一般技藝者將領會，公用同步構造，例如互斥及旗號，係可利用測試及設定（TAS）指令而加以建立。該元件發出該測試及設定（TAS）指令係藉由對某對象提供一測試值以測試該暫存器之現行值，以及若該現行值與測試值符合則對某對象提供一設定值以設定該暫存器。一般來說，該測試值係測試是否任一位元被設定，以及該設定值係消除所有位元。因此，發出測試及設定（TAS）指令係通知該元件哪一中斷位元已被設定於該中斷暫存器內，且同時消除任何設定位元。該元件係可接著處理由經發現被設定之位元所代表之中斷。

在某些實施例中，該暫存器檔案130係包含訊息緩衝區240a、240b、…240n，該訊息緩衝區係可用以儲存造成中斷之事件之另外細節。每一埠係可具有一關聯之輸入訊

可偵測到該新資訊且自動設定該正確中斷於該接收埠之中斷暫存器內。自動設定中斷係降低錯誤之機會，該錯誤係由附接至一埠之元件不正確設定另一埠之中斷暫存器內之該位元所導致。

第三圖係為方塊圖，其說明在某些實施例中該多埠記憶體裝置架構係如何簡化元件間之互連。該系統 300 內含多個元件，每一元件透過一介面 310 予以連接至共享式記憶體 305。每一元件亦具有數個至其他元件之直接互連 320。因該互連需要該元件利用不同之介面協定與其他元件通訊，故該互連對於該系統增加複雜性。因該互連係需要另外路徑及時序控制，故該互連亦係對於該系統增加複雜性。基於此處揭露之多埠記憶體裝置之系統 350 亦內含透過一介面 360 連接至共享式記憶體 355 之多個元件。然而，系統 350 不內含元件間之直接互連。反而，每一元件係透過一中斷接腳 370 予以連接至共享式記憶體 355。如此處所敘述，當另一元件欲透過該共享式記憶體 355 通訊時，中斷接腳 370 上之一中斷信號遂通知一元件。移除系統內元件間之直接互連大為簡化時序及介面問題。

第四圖係為流程圖，其說明在某些實施例中該多埠記憶體裝置在元件間通訊訊息時之處理過程。在方塊 420 中，A 埠主控器（PM）係寫入一訊息於 B 埠主控器（PM）所利用之埠之輸出訊息緩衝區（OMB）內。在方塊 420 中，A 埠主控器係設定連接至 B 埠主控器之該埠之中斷暫存器以通知 B 埠主控器有一新訊息（另則，當該新訊息係予以

寫入B埠主控器之輸出訊息緩衝區（OMB）內時，該中斷係可被自動設定)。基於B埠主控器之中斷暫存器之內容，B埠主控器所利用之該埠之中斷接腳亦係被設定。在方塊430中，B埠主控器係偵測到該中斷接腳被設定且發出測試及設定（TAS）指令以讀取該中斷暫存器之內容且消除該中斷。在方塊440中，B埠主控器讀取由A埠主控器寫入至該輸出訊息緩衝區（OMB）之訊息以及處理該訊息。在方塊450中，B埠主控器寫一回應訊息於A埠主控器所利用之該埠之輸入訊息緩衝區（IMB）內。在方塊460中，B埠主控器設定A埠主控器所利用之該埠之中斷暫存器以通知A埠主控器該訊息已被處理且有一回應。基於A埠主控器之中斷暫存器之內容，該埠之中斷接腳亦係被設定。在方塊470中，A埠主控器偵測到該中斷接腳被設定且發出測試及設定（TAS）指令以讀取該中斷暫存器之內容且消除該中斷。在方塊480中，A埠主控器讀取由B埠主控器寫入至該輸入訊息緩衝區（IMB）之回應訊息以及處理該回應。在決策方塊490中，若有更多訊息，則A埠主控器係循環至方塊410且發送另一訊息，否則該處理係屬完成。

二、暫存器檔案使用

以下係若干實施例，說明暫存器檔案係如何可以由不同應用所使用以於元件間協調及共享資訊。

儲存應用通常係包含一或多個共享記憶體裝置之埠主控器。該埠主控器（PMs）係可代表處理器、其他儲存裝

置（例如磁碟機）以及其他附接至該記憶體裝置之硬體元件。一埠主控器通常係被指定為監督埠主控器（SPM）。該監督埠主控器（SPM）一般係指揮其他埠主控器之行為。例如在電力開啟期間，該監督埠主控器係可從一附接之快閃記憶體收集組態資訊，且配置該記憶體裝置之每一埠給其他埠主控器。該監督埠主控器係可提供埠速度及其他組態資訊至該多埠記憶體裝置之每一埠，例如該埠之訊息緩衝區之位址、中斷遮罩之位址、該中斷暫存器內每一中斷位元之意義等。該監督埠主控器亦係可基於該應用之需求而啟動及停止運作每一埠。例如，該監督埠主控器可藉由設定該埠之中斷暫存器內之位元而指示一埠保持停止運作，直到該系統之其他元件已完成電力開啟且準備好操作。該監督埠主控器亦可基於該系統之現行電力要求以及基於特定裝置之不活動性而指示某些埠停止執行本身功能（例如調暗行動電話之液晶顯示螢幕）。

另一利用該暫存器檔案之實施例係由若干附接至一記憶體裝置之元件共享記憶庫。最簡單之情況中，每一元件係予以指定其特有之記憶庫且不需共享。然而，應用通常係需要記憶庫予以共享，以便基於該系統之現行負載將較可用記憶體予以導向至特定用途。例如，在行動電話中當撥打電話時該基頻處理器係可要求較多記憶體，而當玩遊戲時該多媒體處理器係可要求較多記憶體。該系統之元件亦可能需要共享資訊且可能係藉由共享記憶庫來進行之。一元件係可寫入該記憶體，而另一元件係可從該記憶體讀

取以於元件間共享資訊。

在記憶庫之存取係予以共享之情況下，協調該記憶庫之存取對於確保資料不被毀損係重要的。該暫存器檔案係可由應用所利用以協調記憶庫之存取。當一元件欲利用一記憶庫，該元件係發出測試及設定（TAS）指令以嘗試保留該記憶庫以做利用。若該記憶庫目前不在使用中，則該測試及設定指令遂指示該記憶庫係可用，且該元件遂已同時保留該記憶庫以做利用以作為該測試及設定指令之一部分。一旦該記憶庫被保留，該元件可透過該埠讀取及寫入至該記憶體。當該元件係完成利用該記憶庫，其可藉由發出另一測試及設定指令而消除該記憶庫之保留。當另一元件欲利用該記憶庫，遂重複該過程。一元件可能發現該記憶體已在使用中，此情況下該測試及設定指令將指示該記憶庫已被保留，且該元件可能藉由利用該測試及設定指令輪詢該中斷暫存器而等候直到該記憶庫不再被保留。

在某些實施例中，該多埠記憶體可為下一個排隊欲保留該記憶庫之元件提供另一中斷位元，因此雖然一元件目前正利用該記憶庫，但欲利用該記憶庫之下一元件係可登記其意願。因此，當連接至該第一埠之元件係完成利用該記憶庫，第一埠可通知第二埠，致使該第二埠在等候該記憶庫轉為可用狀態同時，不必執行輪詢程序。

三、結論

除非以下有另加敘述，本發明之觀點係可以習用之系統予以實施。因此，圖式中所示之不同方塊之構造或操作

（5）

係可為習用設計的且不需於此進一步詳述以製造或利用本發明，此乃因此類方塊係將由此相關領域之技藝者所了解。該系統之觀點係可利用電腦可執行指令予以實行，例如由一或多台電腦或其他裝置所執行之程式模組。一般而言，程式模組係包含進行特定任務或實行特定抽象資料類型之常式、程式、物件、元件以及資料結構等。一般該程式模組之功能係可加以結合或分散成不同之實施例所希望。

從以上所述，此領域之技藝者將領會該多埠記憶體之特定實施例係為說明而於此敘述，然而熟悉此領域之技藝者在不脫離本發明之精神及範圍下係可做若干修改。因此，除了如所附之申請專利範圍外，本發明係不受限。

【圖式簡單說明】

第一圖係為方塊圖，係說明作為通訊通道之多埠記憶體裝置之架構。

第二圖係為方塊圖，係說明該多埠記憶體裝置內之暫存器檔案之組態。

第三圖係為方塊圖，係說明利用多埠記憶體裝置作為通訊通道係如何簡化元件間之互連。

第四圖係為流程圖，係說明該多埠記憶體裝置在元件間傳送通訊訊息時之處理過程。

【主要元件符號說明】

100 多埠記憶體裝置　　120 埠

110 記憶庫　　130 暫存器檔案

140 匯流排
150 埠主控器
200 暫存器檔案
210 中斷暫存器
220 中斷接腳
230 中斷遮罩暫存器
240a 訊息緩衝區
240b 訊息緩衝區
240c 訊息緩衝區
240d 訊息緩衝區
240n 訊息緩衝區
250 邏輯閘
260 邏輯及閘
300 系統
305 共享式記憶體
310 介面
320 直接互連
350 系統
355 共享式記憶體
360 介面
370 中斷接腳
410 方塊
420 方塊
430 方塊
440 方塊
450 方塊
460 方塊
470 方塊
480 方塊
490 決策方塊

五、中文發明摘要：

一利用多埠記憶體裝置之埠間通訊之方法與系統。該記憶體裝置係包含一中斷暫存器、一中斷信號介面（例如專屬接腳）、一中斷遮罩以及一或多個與每一埠關聯之訊息緩衝區。當耦合至該記憶體裝置之第一埠之第一元件欲與耦合至該記憶體裝置之第二埠之第二元件通訊時，該第一元件係寫入一訊息至與該第二埠關聯之訊息緩衝區。該第二埠之該輸入暫存器內之一中斷係經設定以通知耦合至該第二埠之該第二元件有一新訊息。在收到該中斷後，該第二元件係讀取該中斷暫存器以決定該中斷之性質。該第二元件接著遂從該訊息緩衝區讀取該訊息。

六、英文發明摘要：

A method and system for inter-port communication utilizing a multi-port memory device. The memory device contains an interrupt register, an interrupt signal interface (e.g., a dedicated pin), an interrupt mask, and one or more message buffers associated with each port. When a first component coupled to a first port of the memory device wants to communicate with a second component coupled to a second port of the memory device, the first component writes a message to a message buffer associated with the second port. An interrupt in the input register of the second port is set to notify the second component coupled to the

second port that a new message is available. Upon receiving the interrupt, the second component reads the interrupt register to determine the nature of the interrupt. The second component then reads the message from the message buffer.

七、指定代表圖：

(一)本案指定代表圖為：第（一）圖。

(二)本代表圖之元件符號簡單說明:

100 多埠記憶體裝置

110 記憶庫

120 埠

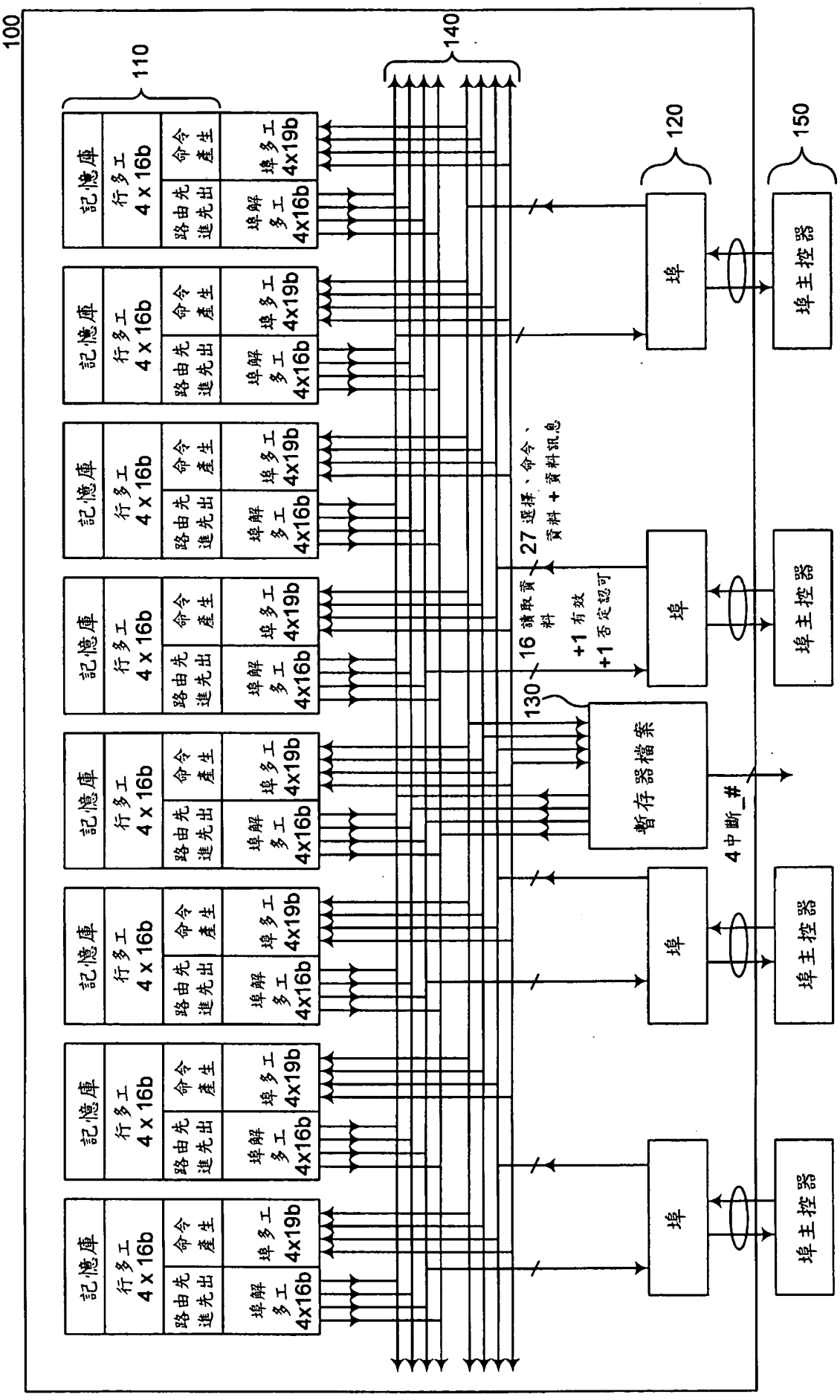
130 暫存器檔案

140 匯流排

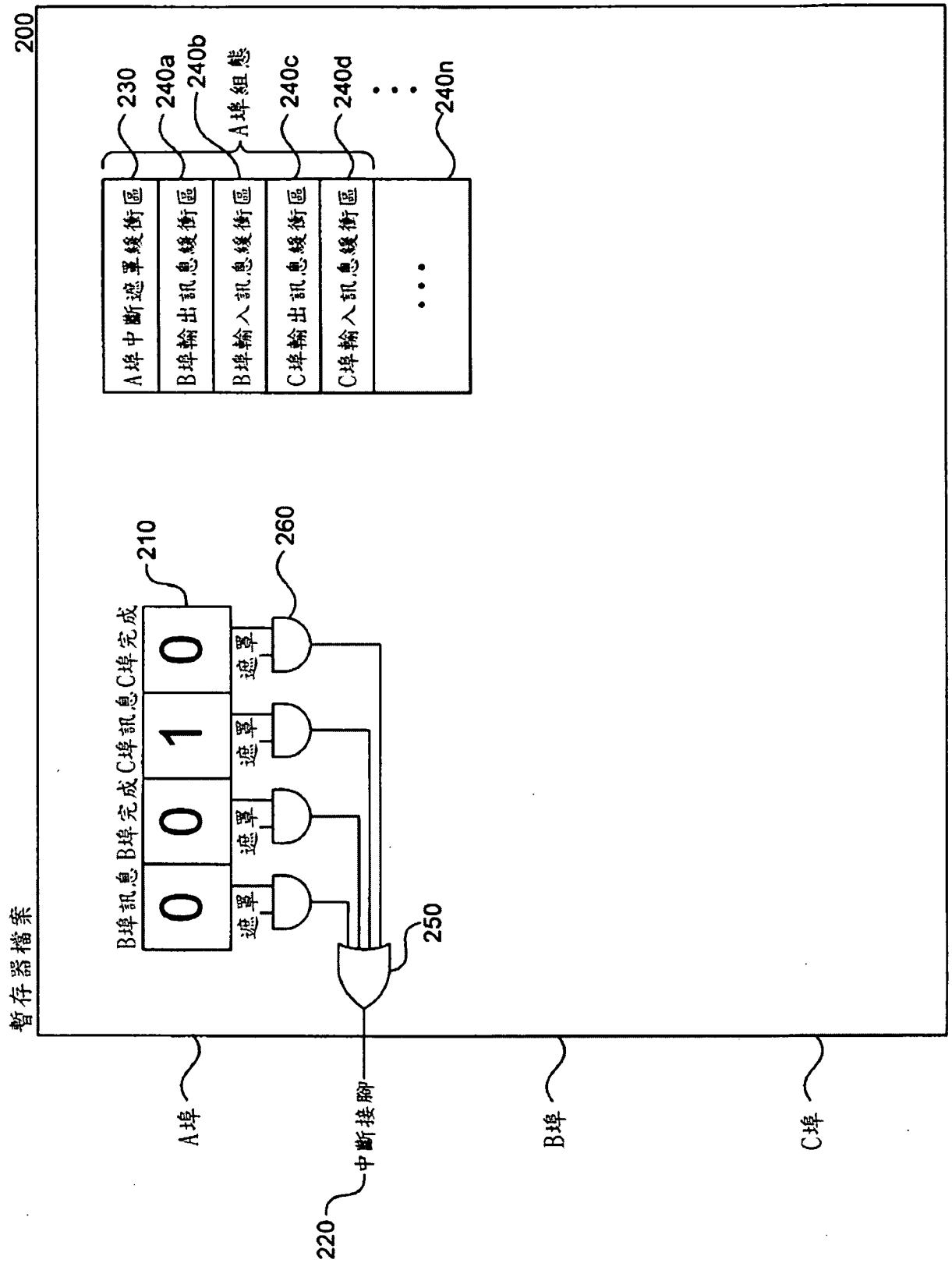
150 埠主控器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

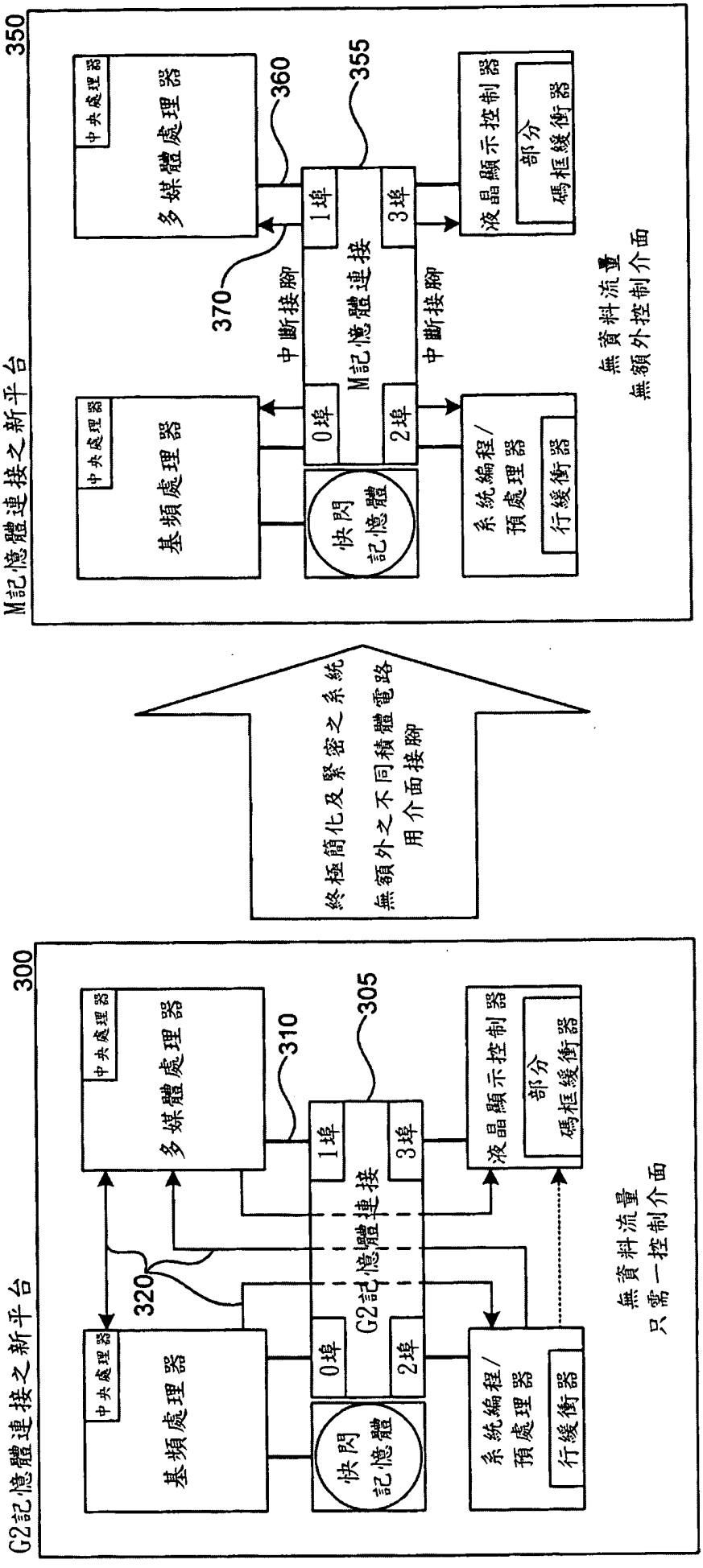
十一、圖式：


100
110
140
120
150
記憶庫
行多工
4 x 16b
命令
產生
路由先
進先出
埠解
多工
4x16b
埠多工
4x19b
埠
埠主控器
暫存器檔案
130
27 選擇、命令、
資料 + 資料訊息
16 讀取資
料
+1 有效
+1 否定認可
4 中斷_#

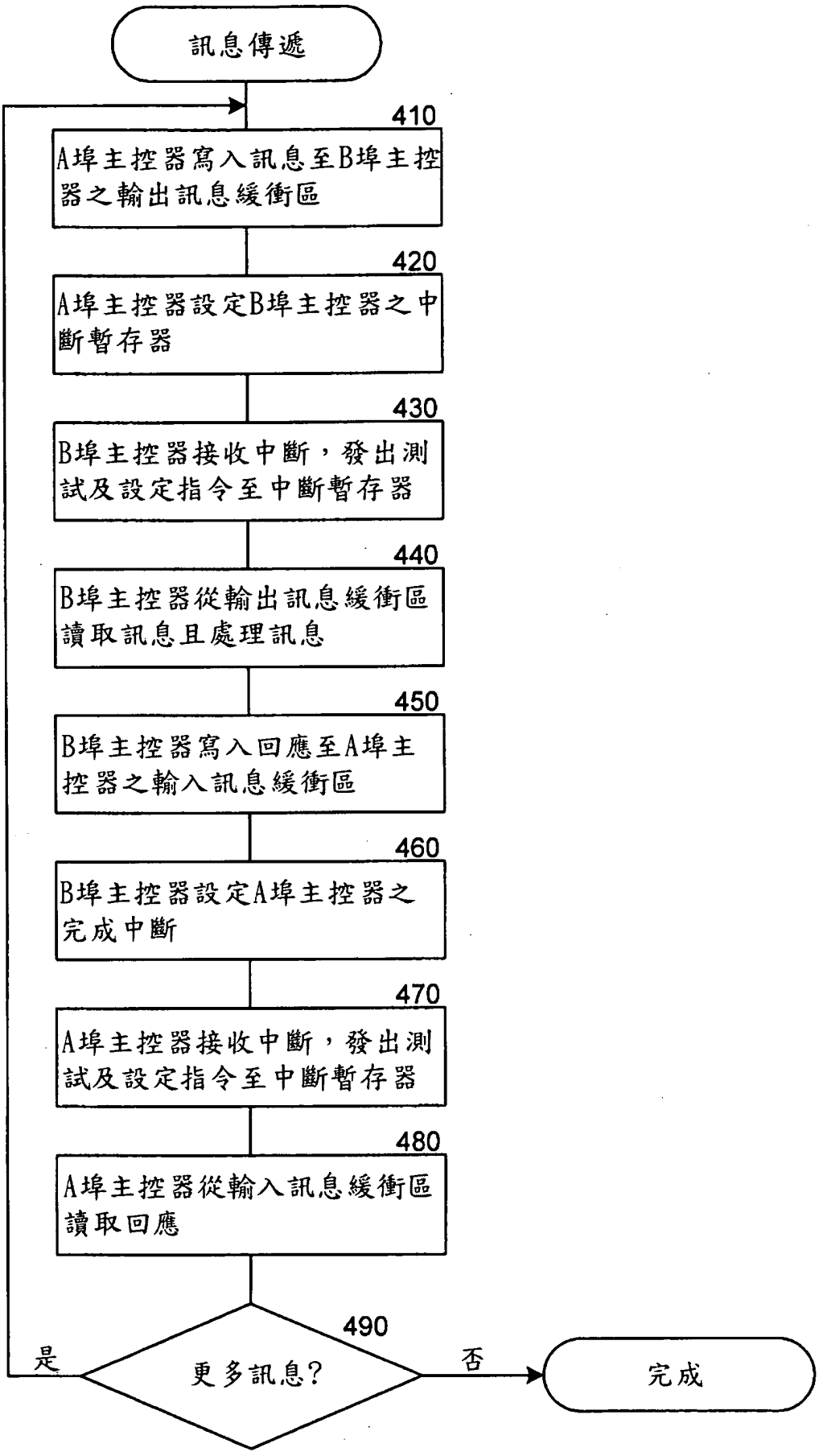
第一圖


200
暫存器檔案
A埠中斷遮罩緩衝區
B埠輸出訊息緩衝區
B埠輸入訊息緩衝區
C埠輸出訊息緩衝區
C埠輸入訊息緩衝區
A埠組態
230
240a
240b
240c
240d
240n
B埠訊息 B埠完成 C埠訊息 C埠完成
0 0 1 0
210
遮罩
260
250
A埠
中斷接腳
220
B埠
C埠

第二圖


G2記憶體連接之新平台
300
中央處理器
基頻處理器
多媒體處理器
310
320
305
G2記憶體連接
0埠
1埠
2埠
3埠
快閃記憶體
系統編程/預處理器
行緩衝器
液晶顯示控制器
部分碼框緩衝器
無資料流量
只需一控制介面
終極簡化及緊密之系統
無額外之不同積體電路
用介面接腳
M記憶體連接之新平台
350
360
355
370
中斷接腳
M記憶體連接
無資料流量
無額外控制介面

第三圖


訊息傳遞
410
A埠主控器寫入訊息至B埠主控器之輸出訊息緩衝區
420
A埠主控器設定B埠主控器之中斷暫存器
430
B埠主控器接收中斷，發出測試及設定指令至中斷暫存器
440
B埠主控器從輸出訊息緩衝區讀取訊息且處理訊息
450
B埠主控器寫入回應至A埠主控器之輸入訊息緩衝區
460
B埠主控器設定A埠主控器之完成中斷
470
A埠主控器接收中斷，發出測試及設定指令至中斷暫存器
480
A埠主控器從輸入訊息緩衝區讀取回應
490
更多訊息?
是
否
完成

第 四 圖

second port that a new message is available. Upon receiving the interrupt, the second component reads the interrupt register to determine the nature of the interrupt. The second component then reads the message from the message buffer.

七、指定代表圖：

(一)本案指定代表圖為：第（一）圖。

(二)本代表圖之元件符號簡單說明:

100 多埠記憶體裝置

110 記憶庫

120 埠

130 暫存器檔案

140 匯流排

150 埠主控器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

100年03月04日修正替換頁

息緩衝區（IMB）及一輸出訊息緩衝區（OMB）。該輸出訊息緩衝區（OMB）係可由耦合至一埠之第一元件所利用以提供資料至耦合至另一埠之第二元件，而該輸入訊息緩衝區（IMB）係可從該第二元件傳送回應資料至該第一元件。例如，耦合至A埠之元件係可寫入資訊於B埠之輸出訊息緩衝區（OMB），敘述已發生之事件。B埠之該中斷暫存器內之該中斷位元係接著可予以設定以通知B埠有一新訊息。耦合至B埠之該元件係接著可在處理該中斷後檢索該訊息緩衝區之內容。在第二圖所描繪之實施例中，因中斷暫存器位元2係被設定，指示有來自C埠之一新訊息，附接至A埠之該元件係讀取該C埠輸出訊息緩衝區240c以決定來自C埠之訊息之內容。該元件係可藉由寫一訊息至該C埠輸入訊息緩衝區240d及設定C埠之適當中斷以回應。

雖然第二圖只有顯示三個埠及四個中斷位元，該多埠記憶體裝置係得支援任何數量之埠及中斷。每一埠及中斷之目的係得為最適合每一應用之用途由該應用予以定制。除了予以定位於該暫存器檔案130內，該訊息緩衝區240a、240b、…240n係得予以定位於該共享式記憶體內，以及每一訊息緩衝區之該位址係在該多埠記憶體裝置之啟動期間得予以配置。

在某些實施例中，當一新事件係予以加入於該暫存器檔案時，該多埠記憶體裝置係自動設定中斷。例如，若一元件加入事件資訊至一訊息緩衝區，該多埠記憶體裝置係

100年03月04日修正替換頁

十、申請專利範圍：

1. 一種於一第一元件與一第二元件之間共享記憶體之方法，該第一元件係耦合至一多埠記憶體裝置之一第一埠，該第二元件係耦合至該裝置之一第二埠，該方法包含：

從於多埠記憶體裝置之一第一埠之一第一元件接收訊息，該訊息係導向該第二元件；

寫入該訊息之資料於與該第二埠關聯之一記憶體緩衝區之一輸出訊息緩衝區內，該記憶體緩衝區包含該輸出訊息緩衝區及一輸入訊息緩衝區，其與該多埠記憶體裝置之其餘埠之每一者相關聯，該輸出訊息緩衝區用以接收來自於其餘埠之訊息資料以及該輸入訊息緩衝區用以接收來自於其餘埠之回應資料；

自動設定與該第二埠關聯之一中斷暫存器以回應該訊息之資料之寫入，其中設定該中斷暫存器之步驟包含設定該中斷暫存器之一或多個位元，用以指示來自於該第一埠之該訊息已接收於該第二埠；

設定與該多埠記憶體裝置之該第二埠關聯之一中斷信號以回應該中斷暫存器之設定，用以通知該第二埠一事件已發生，該中斷信號之設定係基於與該第二埠關聯之該中斷暫存器之一或多個設定；

100年03月04日修正替換頁

提供與該第二埠關聯之該中斷暫存器之內容至該第二元件以回應來自該第二元件之請求；以及

提供與該第二埠關聯之該輸出訊息緩衝區中之該訊息之資料至該第二元件以回應一請求。

2. 如申請專利範圍第 1 項之於一第一元件與一第二元件之間共享記憶體之方法，其中設定與該第二埠關聯之該中斷信號係包含設定與該第二元件耦合之一中斷接腳以通知該第二元件已接收到一訊息或一回應。

3. 如申請專利範圍第 1 項之於一第一元件與一第二元件之間共享記憶體之方法，其中設定與該第二埠關聯之該中斷信號係包含決定該中斷暫存器之內容是否符合一中斷遮罩，以及若該內容符合該中斷遮罩，設定該中斷信號。

4. 如申請專利範圍第 1 項之於一第一元件與一第二元件之間共享記憶體之方法，更包含：

從於該第二埠之該第二元件接收回應資料；

寫入該接收到之回應資料於與該多埠記憶體裝置之該第一埠關聯之一輸入訊息緩衝區；

自動設定與該第一埠關聯之一中斷暫存器以

100年03月04日修正替換頁

回應該回應資料之寫入，其中設定該中斷暫存器之步驟包含設定該中斷暫存器之一或多個位元，用以指示來自於該第二埠之該回應已接收於該第一埠；

設定與該多埠記憶體裝置之該第一埠關聯之一中斷信號以通知該第一埠一事件已發生，該中斷信號之設定係基於與該第一埠關聯之該中斷暫存器之一或多個設定；

提供與該第一埠關聯之該中斷暫存器之內容至該第一元件以回應來自該第一元件之請求，用以讀取與該第一埠關聯之該中斷暫存器之內容；以及

提供與該第一埠關聯之該輸入訊息緩衝區中之該回應資料至該第一元件以回應一請求。

5. 如申請專利範圍第 1 項之於一第一元件與一第二元件之間共享記憶體之方法，其中該中斷信號係由該中斷暫存器內之一組位元所設定。

6. 如申請專利範圍第 5 項之於一第一元件與一第二元件之間共享記憶體之方法，其中該組位元係內含至少一個該多埠記憶體裝置之每一其他埠用之位元。

100年03月04日修正替換頁

7. 如申請專利範圍第 5 項之於一第一元件與一第二元件之間共享記憶體之方法，其中一特定埠用之該中斷暫存器係內含一個用於接收該多埠記憶體裝置之每一其他埠之回應訊息之位元。

8. 如申請專利範圍第 5 項之於一第一元件與一第二元件之間共享記憶體之方法，其中該中斷暫存器係內含至少一個為除錯目的而保留之位元。

9. 如申請專利範圍第 1 項之於一第一元件與一第二元件之間共享記憶體之方法，其中提供該中斷暫存器之內容以回應來自該第二元件之請求係包含回應一測試及設定指令。

10. 如申請專利範圍第 1 項之於一第一元件與一第二元件之間共享記憶體之方法，其中設定一中斷暫存器及中斷信號係包含當接收到之資料於與該第二埠關聯之該緩衝區內被偵測到時，自動設定與該第二埠關聯之該中斷暫存器及該中斷信號。

11. 一種於附接至一多埠記憶體系統之元件間共

100年07月04日修正替換頁

享資訊之系統，該系統包含：

一或多共享式記憶庫，其係用於儲存可由該多埠記憶體系統之複數個埠存取之資訊；

一中斷暫存器，用於該複數個埠之每一者，用於一第一埠之該中斷暫存器係內含與該複數個埠中之其餘埠之每一者相關之位元，用以通知與該第一埠耦合之一元件關於一訊息或一回應之來源，當來自於任何其餘埠之該訊息或該回應被儲存時該位元係予以自動設定；

一中斷接腳，用於該複數個埠之每一者，用於該第一埠之一中斷信號係基於該中斷暫存器中之該位元之狀態而被啟動於該中斷接腳，該中斷暫存器中之該位元之狀態係用以指示接收到來自任何其餘埠之訊息或接收到來自任何其餘埠之回應；

複數個記憶體緩衝區，該複數個記憶體緩衝區中之一記憶體緩衝區係與該複數個埠中之每一者相關聯，與該第一埠關聯之該記憶體緩衝區包含一輸出訊息緩衝區及一輸入訊息緩衝區，其與其餘埠之每一者相關聯，該輸出訊息緩衝區用以接收來自於其餘埠之訊息資料以及該輸入訊息緩衝區用以接收來自於其餘埠之回應資料；以及

一中斷處理元件，用以基於該中斷暫存器之內

100年03月04日修正替換頁

容實施中斷處理程序。

12.如申請專利範圍第 11 項之於附接至一多埠記憶體系統之元件間共享資訊之系統，其中該中斷暫存器係由數個位元所構成，以及其中該位元之設定係指示事件之類型。

13.如申請專利範圍第 12 項之於附接至一多埠記憶體系統之元件間共享資訊之系統，包含與該複數個埠之每一者相關聯之一中斷遮罩，與該第一埠關聯之該中斷遮罩係和與該第一埠關聯之該中斷暫存器相比較，以識別用以設定用於該第一埠之該中斷接腳之特定類型之事件。

14.如申請專利範圍第 11 項之於附接至一多埠記憶體系統之元件間共享資訊之系統，還包含與該共享式記憶庫隔開之一隨機存取記憶體，其中與每一埠相關聯之該中斷暫存器係儲存於該隨機存取記憶體內。

15.如申請專利範圍第 14 項之於附接至一多埠記憶體系統之元件間共享資訊之系統，其中該隨機存取記憶體係較該共享式記憶庫為快速之記憶體。