



(12) 发明专利申请

(10) 申请公布号 CN 105659370 A

(43) 申请公布日 2016. 06. 08

(21) 申请号 201480058364. 3

(51) Int. Cl.

(22) 申请日 2014. 10. 09

H01L 21/336(2006. 01)

(30) 优先权数据

G02F 1/1368(2006. 01)

2013-219516 2013. 10. 22 JP

G09F 9/30(2006. 01)

2014-047260 2014. 03. 11 JP

H01L 29/786(2006. 01)

H01L 51/50(2006. 01)

(85) PCT国际申请进入国家阶段日

H05B 33/14(2006. 01)

2016. 04. 22

(86) PCT国际申请的申请数据

PCT/JP2014/077625 2014. 10. 09

(87) PCT国际申请的公布数据

W02015/060203 EN 2015. 04. 30

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 久保田大介

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 叶晓勇 姜甜

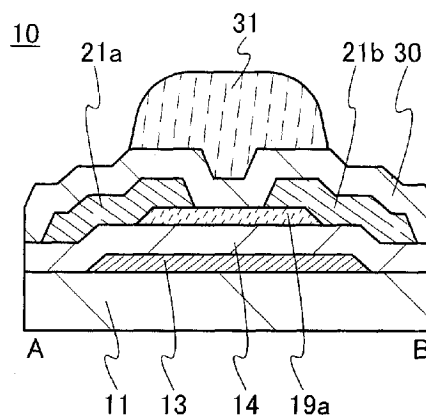
权利要求书3页 说明书43页 附图38页

(54) 发明名称

显示装置

(57) 摘要

提供一种显示质量优良的显示装置。该显示装置包括第一衬底上的晶体管、与晶体管接触的无机绝缘膜以及与无机绝缘膜接触的有机绝缘膜。该晶体管包括第一衬底上的栅电极、与栅电极重叠的氧化物半导体膜、与氧化物半导体膜的一个表面接触的栅极绝缘膜以及与氧化物半导体膜接触的一对电极。无机绝缘膜与氧化物半导体膜的另一个表面接触。有机绝缘膜隔着无机绝缘膜与氧化物半导体膜重叠并被分离。另外,有机绝缘膜的厚度优选大于或等于 500nm 且小于或等于 10 μm。



1. 一种显示装置,包括:
第一衬底上的晶体管;
所述晶体管上的无机绝缘膜;
位于所述无机绝缘膜上且与所述无机绝缘膜接触的有机绝缘膜;以及
位于所述无机绝缘膜上且与所述无机绝缘膜接触的像素电极,该像素电极与所述晶体管电连接,

其中,所述晶体管包括:

所述第一衬底上的栅电极;

所述栅电极上的氧化物半导体膜;以及

所述栅电极与所述氧化物半导体膜之间的栅极绝缘膜,

所述氧化物半导体膜的顶面与所述无机绝缘膜接触,

所述有机绝缘膜隔着所述无机绝缘膜与所述氧化物半导体膜重叠,

并且,所述栅电极的端部位于所述有机绝缘膜的端部的外侧。

2. 根据权利要求1所述的显示装置,还包括:

与所述第一衬底重叠的第二衬底;以及

所述有机绝缘膜与所述第二衬底之间的液晶层,

其中在所述第一衬底与所述第二衬底之间有所述晶体管及所述有机绝缘膜。

3. 根据权利要求1所述的显示装置,还包括:

与所述第一衬底重叠的第二衬底;以及

所述像素电极与所述第二衬底之间的液晶层,

其中在所述第一衬底与所述第二衬底之间有所述晶体管及所述有机绝缘膜,

并且在所述有机绝缘膜与所述第二衬底之间没有所述液晶层。

4. 根据权利要求1所述的显示装置,其中所述有机绝缘膜的厚度大于或等于500nm且小于或等于10 μ m。

5. 根据权利要求1所述的显示装置,其中所述无机绝缘膜包括与所述氧化物半导体膜的所述顶面接触的氧化物绝缘膜及位于所述氧化物绝缘膜上且与所述氧化物绝缘膜接触的氮化物绝缘膜。

6. 根据权利要求1所述的显示装置,其中在平面形状上,所述有机绝缘膜完全与所述氧化物半导体膜重叠。

7. 一种显示装置,包括:

第一衬底上的晶体管;

所述晶体管上的无机绝缘膜;

位于所述无机绝缘膜上且与所述无机绝缘膜接触的有机绝缘膜;

与所述晶体管电连接的像素电极;以及

与所述晶体管电连接的电容器,

其中,所述晶体管包括:

所述第一衬底上的栅电极;

所述栅电极上的氧化物半导体膜;以及

所述栅电极与所述氧化物半导体膜之间的栅极绝缘膜,

所述氧化物半导体膜的顶面与所述无机绝缘膜接触，
所述有机绝缘膜隔着所述无机绝缘膜与所述氧化物半导体膜重叠，
所述栅电极的端部位于所述有机绝缘膜的端部的外侧，
所述电容器包括所述像素电极、所述无机绝缘膜以及金属氧化物膜，
所述像素电极包括透光性导电材料，且隔着所述无机绝缘膜与所述金属氧化物膜重叠，

并且，所述金属氧化物膜包含与所述氧化物半导体膜相同的金属元素，且所述金属氧化物膜的顶面与所述无机绝缘膜接触。

8. 根据权利要求7所述的显示装置，还包括：

与所述第一衬底重叠的第二衬底；以及

所述有机绝缘膜与所述第二衬底之间的液晶层，

其中在所述第一衬底与所述第二衬底之间有所述晶体管及所述有机绝缘膜。

9. 根据权利要求7所述的显示装置，还包括：

与所述第一衬底重叠的第二衬底；以及

所述像素电极与所述第二衬底之间的液晶层，

其中在所述第一衬底与所述第二衬底之间有所述晶体管及所述有机绝缘膜，

并且在所述有机绝缘膜与所述第二衬底之间没有所述液晶层。

10. 根据权利要求7所述的显示装置，其中所述有机绝缘膜的厚度为大于或等于500nm且小于或等于10 μ m。

11. 根据权利要求7所述的显示装置，其中所述无机绝缘膜包括与所述氧化物半导体膜的所述顶面接触的氧化物绝缘膜及位于所述氧化物绝缘膜上且与所述氧化物绝缘膜接触的氮化物绝缘膜。

12. 根据权利要求7所述的显示装置，其中在平面形状上，所述有机绝缘膜完全与所述氧化物半导体膜重叠。

13. 根据权利要求7所述的显示装置，还包括：

与所述氧化物半导体膜接触的一对电极，

其中所述一对电极中的一个与所述像素电极电连接。

14. 一种显示装置，包括：

第一衬底上的晶体管；

所述晶体管上的无机绝缘膜；

位于所述无机绝缘膜上且与所述无机绝缘膜接触的有机绝缘膜；

与所述晶体管电连接的像素电极；以及

与所述晶体管电连接的电容器，

其中，所述晶体管包括：

所述第一衬底上的栅电极；

所述栅电极上的氧化物半导体膜；以及

所述栅电极与所述氧化物半导体膜之间的栅极绝缘膜，

所述氧化物半导体膜的顶面与所述无机绝缘膜接触，

所述有机绝缘膜隔着所述无机绝缘膜与所述氧化物半导体膜重叠，

所述栅电极的端部位于所述有机绝缘膜的端部的外侧，
所述电容器包括所述像素电极、所述无机绝缘膜以及透光性导电膜，
所述像素电极位于所述栅极绝缘膜上，并包含与所述氧化物半导体膜相同的金属元素，

并且，所述透光性导电膜隔着所述无机绝缘膜与所述像素电极重叠，且所述透光性导电膜被用作公共电极。

15. 根据权利要求14所述的显示装置，还包括：

与所述第一衬底重叠的第二衬底；以及

所述有机绝缘膜与所述第二衬底之间的液晶层，

其中在所述第一衬底与所述第二衬底之间有所述晶体管及所述有机绝缘膜。

16. 根据权利要求14所述的显示装置，还包括：

与所述第一衬底重叠的第二衬底；以及

所述像素电极与所述第二衬底之间的液晶层，

其中在所述第一衬底与所述第二衬底之间有所述晶体管及所述有机绝缘膜，

并且在所述有机绝缘膜与所述第二衬底之间没有所述液晶层。

17. 根据权利要求14所述的显示装置，其中所述有机绝缘膜的厚度为大于或等于500nm且小于或等于10 μ m。

18. 根据权利要求14所述的显示装置，其中所述无机绝缘膜包括与所述氧化物半导体膜的所述顶面接触的氧化物绝缘膜及位于所述氧化物绝缘膜上且与所述氧化物绝缘膜接触的氮化物绝缘膜。

19. 根据权利要求14所述的显示装置，其中在平面形状上，所述有机绝缘膜完全与所述氧化物半导体膜重叠。

20. 根据权利要求14所述的显示装置，还包括：

与所述氧化物半导体膜接触的一对电极，

其中所述一对电极中的一个与所述像素电极电连接。

显示装置

技术领域

[0001] 本发明涉及物体、方法或制造方法。此外,本发明涉及工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。本发明的一个方式特别涉及半导体装置、显示装置、发光装置、蓄电装置、它们的驱动方法或制造方法。尤其是,本发明的一个方式涉及显示装置及其制造方法。

背景技术

[0002] 使用形成在衬底上的半导体薄膜形成晶体管(也称为薄膜晶体管(TFT))的技术受到关注。该晶体管被应用于如集成电路(IC)或图像显示装置(显示装置)等广泛的电子器件。作为可应用于晶体管的半导体薄膜的材料,硅类半导体材料被周知。作为其他材料,氧化物半导体受到关注。

[0003] 例如,已公开了作为活性层包括含有铟(In)、镓(Ga)及锌(Zn)的氧化物半导体的晶体管(参照专利文献1)。

[0004] 另外,已公开了通过形成氧化物半导体膜的叠层提高载流子迁移率的技术,该氧化物半导体膜被用于晶体管的活性层(参照专利文献2)。

[0005] 已经指出的是,由于氢等杂质的侵入,电性上浅的施主能级被形成在氧化物半导体中,并产生成为载流子的电子。其结果是,包括氧化物半导体的晶体管的阈值电压在负值方向上漂移,该晶体管成为常开启(normally-on)型,由此在对栅极没有施加电压的状态(即,关闭状态)下的泄漏电流增大。因此,通过以覆盖氧化物半导体膜的沟道区域、源电极及漏电极的方式将具有氢阻挡特性的氧化铝膜设置在衬底的整个区域上,来抑制向氧化物半导体膜中的氢的侵入,由此泄漏电流的产生得到抑制(参照专利文献3)。

[参考文献]

[专利文献]

[0006] [专利文献1]日本专利申请公开2006-165528号公报

[专利文献2]日本专利申请公开2011-138934号公报

[专利文献3]日本专利申请公开2010-016163号公报

发明内容

[0007] 包括氧化物半导体膜的晶体管有如下问题:由于随时变化或应力测试,其电特性,典型为阈值电压的变动量增大。具有常开启特性的晶体管引起各种问题,例如,在晶体管不工作时耗电量增大或者由于显示装置的对比度降低而导致显示质量的低下。

[0008] 由此,本发明的一个方式的目的是提供一种显示质量优良的显示装置。本发明的一个方式的另一目的是提供一种具有高开口率且包括能够增大电荷容量的电容器的显示装置。本发明的一个方式的另一目的是提供一种低耗电量的显示装置。本发明的一个方式的另一目的是提供一种包括电特性优良的晶体管的显示装置。本发明的一个方式的另一目的是提供一种新颖的显示装置。本发明的一个方式的另一目的是提供一种以较少的工序制

造具有高开口率及广视角的显示装置的方法。本发明的一个方式的另一目的是提供一种制造显示装置的新颖方法。

[0009] 注意,这些目的的记载不妨碍其他目的的存在。在本发明的一个方式中,不需要必须达到上述所有目的。其他目的从说明书、附图、权利要求书等的记载看来显而易见且可被抽出。

[0010] 根据本发明的一个方式,一种显示装置包括第一衬底上的晶体管、与晶体管接触的无机绝缘膜以及与无机绝缘膜接触的有机绝缘膜。该晶体管包括第一衬底上的栅电极、与栅电极重叠的氧化物半导体膜、与氧化物半导体膜的一个表面接触的栅极绝缘膜以及与氧化物半导体膜接触的一对电极。无机绝缘膜与氧化物半导体膜的另一个表面接触。氧化物半导体膜的另一个表面也可以为氧化物半导体膜的顶面。有机绝缘膜隔着无机绝缘膜与氧化物半导体膜重叠并被分离。有机绝缘膜的厚度优选大于或等于500nm且小于或等于10 μ m。此外,栅电极的端部优选位于有机绝缘膜的端部的外侧。或者,栅电极的端部优选不与有机绝缘膜重叠。此外,在俯视图中,有机绝缘膜可以完全与氧化物半导体膜重叠。

[0011] 另外,显示装置还可以包括与第一衬底重叠的第二衬底,晶体管及有机绝缘膜位于第一衬底与第二衬底之间,并且液晶层位于有机绝缘膜与第二衬底之间。

[0012] 或者,显示装置还可以包括与第一衬底重叠的第二衬底,晶体管及有机绝缘膜位于第一衬底与第二衬底之间,并且液晶层没有设置在有机绝缘膜与第二衬底之间。在此情况下,有机绝缘膜被用作保持第一衬底与第二衬底之间的间隔的间隔物。

[0013] 无机绝缘膜也可以包括与氧化物半导体膜的另一个表面接触的氧化物绝缘膜以及与氧化物绝缘膜接触的氮化物绝缘膜。

[0014] 显示装置还可以包括与一对电极中的一个连接的像素电极。在此情况下,像素电极使用透光性导电膜形成。显示装置还可以包括与栅极绝缘膜及无机绝缘膜接触并隔着无机绝缘膜与像素电极重叠的金属氧化物膜。金属氧化物膜的顶面可以与无机绝缘膜接触。金属氧化物膜包含与氧化物半导体膜相同的金属元素。再者,像素电极、无机绝缘膜以及金属氧化物膜被用作电容器。

[0015] 或者,像素电极也可以为形成在栅极绝缘膜上并包含与氧化物半导体膜相同的金属元素的金属氧化物膜。在此情况下,显示装置还包括隔着无机绝缘膜与像素电极重叠的透光性导电膜,该透光性导电膜被用作公共电极。再者,像素电极、无机绝缘膜以及透光性导电膜被用作电容器。

[0016] 氧化物半导体膜可以包含In-Ga氧化物、In-Zn氧化物或In-M-Zn氧化物(M为Al、Ga、Y、Zr、Sn、La、Ce或Nd)。或者,氧化物半导体膜可以具有第一膜和第二膜的多层结构,该第一膜的金属元素的原子数比可以与第二膜不同。

[0017] 根据本发明的一个方式,可以提供一种显示质量优良的显示装置。可以提供一种具有高开口率且包括能够增大电荷容量的电容器的显示装置。可以提供一种低耗电量的显示装置。可以提供一种包括电特性优良的晶体管的显示装置。可以以较少的工序制造具有高开口率及广视角的显示装置。可以提供一种新颖的显示装置。注意,这些效果的记载不妨碍其他效果的存在。本发明的一个方式不需要必须实现上述所有目的。其他效果从说明书、附图、权利要求书等的记载看来显而易见且可被抽出。

附图说明

[0018] 图1A至1E是说明半导体装置的一个方式的俯视图及截面图。

图2A和2B是说明半导体装置的一个方式的截面图。

图3A至3C是说明显示装置的一个方式的方框图及电路图。

图4是说明显示装置的一个方式的俯视图。

图5是说明显示装置的一个方式的截面图。

图6是说明显示装置的一个方式的截面图。

图7是说明显示装置的一个方式的截面图。

图8是说明显示装置的一个方式的截面图。

图9是说明显示装置的一个方式的截面图。

图10A至10D是说明显示装置的制造方法的一个方式的截面图。

图11A至11D是说明显示装置的制造方法的一个方式的截面图。

图12A至12C是说明显示装置的制造方法的一个方式的截面图。

图13是说明显示装置的制造方法的一个方式的截面图。

图14A和14B是说明显示装置的一个方式的俯视图及截面图。

图15是说明显示装置的一个方式的俯视图。

图16是说明显示装置的一个方式的俯视图。

图17是说明显示装置的一个方式的俯视图。

图18是说明显示装置的一个方式的俯视图。

图19是说明显示装置的一个方式的俯视图。

图20是说明显示装置的一个方式的截面图。

图21A至21C是说明显示装置的制造方法的一个方式的截面图。

图22A至22C是说明显示装置的制造方法的一个方式的截面图。

图23是说明显示装置的一个方式的截面图。

图24是说明显示装置的一个方式的截面图。

图25A至25C是说明显示装置的制造方法的一个方式的截面图。

图26A和26B是说明显示装置的一个方式的截面图。

图27A至27C是氧化物半导体的截面TEM图像及局部性的傅立叶变换图像。

图28A和28B示出氧化物半导体膜的纳米束电子衍射图案,图28C和28D示出透射电子衍射测量装置的例子。

图29A示出利用透射电子衍射测量的结构分析的例子,图29B和29C示出平面TEM图像。

图30A和30B是示出显示装置的驱动方法的例子的示意图。

图31示出显示模块。

图32A至32D是说明电子设备的一个方式的外观图。

图33是说明显示装置的一个方式的截面图。

图34是示出导电率的温度依赖性的图。

图35示出因电子束照射导致的结晶部的变化。

具体实施方式

[0019] 以下,将参照附图详细说明本发明的实施方式。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以多种多样地被改变。因此,本发明不应该被解释为仅局限于以下实施方式的记载内容中。此外,在以下实施方式中,在不同的附图中利用同一符号或同一阴影线表示同一部分或具有同样功能的部分,而没有进行重复说明。

[0020] 注意,在本说明书所说明的每一个附图中,为了明显化,有时夸大各构成要素的大小、膜厚度或区域。因此,本发明的实施方式并不局限于这些尺寸。

[0021] 此外,在本说明书中的“第一”、“第二”及“第三”等词语是为了避免构成要素的混同而使用的,该词语不限制构成要素的个数。因此,例如可以将词语“第一”适当地置换为词语“第二”或“第三”等。

[0022] 例如,当在电路工作上电流方向变化时,“源极”和“漏极”的功能有时彼此互换。由此,在本说明书中,词语“源极”和“漏极”可以分别被用来表示漏极和源极。

[0023] 另外,电压是指两个点的电位之间的差,而电位是指静电场中的某一点的单位电荷的静电能(电位能量)。注意,通常将一个点的电位与标准电位之间的差简单地称为电位或电压,并且电位和电压常被用作同义词。因此,在本说明书中,除了特别指定的情况以外,电位可换言之为电压,电压可换言之为电位。

[0024] 在本说明书中,词语“平行”意味着在两条直线之间形成的角度大于或等于 -10° 且小于或等于 10° ,因此还包括该角度大于或等于 -5° 且小于或等于 5° 的情况。另外,词语“垂直”意味着在两条直线之间形成的角度大于或等于 80° 且小于或等于 100° ,因此还包括该角度大于或等于 85° 且小于或等于 95° 的情况。

[0025] 在本说明书中,三方和菱方晶系包括在六方晶系中。

[0026] 实施方式1

在本实施方式中,参照附图说明本发明的一个方式的半导体装置。

[0027] 图1A至1C是包括在半导体装置中的晶体管10的俯视图及截面图。图1A是晶体管10的俯视图,图1B是沿图1A的点划线A-B的截面图,图1C是沿图1A的点划线C-D的截面图。此外,在图1A中,为了简化,省略第一衬底11、栅极绝缘膜14、无机绝缘膜30等。

[0028] 图1A至1C所示的晶体管10是沟道蚀刻型晶体管,该晶体管包括设置在第一衬底11上的用作栅电极的导电膜13、形成在第一衬底11及用作栅电极的导电膜13上的栅极绝缘膜14、隔着栅极绝缘膜14与用作栅电极的导电膜13重叠的氧化物半导体膜19a、以及与氧化物半导体膜19a接触的用作源电极及漏电极的导电膜21a及21b。第一绝缘膜设置在栅极绝缘膜14、氧化物半导体膜19a以及导电膜21a和21b上,并且与氧化物半导体膜19a重叠的第二绝缘膜设置在第一绝缘膜上。

[0029] 第一绝缘膜及第二绝缘膜的总厚度优选为当电压施加于用作栅电极的导电膜13时在第二绝缘膜的表面上不产生电荷的厚度,典型的是,大于或等于600nm的厚度。另外,为了减少与氧化物半导体膜19a之间的界面的缺陷量,第一绝缘膜优选为无机绝缘膜,典型的是,包括氧化物绝缘膜。为了缩短工序时间,第二绝缘膜优选为有机绝缘膜。在以下说明中,将无机绝缘膜30用作第一绝缘膜,并且将有机绝缘膜31用作第二绝缘膜。另外,栅电极的端

部位于有机绝缘膜的端部的外侧。或者,栅电极的端部不与有机绝缘膜重叠。

[0030] 无机绝缘膜30至少包括氧化物绝缘膜,该氧化物绝缘膜优选与氮化物绝缘膜重叠。氧化物绝缘膜形成在无机绝缘膜30的与氧化物半导体膜19a接触的区域中,由此可以降低氧化物半导体膜19a与无机绝缘膜30之间的界面的缺陷量。

[0031] 氮化物绝缘膜被用作对水或氢等的阻挡膜。当水或氢等侵入氧化物半导体膜19a时,包含在氧化物半导体膜19a中的氧与水或氢等起反应,因此,氧缺损形成在氧化物半导体膜19a中。此外,当由于氧缺损在氧化物半导体膜19a中产生载流子时,晶体管的阈值电压在负值方向上漂移;因此,晶体管具有常开启特性。因此,通过设置氮化物绝缘膜作为无机绝缘膜30的一部分,可以减少从外部向氧化物半导体膜19a的水或氢等的扩散量,来可以减少氧化物半导体膜19a中的缺陷量。因此,在无机绝缘膜30中氧化物绝缘膜及氮化物绝缘膜依次层叠于氧化物半导体膜19a一侧上,由此可以减少氧化物半导体膜19a与无机绝缘膜30之间的界面的缺陷量以及氧化物半导体膜19a中的氧缺损量,来可以制造具有常关闭(normally-off)特性的晶体管。

[0032] 再者,在本实施方式所示的晶体管10中,在无机绝缘膜30上被分离的有机绝缘膜31与氧化物半导体膜19a重叠。

[0033] 有机绝缘膜31的厚度优选大于或等于500nm且小于或等于10 μ m。

[0034] 有机绝缘膜31使用丙烯酸树脂、聚酰亚胺树脂或环氧树脂等有机树脂形成。

[0035] 这里,参照图2B说明当有机绝缘膜31没有形成在无机绝缘膜30上将负电压施加于用作栅电极的导电膜13的情况。

[0036] 当负电压施加于用作栅电极的导电膜13时,产生电场。该电场不被氧化物半导体膜19a遮蔽,而影响到无机绝缘膜30;因此,无机绝缘膜30的表面较弱地带正电。另外,当负电压施加于用作栅电极的导电膜13时,包含在空气中的带正电的粒子被吸附到无机绝缘膜30的表面,在无机绝缘膜30的表面上产生弱正电荷。

[0037] 无机绝缘膜30的表面带正电,所以产生电场,该电场影响到氧化物半导体膜19a与无机绝缘膜30之间的界面。因此,氧化物半导体膜19a与无机绝缘膜30之间的界面处于实质上被施加正偏压的状态,由此,晶体管的阈值电压在负值方向上漂移。

[0038] 另一方面,本实施方式中的图2A所示的晶体管10包括无机绝缘膜30上的有机绝缘膜31。因为有机绝缘膜31的厚度厚,为500nm或更大,所以由于用作栅电极的导电膜13被施加负电压而产生的电场不影响到有机绝缘膜31的表面,该有机绝缘膜31的表面不容易带正电。另外,因为有机绝缘膜31的厚度厚,为500nm或更大,所以即使包含在空气中的带正电的粒子被吸附到有机绝缘膜31的表面,该带正电的粒子的电场也不影响到氧化物半导体膜19a与无机绝缘膜30之间的界面。因此,氧化物半导体膜19a与无机绝缘膜30之间的界面不处于实质上被施加正偏压的状态,由此该晶体管的阈值电压的变动量少。

[0039] 虽然在有机绝缘膜31中水等容易扩散,但是由于有机绝缘膜31在每个晶体管10中被分离,所以来自外部的水不穿过有机绝缘膜31扩散到半导体装置内。另外,氮化物绝缘膜包括在无机绝缘膜30中,由此可以防止从外部扩散到有机绝缘膜31中的水扩散到氧化物半导体膜19a中。

[0040] 如上所述,通过在晶体管上设置被分离的有机绝缘膜31,可以降低晶体管的电特性的不均匀。此外,可以制造具有常关闭特性及高可靠性的晶体管。另外,有机绝缘膜可以

利用印刷法或涂敷法等而形成；所以，可以缩短制造时间。

[0041] <变形例1>

参照图1D说明本实施方式所示的晶体管的变形例。本变形例所示的晶体管10a包括使用多灰度级光掩模而形成的氧化物半导体膜19g以及一对导电膜21f和21g。

[0042] 通过使用多灰度级光掩模，可以形成具有多个厚度的抗蚀剂掩模。在使用抗蚀剂掩模形成氧化物半导体膜19g之后，将抗蚀剂掩模暴露于氧等离子体等，并去除其一部分；来形成用来形成一对导电膜的抗蚀剂掩模。由此，可以减少形成氧化物半导体膜19g以及一对导电膜21f和21g的工序中的光刻工序的步骤数。

[0043] 另外，在一对导电膜21f及21g的外侧，使用多灰度级光掩模而形成的氧化物半导体膜19g在平面形状上被部分露出。

[0044] <变形例2>

参照图1E说明本实施方式所示的晶体管的变形例。本变形例所示的晶体管10b是沟道保护型晶体管。

[0045] 图1E所示的晶体管10b包括设置在第一衬底11上的用作栅电极的导电膜13、形成在第一衬底11及用作栅电极的导电膜13上的栅极绝缘膜14、隔着栅极绝缘膜14与用作栅电极的导电膜13重叠的氧化物半导体膜19a、覆盖氧化物半导体膜19a的沟道区域及侧面的无机绝缘膜30a、以及在无机绝缘膜30a的开口中与氧化物半导体膜19a接触的用作源电极及漏电极的导电膜21h及21i。另外，还包括隔着无机绝缘膜30a与氧化物半导体膜19a重叠的有机绝缘膜31。有机绝缘膜31设置在导电膜21h和21i以及无机绝缘膜30a上。

[0046] 在沟道保护型晶体管中，因为氧化物半导体膜19a被无机绝缘膜30a覆盖，所以氧化物半导体膜19a不因用来形成导电膜21h及21i的蚀刻受到损害。由此，可以减少氧化物半导体膜19a的缺陷。

[0047] 注意，本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而使用。

[0048] 实施方式2

在本实施方式中，参照附图说明本发明的一个方式的显示装置。

[0049] 图3A示出显示装置的例子。图3A所示的显示装置包括像素部101；扫描线驱动电路104；信号线驱动电路106；互相平行或大致平行地配置且其电位由扫描线驱动电路104控制的m个扫描线107；以及互相平行或大致平行地配置且其电位由信号线驱动电路106控制的n个信号线109。像素部101还包括配置为矩阵状的多个像素103。另外，沿着信号线109设置有互相平行或大致平行地配置的电容线115。另外，电容线115也可以沿着扫描线107互相平行或大致平行地配置。有时将扫描线驱动电路104及信号线驱动电路106总称为驱动电路部。

[0050] 另外，显示装置还包括用来驱动多个像素的驱动电路等。显示装置也可以被称为液晶模块，该液晶模块包括配置在另一衬底上的控制电路、电源电路、信号生成电路及背光模块等。

[0051] 各扫描线107与在像素部101中配置为m行n列的像素103中的相对应的行中的n个像素103电连接。各信号线109与配置为m行n列的像素103中的相对应的列中的m个像素103电连接。注意，m和n都是1或更大的整数。各电容线115与配置为m行n列的像素103中的相对应的列中的m个像素103电连接。另外，在电容线115沿着扫描线107互相平行或大致平行地

配置的情况下,各电容线115与配置为m行n列的像素103中的相对应的行中的n个像素103电连接。

[0052] 这里,像素是指被扫描线及信号线围绕且显示一个颜色的区域。由此,在采用具有R(红)、G(绿)和B(蓝)颜色因素的彩色显示装置的情况下,图像的最小单元由R像素、G像素和B像素这三个像素构成。通过对R像素、G像素和B像素追加黄像素、青像素或品红像素等可以提高颜色再现性。另外,通过对R像素、G像素和B像素追加W(白)像素可以降低显示装置的耗电量。在采用液晶显示装置的情况下,通过对R像素、G像素和B像素的每一个追加W像素可以提高液晶显示装置的亮度。其结果是,可以降低液晶显示装置的耗电量。

[0053] 图3B和3C示出可以用于图3A所示的显示装置的像素103的电路结构的例子。

[0054] 图3B的像素103包括液晶元件121、晶体管102以及电容器105。

[0055] 根据像素103的规格适当地设定液晶元件121的一对电极中的一个的电位。液晶元件121的取向状态取决于被写入的数据。公共电位可以供应给多个像素103的每一个所包括的液晶元件121的一对电极中的一个。此外,被供应给一个行的像素103中的液晶元件121的一对电极中的一个的电位也可以不同于被供应给另一个行的像素103中的液晶元件121的一对电极中的一个的电位。

[0056] 液晶元件121是利用液晶的光学调制作用来控制光的透过或非透过的元件。另外,液晶的光学调制作用由施加到液晶的电场(包括横向电场、纵向电场以及倾斜方向电场)控制。液晶元件121的例子是向列液晶、胆固醇液晶、层列液晶、热致液晶、溶致液晶、铁电液晶以及反铁电液晶。

[0057] 作为包括液晶元件121的显示装置的驱动方法的例子,可以举出如下模式:TN模式、VA模式、ASM(axially symmetric aligned micro-cell:轴对称排列微单元)模式、OCB(optically compensated birefringence:光学补偿弯曲)模式、MVA模式、PVA(patterned vertical alignment:垂直取向构型)模式、IPS模式、FFS模式、TBA(transverse bend alignment:横向弯曲取向)模式等。注意,本发明的一个方式不局限于此,可以使用各种液晶元件及驱动方式作为液晶元件及其驱动方式。

[0058] 液晶元件可以使用包含呈现蓝相(blue phase)的液晶和手性试剂的液晶组合物形成。呈现蓝相的液晶具有很快的响应速度,为1msec或更小,且具有光学各向同性;所以,不需要取向处理,并且视角依赖性小。

[0059] 在图3B所示的像素103的结构中,晶体管102的源电极和漏电极中的一个与信号线109电连接,源电极和漏电极中的另一个与液晶元件121的一对电极中的另一个电连接。晶体管102的栅电极与扫描线107电连接。晶体管102具有利用其开闭状态控制是否写入数据信号的功能。

[0060] 在图3B的像素103中,电容器105的一对电极中的一个与被供应电位的电容线115电连接,而电容元件105的一对电极中的另一个与液晶元件121的一对电极中的另一个电连接。根据像素103的规格适当地设定电容线115的电位。电容器105被用作储存被写入的数据的存储电容器。

[0061] 例如,在包括图3B的像素103的显示装置中,通过扫描线驱动电路104按行依次选择像素103,由此,晶体管102开启而写入数据信号的数据。

[0062] 当晶体管102关闭时,被输入数据的像素103成为保持状态。按行依次进行上述工

作;由此,图像被显示出。

[0063] 图3C的像素103包括进行显示元件的开关工作的晶体管133、控制像素的驱动的晶体管102、晶体管135、电容器105以及发光元件131。

[0064] 晶体管133的源电极和漏电极中的一个与被供应数据信号的信号线109电连接。晶体管133的栅电极与被供应栅极信号的扫描线107电连接。

[0065] 晶体管133具有利用其开闭状态控制是否写入数据信号的功能。

[0066] 晶体管102的源电极和漏电极中的一个与用作阳极线的布线137电连接,晶体管102的源电极和漏电极中的另一个与发光元件131中的一个电极电连接。晶体管102的栅电极与晶体管133的源电极和漏电极中的另一个以及电容器105中的一个电极电连接。

[0067] 晶体管102具有利用其开闭状态控制发光元件131中流过的电流的功能。

[0068] 晶体管135的源电极和漏电极中的一个与被供应数据的参考电位的布线139连接,晶体管135的源电极和漏电极中的另一个与发光元件131中的一个电极以及电容器105中的另一个电极电连接。此外,晶体管135的栅电极与被供应栅极信号的扫描线107电连接。

[0069] 晶体管135具有调整发光元件131中流过的电流的功能。例如,当发光元件131的内部电阻因劣化等而增加时,通过监视与晶体管135的源电极和漏电极中的一个连接的布线139中流过的电流,可以校正发光元件131中流过的电流。供应给布线139的电位例如可以设定为0V。

[0070] 电容器105的一个电极与晶体管102的栅电极及晶体管133的源电极和漏电极中的另一个电连接,而电容器105的另一个电极与晶体管135的源电极和漏电极中的另一个及发光元件131中的一个电极电连接。

[0071] 在图3C的像素103中,电容器105被用作储存被写入的数据的存储电容器。

[0072] 发光元件131的一个电极与晶体管135的源电极和漏电极中的另一个、电容器105的另一个电极以及晶体管102的源电极和漏电极中的另一个电连接。此外,发光元件131的另一个电极与用作阴极线的布线141电连接。

[0073] 作为发光元件131,例如,可以使用有机电致发光元件(也称为有机EL元件)等。注意,发光元件131并不局限于有机EL元件;也可以使用包括无机材料的无机EL元件。

[0074] 高电源电位VDD供应给布线137和布线141中的一个,而低电源电位VSS供应给布线137和布线141中的另一个。在图3C的结构中,高电源电位VDD供应给布线137,低电源电位VSS供应给布线141。

[0075] 例如,在包括图3C的像素103的显示装置中,通过扫描线驱动电路104按行依次选择像素103,由此晶体管102开启而写入数据信号。

[0076] 当晶体管133关闭时,被写入数据的像素103成为保持状态。晶体管133与电容器105连接,因此可以长时间保持被写入的数据。由晶体管133控制源电极与漏电极之间流过的电流。发光元件131以对应于流过的电流量的亮度发光。按行依次进行上述工作;由此,图像被显示出。

[0077] 虽然图3B和3C都示出将液晶元件121及发光元件131用作显示元件的例子,但是本发明的一个方式不局限于此。也可以使用各种显示元件。显示元件的例子包括如下元件,该元件包括其对比度、亮度、反射率、透过率等由电磁作用而变化的显示媒体,诸如EL(电致发光)元件(例如,包括有机物及无机物的EL元件、有机EL元件、无机EL元件)、LED(例如,白色

LED、红色LED、绿色LED、蓝色LED)、晶体管(根据电流发光的晶体管)、电子发射体、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示面板(PDP)、微电子机械系统(MEMS)、数字显微镜设备(DMD)、数码微快门(DMS)、干涉调制显示器(IMOD)、电湿润(electrowetting)元件、压电陶瓷显示器、碳纳米管。此外,具有EL元件的显示装置的例子包括EL显示器。具有电子发射体的显示装置的例子是场致发射显示器(FED)及SED方式平面型显示器(SED:surface-conduction electron-emitter display)。具有液晶元件的显示装置的例子包括液晶显示器(例如,透过型液晶显示器、半透过型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。具有电子墨水或电泳元件的显示装置的例子是电子纸。

[0078] 接着,说明显示装置所包括的元件衬底的具体结构。在此,说明在像素103中包括液晶元件的液晶显示装置的具体例子。图4是图3B所示的像素103的俯视图。

[0079] 这里,使用FFS模式驱动的液晶显示装置作为显示装置,并且图4是包括在该液晶显示装置中的多个像素103a、103b以及103c的俯视图。

[0080] 在图4中,用作扫描线的导电膜13在与用作信号线的导电膜大致垂直的方向(附图中的水平方向)上延伸。用作信号线的导电膜21a在与用作扫描线的导电膜大致垂直的方向(附图中的垂直方向)上延伸。另外,用作扫描线的导电膜13与扫描线驱动电路104(参照图3A)电连接,而用作信号线的导电膜21a与信号线驱动电路106(参照图3A)电连接。

[0081] 晶体管102设置在用作扫描线的导电膜和用作信号线的导电膜彼此交叉的区域。晶体管102包括用作栅电极的导电膜13;栅极绝缘膜(图4中未图示);在栅极绝缘膜上的形成沟道区域的氧化物半导体膜19a;以及用作源电极和漏电极的导电膜21a及21b。导电膜13还被用作作为扫描线的导电膜,并且,导电膜13的与氧化物半导体膜19a重叠的区域被用作晶体管102的栅电极。另外,导电膜21a还被用作作为信号线的导电膜,并且,导电膜21a的与氧化物半导体膜19a重叠的区域被用作晶体管102的源电极或漏电极。此外,在图4的俯视图中,用作扫描线的导电膜的端部位于氧化物半导体膜19a的端部的外侧。由此,用作扫描线的导电膜被用作阻挡来自背光等光源的光的遮光膜。据此,包括在晶体管中的氧化物半导体膜19a不被光照射,由此晶体管的电特性的变动可以得到抑制。

[0082] 另外,晶体管102包括与氧化物半导体膜19a重叠的有机绝缘膜31。有机绝缘膜31隔着无机绝缘膜(图4中未图示)与氧化物半导体膜19a(尤其是,氧化物半导体膜19a的位于导电膜21a与21b之间的区域)重叠。

[0083] 因为有机绝缘膜31在每个晶体管10中被分离,所以来自外部的的水不穿过有机绝缘膜31扩散到液晶显示装置内;由此,可以降低设置在液晶显示装置中的晶体管的电特性的不均匀。

[0084] 导电膜21b与像素电极19b电连接。公共电极29隔着绝缘膜设置在像素电极19b上。由点划线表示的开口40设置在像素电极19b上的绝缘膜中。像素电极19b在开口40中与氮化物绝缘膜(图4中未图示)接触。

[0085] 公共电极29包括在与用作信号线的导电膜21a交叉的方向上延伸的条纹形区域。另外,该条纹形区域连接于在与用作信号线的导电膜21a平行或大致平行的方向上延伸的区域。因此,在像素中,公共电极29的条纹形区域处于相同的电位。

[0086] 电容器105形成在像素电极19b与公共电极29彼此重叠的区域中。像素电极19b及公共电极29具有透光性。也就是说,电容器105具有透光性。

[0087] 如图4所示,FFS模式的液晶显示装置设置有包括在与用作信号线的导电膜21a交叉的方向上延伸的条纹形区域的公共电极。因此,显示装置可以具有优良的对亮度。

[0088] 由于电容器105的透光性,在像素103中可以形成较大(大面积)的电容器105。由此,可以设置其开口率典型提高到50%或更高,优选提高到60%或更高且具有大容量电容器的显示装置。例如,在液晶显示装置等高分辨率显示装置中,像素的面积小,由此电容器的面积也小。因此,在高分辨率显示装置中,储存在电容器中的电荷量小。但是,由于本实施方式中的电容器105具有透光性,所以当电容器105设置在像素中时,可以在各像素中得到充分的容量,并且可以提高开口率。典型的是,电容器105可以适当地用于像素密度为200ppi (pixels per inch)或更高,300ppi或更高,或者尤其是500ppi或更高的高分辨率显示装置。

[0089] 在液晶显示装置中,电容器的容量越大,越能够延长在被施加电场的状态下液晶元件的液晶分子的取向被保持为固定的期间。当在显示静态图像的显示装置中能够延长该期间时,能够减少重写图像数据的次数,从而实现耗电量的降低。另外,根据本实施方式的结构,即使在高分辨率显示装置中,也可以提高开口率,因此可以高效地利用来自背光等光源的光,从而可以降低显示装置的耗电量。

[0090] 接着,图5是沿着图4的点划线A-B及C-D的截面图。图5所示的晶体管102是沟道蚀刻型晶体管。注意,沟道长度方向上的晶体管102以及电容器105显示在沿着点划线A-B的截面图中,沟道宽度方向上的晶体管102显示在沿着点划线C-D的截面图中。

[0091] 本实施方式所示的液晶显示装置包括一对衬底(第一衬底11及第二衬底342)、与第一衬底11接触的元件层、与第二衬底342接触的元件层以及设置在这些元件层之间的液晶层320。注意,元件层是用来表示夹在衬底与液晶层之间的层的总称。液晶元件322设置在一对衬底(第一衬底11及第二衬底342)之间。

[0092] 液晶元件322包括第一衬底11上的像素电极19b、公共电极29、氮化物绝缘膜27、控制取向性的膜(下面称为取向膜33)以及液晶层320。像素电极19b被用作液晶元件322的一个电极,而公共电极29被用作液晶元件322的另一个电极。

[0093] 首先,说明形成在第一衬底11上的元件层。图5的晶体管102具有单栅结构,且在第一衬底11上包括用作栅电极的导电膜13。此外,晶体管102包括形成在第一衬底11及用作栅电极的导电膜13上的氮化物绝缘膜15、形成在氮化物绝缘膜15上的氧化物绝缘膜17、隔着氮化物绝缘膜15及氧化物绝缘膜17与用作栅电极的导电膜13重叠的氧化物半导体膜19a、以及与氧化物半导体膜19a接触的用作源电极和漏电极的导电膜21a及21b。氮化物绝缘膜15及氧化物绝缘膜17被用作栅极绝缘膜14。另外,氧化物绝缘膜23形成在氧化物绝缘膜17、氧化物半导体膜19a、用作源电极和漏电极的导电膜21a及21b上,并且,氧化物绝缘膜25形成在氧化物绝缘膜23上。氮化物绝缘膜27形成在氧化物绝缘膜23、氧化物绝缘膜25及导电膜21b上。氧化物绝缘膜23、氧化物绝缘膜25以及氮化物绝缘膜27被用作无机绝缘膜30。像素电极19b形成在氧化物绝缘膜17上。像素电极19b连接于用作源电极和漏电极的导电膜21a和21b中的一个,在此,连接于导电膜21b。公共电极29形成在氮化物绝缘膜27上。另外,还包括隔着无机绝缘膜30与晶体管102的氧化物半导体膜19a重叠的有机绝缘膜31。

[0094] 像素电极19b、氮化物绝缘膜27和公共电极29彼此重叠的区域被用作电容器105。

[0095] 有机绝缘膜31的厚度优选大于或等于500nm且小于或等于10 μ m。图5的有机绝缘膜

31的厚度小于形成在第一衬底11上的无机绝缘膜30与形成在第二衬底342上的元件层之间的间隔。由此,液晶层320设置在有机绝缘膜31与形成在第二衬底342上的元件层之间。换言之,液晶层320设置在有机绝缘膜31上的取向膜33与包括在第二衬底342上的元件层中的取向膜352之间。

[0096] 另外,如图6所示,有机绝缘膜31a上的取向膜33与包括在第二衬底342上的元件层中的取向膜352可以彼此接触。在此情况下,有机绝缘膜31a被用作间隔物;因此,可以利用有机绝缘膜31a保持液晶显示装置的单元间隔。

[0097] 虽然在图5及图6等中取向膜33设置在有机绝缘膜31或有机绝缘膜31a上等上,但是本发明的一个方式不局限于此。如图33所示,有时或者根据情况,有机绝缘膜31b也可以设置在取向膜33上。在此情况下,例如,可以在将有有机绝缘膜31b等形成在取向膜33上之后进行摩擦工序,而代替在刚形成取向膜33之后进行摩擦工序。

[0098] 与氧化物半导体膜19a重叠的有机绝缘膜31、31a或31b设置在晶体管102上,由此可以使氧化物半导体膜19a的表面与有机绝缘膜31、31a或31b的表面相隔。因此,氧化物半导体膜19a的表面不受到被吸附到有机绝缘膜31、31a或31b的表面的带正电的粒子的电场的影响,因此可以提高晶体管102的可靠性。

[0099] 另外,本发明的一个方式的截面图不局限于图5、图6以及图33。显示装置可以具有各种不同的结构。例如,像素电极19b可以具有狭缝。像素电极19b可以具有梳齿状的形状。该情况的截面图的例子显示在图7中。或者,如图8所示,不被分离的有机绝缘膜31c也可以设置在氮化物绝缘膜27上。例如,通过设置不被分离的有机绝缘膜31c,可以使有机绝缘膜31c的表面平坦。换言之,作为例子,有机绝缘膜31c可以被用作平坦化膜。或者,如图9所示,可以使公共电极29与导电膜21b彼此重叠以形成电容器105b。这样的结构可以将电容器105b用作保持像素电极的电位的电容器。因此,通过采用这样的结构,可以增大电容器的容量。

[0100] 以下详细说明显示装置的结构。

[0101] 只要具有能够承受后续的加热处理的耐热性,就对第一衬底11的材料特性等没有特别的限制。例如,可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底作为第一衬底11。或者,也可以使用由硅或碳化硅等制造的单晶半导体衬底或多晶半导体衬底、由硅锗等制造的化合物半导体衬底、SOI(silicon on insulator:绝缘体上硅)衬底等作为第一衬底11。此外,可以将还设置有半导体元件的上述衬底用作第一衬底11。在使用玻璃衬底作为第一衬底11的情况下,可以使用具有如下尺寸的玻璃衬底:第6代(1500mm×1850mm)、第7代(1870mm×2200mm)、第8代(2200mm×2400mm)、第9代(2400mm×2800mm)、第10代(2950mm×3400mm)。由此,可以制造大型显示装置。

[0102] 或者,可以使用柔性衬底作为第一衬底11,并且,晶体管102可以直接形成在柔性衬底上。或者,剥离层可以设置在第一衬底11与晶体管102之间。当将剥离层上形成的显示装置的一部分或全部从第一衬底11分离并转置到其他衬底上时可以使用该剥离层。此时,可以将晶体管102转置到耐热性低的衬底或柔性衬底上。

[0103] 用作栅电极的导电膜13可以使用选自铝、铬、铜、钼、钛、钽、钨中的金属元素;包含上述金属元素作为其成分的合金;组合有上述金属元素的合金等来形成。另外,可以使用选自锰和锆中的一种或多种的金属元素。用作栅电极的导电膜13可以具有单层结构或两层或

更多层的叠层结构。例如,可以举出包含硅的铝膜的单层结构、铝膜层叠在钛膜上的两层结构、钛膜层叠在氮化钛膜上的两层结构、钨膜层叠在氮化钛膜上的两层结构、钨膜层叠在氮化钼膜或氮化钨膜上的两层结构、铜膜层叠在钛膜上的两层结构、铜膜层叠在钼膜上的两层结构、以及依次层叠有钛膜、铝膜及钛膜的三层结构。另外,可以使用包含铝与选自钛、钼、钨、钽、铬、钆、铈中的一种或多种的合金膜或氮化膜。

[0104] 用作栅电极的导电膜13也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等透光导电材料而形成。另外,也可以具有使用上述透光导电材料和上述金属元素形成的叠层结构。

[0105] 氮化物绝缘膜15可以是氧不容易侵入的氮化物绝缘膜。另外,可以使用氧、氢及水不容易侵入的氮化物绝缘膜。作为氧不容易侵入的氮化物绝缘膜以及氧、氢及水不容易侵入的氮化物绝缘膜,有氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。可以使用氧化铝膜、氧氮化铝膜、氧化镓膜、氧氮化镓膜、氧化钪膜、氧氮化钪膜、氧化铪膜、氧氮化铪膜等氮化物绝缘膜以代替氧不容易侵入的氮化物绝缘膜以及氧、氢及水不容易侵入的氮化物绝缘膜。

[0106] 氮化物绝缘膜15的厚度优选大于或等于5nm且小于或等于100nm,更优选大于或等于20nm且小于或等于80nm。

[0107] 氧化物绝缘膜17可以例如使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧化铪膜、氧化镓膜、Ga-Zn类金属氧化物膜以及氮化硅膜中的一种或多种而被形成为具有单层结构或叠层结构。

[0108] 氧化物绝缘膜17也可以使用硅酸铪(HfSiO_x)、添加有氮的硅酸铪($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的铝酸铪($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化铪或氧化钪等相对介电常数高的材料而形成,由此可以减少晶体管的栅极漏电流。

[0109] 氧化物绝缘膜17的厚度优选大于或等于5nm且小于或等于400nm,更优选大于或等于10nm且小于或等于300nm,进一步优选大于或等于50nm且小于或等于250nm。

[0110] 氧化物半导体膜19a典型地使用In-Ga氧化物、In-Zn氧化物、In-M-Zn氧化物(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)而形成。

[0111] 在氧化物半导体膜19a包含In-M-Zn氧化物的情况下,当将In与M之和假设为100atomic%时,In与M的比率优选为如下:In的原子数百分比高于25atomic%且M的原子数百分比低于75atomic%,或者更优选的是,In的原子数百分比高于34atomic%且M的原子数百分比低于66atomic%。

[0112] 氧化物半导体膜19a的能隙为2eV或更大,优选为2.5eV或更大,更优选为3eV或更大。通过使用具有这样能隙宽的氧化物半导体,可以降低晶体管102的关态电流(off-state current)。

[0113] 氧化物半导体膜19a的厚度大于或等于3nm且小于或等于200nm,优选大于或等于3nm且小于或等于100nm,更优选大于或等于3nm且小于或等于50nm。

[0114] 在氧化物半导体膜19a为In-M-Zn氧化物膜(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的情况下,优选的是,用来形成In-M-Zn氧化物膜的溅射靶材的金属元素的原子个数比满足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。作为这种溅射靶材的金属元素的原子个数比, $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:$

1:1.2、In:M:Zn=3:1:2是优选的。注意,所形成的氧化物半导体膜19a的原子个数比中的各金属元素的比率在上述溅射靶材的原子个数比的 $\pm 40\%$ 的范围内变化作为误差。

[0115] 使用载流子密度低的氧化物半导体膜作为氧化物半导体膜19a。例如,使用载流子密度为 $1 \times 10^{17}/\text{cm}^3$ 或更小,优选为 $1 \times 10^{15}/\text{cm}^3$ 或更小,更优选为 $1 \times 10^{13}/\text{cm}^3$ 或更小,进一步优选为 $1 \times 10^{11}/\text{cm}^3$ 或更小的氧化物半导体膜作为氧化物半导体膜19a。

[0116] 注意,不局限于上述组成,可以根据所需的晶体管的半导体特性及电特性(例如,场效应迁移率、阈值电压)使用具有适当的组成的材料。另外,为了得到所需的晶体管的半导体特性,优选的是,适当地设定氧化物半导体膜19a的载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子个数比、原子间距离、密度等。

[0117] 另外,作为氧化物半导体膜19a,优选使用杂质浓度低且缺陷态密度低的氧化物半导体膜,此时,晶体管可以具有更优良的电特性。这里,将杂质浓度低且缺陷态密度低(氧缺损量少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体具有少载流子发生源,由此有可能具有低载流子密度。因此,在该氧化物半导体膜中形成沟道区域的晶体管很少具有负阈值电压的特性(很少为常开启型)。高纯度本征或实质上高纯度本征的氧化物半导体膜具有低缺陷态密度,所以有可能具有少载流子陷阱。此外,高纯度本征或实质上高纯度本征的氧化物半导体膜具有极低的关态电流;即使元件的沟道宽度为 $1 \times 10^6 \mu\text{m}$ 且其沟道长度(L)为 $10 \mu\text{m}$,在源电极与漏电极间的电压(漏电压)为1V至10V时,关态电流也可以小于或等于半导体参数分析仪的测定极限,即小于或等于 $1 \times 10^{-13}\text{A}$ 。因此,在该氧化物半导体膜中形成沟道区域的晶体管有可能具有变动小的电特性及高可靠性。作为杂质的例子,有氢、氮、碱金属或碱土金属。

[0118] 包含在氧化物半导体膜中的氢与键合于金属原子的氧起反应而成为水,此外,氧缺损形成在氧脱离的晶格(或氧脱离的部分)中。由于氢进入该氧缺损,有时生成作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,包括具有氢的氧化物半导体的晶体管容易成为常开启型。

[0119] 由此,优选的是,尽可能减少氧化物半导体膜19a中的氧缺损的同时尽可能减少氢。具体而言,在氧化物半导体膜19a中,将利用二次离子质谱分析法(SIMS:secondary ion mass spectrometry)测得的氢浓度设定为低于或等于 $5 \times 10^{19}\text{atoms}/\text{cm}^3$,优选为低于或等于 $1 \times 10^{19}\text{atoms}/\text{cm}^3$,优选为低于 $5 \times 10^{18}\text{atoms}/\text{cm}^3$,优选为低于或等于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$,更优选为低于或等于 $5 \times 10^{17}\text{atoms}/\text{cm}^3$,进一步优选为低于或等于 $1 \times 10^{16}\text{atoms}/\text{cm}^3$ 。

[0120] 当氧化物半导体膜19a包含属于第14族的元素之一的硅或碳时,氧缺损增加,并且氧化物半导体膜19a成为n型膜。因此,将氧化物半导体膜19a的硅或碳的浓度(该浓度是利用SIMS测得的)设定为低于或等于 $2 \times 10^{18}\text{atoms}/\text{cm}^3$,优选为低于或等于 $2 \times 10^{17}\text{atoms}/\text{cm}^3$ 。

[0121] 在氧化物半导体膜19a中,将利用SIMS测得的碱金属或碱土金属的浓度设定为低于或等于 $1 \times 10^{18}\text{atoms}/\text{cm}^3$,优选为低于或等于 $2 \times 10^{16}\text{atoms}/\text{cm}^3$ 。当碱金属及碱土金属与氧化物半导体键合时有可能生成载流子,此时,晶体管的关态电流增大。由此,优选降低氧化物半导体膜19a中的碱金属或碱土金属的浓度。

[0122] 另外,当氧化物半导体膜19a含有氮时,由于作为载流子的电子的生成以及载流子密度的增加,而容易具有n型导电性。由此,使用含有氮的氧化物半导体的晶体管容易为常开启型。由于上述理由,优选尽可能地减少该氧化物半导体膜中的氮;利用SIMS测得的氮浓

度优选例如设定为低于或等于 5×10^{18} atoms/cm³。

[0123] 例如,氧化物半导体膜19a可以具有非单晶结构。非单晶结构例如包括下述c轴取向结晶氧化物半导体(CAAC-OS:c-axis aligned crystalline oxide semiconductor)、多晶结构、下述微晶结构或非晶结构。在非单晶结构之中,非晶结构具有最高缺陷态密度,而CAAC-OS具有最低缺陷态密度。

[0124] 氧化物半导体膜19a例如可以具有非晶结构。具有非晶结构的氧化物半导体膜例如具有无秩序的原子排列且没有结晶成分。

[0125] 另外,氧化物半导体膜19a可以为具有下述区域中的两种或更多种的混合膜:具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域以及具有单晶结构的区域。混合膜有时为例如包括具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域以及具有单晶结构的区域中的两种或更多种的单层结构。另外,混合膜有时为具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域以及具有单晶结构的区域中的两种或更多种的叠层结构。

[0126] 像素电极19b是对与氧化物半导体膜19a同时形成的氧化物半导体膜进行加工而形成的。因此,像素电极19b包含与氧化物半导体膜19a相同的金属元素。并且,像素电极19b具有与氧化物半导体膜19a相同或不同的结晶结构。通过对与氧化物半导体膜19a同时形成的氧化物半导体膜添加杂质或氧缺损,该氧化物半导体膜具有导电性,由此可被用作像素电极19b。包含在氧化物半导体膜中的杂质的例子是氢。作为杂质,也可以包含硼、磷、锡、锑、稀有气体元素、碱金属或碱土金属等而代替氢。或者,像素电极19b是与氧化物半导体膜19a同时形成的,且具有通过包含因等离子体损伤等产生的氧缺损而得到提高的导电性。或者,像素电极19b是与氧化物半导体膜19a同时形成的,且具有通过包含杂质和因等离子体损伤等产生的氧缺损而得到提高的导电性。

[0127] 氧化物半导体膜19a和像素电极19b都形成在氧化物绝缘膜17上,但是它们的杂质浓度不同。具体而言,像素电极19b具有比氧化物半导体膜19a高的杂质浓度。例如,包含在氧化物半导体膜19a中的氢浓度低于或等于 5×10^{19} atoms/cm³,优选低于或等于 5×10^{18} atoms/cm³,更优选低于或等于 1×10^{18} atoms/cm³,进一步优选低于或等于 5×10^{17} atoms/cm³,更进一步优选低于或等于 1×10^{16} atoms/cm³。包含在像素电极19b中的氢浓度高于或等于 8×10^{19} atoms/cm³,优选高于或等于 1×10^{20} atoms/cm³,更优选高于或等于 5×10^{20} atoms/cm³。包含在像素电极19b中的氢浓度大于或等于氧化物半导体膜19a中的氢浓度的2倍,优选大于或等于氧化物半导体膜19a中的氢浓度的10倍。

[0128] 当将与氧化物半导体膜19a同时形成的氧化物半导体膜暴露于等离子体时,氧化物半导体膜受到损伤,而可以产生氧缺损。例如,当利用等离子体CVD法或溅射法在氧化物半导体膜上形成膜时,将氧化物半导体膜暴露于等离子体而产生氧缺损。或者,当在形成氧化物绝缘膜23及氧化物绝缘膜25的蚀刻处理中将氧化物半导体膜暴露于等离子体时,产生氧缺损。或者,当将氧化物半导体膜暴露于氧和氢的混合气体、氢、稀有气体、氨等的等离子体时,产生氧缺损。其结果是,氧化物半导体膜的导电性得到提高,由此,该氧化物半导体膜具有导电性且被用作像素电极19b。

[0129] 换言之,像素电极19b是使用导电性高的氧化物半导体膜形成的。或者,也可以说的是,像素电极19b是使用导电性高的金属氧化物膜形成的。

[0130] 在使用氮化硅膜作为氮化物绝缘膜27的情况下,氮化硅膜包含氢。当氮化物绝缘膜27中的氢扩散到与氧化物半导体膜19a同时形成的氧化物半导体膜中时,在该氧化物半导体膜中氢与氧键合而产生作为载流子的电子。当利用等离子体CVD法或溅射法形成氮化硅膜时,氧化物半导体膜被暴露于等离子体,而在该氧化物半导体膜中产生氧缺损。当包含在氮化硅膜中的氢进入该氧缺损时,产生作为载流子的电子。其结果是,氧化物半导体膜的导电性增高,由此,该氧化物半导体膜被用作像素电极19b。

[0131] 当对包括氧缺损的氧化物半导体添加氢时,氢进入氧缺损处而在导带附近形成施主能级。其结果是,氧化物半导体的导电性增高,由此该氧化物半导体成为导体。可以将成为导体的氧化物半导体称为氧化物导体。换言之,像素电极19b是使用氧化物导体膜形成的。氧化物半导体通常由于其大的能隙具有可见光透过性。氧化物导体是在导带附近具有施主能级的氧化物半导体。因此,该施主能级所引起的吸收的影响小,并且氧化物导体具有与氧化物半导体相同程度的可见光透过性。

[0132] 像素电极19b具有比氧化物半导体膜19a低的电阻率。像素电极19b的电阻率优选为大于或等于氧化物半导体膜19a的电阻率的 1×10^{-8} 倍且小于氧化物半导体膜19a的电阻率的 1×10^{-1} 倍。像素电极19b的电阻率典型地大于或等于 $1 \times 10^{-3} \Omega \text{ cm}$ 且小于 $1 \times 10^4 \Omega \text{ cm}$,优选大于或等于 $1 \times 10^{-3} \Omega \text{ cm}$ 且小于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0133] 用作源电极和漏电极的导电膜21a和21b被形成为具有包括铝、钛、铬、镍、铜、钇、锆、钼、银、钽、钨等的金属或包含这些金属作为其主要成分的合金的单层结构或叠层结构。例如,可以举出包含硅的铝膜的单层结构、铝膜层叠在钛膜上的两层结构、铝膜层叠在钨膜上的两层结构、铜膜层叠在铜-镁-铝合金膜上的两层结构、铜膜层叠在钛膜上的两层结构、铜膜层叠在钨膜上的两层结构、依次层叠有钛膜或氮化钛膜、铝膜或铜膜以及钛膜或氮化钛膜的三层结构、以及依次层叠有钼膜或氮化钼膜、铝膜或铜膜以及钼膜或氮化钼膜的三层结构。另外,可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0134] 作为氧化物绝缘膜23或氧化物绝缘膜25,优选使用以高于化学计量组成的比例包含氧的氧化物绝缘膜。这里,作为氧化物绝缘膜23形成使氧透过的氧化物绝缘膜,并且,作为氧化物绝缘膜25形成以高于化学计量组成的比例包含氧的氧化物绝缘膜。

[0135] 氧化物绝缘膜23为使氧透过的氧化物绝缘膜。由此,从设置在氧化物绝缘膜23上的氧化物绝缘膜25脱离的氧可以经过该氧化物绝缘膜23移动到氧化物半导体膜19a。另外,在后面形成氧化物绝缘膜25时,氧化物绝缘膜23还被用作缓和氧化物半导体膜19a造成的损伤的膜。

[0136] 可以使用其厚度大于或等于5nm且小于或等于150nm,优选大于或等于5nm且小于或等于50nm的氧化硅膜或氧氮化硅膜等作为氧化物绝缘膜23。注意,在本说明书中,“氧氮化硅膜”是指包含比氮多的氧的膜,而“氮氧化硅膜”是指包含比氧多的氮的膜。

[0137] 此外,氧化物绝缘膜23优选为包含氮且缺陷量少的氧化物绝缘膜。

[0138] 包含氮且缺陷量少的氧化物绝缘膜的典型例包括氧氮化硅膜以及氧氮化铝膜。

[0139] 在缺陷少的氧化物绝缘膜的100K或更低的ESR谱中,观察到在大于或等于2.037且小于或等于2.039的g值处呈现的第一信号、在大于或等于2.001且小于或等于2.003的g值处呈现的第二信号、以及在大于或等于1.964且小于或等于1.966的g值处呈现的第三信号。通过利用X带的ESR测定而得到的第一信号与第二信号之间的分割宽度(splitwidth)以及

第二信号与第三信号之间的分割宽度大约为5mT。在大于或等于2.037且小于或等于2.039的g值处呈现的第一信号、在大于或等于2.001且小于或等于2.003的g值处呈现的第二信号以及在大于或等于1.964且小于或等于1.966的g值处呈现的第三信号的旋转密度的总和低于 1×10^{18} spins/cm³,典型地高于或等于 1×10^{17} spins/cm³且低于 1×10^{18} spins/cm³。

[0140] 在100K或更低的ESR谱中,在大于或等于2.037且小于或等于2.039的g值处呈现的第一信号、在大于或等于2.001且小于或等于2.003的g值处呈现的第二信号以及在大于或等于1.964且小于或等于1.966的g值处呈现的第三信号相当于起因于氮氧化物(NO_x;x大于或等于0且小于或等于2,优选大于或等于1且小于或等于2)的信号。氮氧化物的典型例子包括一氧化氮以及二氧化氮。换言之,在大于或等于1.964且小于或等于1.966至大于或等于2.037且小于或等于2.039的g值处呈现的信号的旋转密度越低,氧化物绝缘膜中的氮氧化物含量越少。

[0141] 当如上所述那样氧化物绝缘膜23的氮氧化物含量少时,可以减少氧化物绝缘膜23与氧化物半导体膜之间的界面的载流子俘获。因此,可以减少包括在半导体装置中的晶体管的阈值电压的变动,而可以减少晶体管的电特性的变动。

[0142] 氧化物绝缘膜23的利用二次离子质谱分析(SIMS)测得的氮浓度优选低于或等于 6×10^{20} atoms/cm³。此时,在氧化物绝缘膜23中不容易生成氮氧化物,而可以减少氧化物绝缘膜23与氧化物半导体膜19a之间的界面的载流子俘获。另外,可以减少包括在半导体装置中的晶体管的阈值电压的变动,从而可以减少晶体管的电特性的变动。

[0143] 另外,当在氧化物绝缘膜23中含有氮氧化物及氨时,在制造工序的加热处理中氮氧化物与氨起反应;由此,氮氧化物作为氮气而脱离。因此,可以降低氧化物绝缘膜23中的氮浓度及氮氧化物含量。另外,可以减少氧化物绝缘膜23与氧化物半导体膜19a之间的界面的载流子俘获。另外,可以减少包括在半导体装置中的晶体管的阈值电压的变动量,从而可以减少晶体管的电特性的变动。

[0144] 另外,在氧化物绝缘膜23中,从外部进入氧化物绝缘膜23的氧不是全部移动到氧化物绝缘膜23的外部,而是其一部分残留在氧化物绝缘膜23中。另外,有时以氧进入氧化物绝缘膜23并且包含在氧化物绝缘膜23中的氧移动到氧化物绝缘膜23的外部的的方式在氧化物绝缘膜23中发生氧的移动。

[0145] 当形成使氧透过的氧化物绝缘膜作为氧化物绝缘膜23时,从设置在氧化物绝缘膜23上的氧化物绝缘膜25脱离的氧可以经由该氧化物绝缘膜23移动到氧化物半导体膜19a。

[0146] 氧化物绝缘膜25被形成为与氧化物绝缘膜23接触。氧化物绝缘膜25使用以高于化学计量组成的比例包含氧的氧化物绝缘膜形成。氧的一部分通过加热从以高于化学计量组成的比例包含氧的氧化物绝缘膜脱离。以高于化学计量组成的比例包含氧的氧化物绝缘膜是一种氧化物绝缘膜,其在TDS分析上被换算为氧原子的氧脱离量大于或等于 1.0×10^{18} atoms/cm³,优选大于或等于 3.0×10^{20} atoms/cm³。注意,在TDS分析时的该膜表面的温度优选高于或等于100℃且低于或等于700℃或者高于或等于100℃且低于或等于500℃。

[0147] 可以使用其厚度大于或等于30nm且小于或等于500nm,优选大于或等于50nm且小于或等于400nm的氧化硅膜或氮化硅膜等作为氧化物绝缘膜25。

[0148] 优选的是,氧化物绝缘膜25中的缺陷量较少,典型的是,利用ESR而测得的在g=2.001处出现的信号的自旋密度低于 1.5×10^{18} spins/cm³,更优选低于或等于 1×10^{18} spins/

cm³。氧化物绝缘膜25与氧化物绝缘膜23相比离氧化物半导体膜19a更远;所以,氧化物绝缘膜25可以具有比氧化物绝缘膜23高的缺陷密度。

[0149] 与氮化物绝缘膜15同样地,氮化物绝缘膜27可以是几乎不透过氧的氮化物绝缘膜。另外,可以使用几乎不透过氧、氢及水的氮化物绝缘膜。

[0150] 氮化物绝缘膜27使用其厚度大于或等于50nm且小于或等于300nm,优选大于或等于100nm且小于或等于200nm的氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等而形成。

[0151] 在以高于化学计量组成的比例包含氧的氧化物绝缘膜包括在氧化物绝缘膜23或氧化物绝缘膜25中的情况下,包含在氧化物绝缘膜23或氧化物绝缘膜25中的氧的一部分可以移动到氧化物半导体膜19a,从而可以降低包含在氧化物半导体膜19a中的氧缺损量。

[0152] 使用包含氧缺损的氧化物半导体膜的晶体管的阈值电压容易向负方向变动,这种晶体管有成为常开启型的倾向。这是因为由于氧化物半导体膜中的氧缺损而产生电荷以致电阻降低的缘故。具有常开启特性的晶体管引起各种问题,诸如在工作时容易发生故障以及在非工作时耗电量增大。另外,有如下问题:由于随时变化或应力测试的影响,晶体管的电特性,典型为阈值电压的变动量增大。

[0153] 但是,在本实施方式的晶体管102中,设置在氧化物半导体膜19a上的氧化物绝缘膜23或氧化物绝缘膜25以高于化学计量组成的比例包含氧。并且,氧化物半导体膜19a、氧化物绝缘膜23及氧化物绝缘膜25被氮化物绝缘膜15及氧化物绝缘膜17围绕。其结果是,包含在氧化物绝缘膜23或氧化物绝缘膜25中的氧高效地移动到氧化物半导体膜19a,使得氧化物半导体膜19a中的氧缺损量得到减少。由此,得到具有常关闭特性的晶体管。另外,可以降低起因于随时变化或应力测试的晶体管的电特性,典型为阈值电压的变动量。

[0154] 公共电极29使用透光性膜,优选使用透光性导电膜而形成。作为透光性导电膜,有包含氧化钨的铟氧化物膜、包含氧化钨的铟锌氧化物膜、包含氧化钛的铟氧化物膜、包含氧化钛的铟锡氧化物膜、铟锡氧化物(以下称为ITO)膜、铟锌氧化物膜、添加有氧化硅的铟锡氧化物膜等。

[0155] 用作信号线的导电膜21a的延伸方向与公共电极29的延伸方向彼此交叉。因此,用作信号线的导电膜21a与公共电极29之间的电场和像素电极19b与公共电极29之间的电场的方向错开,并且它们错开的角度较大。因此,在使用负型液晶分子的情况下,用作信号线的导电膜附近的液晶分子的取向状态与设置在邻接的像素中的像素电极与公共电极之间的电场所产生的像素电极附近的液晶分子的取向状态不容易互相影响。由此,像素的透过率的变化得到抑制。因此,可以减少图像中的闪烁。

[0156] 在刷新频率低的液晶显示装置中,即使在保持期间中,用作信号线的导电膜21a附近的液晶分子的取向也不容易影响到在邻接的像素中的像素电极与公共电极29之间的电场所引起的像素电极附近的液晶分子的取向状态。因此,在保持期间中可以保持像素的透过率,从而可以减少闪烁。

[0157] 公共电极29包括在与用作信号线的导电膜21a交叉的方向上延伸的条纹形状的区域。由此,在像素电极19b及导电膜21a附近,可以防止非意图性的液晶分子的取向,从而可以抑制漏光。其结果是,可以制造对比度优异的显示装置。

[0158] 另外,公共电极29的形状不局限于图4所示的形状,也可以为条纹形。在采用条纹形状的情况下,其延伸方向也可以与用作信号线的导电膜平行。公共电极29也可以具有梳

齿状。或者,公共电极可以形成在第一衬底11的整个表面上。或者,与像素电极19b不同的透光性导电膜可以隔着绝缘膜形成在该公共电极29上。

[0159] 取向膜33形成在公共电极29、氮化物绝缘膜27以及有机绝缘膜31上。

[0160] 接着,参照图10A至10D、图11A至11D以及图12A至12C说明图5的晶体管102及电容器105的制造方法。

[0161] 如图10A所示,在第一衬底11上形成成为导电膜13的导电膜12。导电膜12通过溅射法、化学气相沉积(CVD)法诸如有机金属化学气相沉积(MOCVD)法、金属化学气相沉积法、原子层沉积(ALD)法或等离子体增强化学气相沉积(PECVD)法等、蒸镀法、脉冲激光沉积(PLD)法等来形成。当采用有机金属化学气相沉积(MOCVD)法、金属化学气相沉积法或原子层沉积(ALD)法时,导电膜因等离子体受到的损伤较少。

[0162] 在此,使用玻璃衬底作为第一衬底11。此外,作为导电膜12,利用溅射法形成100nm厚的钨膜。

[0163] 接着,通过使用第一光掩模的光刻工序在导电膜12上形成掩模。然后,如图10B所示,使用该掩模对导电膜12的一部分进行蚀刻来形成用作栅电极的导电膜13。然后,去除掩模。

[0164] 另外,用作栅电极的导电膜13也可以利用电镀法、印刷法、喷墨法等代替上述形成方法来形成。

[0165] 这里,利用干蚀刻法对钨膜进行蚀刻来形成用作栅电极的导电膜13。

[0166] 接着,如图10C所示,在用作栅电极的导电膜13上形成氮化物绝缘膜15及成为氧化物绝缘膜17的氧化物绝缘膜16。然后,在氧化物绝缘膜16上形成后面成为氧化物半导体膜19a及像素电极19b的氧化物半导体膜18。

[0167] 氮化物绝缘膜15及氧化物绝缘膜16通过溅射法、化学气相沉积(CVD)法诸如有机金属化学气相沉积(MOCVD)法、金属化学气相沉积法、原子层沉积(ALD)法或等离子体增强化学气相沉积(PECVD)法等、蒸镀法、脉冲激光沉积(PLD)法、涂敷法、印刷法等来形成。当采用有机金属化学气相沉积(MOCVD)法、金属化学气相沉积法或原子层沉积(ALD)法时,氮化物绝缘膜15及氧化物绝缘膜16因等离子体受到的损伤较少。当采用原子层沉积(ALD)法时,可以提高氮化物绝缘膜15及氧化物绝缘膜16的覆盖率。

[0168] 这里,作为氮化物绝缘膜15,通过将硅烷、氮以及氨用作源气体的等离子体CVD法形成300nm厚的氮化硅膜。

[0169] 在形成氧化硅膜、氧氮化硅膜或氮氧化硅膜作为氧化物绝缘膜16的情况下,优选使用包含硅的沉积气体及氧化性气体作为源气体。包含硅的沉积气体的典型例子包括硅烷、乙硅烷、丙硅烷、氟化硅烷。作为氧化性气体的例子,可以举出氧、臭氧、一氧化二氮、二氧化氮。

[0170] 此外,在形成氧化镓膜作为氧化物绝缘膜16的情况下,可以采用有机金属化学气相沉积(MOCVD)法。

[0171] 这里,作为氧化物绝缘膜16,通过将硅烷及一氧化二氮用作源气体的等离子体CVD法形成50nm厚的氧氮化硅膜。

[0172] 氧化物半导体膜18可以通过溅射法、化学气相沉积(CVD)法诸如有机金属化学沉积(MOCVD)法、原子层沉积(ALD)法或等离子体增强化学气相沉积(PECVD)法等、脉冲激光沉

积法、激光烧蚀法、涂敷法等来形成。当采用有机金属化学沉积(MOCVD)法、金属化学气相沉积法或原子层沉积(ALD)法时,氧化物半导体膜18因等离子体受到的损伤较少,并且氧化物绝缘膜16受到的损伤较少。当采用原子层沉积(ALD)法时,可以提高氧化物半导体膜18的覆盖率。

[0173] 作为在利用溅射法形成氧化物半导体膜的情况下用来生成等离子体的电源装置,可以适当地使用RF电源装置、AC电源装置、DC电源装置等。

[0174] 作为溅射气体,适当地使用稀有气体(典型的是氩)、氧气体、或稀有气体和氧的混合气体。在使用稀有气体和氧的混合气体的情况下,优选提高相对于稀有气体的氧的比例。

[0175] 此外,根据要形成的氧化物半导体膜的组成可以适当地选择靶材。

[0176] 为了得到高度纯化本征或实质上高度纯化本征的氧化物半导体膜,不仅需要将处理室内抽成高真空,而且还需要使溅射气体高度纯化。作为用于溅射气体的氧气体或氩气体,使用被高度纯化到具有 -40°C 或更低,优选为 -80°C 或更低,更优选为 -100°C 或更低,进一步优选为 -120°C 或更低的露点的气体,由此能够尽可能地防止水分等混入氧化物半导体膜中。

[0177] 在此,利用使用In-Ga-Zn氧化物靶材(In:Ga:Zn=1:1:1)的溅射法形成35nm厚的In-Ga-Zn氧化物膜作为氧化物半导体膜。

[0178] 然后,在通过使用第二光掩模的光刻工序在氧化物半导体膜18上形成掩模之后,使用该掩模对氧化物半导体膜部分地进行蚀刻,来形成如图10D所示那样被分离的氧化物半导体膜19a及氧化物半导体膜19c。此后,去除掩模。

[0179] 在此,通过在氧化物半导体膜18上形成掩模,并利用湿蚀刻法对氧化物半导体膜18的一部分选择性地蚀刻,来形成氧化物半导体膜19a和19c。

[0180] 接着,如图11A所示,形成后面成为导电膜21a及21b的导电膜20。

[0181] 可以适当地利用与导电膜12同样的方法形成导电膜20。

[0182] 这里,利用溅射法依次层叠50nm厚的钨膜和300nm厚的铜膜。

[0183] 接着,通过使用第三光掩模的光刻工序在导电膜20上形成掩模。然后,使用该掩模对导电膜20进行蚀刻,如图11B所示那样,形成用作源电极和漏电极的导电膜21a和21b。此后,去除掩模。

[0184] 这里,通过光刻工序在铜膜上形成掩模。然后,使用该掩模对钨膜及铜膜进行蚀刻来形成导电膜21a和21b。注意,使用湿蚀刻法对铜膜进行蚀刻。接着,通过利用 SF_6 的干蚀刻法对钨膜进行蚀刻,来在铜膜表面上形成氟化物。借助于该氟化物,来自铜膜的铜元素的扩散得到减少,而可以降低氧化物半导体膜19a中的铜浓度。

[0185] 接着,如图11C所示,在氧化物半导体膜19a和19c以及导电膜21a和21b上形成后面成为氧化物绝缘膜23的氧化物绝缘膜22及后面成为氧化物绝缘膜25的氧化物绝缘膜24。可以适当地利用与氮化物绝缘膜15及氧化物绝缘膜16同样的方法形成氧化物绝缘膜22及氧化物绝缘膜24。

[0186] 另外,在形成氧化物绝缘膜22之后,优选在不暴露于大气的状态下连续地形成氧化物绝缘膜24。在形成氧化物绝缘膜22之后,在不暴露于大气的状态下调节源气体的流量、压力、高频电力和衬底温度中的至少一项连续地形成氧化物绝缘膜24,由此可以减少氧化物绝缘膜22与氧化物绝缘膜24之间的界面的来源于大气成分的杂质浓度,并且氧化物绝缘

膜24中的氧可以移动到氧化物半导体膜19a;由此,可以减少氧化物半导体膜19a中的氧缺损量。

[0187] 氧化物绝缘膜22可以使用包含氮且缺陷量少的氧化物绝缘膜形成,该氧化物绝缘膜是在氧化性气体对沉积气体的比率大于20倍且小于100倍,优选大于或等于40倍且小于或等于80倍并且处理室内的压力低于100Pa,优选低于或等于50Pa的条件下通过CVD法而形成的。

[0188] 优选使用含有硅的沉积气体及氧化性气体作为氧化物绝缘膜22的源气体。含有硅的沉积气体的典型例子包括硅烷、乙硅烷、丙硅烷、氟化硅烷。作为氧化性气体的例子,可以举出氧、臭氧、一氧化二氮、二氧化氮。

[0189] 通过使用上述条件,可以形成使氧透过的氧化物绝缘膜作为氧化物绝缘膜22。另外,通过设置氧化物绝缘膜22,在形成氧化物绝缘膜24的工序中可以降低对氧化物半导体膜19a造成的损伤。

[0190] 在此,作为氧化物绝缘膜22,利用等离子体CVD法形成50nm厚的氧氮化硅膜,其中,将流量为50sccm的硅烷及流量为2000sccm的一氧化二氮用作源气体,处理室内的压力为20Pa,衬底温度为220℃,并且利用27.12MHz的高频电源将100W的高频电力供应到平行平板电极。在上述条件下,可以形成包含氮且缺陷量少的氧氮化硅膜。

[0191] 作为氧化物绝缘膜24,在下述条件下形成氧化硅膜或氧氮化硅膜:在高于或等于180℃且低于或等于280℃,优选高于或等于200℃且低于或等于240℃的温度下保持配置在等离子体CVD装置的抽成真空的处理室内的衬底,将源气体导入处理室,使得其压力为大于或等于100Pa且小于或等于250Pa,优选大于或等于100Pa且小于或等于200Pa,并且对设置在处理室内的电极供应大于或等于0.17W/cm²且小于或等于0.5W/cm²,优选大于或等于0.25W/cm²且小于或等于0.35W/cm²的高频电力。

[0192] 优选使用包含硅的沉积气体及氧化性气体作为氧化物绝缘膜24的源气体。包含硅的沉积气体的典型例子包括硅烷、乙硅烷、丙硅烷、氟化硅烷等。作为氧化性气体的例子,可以举出氧、臭氧、一氧化二氮、二氧化氮。

[0193] 作为氧化物绝缘膜24的成膜条件,将具有上述功率密度的高频电力供应给具有上述压力的处理室,由此在等离子体中源气体的分解效率得到提高,氧自由基增加,并且源气体的氧化进展;由此,氧化物绝缘膜24中的含氧量超过化学计量组成。另一方面,在以上述温度范围内的衬底温度形成的膜中,硅与氧的键合力较低,因此,膜中的氧的一部分因后续工序的加热处理脱离。由此,可以形成以高于化学计量组成的比例包含氧且因加热而释放该氧的一部分的氧化物绝缘膜。另外,氧化物绝缘膜22设置在氧化物半导体膜19a上。所以,在氧化物绝缘膜24的形成工序中,氧化物绝缘膜22被用作氧化物半导体膜19a的保护膜。其结果是,在对氧化物半导体膜19a造成的损伤得到减少的同时,可以使用功率密度高的高频电力形成氧化物绝缘膜24。

[0194] 在此,作为氧化物绝缘膜24,利用等离子体CVD法形成400nm厚的氧氮化硅膜,其中,将流量为200sccm的硅烷及流量为4000sccm的一氧化二氮用作源气体,处理室的压力为200Pa,衬底温度为220℃,并且使用27.12MHz的高频电源将1500W的高频电力供应到平行平板电极。等离子体CVD装置是电极面积为6000cm²的平行平板型等离子体CVD装置,将所供应的电功率换算为每单位面积的电功率(电功率密度)为0.25W/cm²。

[0195] 另外,当形成用作源电极和漏电极的导电膜21a及21b时,由于导电膜的蚀刻,氧化物半导体膜19a受到损伤,而在氧化物半导体膜19a的背沟道一侧(氧化物半导体膜19a的与对置于用作栅电极的导电膜13的一侧相反的一侧)产生氧缺损。但是,通过使用以高于化学计量组成的比例包含氧的氧化物绝缘膜作为氧化物绝缘膜24,可以利用加热处理修复产生在该背沟道一侧的氧缺损。由此,可以减少包含在氧化物半导体膜19a中的缺陷,因此,可以提高晶体管102的可靠性。

[0196] 然后,通过使用第四光掩模的光刻工序在氧化物绝缘膜24上形成掩模。接着,如图11D所示,使用该掩模对氧化物绝缘膜22的一部分及氧化物绝缘膜24的一部分进行蚀刻,形成具有开口40的氧化物绝缘膜23及氧化物绝缘膜25。此后,去除掩模。

[0197] 在上述工序中,优选利用干蚀刻法对氧化物绝缘膜22及24进行蚀刻。其结果是,在蚀刻处理中氧化物半导体膜19c被暴露于等离子体;所以,可以增加氧化物半导体膜19c中的氧缺损量。

[0198] 接着,进行加热处理。典型地是,在高于或等于150℃且低于或等于400℃,优选高于或等于300℃且低于或等于400℃,更优选高于或等于320℃且低于或等于370℃的温度下进行该加热处理。

[0199] 可以将电炉、RTA装置等用于该加热处理。通过使用RTA装置,若加热时间短,则可在高于或等于衬底的应变点的温度下进行加热处理。由此,可以缩短加热处理时间。

[0200] 加热处理可以在氮、氧、超干燥空气(含水量为20ppm或更小,优选为1ppm或更小,更优选为10ppb或更小的空气)或稀有气体(氩、氦等)的气氛下进行。上述氮、氧、超干燥空气或稀有气体优选不包含氢、水等。

[0201] 通过该加热处理,可以将包含在氧化物绝缘膜25中的氧的一部分移动到氧化物半导体膜19a中,由此可以进一步减少包含在氧化物半导体膜19a中的氧缺损量。

[0202] 在水、氢等进入氧化物绝缘膜23及氧化物绝缘膜25并且氮化物绝缘膜26具有对水、氢等的阻挡性的情况下,当后续形成氮化物绝缘膜26并进行加热处理时,包含在氧化物绝缘膜23及氧化物绝缘膜25中的水、氢等移动到氧化物半导体膜19a,而在氧化物半导体膜19a中产生缺陷。然而,通过上述加热,可以将包含在氧化物绝缘膜23及氧化物绝缘膜25中的水、氢等脱离;由此,可以减少晶体管102的电特性的不均匀,并可以抑制阈值电压的变动。

[0203] 注意,当在进行加热的同时在氧化物绝缘膜22上形成氧化物绝缘膜24时,氧可以移动到氧化物半导体膜19a,而减少氧化物半导体膜19a中的氧缺损量;由此,不必须一定要进行上述加热处理。

[0204] 可以在氧化物绝缘膜22及24的形成之后进行上述加热处理。但是,优选在形成氧化物绝缘膜23及25之后进行上述加热处理,因为以如下方式可以形成具有更高导电性的膜,即,氧不移动到氧化物半导体膜19c,并且由于氧化物半导体膜19c被露出,氧从氧化物半导体膜19c脱离而产生氧缺损。

[0205] 在此,在氮及氧的混合气氛下以350℃进行1小时的加热处理。

[0206] 然后,如图12A所示,形成氮化物绝缘膜26。

[0207] 可以适当地利用与氮化物绝缘膜15及氧化物绝缘膜16同样的方法来形成氮化物绝缘膜26。通过利用溅射法、CVD法等形成氮化物绝缘膜26,氧化物半导体膜19c被暴露于等

离子体;由此,能够增加氧化物半导体膜19c的氧缺损量。

[0208] 氧化物半导体膜19c具有增高的导电性而被用作像素电极19b。当利用等离子体CVD法形成氮化硅膜作为氮化物绝缘膜26时,包含在氮化硅膜中的氢扩散到氧化物半导体膜19c;由此,可以增高像素电极19b的导电性。

[0209] 在利用等离子体CVD法形成氮化硅膜作为氮化物绝缘膜26的情况下,优选在高于或等于300℃且低于或等于400℃,优选高于或等于320℃且低于或等于370℃的温度下保持配置在等离子体CVD装置的抽成真空的处理室中的衬底,由此可以形成致密的氮化硅膜。

[0210] 在形成氮化硅膜的情况下,优选使用包含硅的沉积气体、氮及氨作为源气体。作为源气体,使用与氮量相比少量的氨,由此,氨在等离子体中被解离而产生活性种。该活性种切断包含硅的沉积气体中含有的硅与氢之间的键合以及氮分子之间的三键。其结果是,可以形成缺陷少且致密的氮化硅膜,其中,硅与氮之间的键合得到进展,而硅与氢之间的键合少。另一方面,当源气体中的氨量多于氮量时,包含硅的沉积气体的分解及氮的分解不进展,由此导致其硅与氢之间的键合残留而缺陷增大的不致密的氮化硅膜形成。由此,在源气体中,优选将氮对氨的流量比设定为大于或等于5且小于或等于50,优选大于或等于10且小于或等于50。

[0211] 在此,在等离子体CVD装置的处理室中,利用等离子体CVD法形成50nm厚的氮化硅膜作为氮化物绝缘膜26,其中,将流量为50sccm的硅烷、流量为5000sccm的氮以及流量为100sccm的氨用作源气体,处理室的压力为100Pa,衬底温度为350℃,用27.12MHz的高频电源对平行平板电极供应1000W的高频电力。另外,等离子体CVD装置是电极面积为6000cm²的平行平板型等离子体CVD装置,将所供应的电功率换算为每单位面积的电功率(电功率密度)为 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0212] 接着,可以进行加热处理。该加热处理典型地在高于或等于150℃且低于或等于400℃,优选高于或等于300℃且低于或等于400℃,更优选高于或等于320℃且低于或等于370℃的温度下进行。其结果是,可以降低阈值电压的负向漂移。另外,可以降低阈值电压的变动量。

[0213] 接着,虽然未图示,但通过使用第五光掩模的光刻工序形成掩模。然后,使用该掩模对氮化物绝缘膜15、氧化物绝缘膜16、氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜26的每一个的一部分进行蚀刻来形成氮化物绝缘膜27以及使与导电膜13同时形成的连接端子的一部分露出的开口。或者,对氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜26的每一个的一部分进行蚀刻来形成氮化物绝缘膜27以及使与导电膜21a、21b同时形成的连接端子的一部分露出的开口。

[0214] 接着,如图12B所示,在氮化物绝缘膜27上形成后面成为公共电极29的导电膜28。

[0215] 导电膜28通过溅射法、CVD法、蒸镀法等而形成。

[0216] 然后,通过使用第六光掩模的光刻工序在导电膜28上形成掩模。接着,如图12C所示,使用该掩模对导电膜28的一部分进行蚀刻,来形成公共电极29。虽然未图示,但公共电极29连接于与导电膜13同时形成的连接端子或者与导电膜21a、21b同时形成的连接端子。此后,去除掩模。

[0217] 接着,如图13所示,在氮化物绝缘膜27上形成有机绝缘膜31。有机绝缘膜可以适当地利用涂敷法、印刷法等形成。

[0218] 在利用涂敷法形成有机绝缘膜的情况下,通过使用第七光掩模的光刻工序对涂敷到氮化物绝缘膜27及公共电极29的光敏组成物进行曝光及显影,然后进行加热处理。另外,在将非光敏组成物涂敷到氮化物绝缘膜27及公共电极29的顶面的情况下,通过使用第七掩模的光刻工序对涂敷到非光敏组成物的顶面的抗蚀剂进行加工来形成掩模,然后使用该掩模对非光敏组成物进行蚀刻,由此可以形成有机绝缘膜31。

[0219] 通过上述工序,可以制造晶体管102,并且可以制造电容器105。

[0220] 本实施方式所示的显示装置的元件衬底包括隔着无机绝缘膜与晶体管重叠的有机绝缘膜。由此,可以制造其中的晶体管的可靠性得到提高且显示质量稳定的显示装置。

[0221] 本实施方式的显示装置的元件衬底形成有其顶面形状为锯齿形状的公共电极,该公共电极包括在与用作信号线的导电膜交叉的方向上延伸的条纹形区域。因此,该显示装置可以具有优异的对比度。另外,在刷新频率低的液晶显示装置中可以减少闪烁。

[0222] 在本实施方式的显示装置的元件衬底中,在形成晶体管的氧化物半导体膜的同时形成像素电极;由此,可以使用六个光掩模形成晶体管102及电容器105。像素电极被用作电容器的一个电极。公共电极还被用作电容器的另一个电极。由此,为了形成电容器不需要形成其他导电膜,从而可以减少显示装置的制造工序数。该电容器具有透光性。其结果是,可以增大电容器所占的面积,并且可以提高像素的开口率。此外,可以降低显示装置的耗电量。

[0223] 接着,说明形成在第二衬底342上的元件层。有色性的膜(下面称为着色膜346)形成在第二衬底342上。该着色膜346被用作滤色片。另外,与着色膜346相邻的遮光膜344形成在第二衬底342上。遮光膜344被用作黑矩阵(black matrix)。例如,在液晶显示装置是黑白显示装置的情况下,不需要必须设置着色膜346。

[0224] 着色膜346是使特定波长区域的光透过的着色膜。例如,可以使用使红色的波长区域的光透过的红色(R)膜、使绿色的波长区域的光透过的绿色(G)膜或者使蓝色的波长区域的光透过的蓝色(B)膜等。

[0225] 遮光膜344优选具有阻挡特定波长区域的光的功能,并且,例如可以为金属膜或者包含黑色颜料等的有机绝缘膜。

[0226] 绝缘膜348形成在着色膜346上。绝缘膜348被用作平坦化层或者抑制着色膜346中的杂质扩散到液晶元件一侧。

[0227] 导电膜350形成在绝缘膜348上。导电膜350使用透光性导电膜而形成。导电膜350的电位优选为与公共电极29相等。换言之,优选将公共电位施加给导电膜350。

[0228] 当对导电膜21b施加驱动液晶分子的电压时,在导电膜21b与公共电极29之间产生电场。由于受到该电场的影响,导电膜21b与公共电极29之间的液晶分子取向,因此发生闪烁。

[0229] 但是,通过隔着液晶层320与公共电极29相对地设置导电膜350,以使公共电极29和导电膜350具有相等电位,能够抑制导电膜21b与公共电极29之间的电场所引起的液晶分子的在与衬底垂直的方向上的取向变动。由此,该区域中的液晶分子的取向状态变得稳定。因此,可以减少闪烁。

[0230] 另外,取向膜352形成在导电膜350上。

[0231] 此外,液晶层320形成在取向膜33与352之间。使用密封剂(未图示)将液晶层320密

封在第一衬底11与第二衬底342之间。密封剂优选与无机材料接触以防止来自外部的水分等侵入。

[0232] 间隔物也可以设置在取向膜33与352之间以保持液晶层320的厚度(也称为单元间隙)。

[0233] 注意,本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而使用。

[0234] <变形例1>

参照图14A及图14B说明与公共电极连接的公用线设置在实施方式1所示的显示装置中的结构。

[0235] 图14A是包括在显示装置中的像素103a、103b和103c的俯视图,图14B是沿图14A中的点划线A-B及C-D的截面图。

[0236] 如图14A所示,公共电极29的顶面具有锯齿形状,并且用作信号线的导电膜21a的延伸方向与公共电极29的延伸方向交叉。

[0237] 为了容易理解公共电极29的结构,在图14A中用阴影线表示公共电极29,以说明其形状。公共电极29包括以左斜阴影线表示的区域以及以右斜阴影线表示的区域。以左斜阴影线表示的区域是具有锯齿形状的条纹形区域(第一区域),并且用作信号线的导电膜21a的延伸方向与公共电极29的延伸方向交叉。以右斜阴影线表示的区域是与条纹形区域(第一区域)连接的连接区域(第二区域)且在用作信号线的导电膜21a平行或大致平行的方向上延伸。

[0238] 公用线21c与公共电极29的连接区域(第二区域)重叠。

[0239] 或者,公用线21c可以设置在每一个像素中。或者,公用线21c可以设置在每多个像素中。例如,如图14A所示,对每三个像素设置一个公用线21c,而可以减少在显示装置的平面中公用线所占的面积。其结果是,可以提高像素的面积及像素的开口率。

[0240] 在像素电极19b与公共电极29重叠的区域中,液晶分子不容易被在像素电极19b与公共电极29的连接区域(第二区域)之间产生的电场驱动。因此,通过缩小公共电极29的连接区域(第二区域)中的与像素电极19b重叠的区域的面积,能够增加液晶分子被驱动的区域,由此开口率得到提高。例如,如图14A所示,通过将公共电极29的连接区域(第二区域)设置为不与像素电极19b重叠,能够减少像素电极19b与公共电极29彼此重叠的区域的面积,从而能够提高像素的开口率。

[0241] 虽然在图14A中对三个像素103a、103b及103c设置一个公用线21c,但是也可以对两个像素设置一个公用线21c。或者,也可以对四个以上的像素设置一个公用线21c。

[0242] 如图14B所示,公用线21c可以与用作信号线的导电膜21a同时形成。公共电极29在形成在氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜27中的开口42中与公用线21c连接。

[0243] 由于导电膜21a的材料具有比公共电极29的材料低的电阻率,所以能够降低公共电极29及公用线21c的电阻。

[0244] <变形例2>

本变形例的与实施方式2不同之处在于包括在高清晰显示装置中的晶体管包括能够减少漏光的源电极和漏电极。

[0245] 图15是本实施方式所示的显示装置的俯视图。该显示装置的特征之一是用作源电极和漏电极中的一个的导电膜21b在俯视图中具有L字形。换言之,导电膜21b具有如下形状,其中,在其俯视图中,在垂直于或大致垂直于用作扫描线的导电膜13的延伸方向的方向上延伸的区域21b_1与在平行或大致平行于该导电膜13的延伸方向的方向上延伸的区域21b_2连接。在其俯视图中,该区域21b_2重叠于导电膜13、像素电极19b和公共电极29中的至少一个。或者,在其俯视图中,导电膜21b包括在平行或大致平行于该导电膜13的延伸方向的方向上延伸的区域21b_2,并且该区域21b_2位于导电膜13与像素电极19b或公共电极29之间。

[0246] 由于在高清晰显示装置中像素面积缩小,所以公共电极29与用作扫描线的导电膜13之间的间隔减小。在进行黑色显示的像素中,当将晶体管开启的电压被施加到用作扫描线的导电膜13时,在处于黑色显示状态的像素电极19b与用作扫描线的导电膜13之间产生电场。其结果是,液晶分子向非意图的方向转动而导致漏光。

[0247] 然而,在本实施方式的显示装置所包括的晶体管中,用作源电极和漏电极中的一个的导电膜21b包括与导电膜13、像素电极19b和公共电极29中的至少一个重叠的区域21b_2、或者在其俯视图中位于导电膜13与像素电极19b或公共电极29之间的区域21b_2。其结果是,区域21b_2遮挡用作扫描线的导电膜13的电场,并且能够抑制在该导电膜13与像素电极19b之间产生的电场,从而减少漏光。

[0248] 另外,导电膜21b与公共电极29可以彼此重叠。该重叠区域可以被用作电容器。因此,通过利用这样的结构,可以增加电容器的容量。图16示出此时的例子。

[0249] <变形例3>

本变形例的与实施方式2不同之处在于高清晰显示装置包括能够减少漏光的公共电极。

[0250] 图17是本实施方式所示的显示装置的俯视图。公共电极29a包括在与用作信号线的导电膜21a交叉的方向上延伸的条纹形区域29a_1以及与该条纹形区域连接且与用作扫描线的导电膜13重叠的区域29a_2。

[0251] 由于在高清晰显示装置中像素面积缩小,所以像素电极19b与用作扫描线的导电膜13之间的间隔减小。当电压施加到用作扫描线的导电膜13时,在该导电膜13与像素电极19b之间产生电场。其结果是,液晶分子向非意图的方向转动而导致漏光。

[0252] 然而,本实施方式的显示装置包括具有与用作扫描线的导电膜13交叉的区域29a_2的公共电极29a。因此,在导电膜13与公共电极29a之间产生电场,可以抑制由于像素电极19b与用作扫描线的导电膜13之间产生的电场而发生的液晶分子的转动,从而减少漏光。

[0253] 另外,导电膜21b与公共电极29a可以彼此重叠。该重叠区域可以被用作电容器。因此,通过利用这样的结构,可以增加电容器的容量。图18示出此时的例子。

[0254] 注意,本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法等适当地组合而使用。

[0255] 实施方式3

在本实施方式中,作为显示装置的例子,将说明以垂直取向(VA:vertical alignment)模式驱动的液晶显示装置。首先,将包括在液晶显示装置中的多个像素103的俯视图显示在图19中。

[0256] 在图19中,用作扫描线的导电膜13在与用作信号线的导电膜大致垂直的方向(附图中的水平方向)上延伸。用作信号线的导电膜21a在与用作扫描线的导电膜大致垂直的方向(附图中的垂直方向)上延伸。用作电容线的导电膜21e在与信号线平行的方向上延伸。另外,用作扫描线的导电膜13与扫描线驱动电路104(参照图1A至1E)电连接,而用作信号线的导电膜21a及用作电容线的导电膜21e与信号线驱动电路106(参照图1A至1E)电连接。

[0257] 晶体管102设置在用作扫描线的导电膜和用作信号线的导电膜彼此交叉的区域。晶体管102包括用作栅电极的导电膜13;栅极绝缘膜(图19中未图示);栅极绝缘膜上的形成沟道区域的氧化物半导体膜19a;以及用作一对电极的导电膜21a及21b。导电膜13还被用作扫描线,而且该导电膜13的与氧化物半导体膜19a重叠的区域被用作晶体管102的栅电极。此外,导电膜21a还被用作信号线,而且该导电膜21a的与氧化物半导体膜19a重叠的区域被用作晶体管102的源电极或漏电极。此外,在图19的俯视图中,用作扫描线的导电膜的端部位于氧化物半导体膜19a的端部的外侧。由此,用作扫描线的导电膜被用作阻挡来自背光等光源的光的遮光膜。据此,包括在晶体管中的氧化物半导体膜19a不被光照射,由此晶体管的电特性的变动可以得到抑制。

[0258] 另外,与实施方式1同样,晶体管102包括与氧化物半导体膜19a重叠的有机绝缘膜31。有机绝缘膜31隔着无机绝缘膜(图19中未图示)与氧化物半导体膜19a(尤其是,氧化物半导体膜19a的位于导电膜21a与21b之间的区域)重叠。

[0259] 导电膜21b在开口41中与用作像素电极的透光性导电膜29c电连接。

[0260] 电容器105与用作电容线的导电膜21e连接。电容器105包括形成在栅极绝缘膜上的具有导电性的膜19d、形成在晶体管102上的介电膜以及用作像素电极的透光性导电膜29c。该介电膜使用阻氧膜形成。形成在栅极绝缘膜上的具有导电性的膜19d具有透光性。就是说,电容器105具有透光性。

[0261] 由于电容器105的透光性,在像素103中可以形成较大(大面积)的电容器105。由此,可以设置其开口率典型提高到55%或更高,优选为60%或更高且具有大容量电容器的显示装置。例如,在液晶显示装置等高分辨率显示装置中,像素的面积小,由此电容器的面积也小。因此,在高分辨率显示装置中,储存在电容器中的电荷量小。但是,由于本实施方式中的电容器105具有透光性,所以当电容器150设置在像素中时,可以在各像素中获得充分的容量,并且可以提高开口率。典型的是,电容器105可以适当地用于像素密度为200ppi (pixels per inch)或更高,300ppi或更高,或者尤其是500ppi或更高的高分辨率显示装置。

[0262] 另外,根据本发明的一个方式,即使在高分辨率显示装置中,也可以提高开口率,因此可以高效地利用来自背光等光源的光,由此可以降低显示装置的耗电量。

[0263] 接着,图20是沿着图19的点划线A-B及C-D的截面图。图19所示的晶体管102是沟道蚀刻型晶体管。注意,沟道长度方向上的晶体管102、晶体管102与用作像素电极的导电膜29c之间的连接部以及电容器105显示在沿着点划线A-B的截面图中,沟道宽度方向上的晶体管102显示在沿着点划线C-D的截面图中。

[0264] 因为本实施方式所示的液晶显示装置是以VA模式驱动的液晶显示装置,所以液晶元件322a包括包含在第一衬底11的元件层中的用作像素电极的导电膜29c、包含在第二衬底342的元件层中的导电膜350以及液晶层320。

[0265] 另外,图20的晶体管102具有与实施方式1的晶体管102同样的结构。连接于用作源电极及漏电极的导电膜21a及21b中的一个(这里,连接于导电膜21b)的用作像素电极的导电膜29c被形成在氮化物绝缘膜27上。在氮化物绝缘膜27的开口41中,导电膜21b与用作像素电极的导电膜29c连接。

[0266] 用作像素电极的导电膜29c可以适当地使用与实施方式2的公共电极29同样的材料及制造方法而形成。

[0267] 图20的电容器105包括形成在氧化物绝缘膜17上的具有导电性的膜19d、氮化物绝缘膜27以及用作像素电极的导电膜29c。

[0268] 在本实施方式的晶体管102上,形成有被分离的氧化物绝缘膜23及25。被分离的氧化物绝缘膜23及25与氧化物半导体膜19a重叠。

[0269] 另外,与氧化物半导体膜19a重叠的有机绝缘膜31形成在氮化物绝缘膜27上。与氧化物半导体膜19a重叠的有机绝缘膜31设置在晶体管102上,由此氧化物半导体膜19a的表面可以与有机绝缘膜31的表面相隔。因此,氧化物半导体膜19a的表面不受到被吸附到有机绝缘膜31的表面上的带正电粒子的电场的影响,从而可以提高晶体管102的可靠性。

[0270] 在电容器105中,与实施方式2不同,具有导电性的膜19d不与导电膜21b连接。反之,具有导电性的膜19d与导电膜21d接触。导电膜21d被用作电容线。具有导电性的膜19d可以使用与用于实施方式2的像素电极19b的金属氧化物膜同样的金属氧化物膜而形成。换言之,具有导电性的膜19d是具有与氧化物半导体膜19a相同的金属元素的金属氧化物膜。可以将与实施方式2的像素电极19b相同的制造方法适当地用于导电性的膜19d。

[0271] 接着,参照图21A至21C以及图22A至22C说明图20的晶体管102及电容器105的制造方法。

[0272] 在第一衬底11上形成导电膜,然后使用通过实施方式2的第一光刻工序而得到的掩模进行蚀刻,来在第一衬底11上形成用作栅电极的导电膜13(参照图21A)。

[0273] 接着,在第一衬底11及用作栅电极的导电膜13上形成氮化物绝缘膜15及氧化物绝缘膜16。接着,在氧化物绝缘膜16上形成氧化物半导体膜,然后使用通过实施方式2的第二光刻工序而得到的掩模进行蚀刻,来形成氧化物半导体膜19a及19c(参照图21B)。

[0274] 接着,在氧化物绝缘膜16、氧化物半导体膜19a及19c上形成导电膜,然后使用通过实施方式2的第三光刻工序而得到的掩模进行蚀刻,来形成导电膜21a、21b及21d(参照图21C)。此时,导电膜21b被形成为不与氧化物半导体膜19c接触。导电膜21d被形成为与氧化物半导体膜19c接触。

[0275] 接着,在氧化物绝缘膜16、氧化物半导体膜19a及19c以及导电膜21a、21b及21d上形成氧化物绝缘膜,然后使用通过实施方式2的第四光刻工序而得到的掩模进行蚀刻,来形成氧化物绝缘膜23及25(参照图22A)。

[0276] 接着,在氧化物绝缘膜17、氧化物半导体膜19a及19c、导电膜21a、21b及21d以及氧化物绝缘膜23及25上形成氮化物绝缘膜,然后使用通过实施方式2的第五光刻工序而得到的掩模进行蚀刻,来形成具有使导电膜21b的一部分露出的开口41的氮化物绝缘膜27(参照图22B)。

[0277] 通过上述工序,氧化物半导体膜19c成为具有导电性的膜19d。当后面利用等离子体CVD法形成氮化硅膜作为氮化物绝缘膜27时,包含在氮化硅膜中的氢扩散到氧化物半导

体膜19c;由此,可以增强具有导电性的膜19d的导电性。

[0278] 接着,在导电膜21b及氮化物绝缘膜27上形成导电膜,然后使用通过实施方式2的第六光刻工序而得到的掩模进行蚀刻,来形成与导电膜21b连接的导电膜29c(参照图22C)。

[0279] 这样,作为包括氧化物半导体膜的半导体装置,可以获得其电特性得到提高的半导体装置。

[0280] 在本实施方式所示的半导体装置的元件衬底上,在形成晶体管的氧化物半导体膜的同时形成电容器的一个电极。此外,用作像素电极的导电膜被用作电容器的另一个电极。由此,为了形成电容器不需要形成其他导电膜,从而可以减少显示装置的制造工序数。另外,因为一对电极具有透光性,所以电容器具有透光性。其结果是,可以增大电容器所占的面积,并且可以提高像素的开口率。

[0281] <变形例1>

在本实施方式中,参照图23说明能够以比实施方式1至4所示的半导体装置更少的掩模数量制造的显示装置。

[0282] 在图23所示的显示装置中,通过不对形成在晶体管102上的氧化物绝缘膜22及氧化物绝缘膜24进行蚀刻,可以减少掩模数量。此外,氮化物绝缘膜27形成在氧化物绝缘膜24上,并且,使导电膜21b的一部分露出的开口41a形成在氧化物绝缘膜22及24以及氮化物绝缘膜27中。在该开口41a中与导电膜21b连接的用作像素电极的导电膜29d形成在氮化物绝缘膜27上。

[0283] 导电膜21d形成在氧化物绝缘膜17上。因为导电膜21d在形成导电膜21a及21b的同时形成,所以不需要用来形成导电膜21d的其他光掩模。导电膜21d被用作电容线。就是说,电容器105a包括导电膜21d、氧化物绝缘膜22及24、氮化物绝缘膜27以及用作像素电极的导电膜29d。

[0284] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

[0285] 实施方式4

在本实施方式中,参照附图说明与实施方式2的显示装置不同的显示装置及其制造方法。本实施方式的与实施方式2不同之处在于晶体管具有在不同栅电极之间设置有氧化物半导体膜的结构,即双栅极结构。注意,这里不重复说明与实施方式2相同的结构。

[0286] 对显示装置所包括的形成在第一衬底11上的元件层的具体结构进行说明。设置在本实施方式的显示装置中的晶体管的与实施方式2不同之处在于设置有用作栅电极且与用作栅电极的导电膜13、氧化物半导体膜19a、导电膜21a和21b以及氧化物绝缘膜25的每一个的一部分或全部重叠的导电膜29b。用作栅电极的导电膜29b在开口41a及41b中与用作栅电极的导电膜13连接。

[0287] 图24所示的晶体管102a是沟道蚀刻型晶体管。注意,沟道长度方向上的晶体管102a以及电容器105显示在部分A-B的截面图中,沟道宽度方向上的晶体管102a以及用作栅电极的导电膜13与用作栅电极的导电膜29b之间的连接部显示在部分C-D的截面图中。

[0288] 图24的晶体管102a具有双栅结构,且在第一衬底11上包括用作栅电极的导电膜13。此外,晶体管102a包括形成在第一衬底11及用作栅电极的导电膜13上的氮化物绝缘膜15、形成在氮化物绝缘膜15上的氧化物绝缘膜17、隔着氮化物绝缘膜15及氧化物绝缘膜17

与用作栅电极的导电膜13重叠的氧化物半导体膜19a、以及与氧化物半导体膜19a接触的用作源电极和漏电极的导电膜21a及21b。另外,氧化物绝缘膜23形成在氧化物绝缘膜17、氧化物半导体膜19a、用作源电极和漏电极的导电膜21a及21b上,并且,氧化物绝缘膜25形成在氧化物绝缘膜23上。氮化物绝缘膜27形成在氮化物绝缘膜15、氧化物绝缘膜23、氧化物绝缘膜25以及导电膜21b上。像素电极19b形成在氧化物绝缘膜17上。像素电极19b连接于用作源电极和漏电极的导电膜21a及21b中的一个,在此,连接于导电膜21b。公共电极29及用作栅电极的导电膜29b形成在氮化物绝缘膜27上。

[0289] 如部分C-D的截面图所示,在设置在氮化物绝缘膜15、氧化物绝缘膜17、氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜27中的开口41a及41b中,用作栅电极的导电膜29b与用作栅电极的导电膜13连接。也就是说,用作栅电极的导电膜13与用作栅电极的导电膜29b具有相等的电位。

[0290] 由此,通过对晶体管102a的各栅电极施加同一电位的电压,可以降低初始特性的不均匀,并可以抑制在-GBT应力测试之后的晶体管102a的劣化以及在不同的漏电压下开态电流(on-state current)的上升电压变动。另外,在氧化物半导体膜19a中载流子流动的区域在膜厚度方向上进一步扩大,使得载流子的迁移量增多。其结果是,晶体管102a的开态电流增高,并且场效应迁移率提高。典型的是,该场效应迁移率大于或等于 $20\text{cm}^2/\text{V}\cdot\text{s}$ 。

[0291] 在本实施方式的晶体管102a上,形成有氧化物绝缘膜23及25。该氧化物绝缘膜23及25与氧化物半导体膜19a重叠。在沟道宽度方向上的截面图中,氧化物绝缘膜23及25的端部位于氧化物半导体膜19a的外侧。并且,在图24的沟道宽度方向上,用作栅电极的导电膜29b位于氧化物绝缘膜23及25的端部。

[0292] 氧化物半导体膜的通过蚀刻等而被加工的端部因加工受到损伤而产生缺陷,并且由杂质附着等而被污染。由此,氧化物半导体膜的端部由于电场等压力的施加容易被活化,而容易成为n型(具有低电阻)。因此,与用作栅电极的导电膜13重叠的氧化物半导体膜19a的端部容易成为n型。当该成为n型的端部被设置在用作源电极及漏电极的导电膜21a与21b之间时,该成为n型的区域被用作载流子路径,而导致寄生沟道。但是,如C-D的截面图所示,当在沟道宽度方向上用作栅电极的导电膜29b隔着氧化物绝缘膜23及25与氧化物半导体膜19a的侧面相对时,借助于用作栅电极的导电膜29b的电场,在氧化物半导体膜19a的侧面或包括该侧面及其附近的区域中发生的寄生沟道得到抑制。其结果是,得到在阈值电压下漏电流急剧上升等电特性优良的晶体管。

[0293] 在电容器105a中,像素电极19b是与氧化物半导体膜19a同时形成的,且具有通过包含杂质而得到提高的导电性。或者,像素电极19b是与氧化物半导体膜19a同时形成的,且具有通过包含因等离子体损伤等产生的氧缺损而得到提高的导电性。或者,像素电极19b是与氧化物半导体膜19a同时形成的,且具有通过包含杂质和因等离子体损伤等产生的氧缺损而得到提高的导电性。

[0294] 在本实施方式所示的显示装置的元件衬底上,在形成晶体管的氧化物半导体膜的同时形成像素电极。像素电极还被用作电容器的一个电极。公共电极还被用作电容器的另一个电极。由此,为了形成电容器不需要形成其他导电膜,从而可以减少半导体装置的制造工序数。该电容器具有透光性。其结果是,可以增大电容器所占的面积,并且可以提高像素的开口率。

[0295] 下面说明晶体管102a的详细内容。注意,这里对与实施方式2相同的符号的构成要素不进行说明。

[0296] 用作栅电极的导电膜29b可以使用与实施方式2的公共电极29同样的材料而形成。

[0297] 接着,参照图10A至10D、图11A至11D、图12A以及图25A至25C说明图24的晶体管102a及电容器105a的制造方法。

[0298] 与实施方式2同样地,通过图10A至图12A所示的工序,在第一衬底11上形成用作栅电极的导电膜13、氮化物绝缘膜15、氧化物绝缘膜16、氧化物半导体膜19a、像素电极19b、用作源电极及漏电极的导电膜21a及21b、氧化物绝缘膜22、氧化物绝缘膜24以及氮化物绝缘膜26。在这些工序中,进行使用第一光掩模至第四光掩模的光刻工序。

[0299] 接着,通过使用第五光掩模的光刻工序在氮化物绝缘膜26上形成掩模,然后使用该掩模对氮化物绝缘膜26的一部分进行蚀刻;由此,如图25A所示,形成具有开口41a及41b的氮化物绝缘膜27。

[0300] 接着,如图25B所示,在用作栅电极的导电膜13及氮化物绝缘膜27上形成成为公共电极29及用作栅电极的导电膜29b的导电膜28。

[0301] 然后,通过使用第六光掩模的光刻工序在导电膜28上形成掩模。接着,如图25C所示,使用该掩模对导电膜28的一部分进行蚀刻来形成公共电极29及用作栅电极的导电膜29b。然后,去除掩模。

[0302] 通过上述工序,制造晶体管102a,并且还可以制造电容器105a。

[0303] 在本实施方式所示的晶体管中,当用作栅电极的导电膜29b在沟道宽度方向上隔着氧化物绝缘膜23及25与氧化物半导体膜19a的侧面相对时,借助于用作栅电极的导电膜29b的电场,在氧化物半导体膜19a的侧面或包括该侧面及其附近的区域中发生的寄生沟道得到抑制。其结果是,得到在阈值电压时漏电流急剧上升等电特性优良的晶体管。

[0304] 本实施方式的显示装置的元件衬底设置有包括在与信号线交叉的方向上延伸的条纹形区域的公共电极。因此,该显示装置可以具有优异的对比度。

[0305] 在本实施方式所示的显示装置的元件衬底上,在形成晶体管的氧化物半导体膜的同时形成像素电极。像素电极被用作电容器的一个电极。公共电极还被用作电容器的另一个电极。由此,为了形成电容器不需要形成其他导电膜,从而可以减少显示装置的制造工序数。该电容器具有透光性。其结果是,可以增大电容器所占的面积,并且可以提高像素的开口率。

[0306] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

[0307] 实施方式5

在本实施方式中,参照附图说明包括与上述实施方式相比能够进一步减少氧化物半导体膜中的缺陷量的晶体管的显示装置。本实施方式所说明的晶体管的与实施方式2至4的晶体管不同之处在于设置有包括多个氧化物半导体膜的多层膜。在此,利用实施方式2的晶体管说明详细内容。

[0308] 图26A及26B示出包括在显示装置中的元件衬底的截面图。图26A及26B是沿着图4中的点划线A-B及C-D的截面图。

[0309] 图26A的晶体管102b包括隔着氮化物绝缘膜15及氧化物绝缘膜17与用作栅电极的

导电膜13重叠的多层膜37a、以及与该多层膜37a接触的用作源电极和漏电极的导电膜21a及21b。氧化物绝缘膜23、氧化物绝缘膜25以及氮化物绝缘膜27形成在氮化物绝缘膜15、氧化物绝缘膜17、多层膜37a以及用作源电极和漏电极的导电膜21a及21b上。

[0310] 图26A的电容器105b包括形成在氧化物绝缘膜17上的多层膜37b、与该多层膜37b接触的氮化物绝缘膜27以及与氮化物绝缘膜27接触的公用电极29。多层膜37b被用作像素电极。

[0311] 在本实施方式所示的晶体管102b中,多层膜37a包括氧化物半导体膜19a及氧化物半导体膜39a。也就是说,多层膜37a具有两层结构。另外,氧化物半导体膜19a的一部分被用作沟道区域。此外,氧化物绝缘膜23被形成为与多层膜37a接触,并且,氧化物绝缘膜25被形成为与氧化物绝缘膜23接触。也就是说,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。

[0312] 氧化物半导体膜39a是包含构成氧化物半导体膜19a的元素中的一种或多种的氧化物膜。因此,在氧化物半导体膜19a与39a之间的界面处不容易发生界面散射。由此,由于在该界面处载流子的移动不被阻碍,所以晶体管可以具有高场效应迁移率。

[0313] 氧化物半导体膜39a典型为In-Ga氧化物膜、In-Zn氧化物膜、In-M-Zn氧化物膜(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)。氧化物半导体膜39a的导带底能量与氧化物半导体膜19a相比较接近于真空能级,典型的是,氧化物半导体膜39a的导带底能量与氧化物半导体膜19a的导带底能量之间的差值为0.05eV或更大、0.07eV或更大、0.1eV或更大、和0.15eV或更大中的任一个,且2eV或更小、1eV或更小、0.5eV或更小、和0.4eV或更小中的任一个。也就是说,氧化物半导体膜39a的电子亲和力与氧化物半导体膜19a的电子亲和力之间的差值为0.05eV或更大、0.07eV或更大、0.1eV或更大、和0.15eV或更大中的任一个,且2eV或更小、1eV或更小、0.5eV或更小、和0.4eV或更小中的任一个。

[0314] 氧化物半导体膜39a优选包含In,因为载流子迁移率(电子迁移率)得到提高。

[0315] 当氧化物半导体膜39a包含其原子个数比大于In的原子个数比的Al、Ga、Y、Zr、Sn、La、Ce或Nd时,有可能得到如下效果:(1)氧化物半导体膜39a的能隙增大;(2)氧化物半导体膜39a的电子亲和力减小;(3)来自外部的杂质扩散减少;(4)与氧化物半导体膜19a相比,其绝缘性提高;(5)由于Al、Ga、Y、Zr、Sn、La、Ce或Nd是与氧的键合力强的金属元素,所以不容易产生氧缺损。

[0316] 在氧化物半导体膜39a为In-M-Zn氧化物膜的情况下,当将In和M的总和假设为100atomic%时,In及M的比例优选为如下:In的原子数百分比低于50atomic%且M的原子数百分比高于50atomic%;更优选的是,In的原子数百分比低于25atomic%且M的原子数百分比高于75atomic%。

[0317] 另外,在氧化物半导体膜19a及39a为In-M-Zn氧化物(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的情况下,氧化物半导体膜39a中的M原子(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的比例高于氧化物半导体膜19a中的M原子的比例。作为典型例子,氧化物半导体膜39a中的M的比例为氧化物半导体膜19a中的M的比例的1.5倍或更多,优选为2倍或更多,更优选为3倍或更多。

[0318] 另外,在氧化物半导体膜19a及氧化物半导体膜39a为In-M-Zn氧化物膜(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的情况下,当在氧化物半导体膜39a中满足 $\text{In}:\text{M}:\text{Zn} = x_1:y_1:z_1$ [原

子个数比],且在氧化物半导体膜19a中满足 $In:M:Zn=x_2:y_2:z_2$ [原子个数比]时, y_1/x_1 大于 y_2/x_2 。优选的是, y_1/x_1 为 y_2/x_2 的1.5倍或更大。更优选的是, y_1/x_1 为 y_2/x_2 的2倍或更大。进一步优选的是, y_1/x_1 为 y_2/x_2 的3倍或更大。

[0319] 在氧化物半导体膜19a是In-M-Zn氧化物膜(M是Al、Ga、Y、Zr、Sn、La、Ce或Nd),且将其金属元素的原子个数比为 $In:M:Zn=x_1:y_1:z_1$ 的靶材用于氧化物半导体膜19a的形成的情况下, x_1/y_1 优选大于或等于1/3且小于或等于6,更优选大于或等于1且小于或等于6, z_1/y_1 优选大于或等于1/3且小于或等于6,更优选大于或等于1且小于或等于6。注意,当 z_1/y_1 大于或等于1且小于或等于6时,容易形成作为氧化物半导体膜19a后面说明的CAAC-OS膜。靶材的金属元素的原子个数比的典型例子是 $In:M:Zn=1:1:1$ 、 $In:M:Zn=1:1:1.2$ 以及 $In:M:Zn=3:1:2$ 。

[0320] 在氧化物半导体膜39a是In-M-Zn氧化物膜(M是Al、Ga、Y、Zr、Sn、La、Ce或Nd),且将其金属元素的原子个数比为 $In:M:Zn=x_2:y_2:z_2$ 的靶材用于氧化物半导体膜39a的形成的情况下, x_2/y_2 优选小于 x_1/y_1 , z_2/y_2 优选大于或等于1/3且小于或等于6,更优选大于或等于1且小于或等于6。注意,当 z_2/y_2 大于或等于1且小于或等于6时,容易形成作为氧化物半导体膜39a后面说明的CAAC-OS膜。靶材的金属元素的原子个数比的典型例子是 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:4$ 、 $In:M:Zn=1:3:6$ 、 $In:M:Zn=1:3:8$ 、 $In:M:Zn=1:4:4$ 、 $In:M:Zn=1:4:5$ 以及 $In:M:Zn=1:6:8$ 。

[0321] 另外,氧化物半导体膜19a及氧化物半导体膜39a的各金属原子的原子个数比的比例在上述原子个数比的 $\pm 40\%$ 的范围内变动作为误差。

[0322] 在后面形成氧化物绝缘膜25时,氧化物半导体膜39a还被用作缓和对氧化物半导体膜19a造成的损伤的膜。

[0323] 氧化物半导体膜39a的厚度大于或等于3nm且小于或等于100nm,优选大于或等于3nm且小于或等于50nm。

[0324] 氧化物半导体膜39a例如与氧化物半导体膜19a同样地可以具有非单晶结构。非单晶结构例如包括下述c轴取向结晶氧化物半导体(CAAC-OS:c-axis aligned crystalline oxide semiconductor:)、多晶结构、下述微晶结构或非晶结构。

[0325] 氧化物半导体膜39a例如也可以具有非晶结构。具有非晶结构的氧化物半导体膜例如具有无秩序的原子排列且不具有结晶成分。

[0326] 此外,氧化物半导体膜19a及39a的每一个可以为具有如下区域中的两种或更多种的混合膜:具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域以及具有单晶结构的区域。该混合膜有时具有例如包括具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域中的两种或更多种的单层结构。另外,有时,混合膜具有叠层结构,其中层叠有如下区域中的两种或更多种:具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域以及具有单晶结构的区域。

[0327] 在此,氧化物半导体膜39a形成在氧化物半导体膜19a与氧化物绝缘膜23之间。因此,如果载流子陷阱由于杂质及缺陷而形成在氧化物半导体膜39a与氧化物绝缘膜23之间,在氧化物半导体膜19a中流过的电子则不容易被载流子陷阱俘获,因为在该载流子陷阱与氧化物半导体膜19a之间有间隔。所以,能够增大晶体管的开态电流量,而且能够提高场效

应迁移率。当电子被载流子陷阱俘获时,该电子成为固定负电荷。其结果是,晶体管的阈值电压变动。然而,通过利用氧化物半导体膜19a与载流子陷阱之间的间隔,能够抑制电子被载流子陷阱俘获,并且能够减少阈值电压的变动量。

[0328] 由于氧化物半导体膜39a能够遮蔽来自外部的杂质,所以可以减少从外部移动到氧化物半导体膜19a的杂质量。另外,在氧化物半导体膜39a中不容易形成氧缺损。其结果是,能够降低氧化物半导体膜19a中的杂质浓度及氧缺损量。

[0329] 此外,氧化物半导体膜19a及39a不仅以简单地层叠各膜的方式来形成,而且被形成为具有连续接合(在此,尤其是,在各膜之间导带底能量连续变化的结构)。换言之,设置在各膜之间的界面处不存在形成俘获中心或再结合中心等缺陷能级的杂质的叠层结构。如果杂质存在于层叠的氧化物半导体膜19a与39a之间,能带的连续性则受到破坏,并且载流子在该界面处被俘获或再结合而消失。

[0330] 为了形成这样连续能带,需要使用包括装载闭锁室的多室成膜装置(溅射装置)以不暴露于大气的方式连续形成膜。优选使用低温泵等吸附式真空抽气泵将溅射装置中的各处理室抽成高真空状态(抽成 5×10^{-7} Pa至 1×10^{-4} Pa左右)以尽可能地去掉对氧化物半导体膜来说是杂质的水等。或者,优选组合涡轮分子泵和冷阱来防止气体,尤其是,包含碳或氢的气体从抽气系统倒流到处理室内。

[0331] 如图26B的晶体管102c那样,可以设置有多层膜38a代替多层膜37a。

[0332] 另外,如图26B的电容器105c那样,可以设置有多层膜38b代替多层膜37b。

[0333] 多层膜38a包括氧化物半导体膜49a、氧化物半导体膜19a以及氧化物半导体膜39a。也就是说,多层膜38a具有三层结构。此外,氧化物半导体膜19a被用作沟道区域。

[0334] 氧化物半导体膜49a可以使用与氧化物半导体膜39a同样的材料及形成方法而形成。

[0335] 多层膜38b包括氧化物半导体膜49b、氧化物半导体膜19f以及氧化物半导体膜39b。换言之,多层膜38b具有三层结构。多层膜38b被用作像素电极。

[0336] 氧化物半导体膜19f可以适当地使用与像素电极19b同样的材料及形成方法而形成。氧化物半导体膜49b可以适当地使用与氧化物半导体膜39b同样的材料及形成方法而形成。

[0337] 此外,氧化物绝缘膜17与氧化物半导体膜49a接触。也就是说,氧化物半导体膜49a设置在氧化物绝缘膜17与氧化物半导体膜19a之间。

[0338] 多层膜38a与氧化物绝缘膜23接触。另外,氧化物半导体膜39a与氧化物绝缘膜23接触。也就是说,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。

[0339] 优选的是,氧化物半导体膜49a的厚度小于氧化物半导体膜19a的厚度。当氧化物半导体膜49a的厚度大于或等于1nm且小于或等于5nm,优选大于或等于1nm且小于或等于3nm时,可以减少晶体管的阈值电压的变动量。

[0340] 在本实施方式所示的晶体管中,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。因此,如果载流子陷阱由于杂质及缺陷而形成在氧化物半导体膜39a与氧化物绝缘膜23之间,在氧化物半导体膜19a中流过的电子则不容易被载流子陷阱俘获,因为在该载流子陷阱与氧化物半导体膜19a之间有间隔。所以,能够增大晶体管的开态电流量,并且能够提高场效应迁移率。当电子被载流子陷阱俘获时,该电子成为固定负电荷。其

结果是,晶体管的阈值电压变动。然而,通过利用氧化物半导体膜19a与载流子陷阱之间的间隔,能够抑制电子被载流子陷阱俘获,并且能够减少阈值电压的变动量。

[0341] 由于氧化物半导体膜39a能够遮蔽来自外部的杂质,所以可以减少从外部移动到氧化物半导体膜19a的杂质量。此外,在氧化物半导体膜39a中不容易形成氧缺损。其结果是,能够降低氧化物半导体膜19a中的杂质浓度及氧缺损量。

[0342] 另外,氧化物半导体膜49a设置在氧化物绝缘膜17与氧化物半导体膜19a之间,并且氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。因此,能够降低氧化物半导体膜49a与氧化物半导体膜19a之间的界面附近的硅或碳的浓度、氧化物半导体膜19a中的硅或碳的浓度或者氧化物半导体膜39a与氧化物半导体膜19a之间的界面附近的硅或碳的浓度。其结果是,在多层膜38a中,利用恒定光电流法导出的吸收系数低于 $1 \times 10^{-3}/\text{cm}$,优选低于 $1 \times 10^{-4}/\text{cm}$,由此定域态密度极低。

[0343] 具有这种结构的晶体管102c在包括氧化物半导体膜19a的多层膜38a中缺陷极少;因此,能够提高晶体管的电特性,典型的是,能够增大开态电流且能够提高场效应迁移率。另外,在应力测试的例子的BT应力测试及光BT应力测试中,阈值电压的变动量少,由此可靠性较高。

[0344] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

[0345] 实施方式6

在本实施方式中,说明能够用于包括在上述实施方式所说明的显示装置中的晶体管的氧化物半导体膜的一个方式。

[0346] 氧化物半导体膜例如分为非单晶氧化物半导体膜和单晶氧化物半导体膜。或者,氧化物半导体例如分为结晶氧化物半导体和非晶氧化物半导体。

[0347] 非单晶氧化物半导体的例子包括c轴取向结晶氧化物半导体(CAAC-OS:c-axis aligned crystalline oxide semiconductor)、多晶氧化物半导体、微晶氧化物半导体以及非晶氧化物半导体。此外,结晶氧化物半导体的例子包括单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及微晶氧化物半导体。

[0348] 氧化物半导体膜可以包括如下氧化物半导体中的一种或多种:具有单晶结构的氧化物半导体(以下称为单晶氧化物半导体);具有多晶结构的氧化物半导体(以下称为多晶氧化物半导体);具有微晶结构的氧化物半导体(以下称为微晶氧化物半导体);以及具有非晶结构的氧化物半导体(以下称为非晶氧化物半导体)。此外,氧化物半导体膜也可以包括CAAC-OS膜。此外,氧化物半导体膜也可以包括非晶氧化物半导体以及具有晶粒的氧化物半导体。下面说明CAAC-OS及微晶氧化物半导体作为其典型例子。

[0349] <CAAC-OS>

首先,说明CAAC-OS膜。

[0350] CAAC-OS膜是包括多个c轴取向的结晶部的氧化物半导体膜之一。

[0351] 通过利用透射电子显微镜(TEM:transmission electron microscope)获得CAAC-OS膜的亮视场像及衍射图案的复合分析图像(也称为高分辨率TEM图像)。其结果是,明显地观察到多个结晶部。但是,即使在高分辨率TEM图像中,也观察不到结晶部之间的明确的边界,即晶界(grain boundary)。因此,在CAAC-OS膜中,不容易发生起因于晶界的电子迁移率

的降低。

[0352] 根据在大致平行于样品面的方向上观察的CAAC-OS膜的高分辨率截面TEM图像,在结晶部中金属原子排列为层状。各金属原子层具有反映着形成CAAC-OS膜的面(以下,将形成CAAC-OS膜的面称为形成面)或CAAC-OS膜的顶面的形状,且被排列为平行于CAAC-OS膜的形成面或顶面。

[0353] 另一方面,根据在大致垂直于样品面的方向上观察的CAAC-OS膜的高分辨率平面TEM图像,在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间没有金属原子的排列规律性。

[0354] 图27A是CAAC-OS膜的高分辨率截面TEM图像。图27B是放大图27A的图像而得到的高分辨率截面TEM图像。在图27B中,为便于理解强调表示原子排列。

[0355] 图27C是图27A中的A和O之间以及O和A'之间的由圆圈包围的区域(直径大致为4nm)的傅里叶变换图像。在图27C的各区域中可以确认到c轴取向性。A和O之间的c轴方向与O和A'之间的c轴方向不同,这显示A和O之间的区域中的晶粒与O和A'之间的区域中的晶粒不同。另外,在A和O之间,c轴的角度从 14.3° 经 16.6° 连续且逐渐地变化到 26.4° 。同样地,在O和A'之间,c轴的角度从 -18.3° 经 -17.6° 连续且逐渐地变化到 -15.9° 。

[0356] 另外,在CAAC-OS膜的电子衍射图案中,显示有具有取向性的斑点(亮点)。例如,在使用其束径为1nm至30nm的电子束而获得的CAAC-OS膜的顶面的纳米束电子衍射图案中显示有斑点(参照图28A)。

[0357] 根据高分辨率截面TEM图像及高分辨率平面TEM图像的结果,在CAAC-OS膜的结晶部中观察到取向性。

[0358] 包含在CAAC-OS膜中的结晶部的大部分可以被容纳在一边短于100nm的立方体内。因此,有时包含在CAAC-OS膜中的结晶部可以被容纳在一边短于10nm、短于5nm或短于3nm的立方体内。注意,当包含在CAAC-OS膜中的多个结晶部联结时,有时形成一个大结晶区。例如,在高分辨率平面TEM图像中有时观察到 2500nm^2 或更大、 $5\mu\text{m}^2$ 或更大或者 $1000\mu\text{m}^2$ 或更大面积的结晶区。

[0359] 使用X射线衍射(XRD:X-ray diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法对包括 InGaZnO_4 结晶的CAAC-OS膜进行分析时,在衍射角(2θ)为 31° 附近时峰值频繁出现。该峰值来源于 InGaZnO_4 结晶的(009)面,这显示CAAC-OS膜中的结晶具有c轴取向性,并且该c轴在大致垂直于CAAC-OS膜的形成面或顶面的方向上取向。

[0360] 另一方面,当利用在大致垂直于c轴的方向上X射线入射到样品中的in-plane法对CAAC-OS膜进行分析时,在 2θ 为 56° 附近时峰值频繁出现。该峰值来源于 InGaZnO_4 结晶的(110)面。在此,在将 2θ 固定为 56° 附近并且以样品面的法线向量为轴(ϕ 轴)旋转样品的条件下进行分析(ϕ 扫描)。在该样品是 InGaZnO_4 的单晶氧化物半导体膜的情况下,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面,在CAAC-OS膜的情况下,即使将 2θ 固定为 56° 附近进行 ϕ 扫描也观察不到明确的峰值。

[0361] 根据上述结果,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部之间彼此不同,但是c轴在平行于形成面的法线向量或顶面的法线向量的方向上取向。因此,在上述高分辨率截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的a-b面平行的面。

[0362] 注意,结晶部是在形成CAAC-OS膜的同时形成的或者是通过加热处理等晶化处理而形成的。如上所述,结晶的c轴在平行于形成面的法线向量或顶面的法线向量的方向上取向。由此,例如,在CAAC-OS膜的形状因蚀刻等而变化的情况下,该c轴不一定需要平行于CAAC-OS膜的形成面的法线向量或顶面的法线向量。

[0363] 此外,CAAC-OS膜中的c轴取向的结晶部的分布不一定需要均匀。例如,在起因于CAAC-OS膜的结晶部的结晶成长从膜的顶面附近产生的情况下,有时顶面附近的c轴取向的结晶部的比例高于形成面附近的比例。另外,当杂质添加于CAAC-OS膜时,添加有杂质的区域变质,并且有时CAAC-OS膜中的c轴取向的结晶部的比例根据区域而不同。

[0364] 注意,当利用out-of-plane法对包括InGaZnO₄结晶的CAAC-OS膜进行分析时,除了在31°附近的2θ峰值之外,还在36°附近有可能观察到2θ峰值。在36°附近的2θ峰值意味着不具有c轴取向的结晶包含在CAAC-OS膜的一部分中。优选的是,在CAAC-OS膜中,在31°附近出现2θ峰值而在36°附近不出现2θ峰值。

[0365] CAAC-OS膜是杂质浓度低的氧化物半导体膜。杂质是氧化物半导体膜的主要成分以外的元素,诸如氢、碳、硅或过渡金属元素。尤其是,如硅等与氧的键合力比包含在氧化物半导体膜中的金属元素更强的元素夺取氧化物半导体膜的氧来打乱氧化物半导体膜的原子排列,导致结晶性下降。另外,铁或镍等重金属、氫、二氧化碳等具有大原子半径(分子半径),所以当包含在氧化物半导体膜内时,打乱氧化物半导体膜的原子排列,导致结晶性下降。包含在氧化物半导体膜中的杂质有可能成为载流子陷阱或载流子发生源。

[0366] CAAC-OS膜是缺陷态密度低的氧化物半导体膜。有时氧化物半导体膜中的氧缺损成为载流子陷阱,或当俘获氢时成为载流子发生源。

[0367] 杂质浓度低且缺陷态密度低(氧缺损量少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体膜具有少载流子发生源,所以可以具有低载流子密度。因此,包括该氧化物半导体膜的晶体管很少具有负阈值电压(很少为常开启型)。高纯度本征或实质上高纯度本征的氧化物半导体膜具有低缺陷态密度,所以具有少载流子陷阱。因此,包括该氧化物半导体膜的晶体管具有变动小的电特性,且具有高可靠性。被氧化物半导体膜中的载流子陷阱俘获的电荷以长时间被释放,有时像固定电荷那样动作。所以,包括杂质浓度高且缺陷态密度高的氧化物半导体膜的晶体管有时具有不稳定的电特性。

[0368] 通过在晶体管中使用CAAC-OS膜,起因于可见光或紫外光的照射的晶体管电特性的变动小。

[0369] <微晶氧化物半导体>

接下来,说明微晶氧化物半导体膜。

[0370] 微晶氧化物半导体膜具有在其高分辨率TEM图像中观察到结晶部的区域以及在其高分辨率TEM图像中观察不到明确的结晶部的区域。在很多情况下,微晶氧化物半导体膜中的结晶部大于或等于1nm且小于或等于100nm,或大于或等于1nm且小于或等于10nm。尺寸为大于或等于1nm且小于或等于10nm或者大于或等于1nm且小于或等于3nm的微晶特别称为纳米晶体(nc:nanocrystal)。将包括纳米晶的氧化物半导体膜称为nc-OS(nanocrystalline oxide semiconductor)膜。在用TEM观察的nc-OS膜的图像中,例如,有时难以明确地观察到晶界。

[0371] 在nc-OS膜中,微小区域(例如,大于或等于1nm且小于或等于10nm的区域,特别是,大于或等于1nm且小于或等于3nm的区域)具有周期性的原子排列。另外,在nc-OS膜中的不同的结晶部之间没有晶体取向的规律性。因此,观察不到膜整体的取向性。所以,有时nc-OS膜根据分析方法不能与非晶氧化物半导体区别。例如,在通过利用使用其束径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时,不显出呈现结晶面的峰值。此外,光晕图案显示在使用其束径比结晶部的直径大(例如,大于或等于50nm)的电子束而得到的nc-OS膜的选区电子衍射图案中。另一方面,斑点显示在使用其束径近于或小于结晶部直径的电子束而得到的nc-OS膜的纳米束电子衍射图案中。另外,在nc-OS膜的纳米束电子衍射图案中,有时观察到圆圈(环状)的亮度高的区域。另外,在nc-OS膜的纳米束电子衍射图案中,多个斑点有时显示在环状区域内(参照图28B)。

[0372] nc-OS膜是具有比非晶氧化物半导体膜高的规律性的氧化物半导体膜。因此,nc-OS膜具有比非晶氧化物半导体膜低的缺陷态密度。但是,在nc-OS膜的不同结晶部之间没有晶体取向的规律性;所以,nc-OS膜具有比CAAC-OS膜高的缺陷态密度。

[0373] 接着,说明非晶氧化物半导体膜。

[0374] 非晶氧化物半导体膜具有无序的原子排列并不具有结晶部。例如,非晶氧化物半导体膜具有如石英那样无定形态。

[0375] 在非晶氧化物半导体膜的高分辨率TEM图像中,观察不到结晶部。

[0376] 当使用XRD装置通过out-of-plane法对非晶氧化物半导体膜进行结构分析时,显示不出表示结晶面的峰值。在非晶氧化物半导体膜的电子衍射图案中显示有光晕图案。另外,在非晶氧化物半导体膜的纳米束电子衍射图案中显示有光晕图案,但斑点没有显示出来。

[0377] 非晶氧化物半导体膜以高浓度包含氢等杂质。此外,非晶氧化物半导体膜具有高缺陷态密度。

[0378] 杂质浓度高且缺陷态密度高的氧化物半导体膜具有很多载流子陷阱或很多载流子发生源。

[0379] 因此,非晶氧化物半导体膜具有比nc-OS膜更高的载流子密度。由此,包括非晶氧化物半导体膜的晶体管有成为常开启型的倾向。因此,有时可以将这种非晶氧化物半导体膜用于需要为常开启型的晶体管。由于非晶氧化物半导体膜具有高缺陷态密度,所以载流子陷阱有可能增大。其结果是,与包括CAAC-OS膜或nc-OS膜的晶体管相比,包括非晶氧化物半导体膜的晶体管的电特性变动大,而其可靠性低。

[0380] 此外,氧化物半导体膜有可能为具有nc-OS膜与非晶氧化物半导体膜之间的物性的结构。将具有这种结构的氧化物半导体膜特别称为amorphous-like氧化物半导体(amorphous-like OS:amorphous-like oxide semiconductor)膜。

[0381] 在amorphous-like OS膜的高分辨率TEM图像中,有时观察到空洞。此外,在该高分辨率TEM图像中,有明确地确认到结晶部的区域及确认不到结晶部的区域。在amorphous-like OS膜中,有时发生因用于TEM观察的微量的电子束而产生的晶化,观察到结晶部的生长。另一方面,在优质的nc-OS膜中,几乎观察不到因用于TEM观察的微量的电子束而产生的晶化。

[0382] 此外,可以使用高分辨率TEM图像对amorphous-like OS膜及nc-OS膜的结晶部的

尺寸进行测量。例如, InGaZnO₄结晶具有层状结构, 其中, 在In-O层之间具有两个Ga-Zn-O层。InGaZnO₄结晶的单位晶格具有三个In-O层和六个Ga-Zn-O层的九个层在c轴方向上层叠的结构。因此, 这些彼此相邻的层之间的间隔与(009)面的晶格间隔(也称为d值)相等。通过结晶结构分析而求出的值为0.29nm。因此, 着眼于高分辨率TEM图像中的晶格条纹, 在其间隔为0.28nm至0.30nm的晶格条纹的每一个被认为是对应于InGaZnO₄结晶的a-b面。以观察到晶格条纹的区域中的最大长度为amorphous-like OS膜及nc-OS膜的结晶部的尺寸。另外, 对其尺寸为0.8nm或更大的结晶部选择性地评价。

[0383] 图35示出利用高分辨率TEM图像的amorphous-like OS膜及nc-OS膜的结晶部(20至40个点)的平均尺寸的变化结果的调查结果。如图35所示, 随着电子照射的累积量的增加而amorphous-like OS膜的结晶部增大。具体而言, 在利用TEM观察的初期为1.2nm左右的结晶部在电子照射的累积量为 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 时生长到2.6nm左右的尺寸。另一方面, 在电子照射开始时至电子照射的累积量为 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 的范围内, 优质的nc-OS膜的结晶部的尺寸无论电子照射的累积量如何都几乎没有变化。

[0384] 此外, 在图35中, 通过对amorphous-like OS膜及nc-OS膜中的结晶部的尺寸的变化进行线性近似并将其外推至电子照射的累积量 $0 \text{e}^-/\text{nm}^2$, 可知结晶部的平均尺寸取正值。这意味着, 在TEM观察之前结晶部存在于amorphous-like OS膜及nc-OS膜中。

[0385] 注意, 氧化物半导体膜例如也可以是包括非晶氧化物半导体膜、微晶氧化物半导体膜和CAAC-OS膜中的两种或更多种的叠层膜。

[0386] 在氧化物半导体膜具有多种结构的情况下, 有时可以利用纳米束电子衍射对该结构进行分析。

[0387] 图28C示出透射电子衍射测量装置, 其包括电子枪室70、电子枪室70下的光学系统72、光学系统72下的样品室74、样品室74下的光学系统76、光学系统76下的观察室80、设置在观察室80中的相机78、以及观察室80下的胶片室82。以朝向观察室80的内部的方式设置相机78。另外, 不需要必须设置胶片室82。

[0388] 图28D示出图28C所示的透射电子衍射测量装置的内部结构。在透射电子衍射测量装置中, 将从设置在电子枪室70中的电子枪发射的电子通过光学系统72照射到配置在样品室74中的物质88。穿过物质88的电子通过光学系统76入射到设置在观察室80中的荧光板92。根据所入射的电子的强度的图案显示在荧光板92中, 由此可以测量透射电子衍射图案。

[0389] 相机78被设置为朝向荧光板92, 并可以拍摄显示在荧光板92中的图案。穿过相机78的透镜的中心及荧光板92的中心的直线与荧光板92的顶面所形成的角度例如为 15° 或更大且 80° 或更小, 30° 或更大且 75° 或更小或者 45° 或更大且 70° 或更小。该角度越小, 由相机78拍摄的透射电子衍射图案的应变越大。注意, 如果预先获得该角度, 则能够校正所得到的透射电子衍射图案的应变。另外, 胶片室82也可以设置有相机78。例如, 相机78也可以与电子84的入射方向相对的方式设置在胶片室82中。在此情况下, 可以从荧光板92的背面拍摄应变少的透射电子衍射图案。

[0390] 用来固定作为样品的物质88的支架设置在样品室74中。该支架使穿过物质88的电子透过。支架也可以例如具有在X、Y及Z轴方向上移动物质88的功能。该支架的移动功能可以具有例如在1nm至10nm、5nm至50nm、10nm至100nm、50nm至500nm、100nm至 $1 \mu\text{m}$ 范围内移动物质的精确度。该范围优选被决定为对物质88的结构而言最适合的范围。

[0391] 然后,说明使用上述透射电子衍射测量装置测量物质的透射电子衍射图案的方法。

[0392] 例如,如图28D所示,通过在物质中改变作为纳米束的电子84的照射位置(进行扫描),可以观察物质结构的变化。此时,当物质88是CAAC-OS膜时,可以观察到图28A所示的衍射图案。当物质88是nc-OS膜时,可以观察到图28B所示的衍射图案。

[0393] 即使物质88是CAAC-OS膜,也有时部分地观察到与nc-OS膜等同样的衍射图案。因此,有时可以利用在一定的范围中观察到CAAC-OS膜的衍射图案的区域的比率(也称为CAAC比率)而判断CAAC-OS膜是否是优良的。在优质的CAAC-OS膜的情况下,例如,该CAAC比率高于或等于50%,优选高于或等于80%,更优选高于或等于90%,进一步优选高于或等于95%。另外,将观察到与CAAC-OS膜不同的衍射图案的区域的比率称为非CAAC比率。

[0394] 例如,对包括刚成膜之后(表示为“as-sputtered”)的CAAC-OS膜的样品的顶面以及包括在包含氧的气氛中以450℃进行加热处理之后的CAAC-OS的样品的顶面进行扫描,来得到透射电子衍射图案。在此,以5nm/秒钟的速率扫描60秒钟对衍射图案进行观察,且每隔0.5秒将观察到的衍射图案转换为静态图像,来得到上述CAAC比率。注意,作为电子线,使用束径为1nm的纳米束。对六个样品进行上述测量。利用六个样品的平均值来算出CAAC比率。

[0395] 图29A示出各样品的CAAC比率。刚成膜之后的CAAC-OS膜的CAAC比率为75.7%(非CAAC比率为24.3%)。进行450℃的加热处理之后的CAAC-OS膜的CAAC比率为85.3%(非CAAC比率为14.7%)。上述结果表示450℃的加热处理之后的CAAC比率高于刚成膜之后的CAAC比率。也就是说,高温(例如高于或等于400℃)的加热处理降低非CAAC比率(提高CAAC比率)。此外,上述结果还表示即使加热处理的温度低于500℃,CAAC-OS膜也可以具有高CAAC比率。

[0396] 在此,与CAAC-OS膜不同的衍射图案的大部分是与nc-OS膜同样的衍射图案。此外,在测量区域中不能观察到非晶氧化物半导体膜。由此,上述结果表示具有与nc-OS膜同样的结构的区域通过加热处理受到相邻区域的结构的影响而重新排列,据此该区域成为CAAC。

[0397] 图29B及29C分别是刚成膜之后的CAAC-OS膜及450℃的加热处理之后的CAAC-OS膜的高分辨率平面TEM图像。图29B与29C之间的比较表示450℃的加热处理之后的CAAC-OS膜具有更均匀的膜性质。也就是说,高温的加热处理提高CAAC-OS膜的膜性质。

[0398] 通过利用这种测量方法,有时可以对具有多种结构的氧化物半导体膜的结构进行分析。

[0399] <氧化物半导体膜及氧化物导电体膜>

接着,将参照图34说明使用氧化物半导体形成的膜(以下称为氧化物半导体膜(OS))以及使用能够用于像素电极19b的氧化物导电体形成的膜(以下称为氧化物导电体膜(OC))的导电率的温度依赖性。在图34中,横轴表示测定温度(下横轴表示1/T,上横轴表示T),纵轴表示导电率(1/ρ)。氧化物半导体膜(OS)的测定结果由三角形表示,而氧化物导电体膜(OC)的测定结果由圆圈表示。

[0400] 以如下方法准备包括氧化物半导体膜(OS)的样品:通过使用原子比为In:Ga:Zn=1:1:1.2的溅射靶材的溅射法在玻璃衬底上形成35nm厚的In-Ga-Zn氧化物膜,通过使用原子比为In:Ga:Zn=1:4:5的溅射靶材的溅射法在该35nm厚的In-Ga-Zn氧化物膜上形成20nm厚的In-Ga-Zn氧化物膜,在氮气氛下以450℃进行加热处理,然后在氮及氧的混合气体气氛下以450℃进行加热处理,并且通过等离子体CVD法在该氧化物膜上形成氧氮化硅膜。

[0401] 以如下方法准备包括氧化物导电体膜(OC)的样品:通过使用原子比为In:Ga:Zn=1:1:1的溅射靶材的溅射法在玻璃衬底上形成100nm厚的In-Ga-Zn氧化物膜,在氮气氛下以450℃进行加热处理,然后在氮及氧的混合气体气氛下以450℃进行加热处理,并且通过等离子体CVD法在该氧化物膜上形成氮化硅膜。

[0402] 从图34可知,氧化物导电体膜(OC)的导电率的温度依赖性低于氧化物半导体膜(OS)的导电率的温度依赖性。典型的是,在80K至290K的温度下氧化物导电体膜(OC)的导电性的变化范围是从大于-20%到小于+20%。或者,在150K至250K的温度下导电性的变化范围是从大于-10%到小于+10%。换言之,氧化物导电体是简并(degenerate)半导体,并可以推测其传导带边缘能级与费米能级一致或大致一致。因此,该氧化物导电体膜(OC)可以用于电阻器、布线、电极、像素电极、公共电极等。

[0403] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

[0404] 实施方式7

如实施方式2所述,在使用氧化物半导体膜的晶体管中,可以使关闭状态下的电流(关态电流)小。因此,可以在较长期间保持图像信号等电信号,而可以设定较长的写入间隔。

[0405] 通过使用关态电流低的晶体管,本实施方式中的液晶显示装置可以以至少两种驱动方法(模式)显示图像。第一驱动模式是液晶显示装置的现有的驱动方法,其中在每一个帧中逐次改写数据。第二驱动模式是在执行数据写入之后停止数据改写的驱动方法,即,刷新频率减小的驱动模式。

[0406] 以第一驱动模式显示动态图像。不需要改变每一个帧的图像数据而可以显示静态图像;所以,不需要在每一个帧中改写数据。当以第二驱动模式驱动液晶显示装置来显示静态图像时,画面闪烁很小,并且可以减少耗电量。

[0407] 被用于本实施方式的液晶显示装置中的液晶元件包括面积大的电容器,该电容器可储存大容量电荷。因此,可以延长像素电极的电位的保持期间,并可以应用减少刷新频率的上述驱动模式。并且,即使液晶显示装置被用于减少刷新频率的驱动模式,也能够长期间地抑制施加到液晶层的电压的变化。由此,可以进一步有效地防止使用者发觉画面闪烁。因此,可以降低耗电量,并且可以提高显示质量。

[0408] 在此,将说明减少刷新频率的效果。

[0409] 眼睛疲劳大致分为两种:神经疲劳和肌肉疲劳。神经疲劳是由于长时间一直观看液晶显示装置的发光、闪烁图像而引起的。这是因为该亮光刺激眼睛的网膜和神经以及脑子的缘故。肌肉疲劳是由于过度使用在调节焦点时使用的睫状肌而引起的。

[0410] 图30A是示出现有的液晶显示装置的显示的示意图。如图30A所示,在现有的液晶显示装置的显示中,进行每秒60次的图像改写。长时间一直观看这种画面时,使用者的视网膜、视神经、脑子有可能被刺激而引起眼睛疲劳。

[0411] 在本发明的一个方式中,关态电流极低的晶体管(例如,使用氧化物半导体的晶体管)被用于液晶显示装置的像素部。另外,液晶元件包括大面积电容器。通过这些要素,能够抑制储存在电容器的电荷泄漏,由此即使帧频率较低,也能够维持液晶显示装置的亮度。

[0412] 也就是说,如图30B所示,例如可以以每5秒钟1次的频率改写图像。这使得使用者可以尽可能地观看同一图像,而使用者所看到的画面闪烁减少。其结果是,对使用者的眼睛

的网膜和神经以及脑子的刺激得到缓和,神经疲劳减轻。

[0413] 本发明的一个方式可以提供一种护眼(eye-friendly)液晶显示装置。

[0414] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

[0415] 实施方式8

在本实施方式中,将说明使用本发明的一个方式的显示装置的电子设备的结构例子。另外,在本实施方式中,将参照图31说明使用本发明的一个方式的显示装置的显示模块。

[0416] 在图31的显示模块8000中,连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光单元8007、框架8009、印刷线路板8010以及电池8011设置在上盖8001与下盖8002之间。注意,有时没有设置背光单元8007、电池8011、触摸面板8004等。

[0417] 本发明的一个方式的显示装置例如可以用于显示面板8006。

[0418] 根据触摸面板8004及显示面板8006的尺寸可以适当地改变上盖8001及下盖8002的形状和尺寸。

[0419] 触摸面板8004可以为电阻式触摸面板或电容式触摸面板,且可以被形成为与显示面板8006重叠。显示面板8006的对置衬底(密封衬底)可以具有触摸面板功能。光传感器可以设置在显示面板8006的各像素内,以形成光学触摸面板。触摸传感器用电极可以设置在显示面板8006的各像素内,而获得电容式触摸面板。

[0420] 背光单元8007包括光源8008。光源8008也可以设置在背光单元8007的端部,并且可以使用光扩散板。

[0421] 框架8009保护显示面板8006且被用作遮断因印刷线路板8010的工作而产生的电磁波的电磁屏蔽。框架8009还可以被用作散热板。

[0422] 印刷线路板8010设置有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,可以使用外部的商业电源或者利用另行设置的电池8011的电源。在利用商业电源的情况下,可以省略电池8011。

[0423] 显示模块8000还可以设置有偏振片、相位差板、棱镜片等构件。

[0424] 图32A至32D是包括本发明的一个方式的显示装置的电子设备的外观图。

[0425] 电子设备的例子是电视装置(也称为电视或电视接收机)、计算机等的显示器、数码相机或数码摄像机等相机、数码相框、移动电话机(也称为移动电话或移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机(pachinko machine)等大型游戏机等。

[0426] 图32A示出便携式信息终端,该便携式信息终端包括主体1001、框体1002、显示部1003a和1003b等。显示部1003b是触控面板。通过触摸显示在显示部1003b上的键盘按钮1004,可以操作屏幕,并且可以输入文字。当然,显示部1003a也可以是触控面板。使用上述实施方式所示的晶体管作为开关元件来制造液晶面板或有机发光面板,并将其用于显示部1003a或1003b,由此可以提供可靠性高的便携式信息终端。

[0427] 图32A所示的便携式信息终端可以具有如下功能:显示各种信息(例如,静止图像、动态图像、文字图像);将日历、日期及时刻等显示在显示部上;操作或编辑显示在显示部上的信息;利用各种软件(程序)控制处理;等等。另外,外部连接端子(耳机端子、USB端子等)、记录介质插入部等也可以设置在框体的背面或侧面。

[0428] 图32A所示的便携式信息终端可以以无线方式发送和接收信息。通过无线通讯,可以从电子书服务器购买和下载所希望的书籍数据等。

[0429] 图32B示出便携式音乐播放机,该便携式音乐播放机在主体1021中包括显示部1023、用来将该便携式音乐播放机戴在耳朵上的固定部1022、扬声器、操作按钮1024以及外部储存槽1025等。使用上述实施方式所示的晶体管作为开关元件来制造液晶面板或有机发光面板,并将其用于显示部1023,由此可以提供可靠性高的便携式音乐播放机。

[0430] 另外,当图32B所示的便携式音乐播放机具有天线、麦克风功能或无线通讯功能且与移动电话一起被使用时,使用者可以在开车等的同时进行无线免提通话。

[0431] 图32C示出移动电话,该移动电话包括两个框体,框体1030及框体1031。框体1031包括显示面板1032、扬声器1033、麦克风1034、指向装置1036、相机1037、外部连接端子1038等。框体1030设置有使移动电话充电的太阳能电池1040、外部储存槽1041等。另外,天线内置于框体1031内。将上述实施方式所示的晶体管用于显示面板1032,由此可以提供可靠性高的移动电话。

[0432] 另外,显示面板1032包括触控面板。在图32C中用虚线示出作为映像被显示出来的多个操作键1035。另外,还包括用来将从太阳能电池1040输出的电压上升到各电路所需的电压的升压电路。

[0433] 在显示面板1032中,根据应用模式适当地改变显示方向。另外,该移动电话在同一面上具有相机1037和显示面板1032,所以可以被用作可视电话。扬声器1033及麦克风1034不局限于用来进行音频通话,还可以用来进行可视通话、录音、再生等。再者,如图32C所示那样处于展开状态的框体1030和1031通过滑动而可以变为彼此重叠的状态。所以,可以减小移动电话的尺寸,据此可实现适合于携带的移动电话。

[0434] 外部连接端子1038可以与AC适配器及各种电缆如USB电缆等连接,由此可以进行充电及与个人计算机等的的数据通讯。另外,通过将记录介质插入外部储存槽1041,可以保存和移动大量数据。

[0435] 另外,除了上述功能之外,还可以提供红外线通信功能、电视接收功能等。

[0436] 图32D示出电视装置的例子。在电视装置1050中,显示部1053组装在框体1051中。图像可以显示在显示部1053上。此外,CPU内置于支撑框体1051的支架1055中。将上述实施方式所示的晶体管用于显示部1053及CPU,由此可以提供可靠性高的电视装置1050。

[0437] 通过利用框体1051的操作开关或另行提供的遥控器可以操作电视装置1050。此外,该遥控器可以设置有显示从该遥控器输出的数据的显示部。

[0438] 另外,电视装置1050设置有接收机及调制解调器等。通过利用接收机,可以接收一般的电视广播。再者,当电视装置通过调制解调器连接于有线或无线方式的通信网络时,可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间)信息通讯。

[0439] 另外,电视装置1050设置有外部连接端子1054、记录媒体再现录像部1052以及外部储存槽。外部连接端子1054可以与各种电缆如USB电缆等连接,可以进行与个人计算机等的的数据通讯。盘状记录媒体插入记录媒体再现录像部1052中,可以进行对储存在记录媒体中的数据的读出以及对记录媒体的写入。另外,作为数据存储于插入于外部储存槽的外部存储器1056中的图像或影像等可以显示在显示部1053上。

[0440] 另外,在上述实施方式所示的晶体管的关态泄漏电流极小的情况下,当该晶体管

被用于外部存储器1056或CPU时,电视装置1050可以具有高可靠性及充分降低的耗电量。

[0441] 本实施方式所示的结构及方法等可以与其他实施方式所示的结构及方法适当地组合而使用。

符号说明

[0442] 10:晶体管、10a:晶体管、10b:晶体管、11:衬底、12:导电膜、13:导电膜、14:栅极绝缘膜、15:氮化物绝缘膜、16:氧化物绝缘膜、17:氧化物绝缘膜、18:氧化物半导体膜、19a:氧化物半导体膜、19b:像素电极、19c:氧化物半导体膜、19d:膜、19f:氧化物半导体膜、19g:氧化物半导体膜、20:导电膜、21a:导电膜、21b:导电膜、21b_1:区域、21b_2:区域、21c:公用线、21d:导电膜、21e:导电膜、21f:导电膜、21g:导电膜、21h:导电膜、21i:导电膜、22:氧化物绝缘膜、23:氧化物绝缘膜、24:氧化物绝缘膜、25:氧化物绝缘膜、26:氮化物绝缘膜、27:氮化物绝缘膜、28:导电膜、29:公共电极、29a:公共电极、29a_1:区域、29a_2:区域、29b:导电膜、29c:导电膜、29d:导电膜、30:无机绝缘膜、30a:无机绝缘膜、31:有机绝缘膜、31a:有机绝缘膜、31b:有机绝缘膜、31c:有机绝缘膜、33:取向膜、37a:多层膜、37b:多层膜、38a:多层膜、38b:多层膜、39a:氧化物半导体膜、39b:氧化物半导体膜、40:开口、41:开口、41a:开口、42:开口、49a:氧化物半导体膜、49b:氧化物半导体膜、70:电子枪室、72:光学系统、74:样品室、76:光学系统、78:相机、80:观察室、82:胶片室、84:电子、88:物质、92:荧光板、101:像素部、102:晶体管、102a:晶体管、102b:晶体管、102c:晶体管、103:像素、103a:像素、103b:像素、103c:像素、104:扫描线驱动电路、105:电容器、105a:电容器、105b:电容器、105c:电容器、106:信号线驱动电路、107:扫描线、109:信号线、115:电容线、121:液晶元件、131:发光元件、133:晶体管、135:晶体管、137:布线、139:布线、141:布线、320:液晶层、322:液晶元件、322a:液晶元件、342:衬底、344:遮光膜、346:着色膜、348:绝缘膜、350:导电膜、352:取向膜、1001:主体、1002:框体、1003a:显示部、1003b:显示部、1004:键盘按钮、1021:主体、1022:固定部、1023:显示部、1024:操作按钮、1025:外部储存槽、1030:框体、1031:框体、1032:显示面板、1033:扬声器、1034:麦克风、1035:操作键、1036:指向装置、1037:摄像头、1038:外部连接端子、1040:太阳能电池、1041:外部储存槽、1050:电视装置、1051:框体、1052:记录媒体再现录像部、1053:显示部、1054:外部连接端子、1055:支架、1056:外部存储器、8000:显示模块、8001:上盖、8002:下盖、8003:FPC、8004:触摸面板、8005:FPC、8006:显示面板、8007:背光单元、8008:光源、8009:框架、8010:印刷线路板、8011:电池

本申请基于2013年10月22日由日本专利局受理的日本专利申请第2013-219516号以及2014年3月11日由日本专利局受理的日本专利申请第2014-047260号,其全部内容通过引用纳入本文。

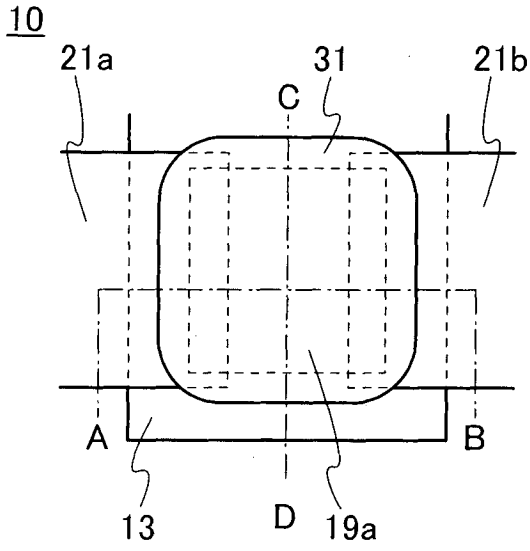


图 1A

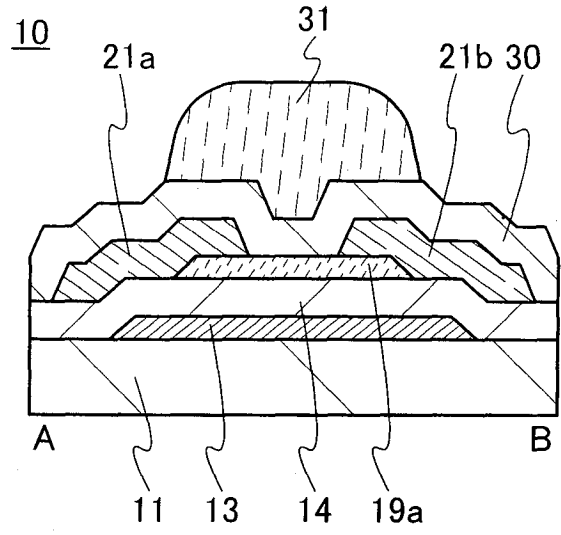


图 1B

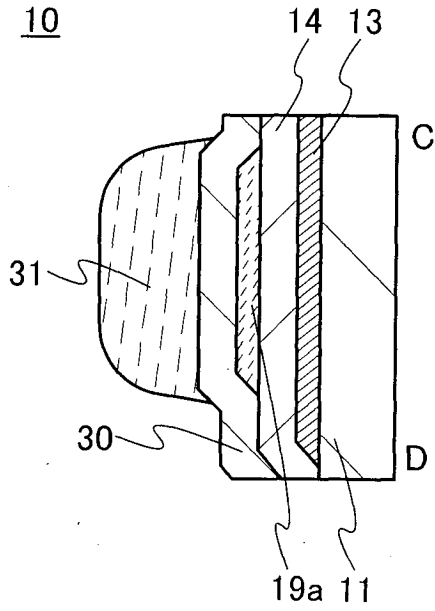


图 1C

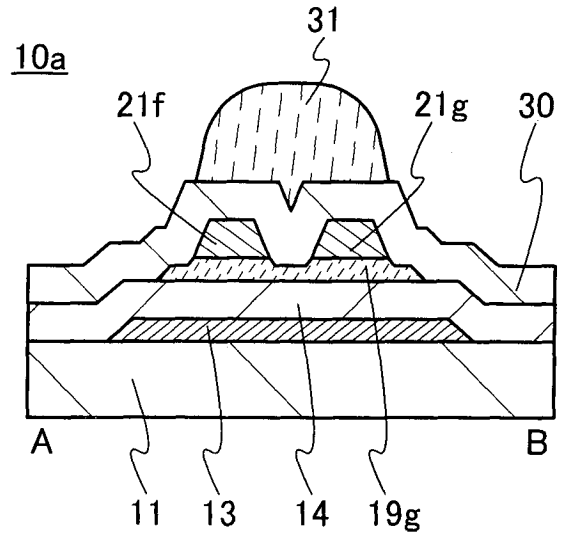


图 1D

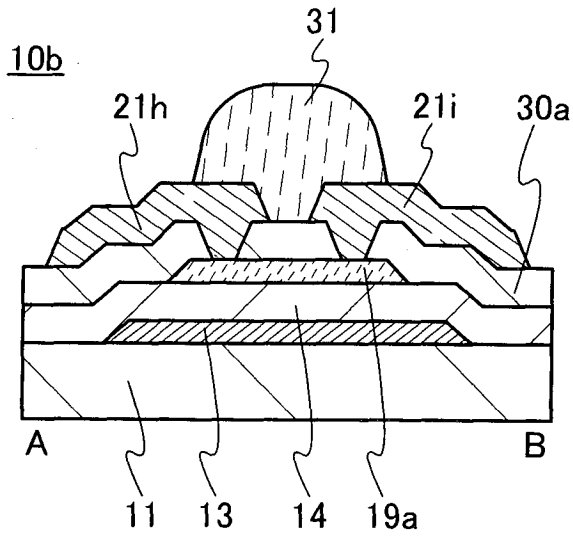


图 1E

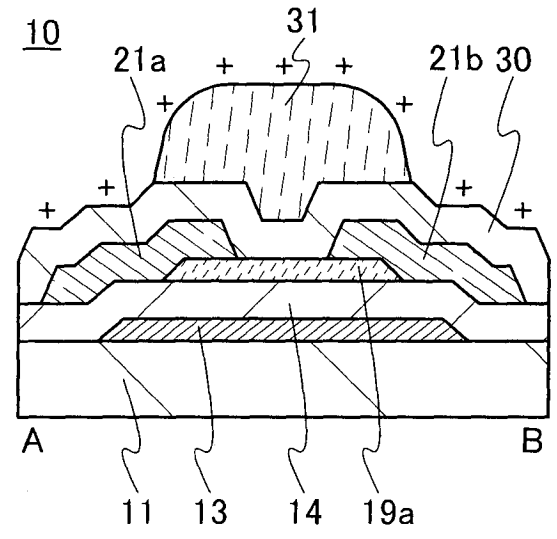


图 2A

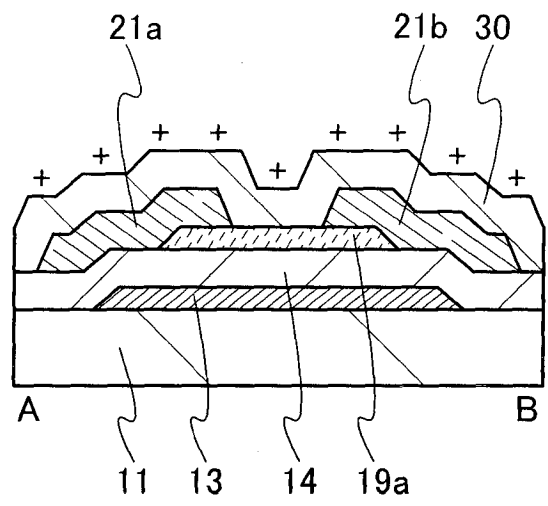


图 2B

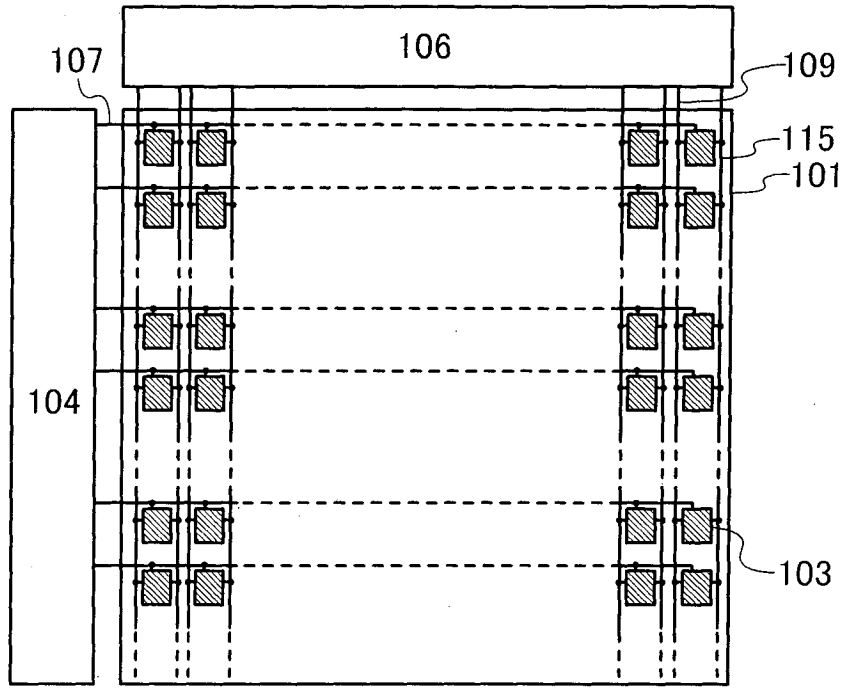


图 3A

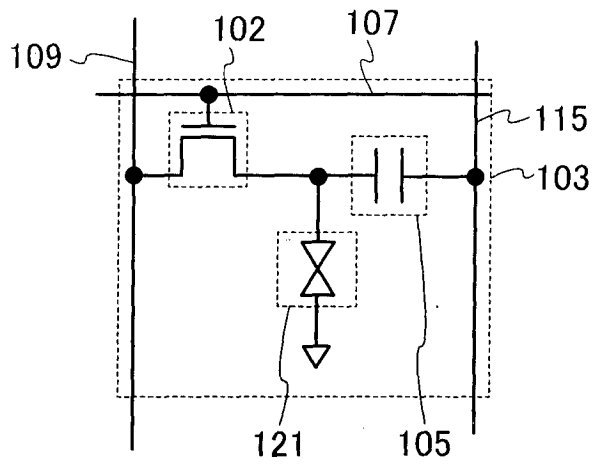


图 3B

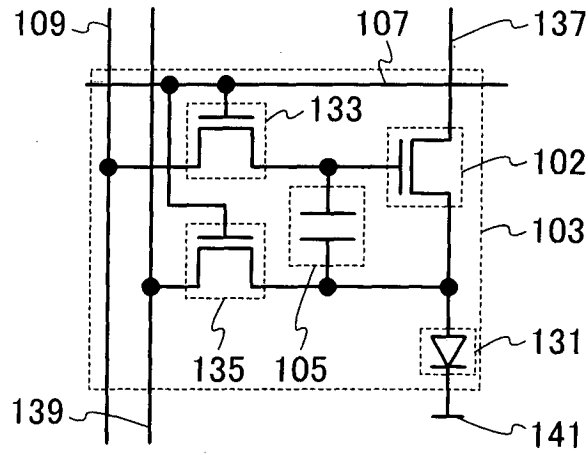


图 3C

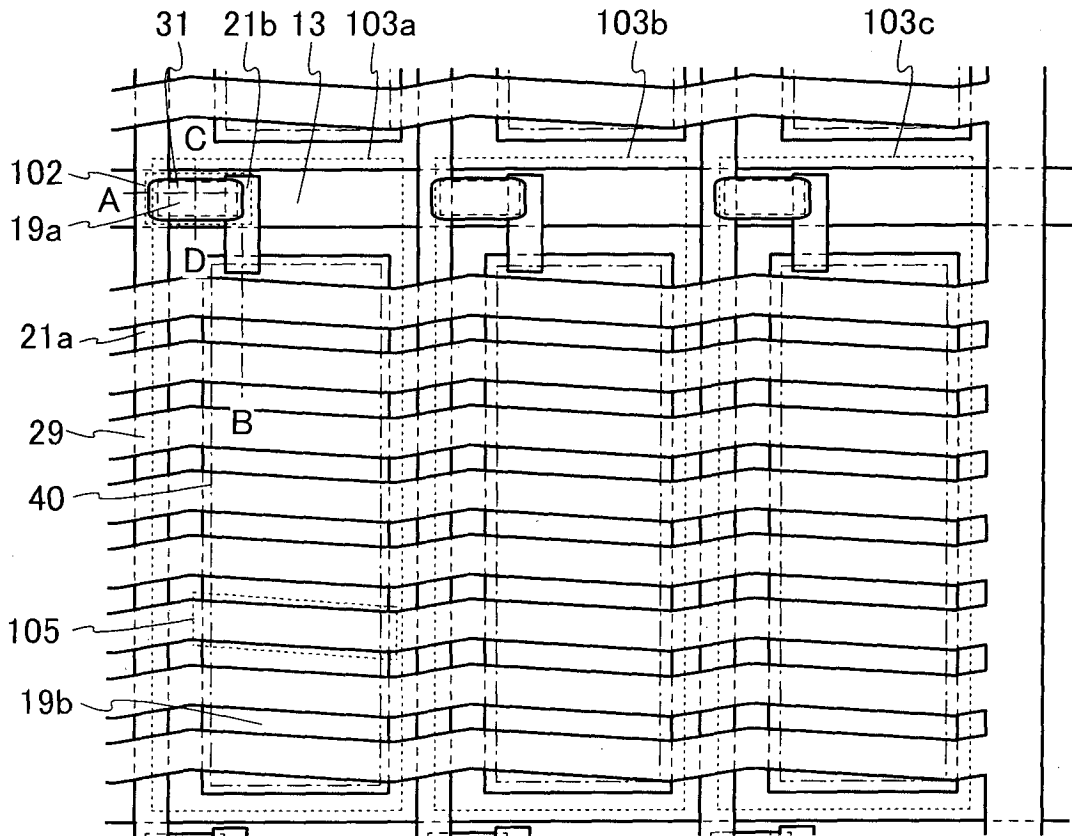


图 4

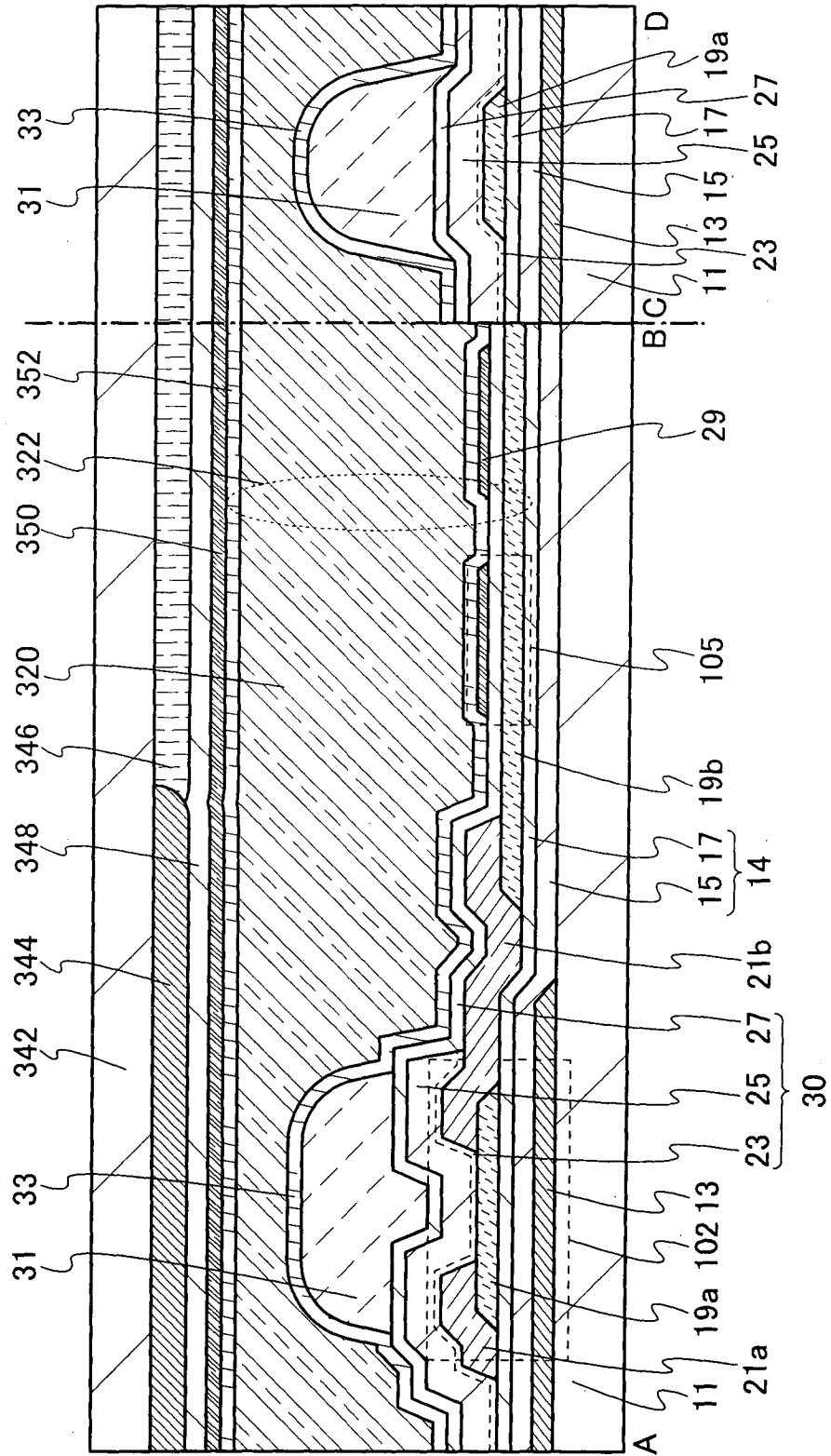


图 5

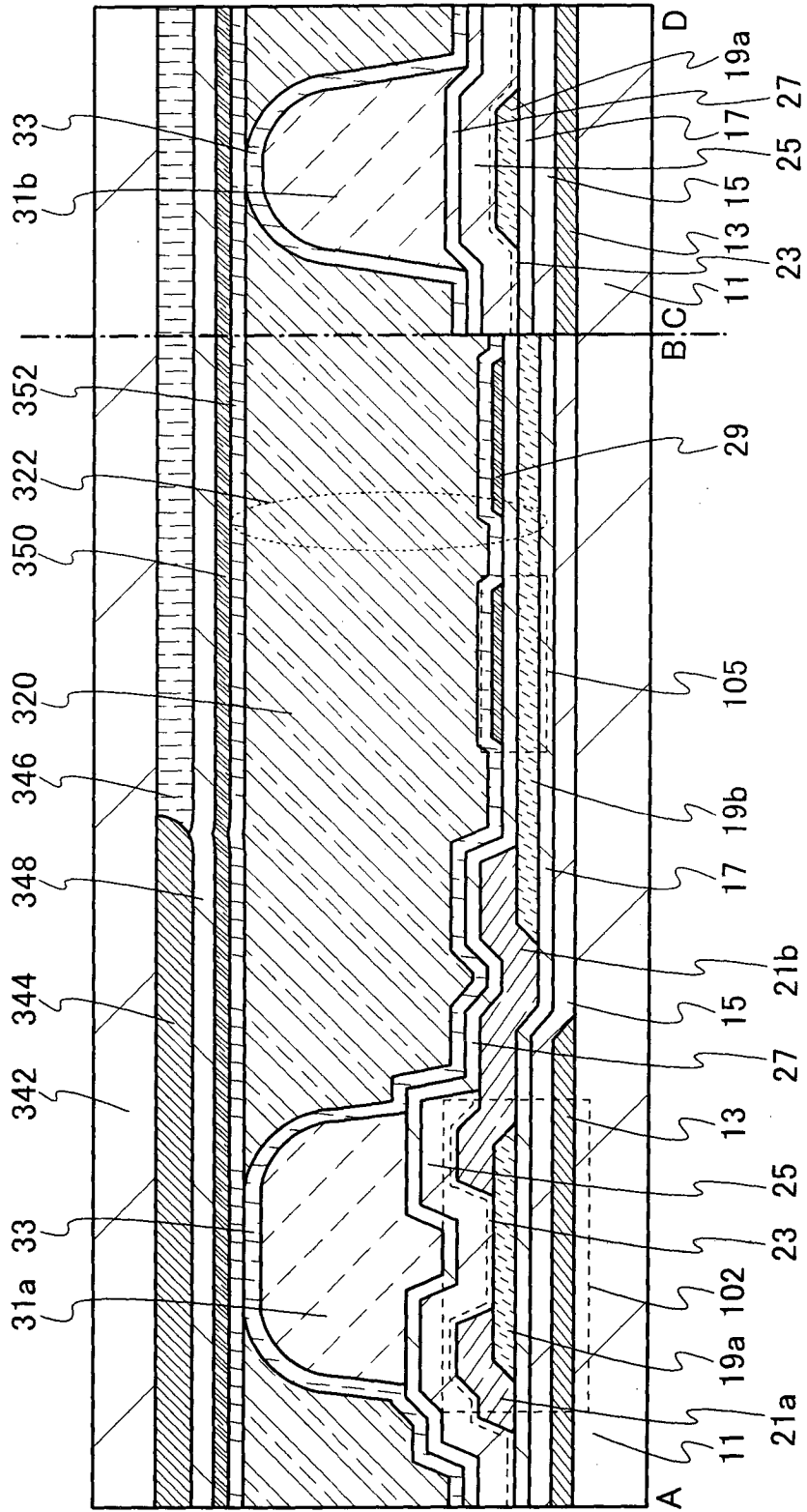


图 6

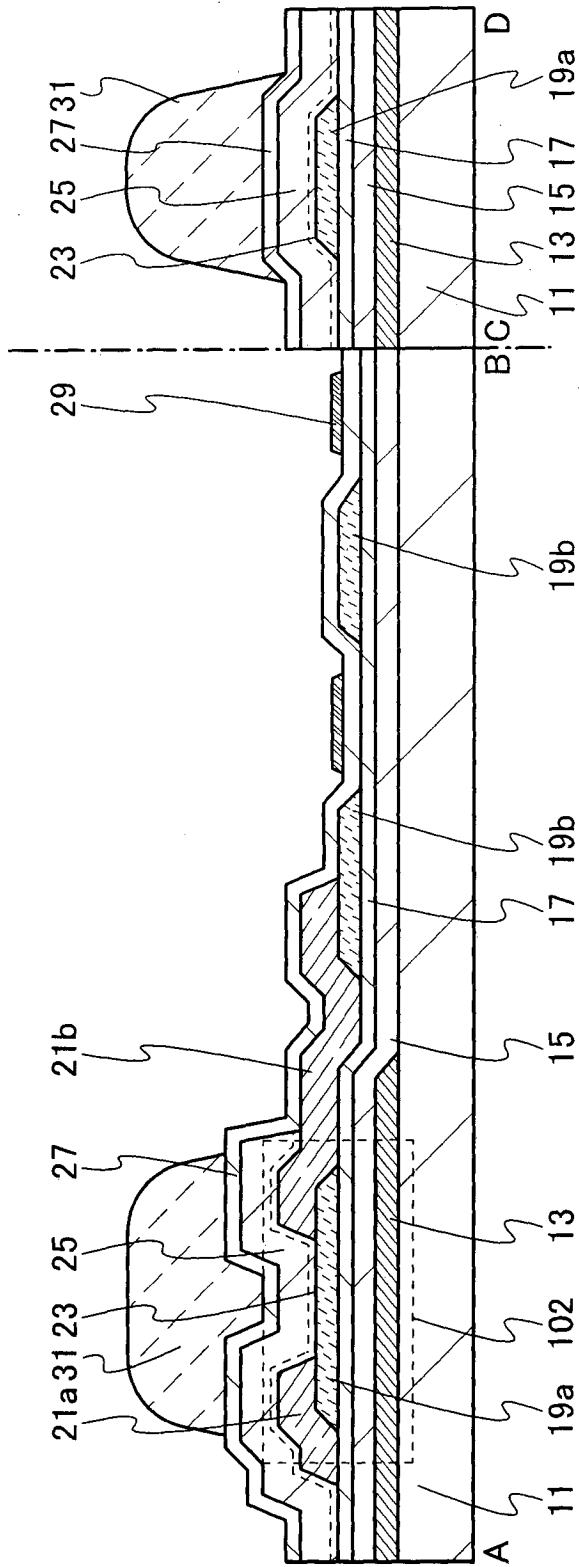


图 7

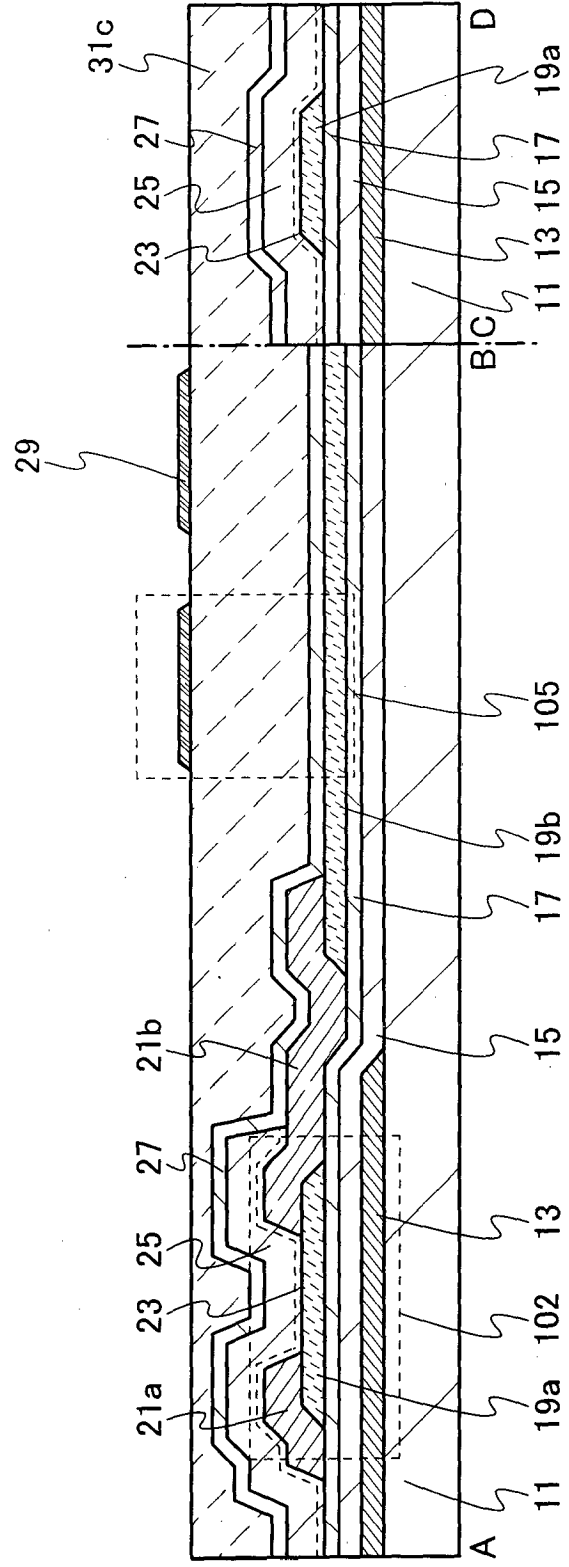


图 8

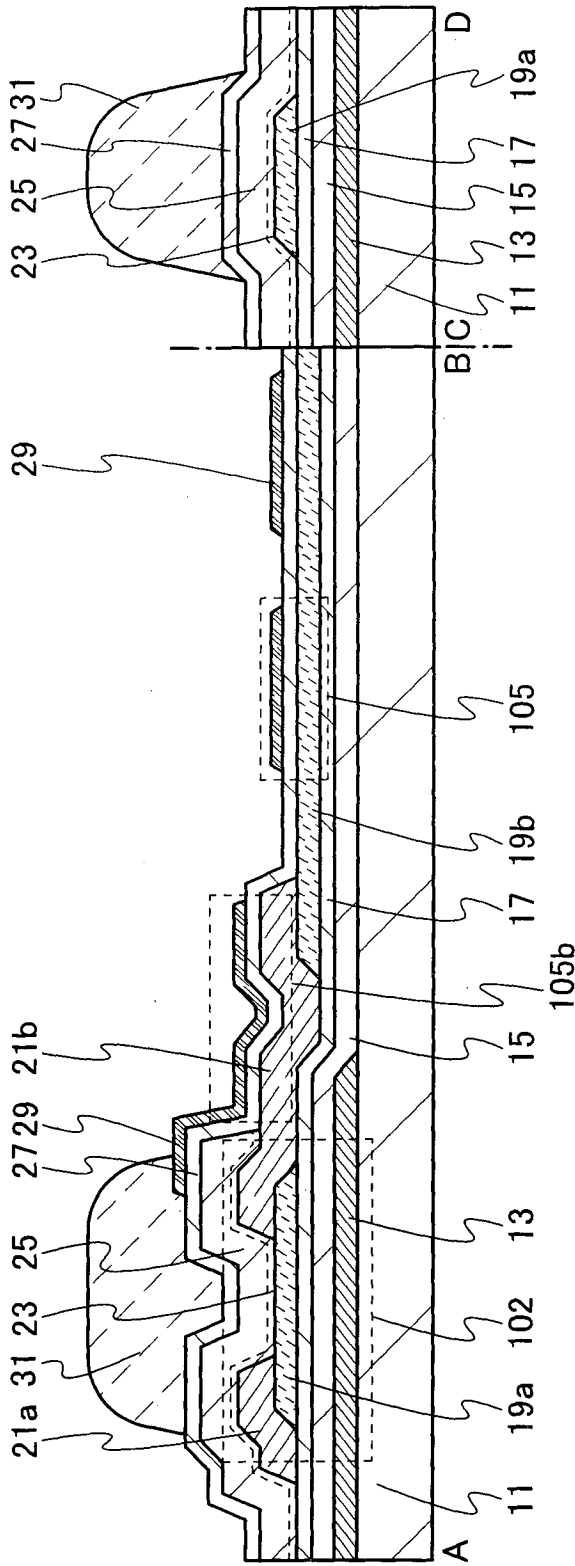


图 9

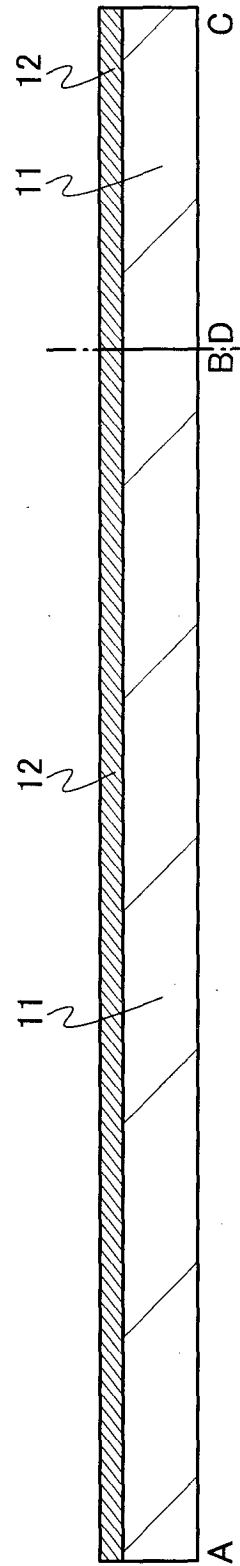


图 10A

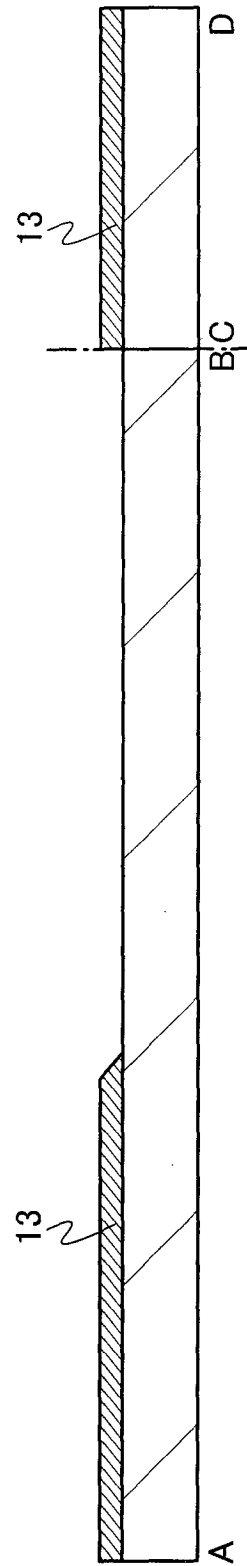


图 10B

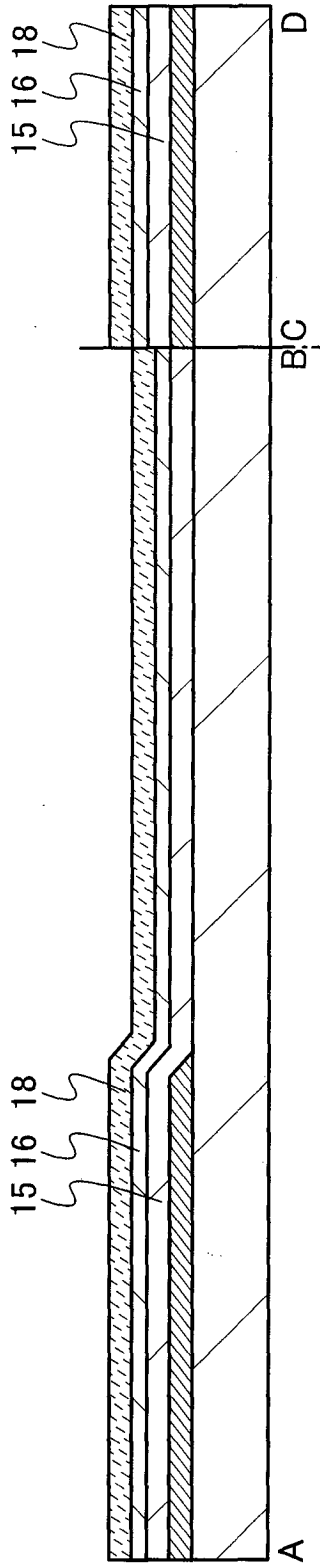


图 10C

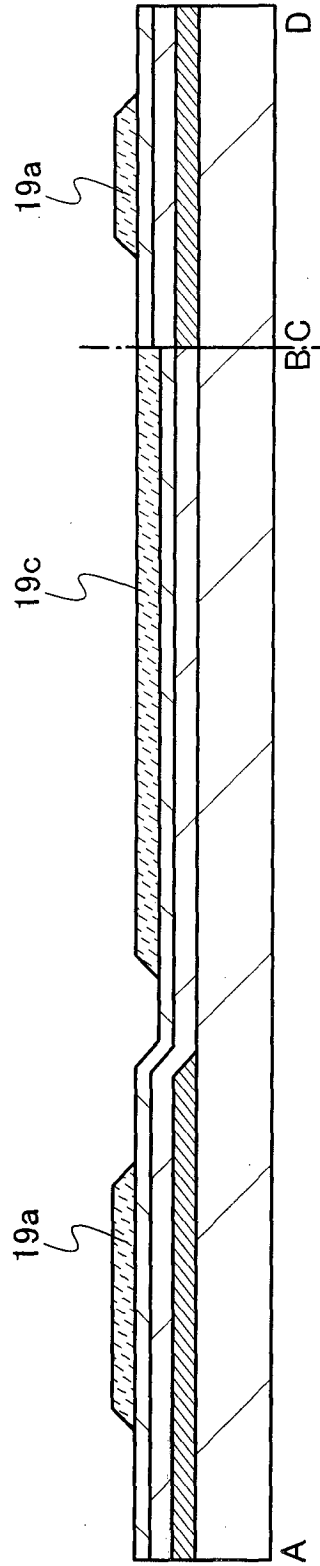


图 10D

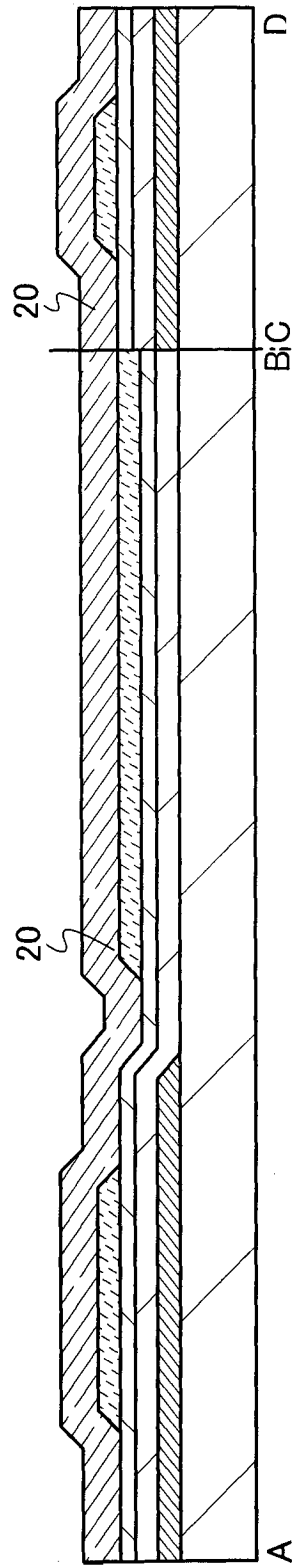


图 11A

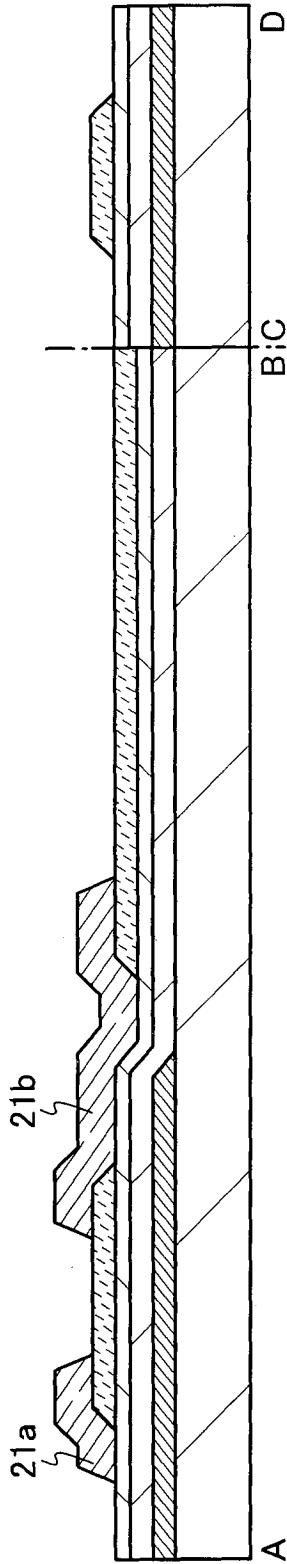


图 11B

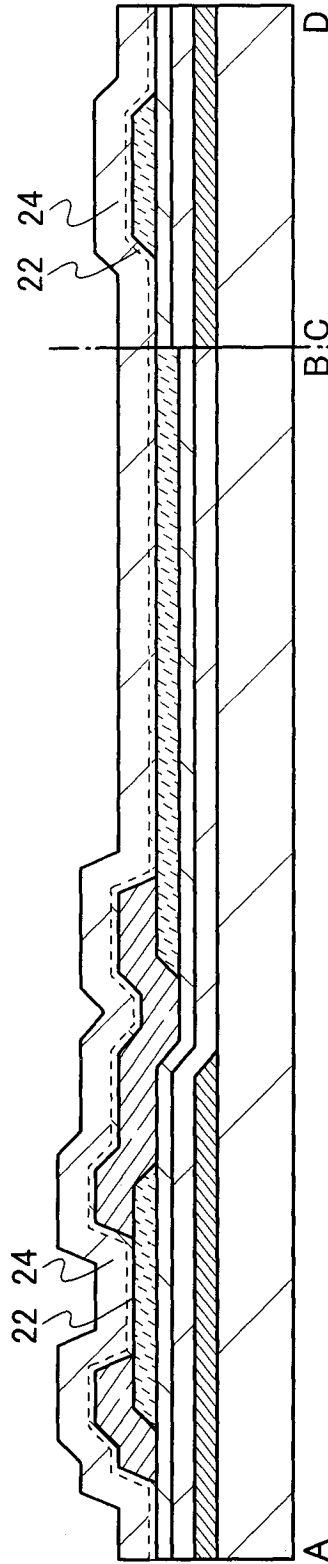


图 11C

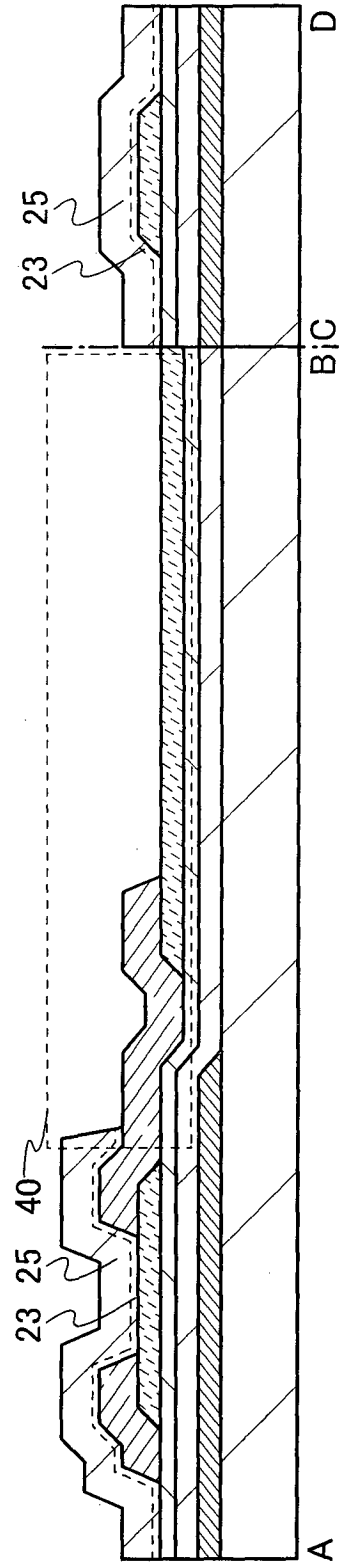


图 11D

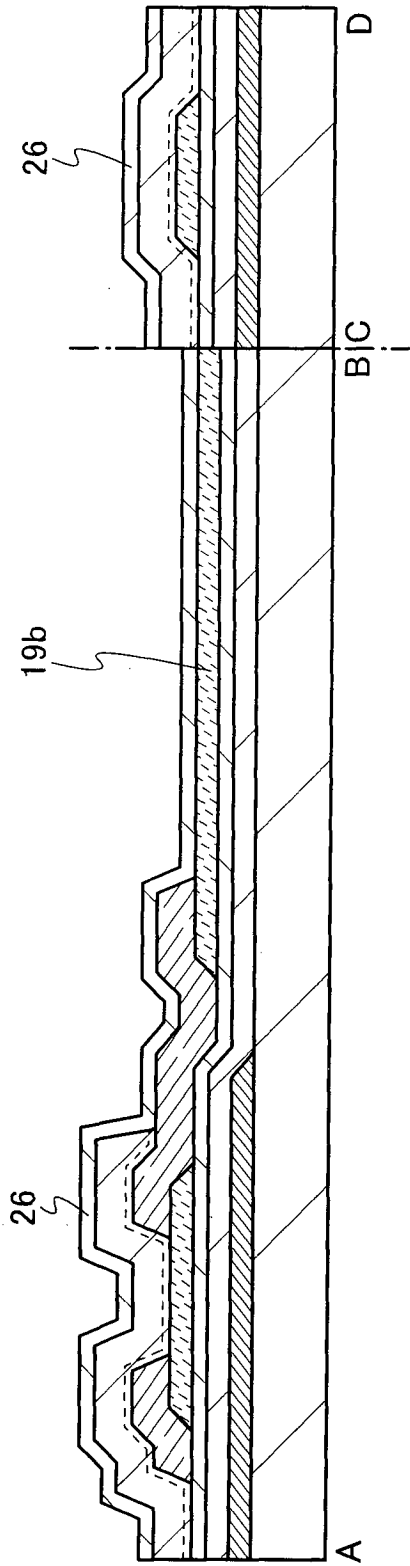


图 12A

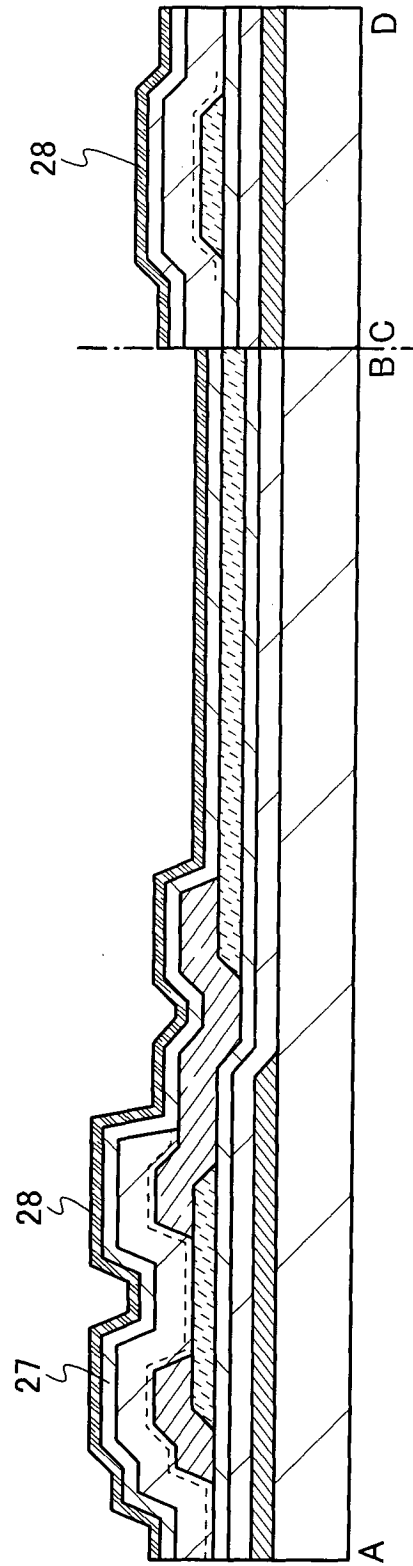


图 12B

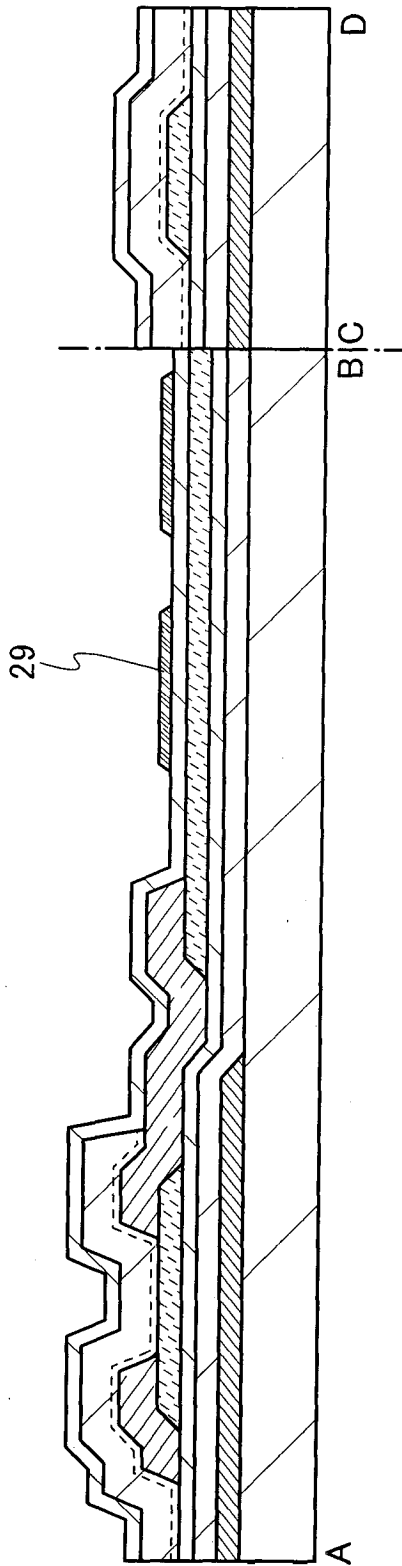


图 12C

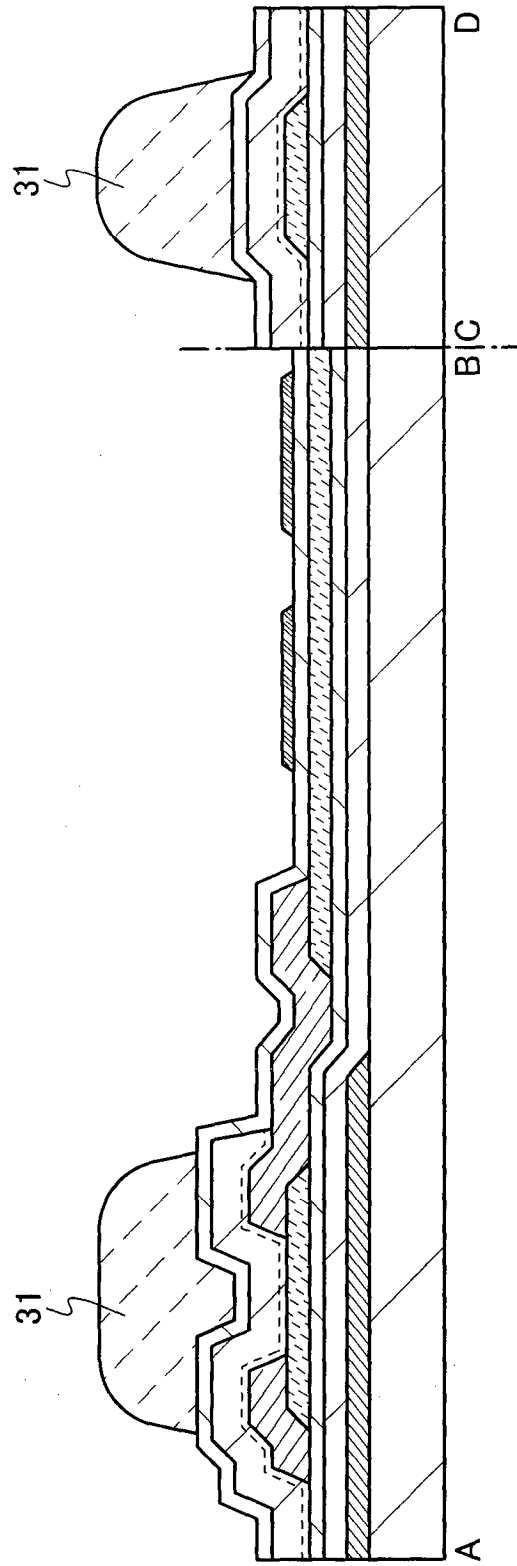


图 13

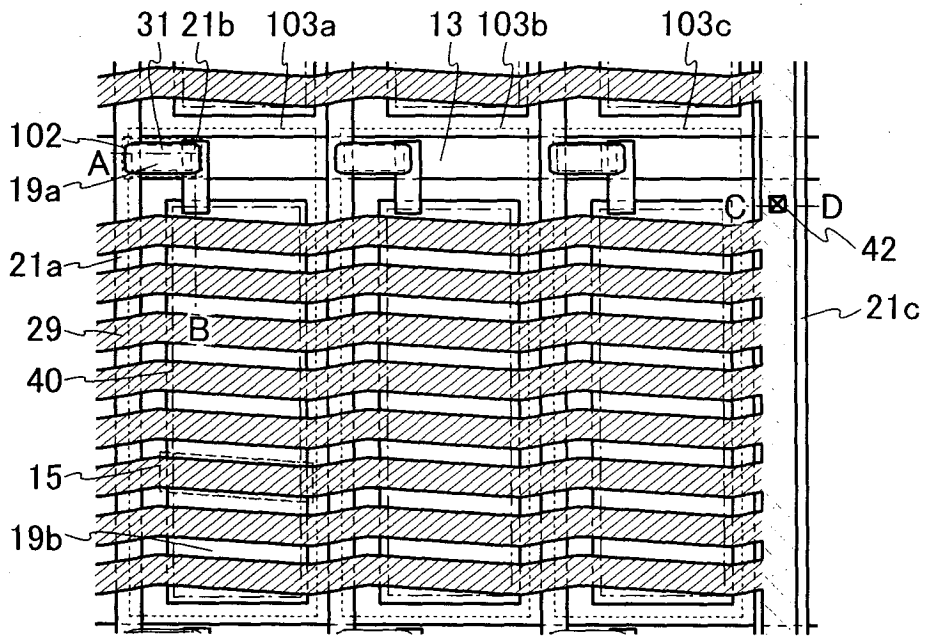


图 14A

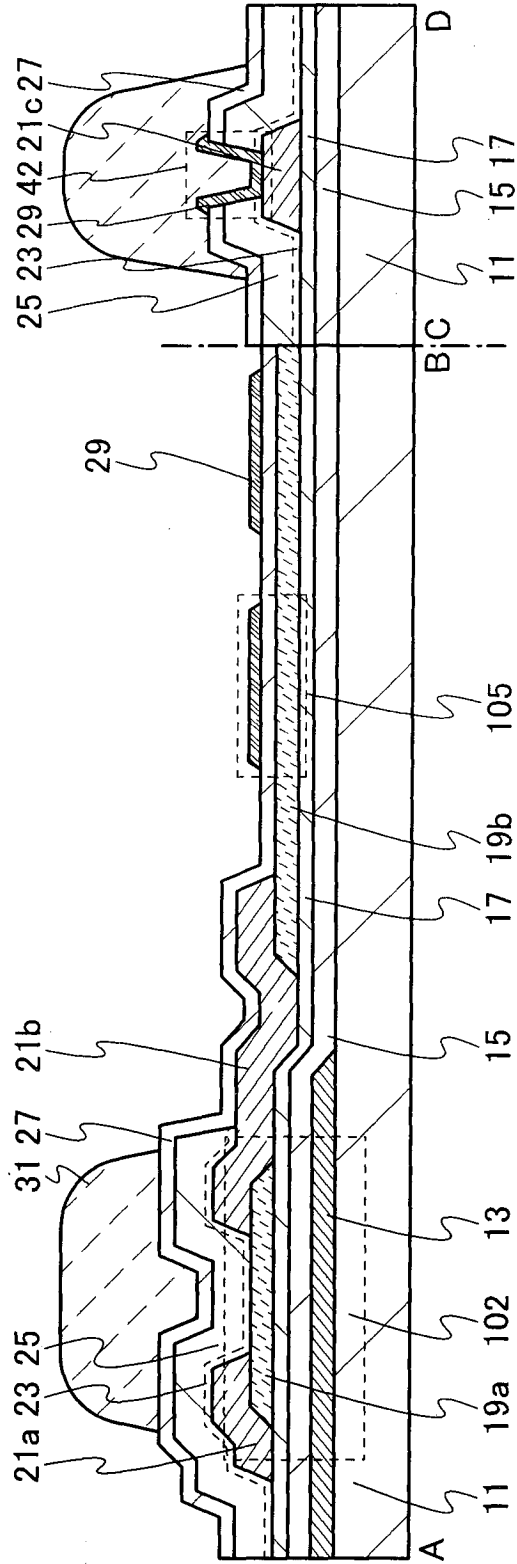


图 14B

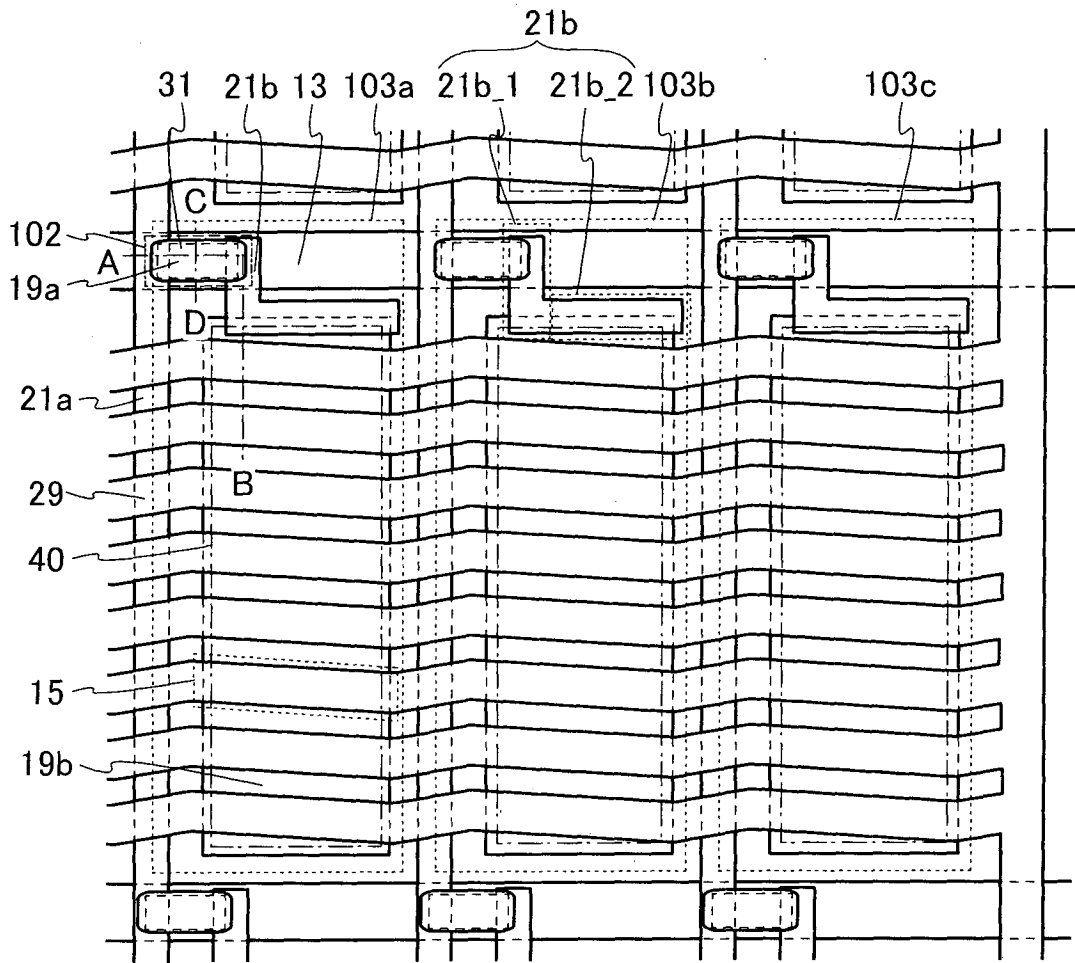


图 15

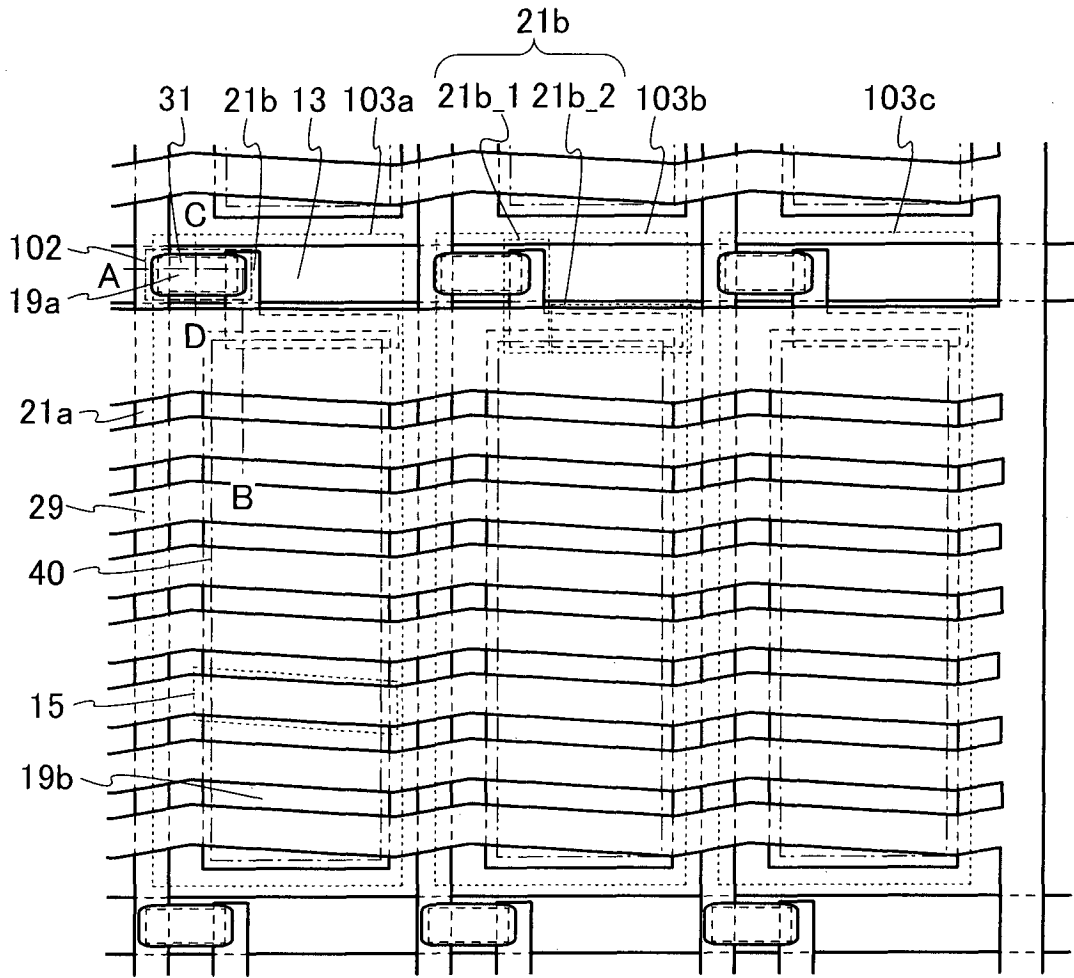


图 16

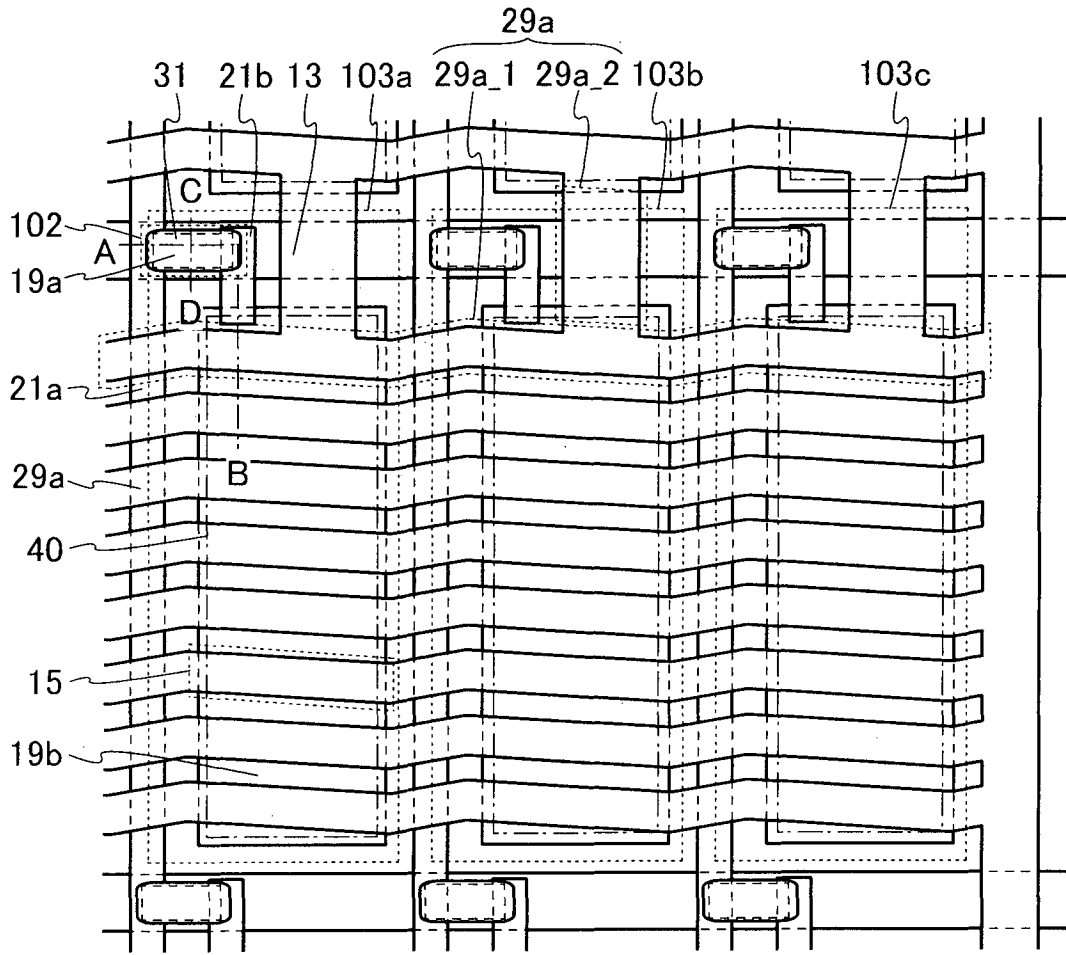


图 17

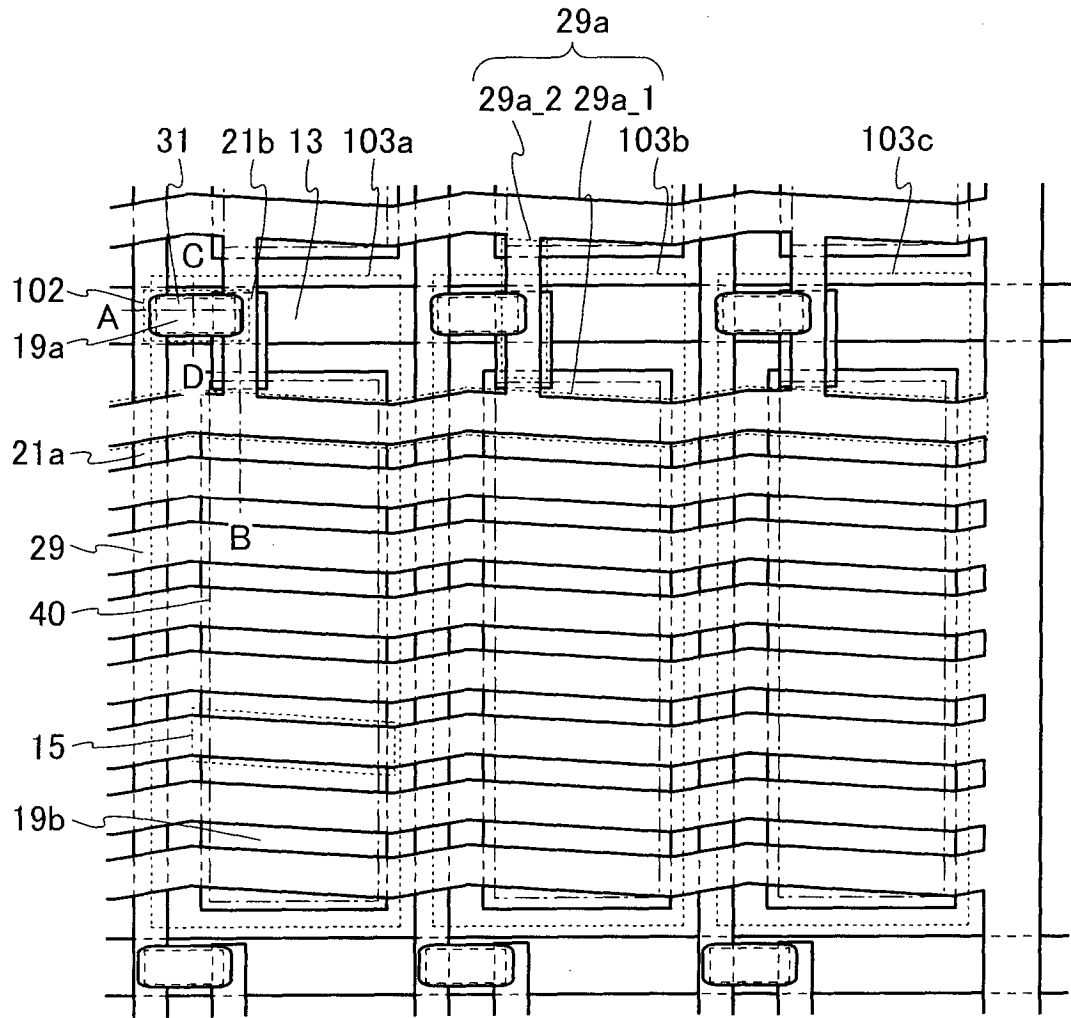


图 18

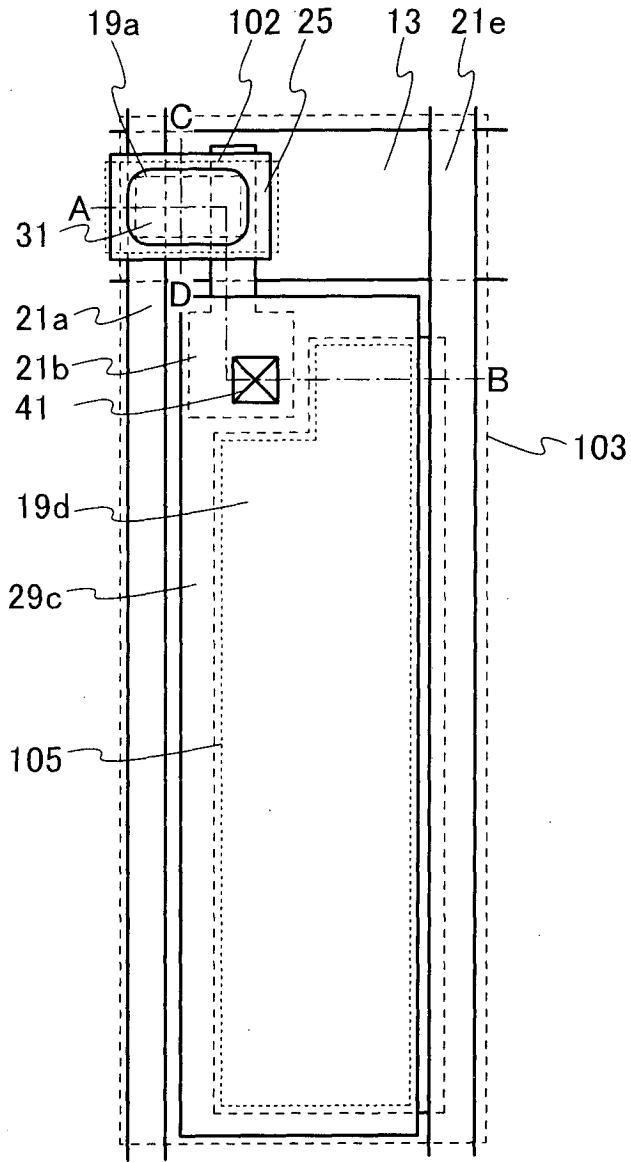


图 19

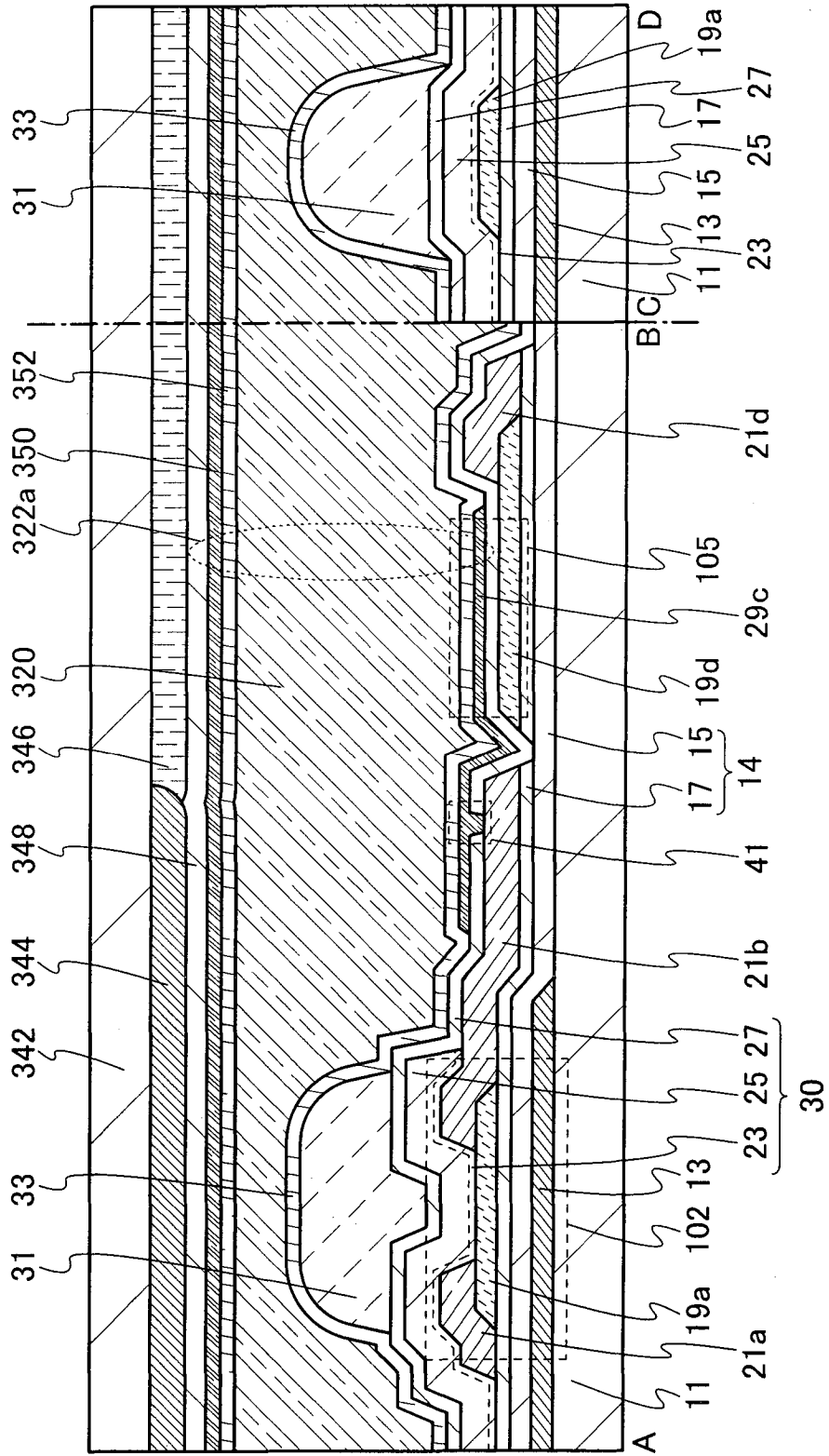


图 20

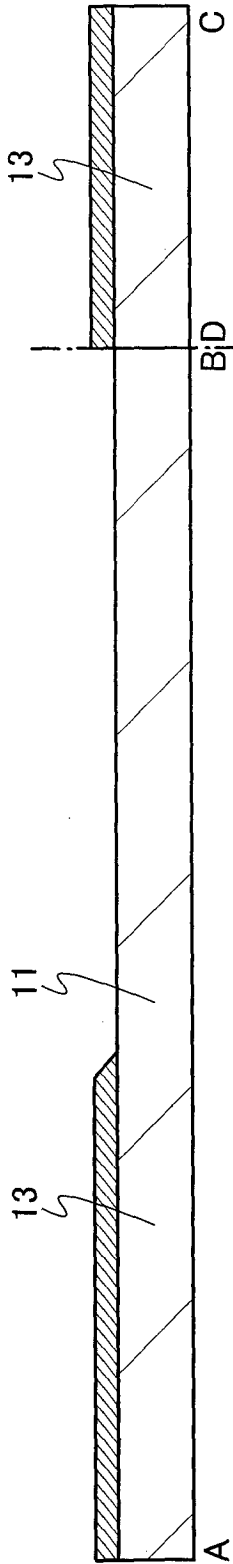


图 21A

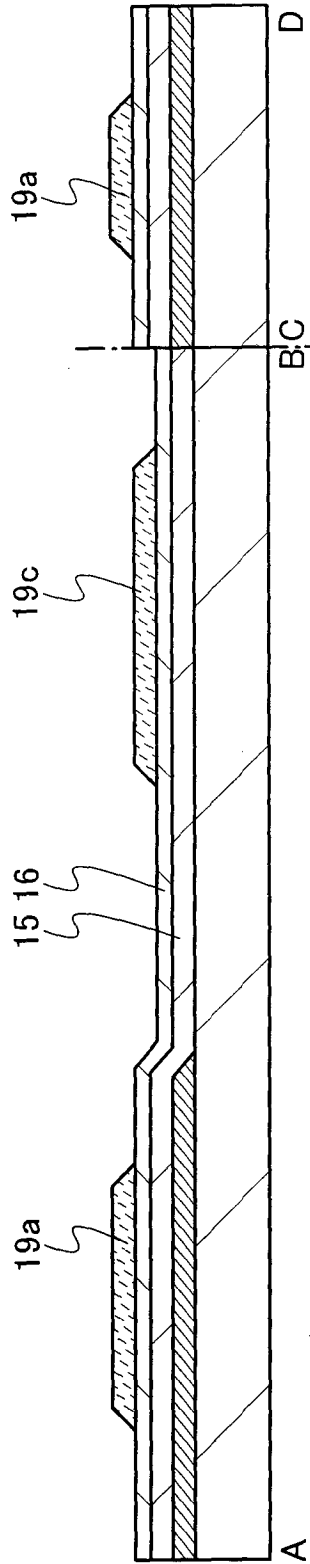


图 21B

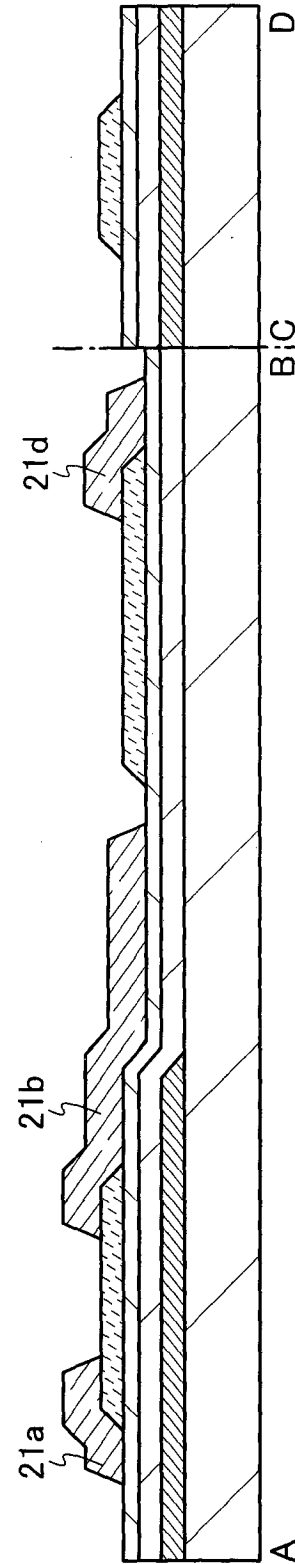


图 21C

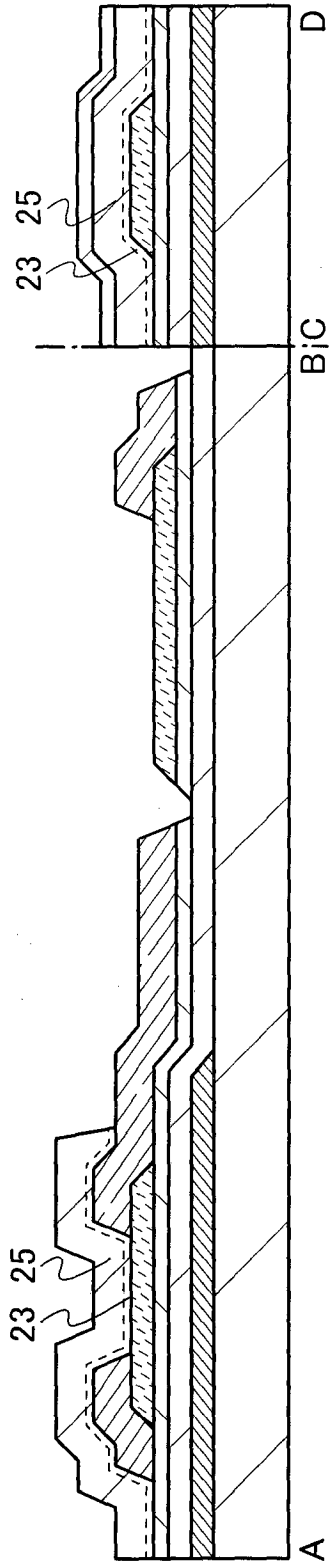


图 22A

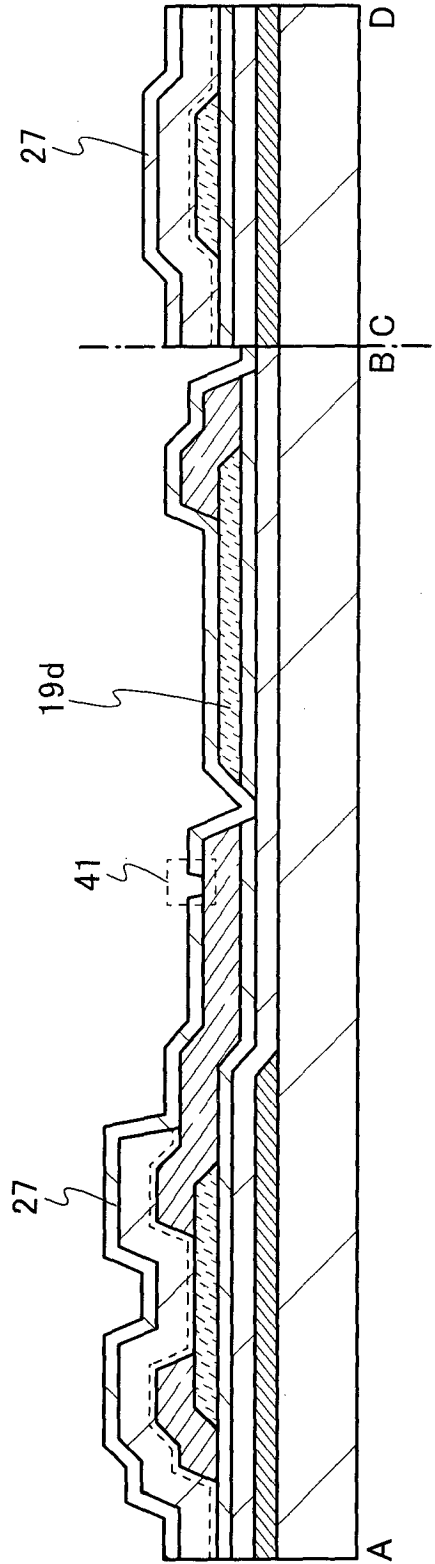


图 22B

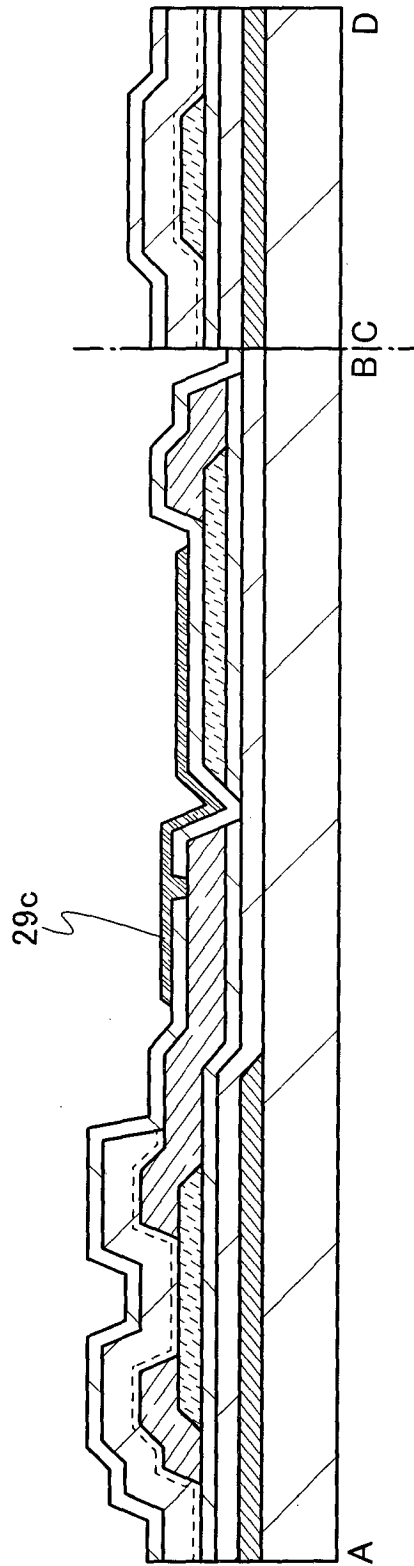


图 22C

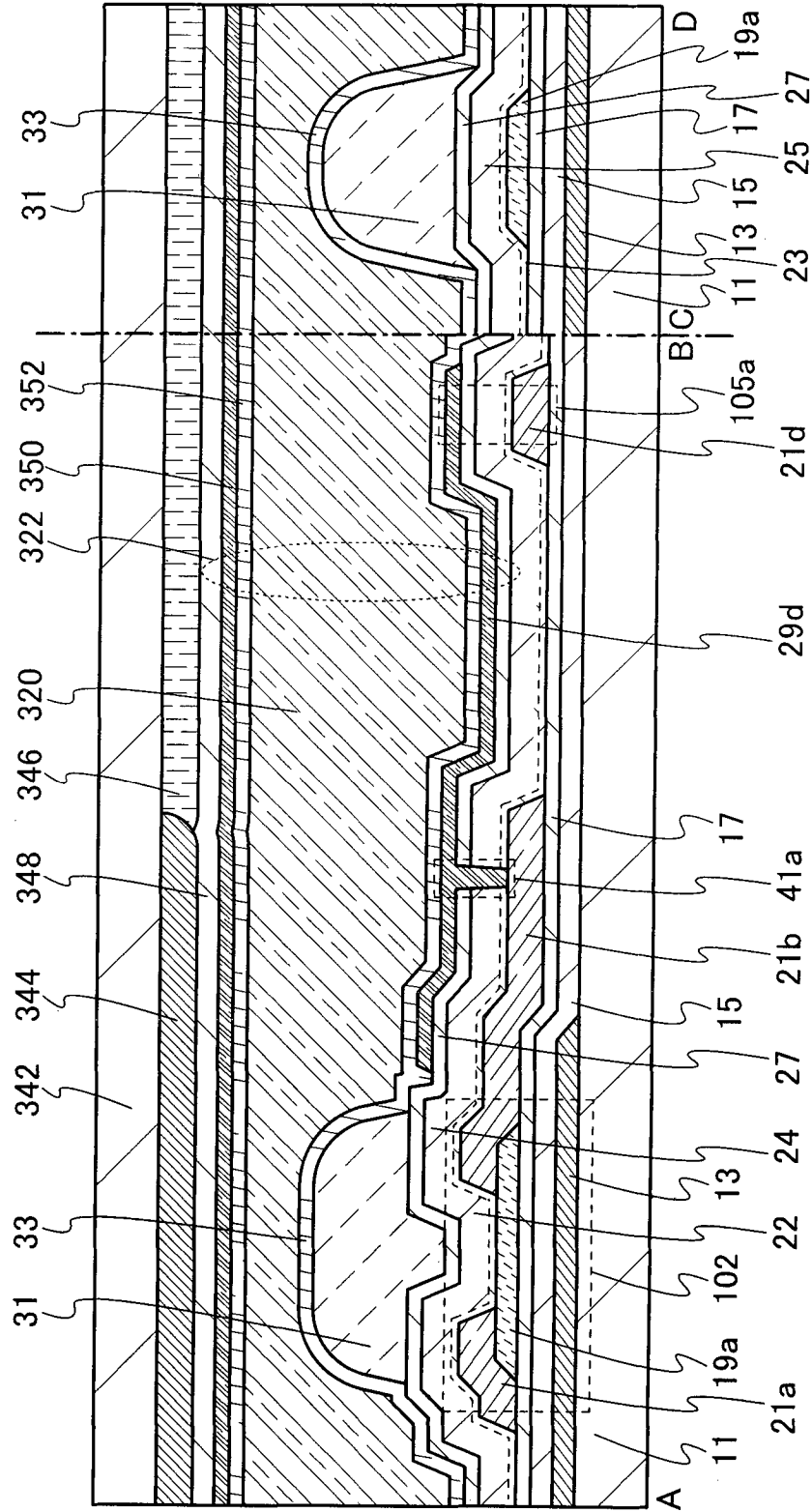


图 23

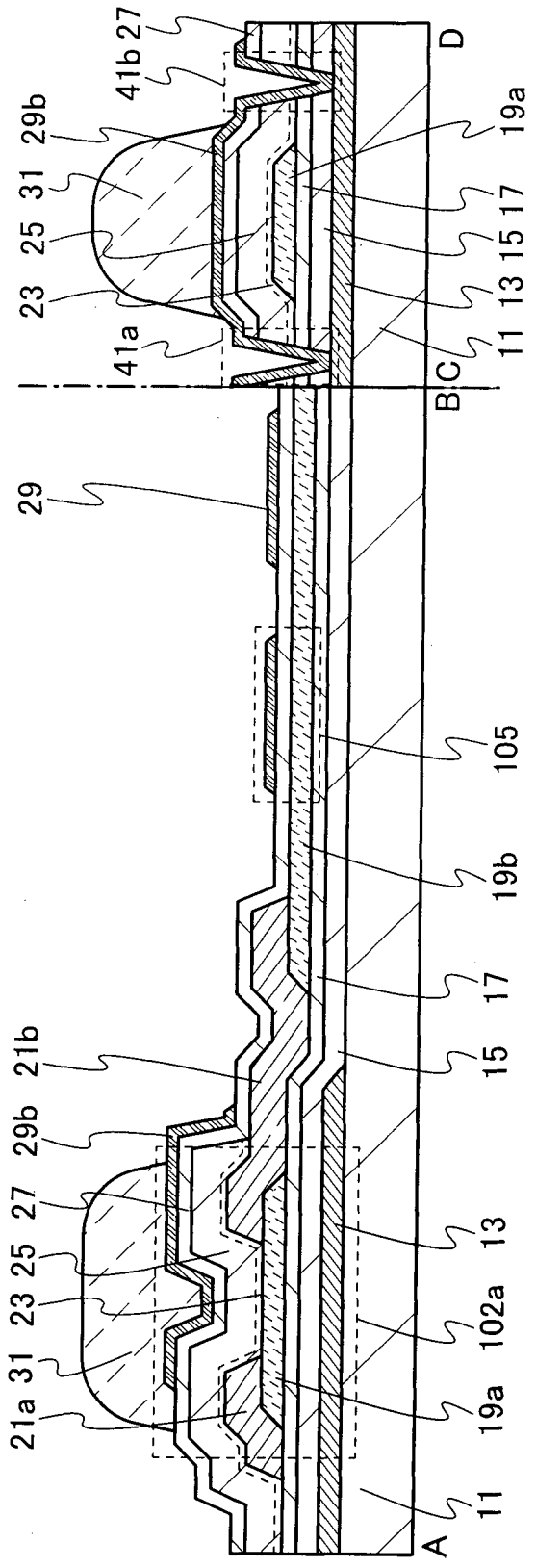


图 24

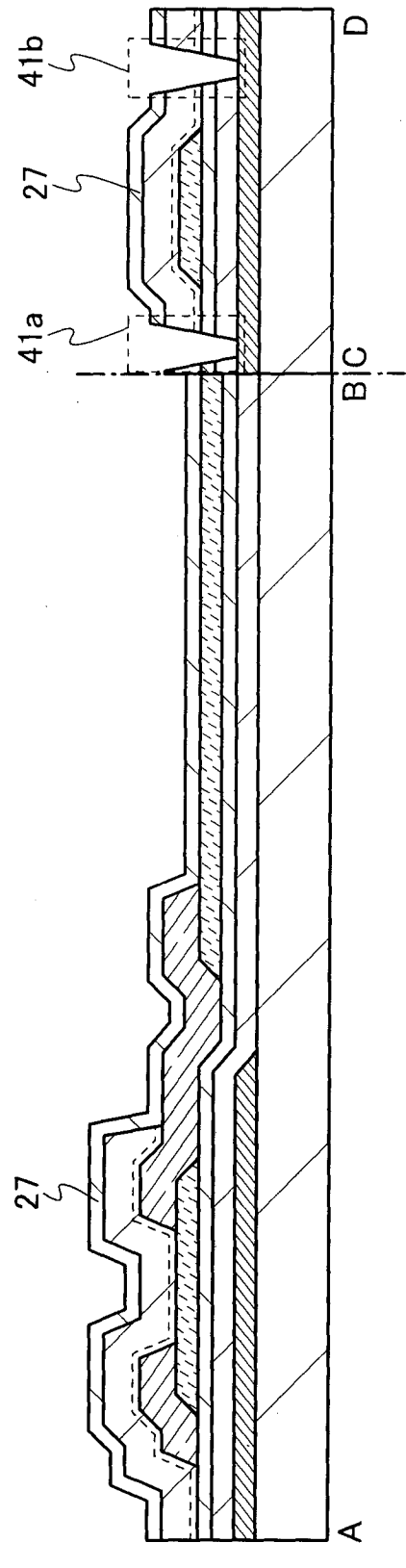


图 25A

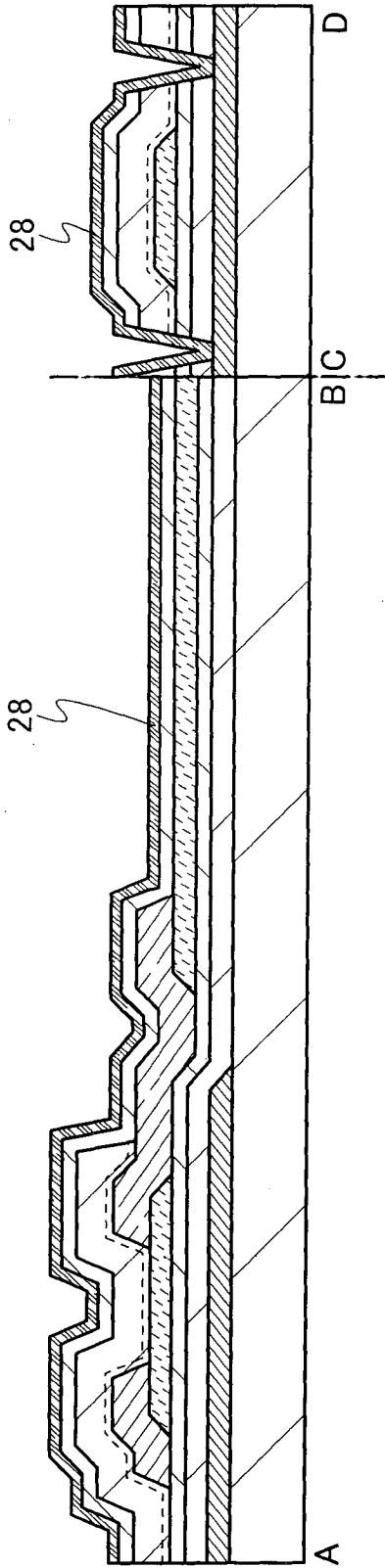


图 25B

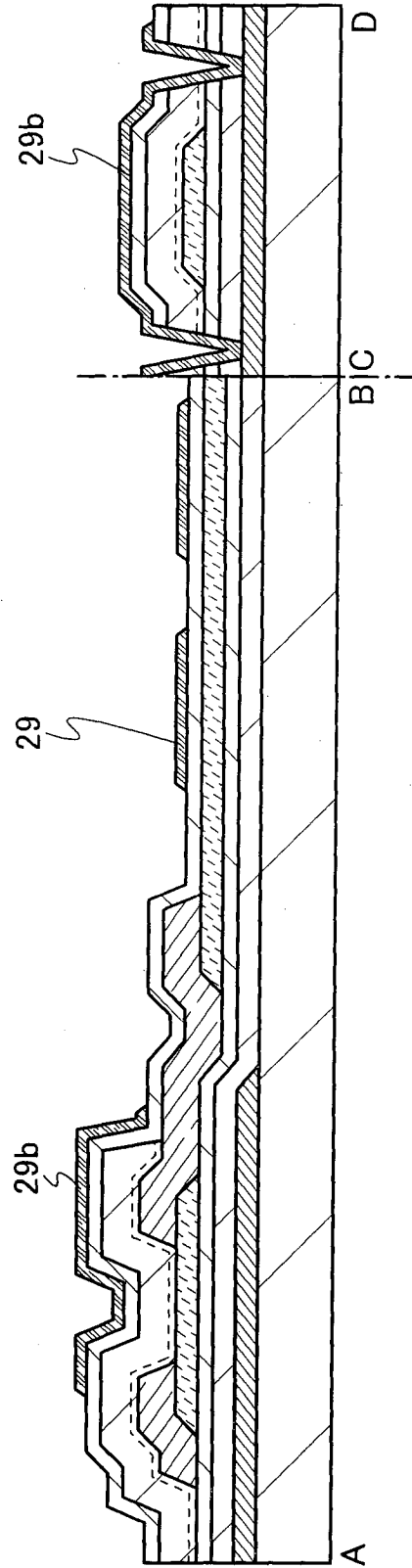


图 25C

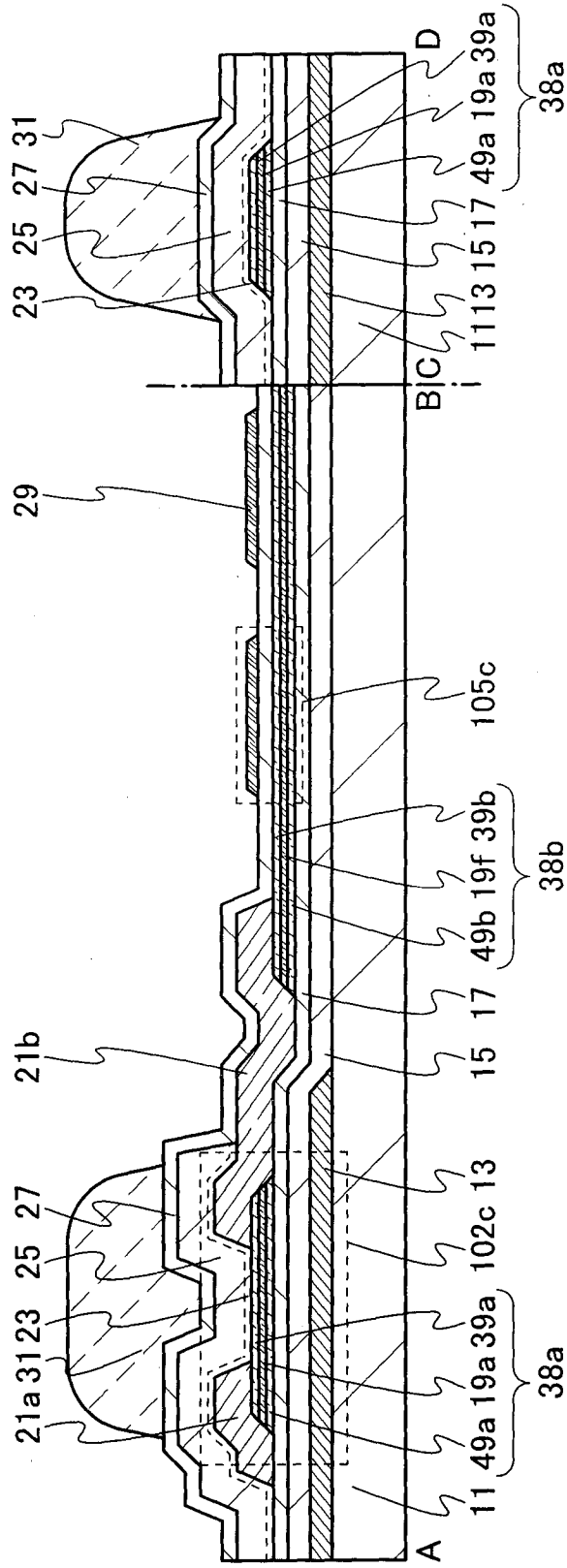


图 26B

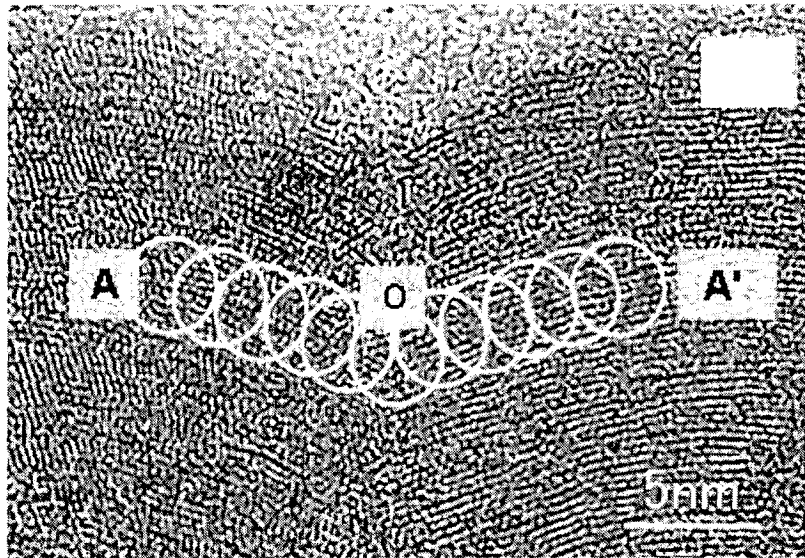


图 27A

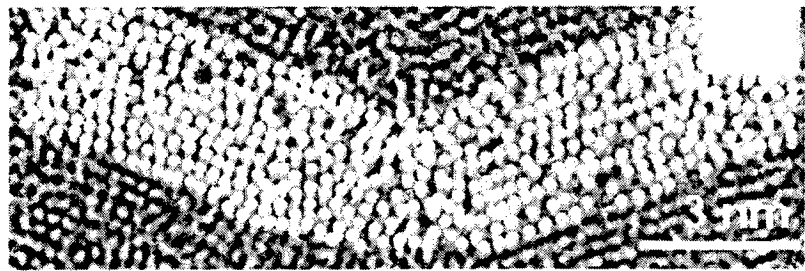


图 27B

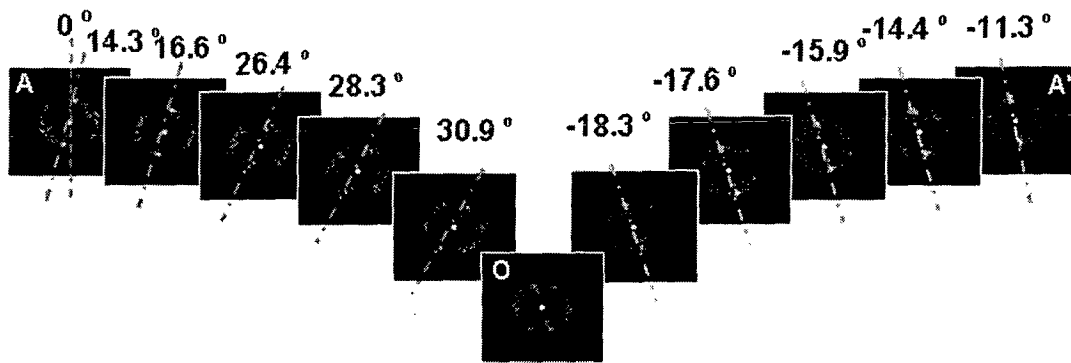
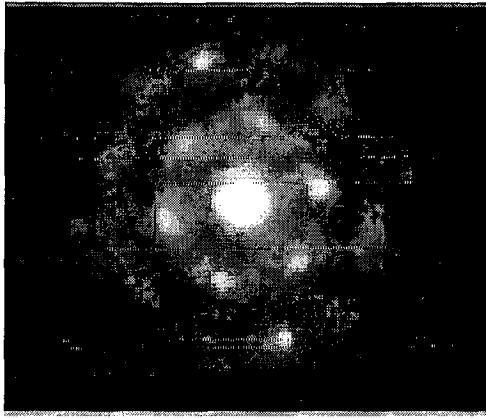
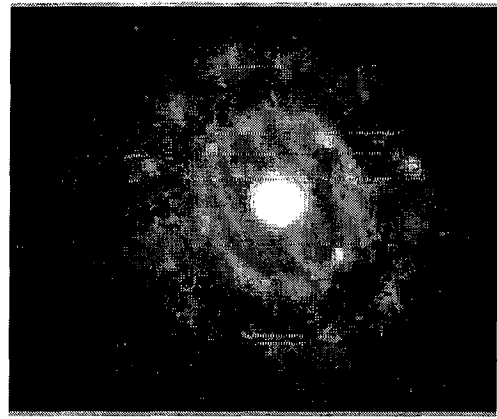


图 27C



CAAC-OS



nc-OS

图 28A

图 28B

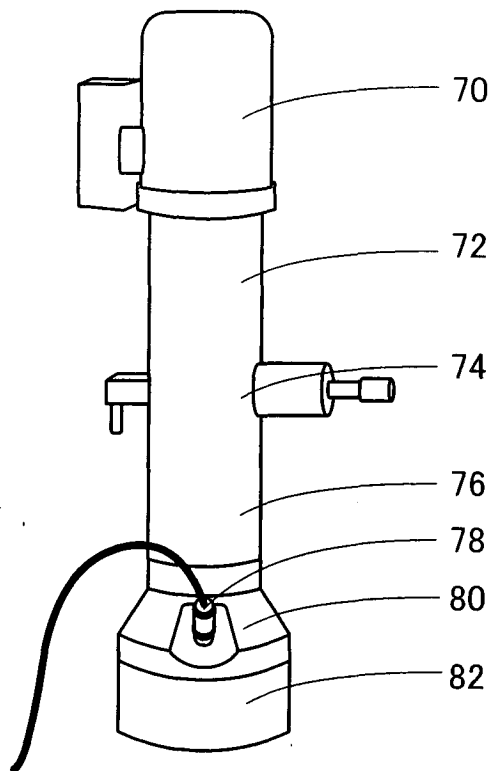


图 28C

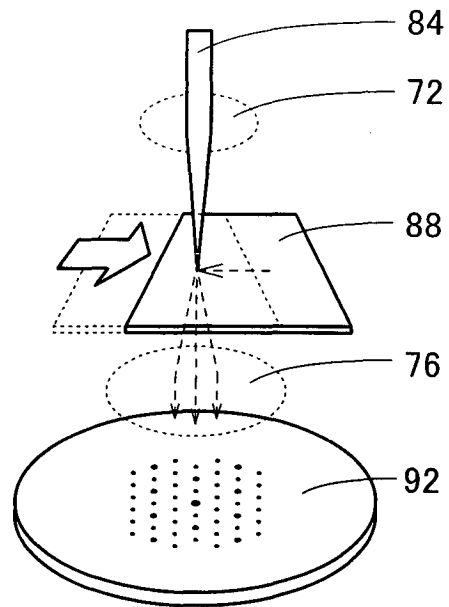


图 28D

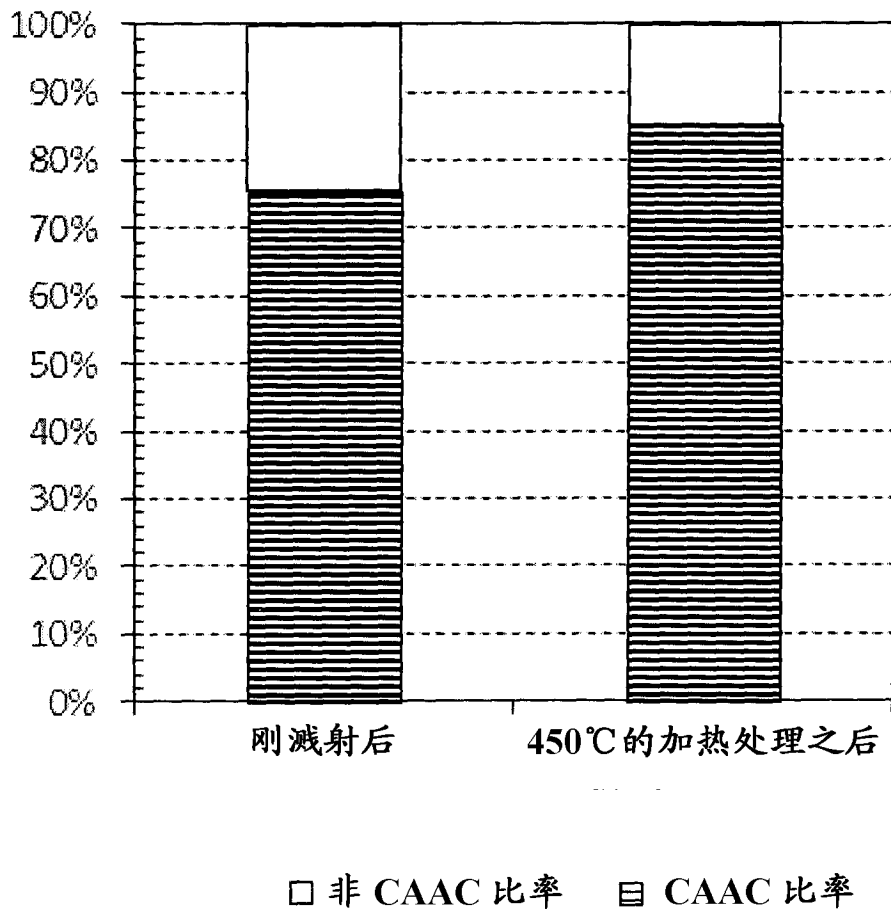
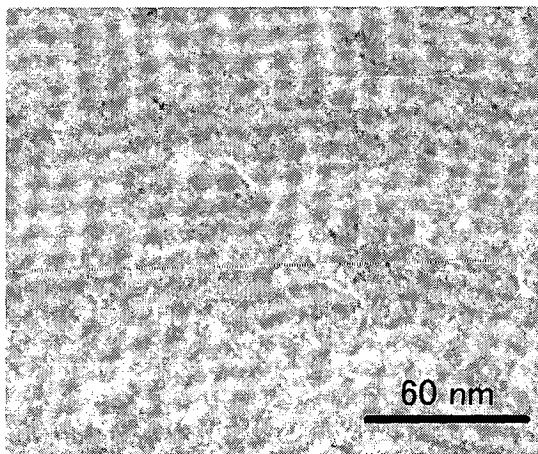
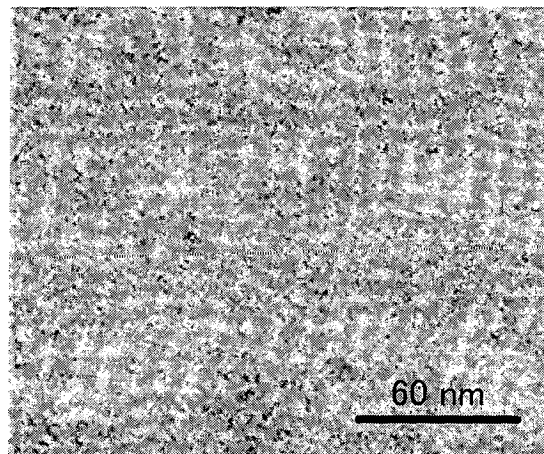


图 29A



刚溅射后

图 29B



450°C的加热处理之后

图 29C

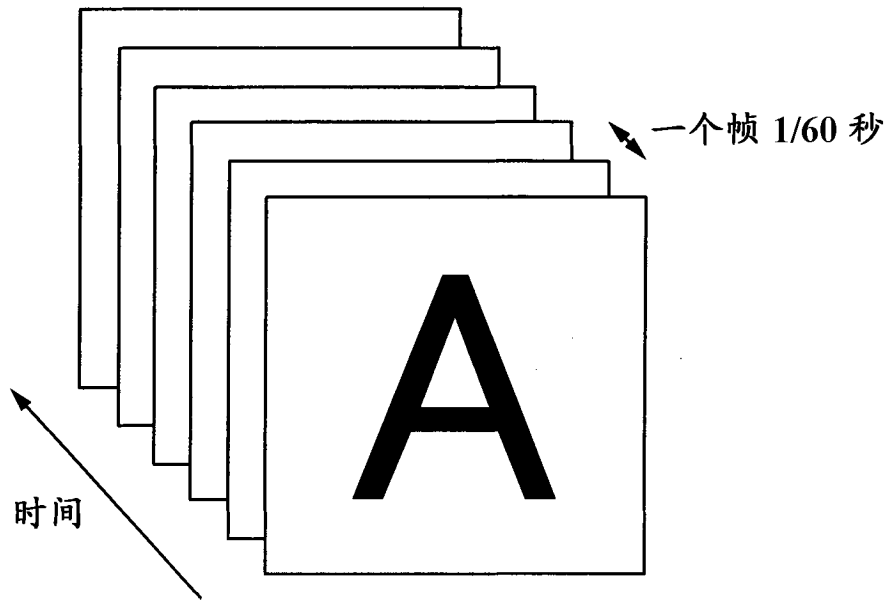


图 30A

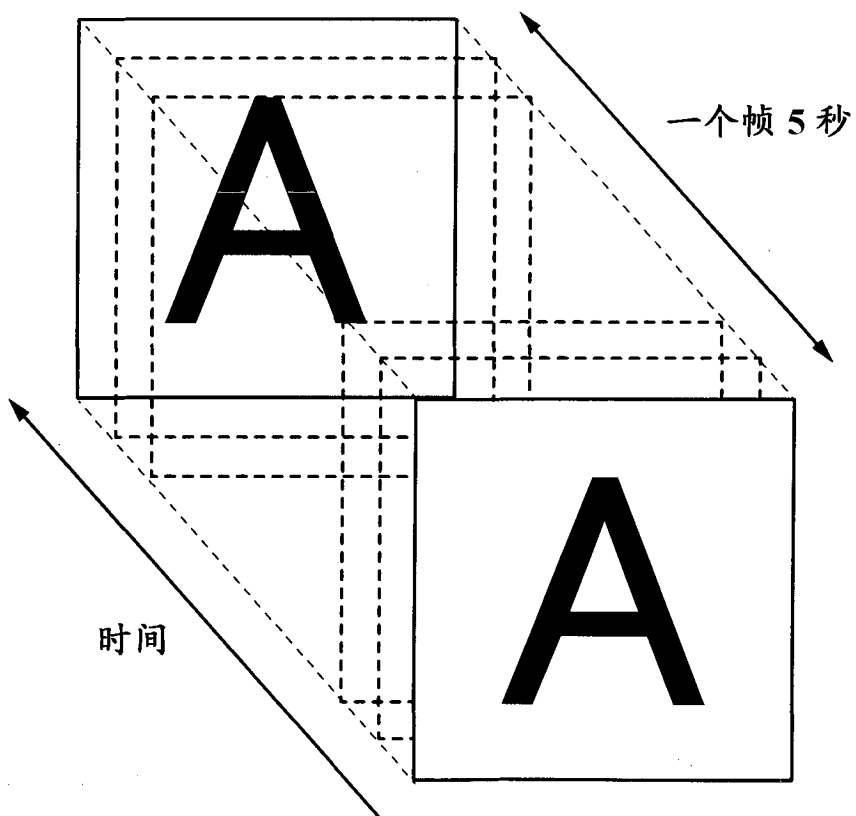


图 30B

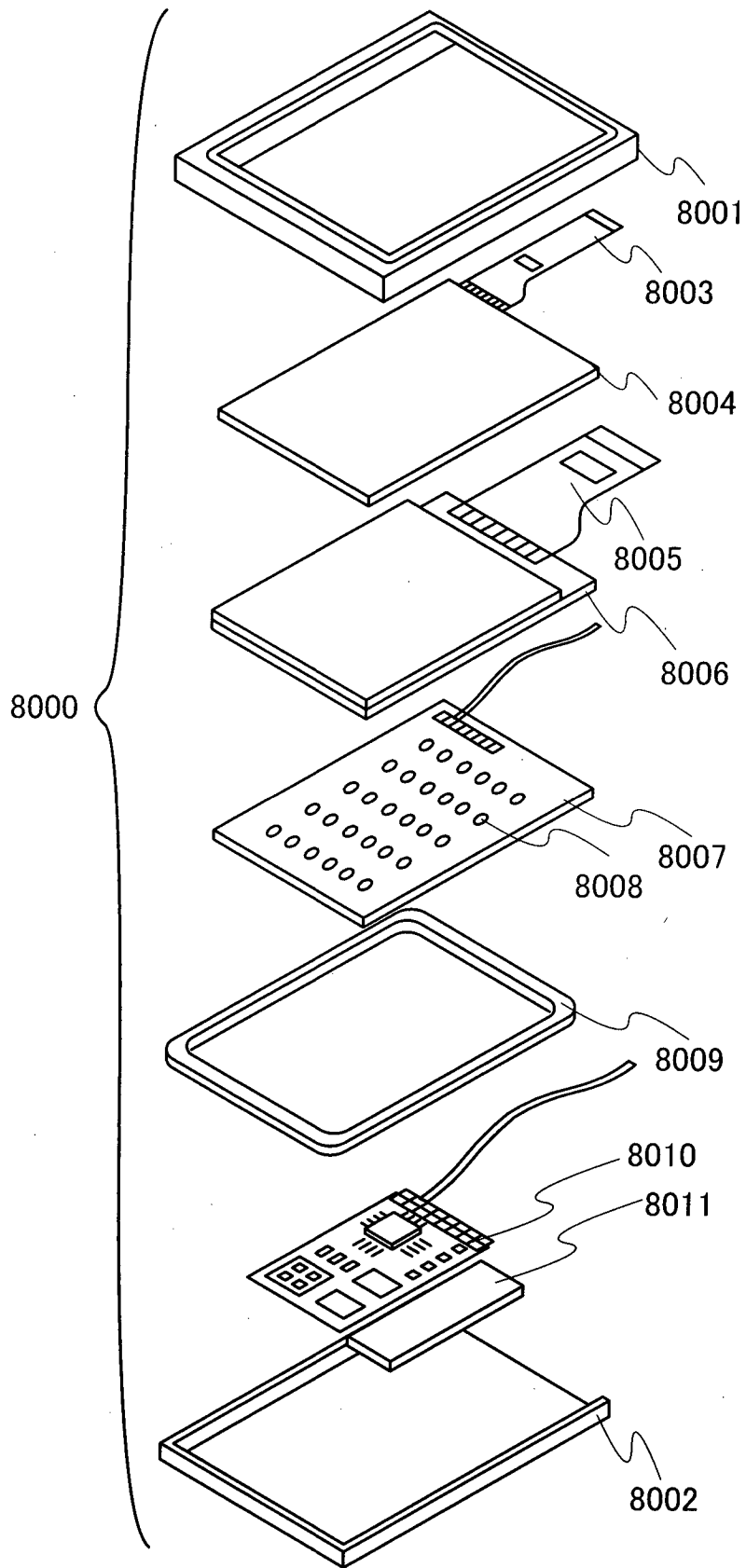


图 31

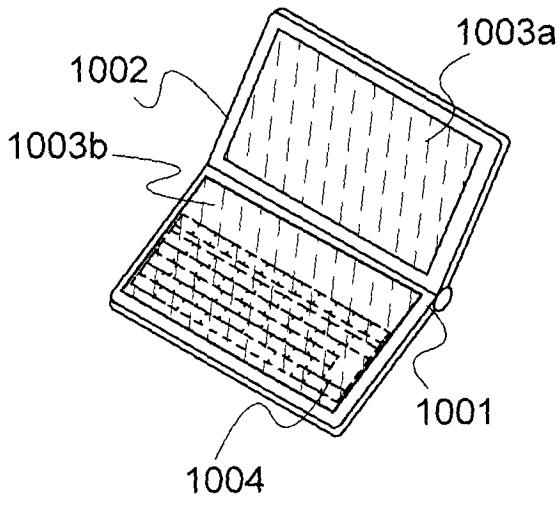


图 32A

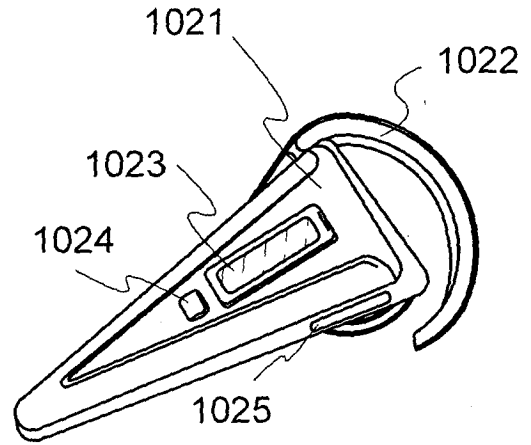


图 32B

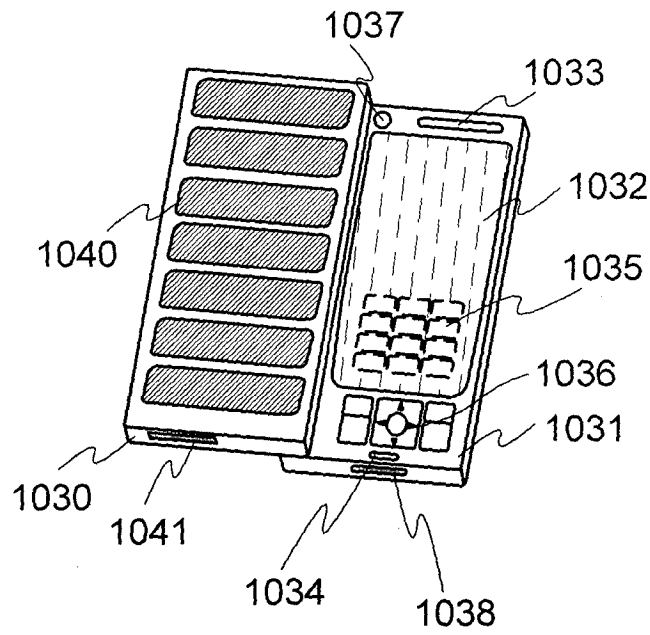


图 32C

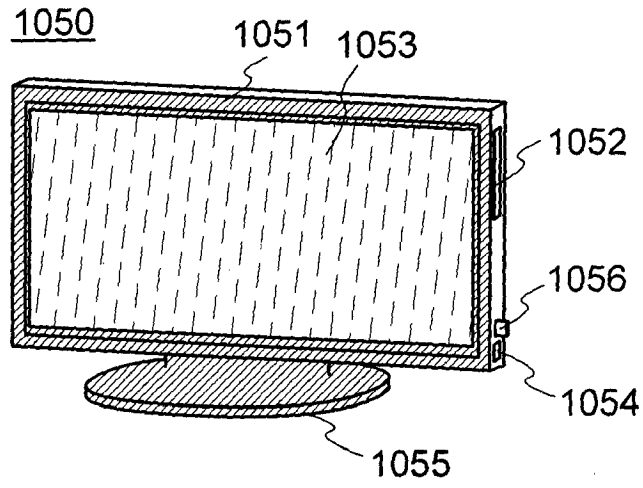


图 32D

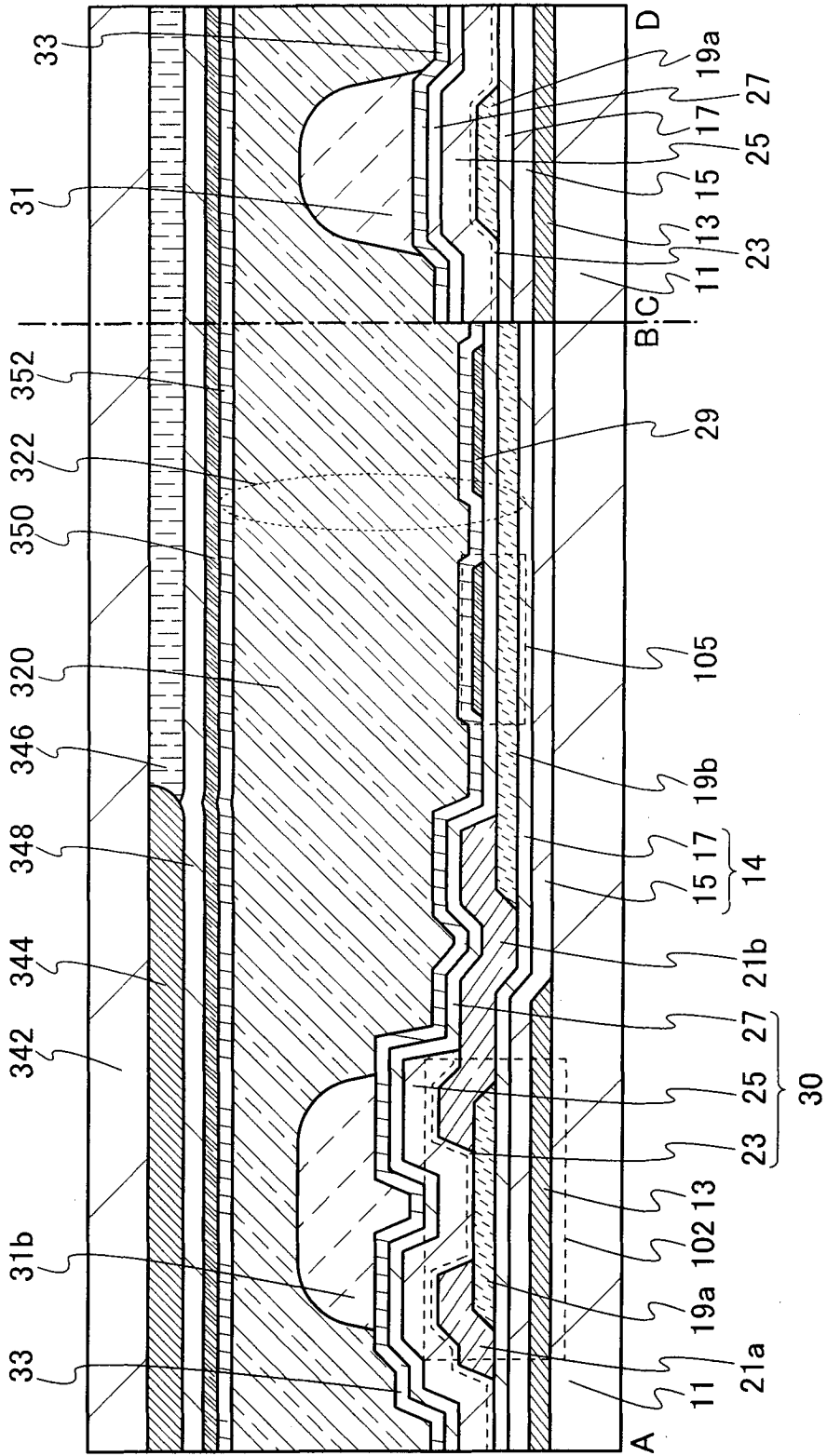


图 33

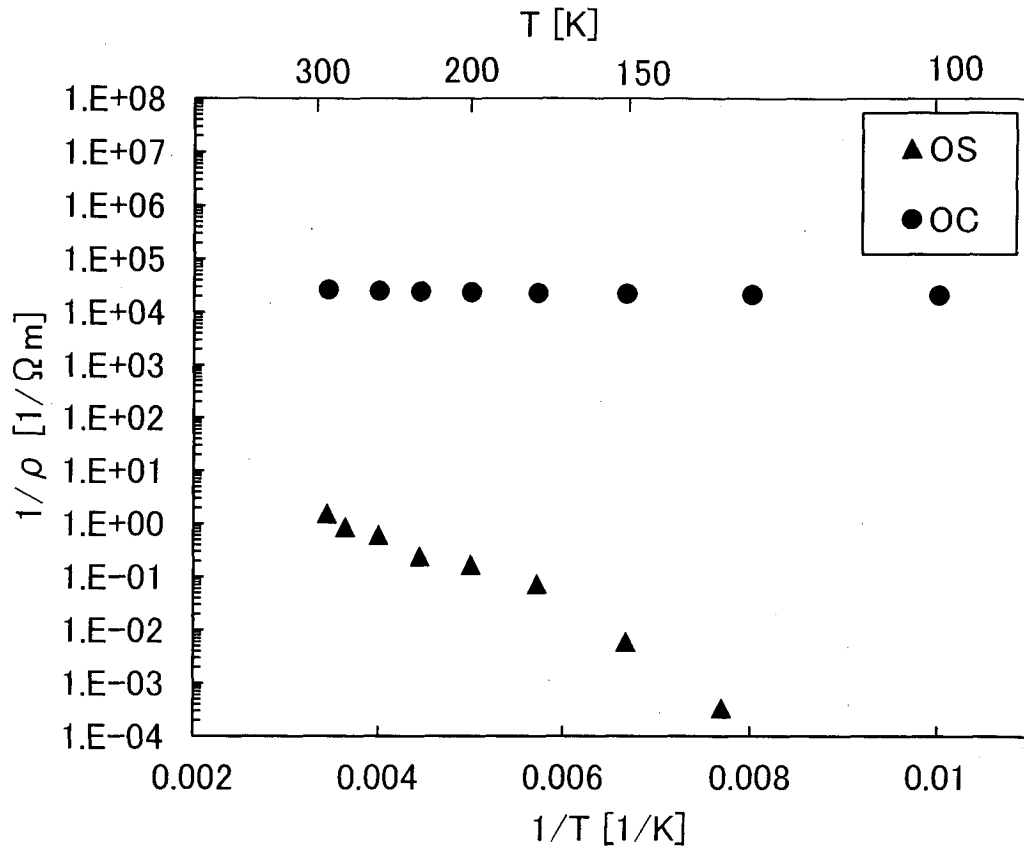


图 34

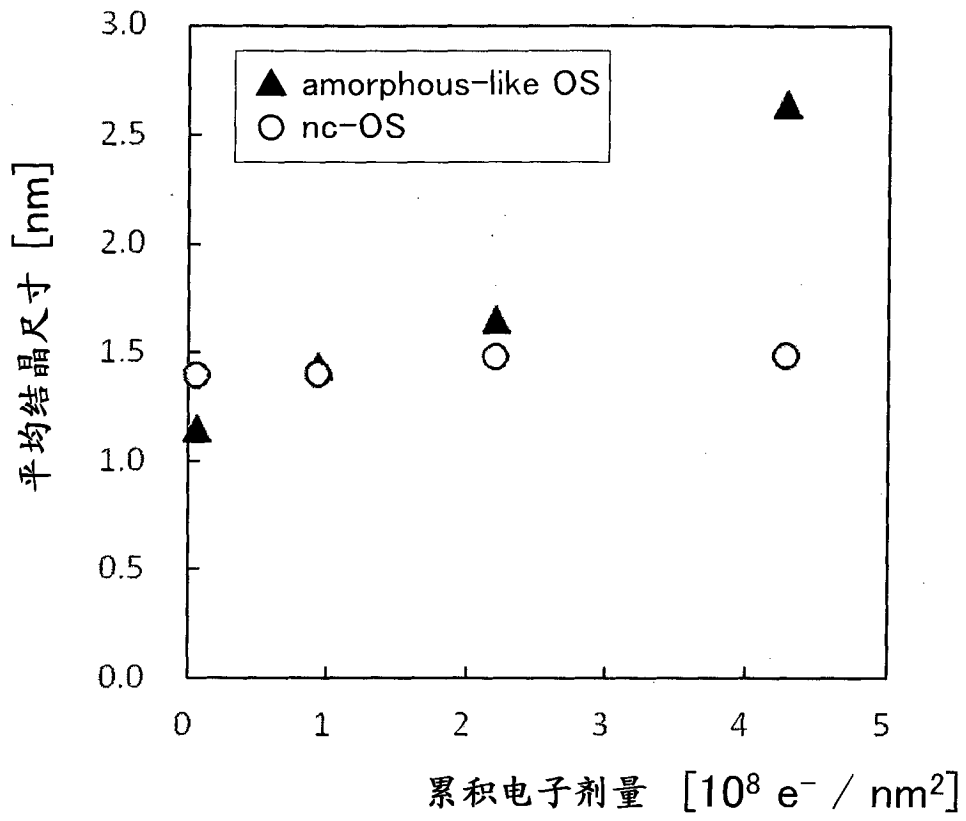


图 35