

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G11C 11/401(11) 공개번호 10-2005-0057504
(43) 공개일자 2005년06월16일(21) 출원번호 10-2005-7004811
(22) 출원일자 2005년03월19일
번역문 제출일자 2005년03월19일
(86) 국제출원번호 PCT/JP2002/011555
국제출원일자 2002년11월06일(87) 국제공개번호 WO 2004/027780
국제공개일자 2004년04월01일

(30) 우선권주장 JP-P-2002-00274970 2002년09월20일 일본(JP)

(71) 출원인 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1(72) 발명자 시노자키 나오히루
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔
가부시끼가이샤 나이
간다 다츠야
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔
가부시끼가이샤 나이
사토 다카히코
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔
가부시끼가이샤 나이
훈유 아키히로
일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4-1-1 후지쯔
가부시끼가이샤 나이(74) 대리인 김진환
김두규

심사청구 : 있음

(54) 반도체 메모리

명세서

기술분야

본 발명은 메모리 셀에 기록된 데이터를 유지하기 위해서 정기적으로 리프레시 동작이 필요한 반도체 메모리에 관한 것이다. 특히, 본 발명은 외부로부터의 리프레시 커맨드를 필요로 하지 않고, 리프레시 동작을 내부에서 자동적으로 실행하는 반도체 메모리에 관한 것이다. 또한, 본 발명은 상기 반도체 메모리의 시험 기술에 관한 것이다.

배경기술

최근, 휴대 전화 등의 모바일 기기에서는, 서비스 기능이 고도로 되고 있고, 취급되는 데이터량은 증가의 일로를 걷고 있다. 이것에 따라, 모바일 기기에 탑재되는 워크 메모리의 대용량화가 요구되고 있다.

종래, 모바일 기기의 워크 메모리로서, 시스템의 구성이 용이한 SRAM이 사용되고 있었다. 그러나, SRAM은 1비트의 셀을 구성하는 소자수가 DRAM에 비하여 많기 때문에, 대용량화에는 불리하다. 이 때문에, DRAM의 메모리 셀을 가지며, 메모리 셀의 리프레시 동작을 내부에서 자동적으로 실행함으로써, SRAM으로서 동작시키는 반도체 메모리가 개발되고 있다.

이 종류의 반도체 메모리에서는, 1회의 리프래시 동작을 실행하기 위한 리프래시 동작 시간을 판독 사이클 시간 또는 기록 사이클 시간에 포함시키고 있다. 구체적으로는, 리프래시 동작 시간은 사이클 시간의 전반에 확보되어 있다. 실제의 판독 동작 또는 기록 동작은 사이클 시간의 후반에 실행된다. 이 때문에, 반도체 메모리를 탑재하는 시스템(사용자)은 반도체 메모리의 리프래시 동작을 의식할 필요가 없다. 즉, 사용자는 이 반도체 메모리를 SRAM으로서 사용할 수 있다.

또한, 이 종류의 반도체 메모리에서는, 사이클 시간을 짧게 하기 위해서, 리프래시 동작 시간을 판독 동작 시간보다 짧게 하고 있다. 구체적으로는, 리프래시 동작시의 워드선의 선택 시간은 판독 동작시의 워드선의 선택 시간보다 짧다(예컨대, 일본 특허 공개 평성 제7-58589호 공보(2~3페이지, 도 4).

상기 공보에 개시되는 반도체 메모리에서는, 리프래시 요구가 판독 동작의 직전에 발생했을 때에, 판독 동작 전에 리프래시 동작이 실행된다. 리프래시 동작 시간은 판독 동작 시간보다 짧게 설정되어 있다. 그러나, 리프래시 동작 시간은 메모리 셀에 소정의 신호량의 데이터를 재기록하기 위해서 판독 동작 시간보다 조금밖에 짧게 할 수 없다. 전술한 바와 같이, 실제의 판독 동작은 판독 사이클 시간의 후반에 실행된다. 이 때문에, 액세스 시간을 충분히 단축할 수 있다.

또, 상기 공보의 도 4는 판독 동작(판독 데이터 D)의 전후에 리프래시 동작 RF가 실행되는 것을 나타낸 것은 아니다. 도 4는 리프래시 동작 RF를 리프래시 요구의 발생 타이밍에 맞추어 판독 동작 전 또는 후에 실행하는 예를 간략화하여 나타낸 것이다(상기 공보의 컬럼 5의 1행~10행).

또한, 의사 SRAM은 전술한 바와 같이 리프래시 동작을 외부에서 인식되는 일없이 자동적으로 실행한다. 한편, 리프래시 동작이 올바르게 실행되지 않으면, 메모리 셀에 유지되어 있는 데이터는 파괴되어 버린다. 이 때문에, 리프래시 동작이 올바르게 실행되는 것을 평가할 필요가 있다. 특히, 외부로부터 공급되는 판독 동작 또는 기록 동작의 요구와, 칩 내부에서 발생하는 리프래시 동작의 요구가 경합할 때의 회로 동작은 상세히 평가할 필요가 있다.

발명의 상세한 설명

본 발명의 목적은 DRAM의 대용량과 SRAM의 사용 용이성을 겸비한 반도체 메모리를 제공하는 것에 있다.

본 발명의 다른 목적은 칩 내부에서 자동적으로 리프래시 동작을 실행하는 반도체 메모리에 있어서, 액세스 시간을 단축시키는 것에 있다.

본 발명의 다른 목적은 칩 내부에서 자동적으로 리프래시 동작을 실행하는 반도체 메모리에 있어서, 리프래시 동작을 확실하게 실행하는 것에 있다.

본 발명의 다른 목적은 리프래시 동작을 확실하게 실행하기 위해서, 칩의 내부 상태를 평가하는 것에 있다.

본 발명의 반도체 메모리의 일 형태에서는, 메모리 코어는 복수의 메모리 셀을 갖고 있다. 커맨드 제어 회로는 커맨드 단자를 통해 공급되는 액세스 요구에 응답하여 메모리 셀을 액세스하기 위한 액세스 신호를 출력한다. 리프래시 타이머는 메모리 셀을 리프래시하기 위해서 소정의 주기로 리프래시 요구를 생성한다. 리프래시 제어 회로는 리프래시 동작을 시작하기 위해서 리프래시 요구에 응답하여 제1 리프래시 신호를 출력한다. 액세스 요구와 리프래시 요구가 경합할 때에 제1 리프래시 신호의 출력은 정지된다. 이 때문에, 액세스 요구에 대응하는 액세스 동작을 빠르게 시작할 수 있다. 즉, 액세스 시간을 단축할 수 있다. 리프래시 제어 회로는 액세스 요구에 대응하는 액세스 동작 후에 리프래시 요구에 응답하는 제2 리프래시 신호를 출력한다. 코어 제어 회로는 액세스 신호에 응답하여 액세스 동작을 실행하고, 제1 및 제2 리프래시 신호에 응답하여 제1 및 제2 리프래시 동작을 각각 실행한다. 제1 리프래시 동작 후에 제2 리프래시 동작이 반드시 실행되기 때문에, 제1 리프래시 동작에 의한 메모리 셀의 재기록이 충분하지 않아도, 그 후의 제2 리프래시 동작으로 충분한 신호량의 데이터가 메모리 셀에 재기록된다. 이 때문에, 액세스 요구와 리프래시 요구가 경합하고, 액세스 요구를 우선하는 경우에도, 메모리 셀의 데이터를 확실하게 유지할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 외부 어드레스 입력 회로는 어드레스 단자를 통해 외부 어드레스 신호를 수신한다. 리프래시 카운터는 메모리 셀 중 리프래시하는 메모리 셀을 나타내는 리프래시 어드레스 신호를 생성한다. 스위치 회로는 제1 및 제2 리프래시 신호의 출력에 응답하여 리프래시 어드레스를 선택하고, 제1 및 제2 리프래시 신호의 미출력시에 외부 어드레스 신호를 선택하며, 선택한 어드레스 신호를 메모리 코어에 출력한다. 제1 및 제2 리프래시 신호에 의해 스위치 회로를 동작시킴으로써, 어드레스 신호의 전환 제어를 용이하게 할 수 있다. 이 때문에, 스위치 회로를 간단하게 구성할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 제1 리프래시 동작의 실행 시간은 제2 리프래시 동작의 실행 시간보다 짧다. 제1 리프래시 동작의 실행 시간을 최소한으로 함으로써, 액세스 동작을 보다 빠르게 시작할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 제1 리프래시 동작의 실행 시간은 제1 리프래시 동작에 의해 메모리 셀에 재기록되는 데이터를, 제2 리프래시 동작을 실행할 때까지 잃지 않고 유지할 수 있는 신호량으로 증폭하는 시간이다. 즉, 제1 리프래시 동작의 실행 시간은 최소한으로 설정되어 있다. 제1 리프래시 동작의 실행 시간을 최소한으로 함으로써, 액세스 동작을 보다 빠르게 시작할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 메모리 코어는 메모리 셀에 각각 접속되어 있는 복수의 워드선과, 메모리 셀에 접속되어 있는 비트선과, 비트선에 접속되어 있는 감지 증폭기를 갖고 있다. 제1 및 제2 리프래시 동작은 판독 공정, 증폭 공정 및 프리차지 공정으로 구성된다. 판독 공정에서는, 워드선 중 어느 하나의 선택에 응답하여 액세스되는 메모리 셀로부터 비트선에 데이터가 판독된다. 증폭 공정에서는, 비트선에 데이터가 판독된 후에 감지 증폭기가 활성화되어, 비트선상의 데이터를 증폭시킬 수 있다. 증폭된 데이터는 액세스되어 있는 메모리 셀에 재기록된다. 프리차지 공정에서는, 워드선이 비선택되고, 비트선은 소정의 전압으로 프리차지된다.

제1 및 제2 리프्रेस 동작에 있어서의 판독 공정의 시간은 서로 같다. 제1 및 제2 리프्रेस 동작에 있어서의 프리차지 공정의 시간은 서로 같다. 제1 리프्रेस 동작의 증폭 공정의 시간은 제2 리프्रेस 동작의 증폭 공정의 시간보다 짧다. 증폭 공정의 시간만을 동작에 따라 조정함으로써, 제1 리프्रेस 동작의 실행 시간을 용이하게 최소한으로 할 수 있다. 즉, 코어 제어 회로 등의 회로를 간이하게 구성할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 리프्रेस 제어 회로는 액세스 요구와 리프्रेस 요구가 경합하지 않을 때에, 제1 리프्रेस 신호의 출력을 마스크하고, 제2 리프्रेस 신호만 출력한다. 제1 리프्रेस 동작을 필요할 때에만 실행함으로써, 동작시의 소비 전력을 삭감할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 제1 및 제2 리프्रेस 동작의 실행 시간과 2회의 액세스 동작의 실행 시간의 합은 액세스 요구의 최소 공급 간격인 외부 액세스 사이클 시간의 2회분보다 작다. 바꾸어 말하면, 2회의 외부 액세스 사이클 시간 동안에, 제1 및 제2 리프्रेस 동작과, 2회의 액세스 동작을 실행할 수 있다. 본 발명에서는, 전술한 바와 같이, 제1 리프्रेस 동작의 실행 시간이 짧기 때문에, 외부 액세스 사이클을 종래보다 단축할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 제2 리프्रेस 동작의 실행 시간은 액세스 동작의 실행 시간과 동일하다. 이 때문에, 제2 리프्रेस 동작 및 액세스 동작을 실행하기 위한 제어 회로를 공통화할 수 있다. 이 결과, 코어 제어 회로 등의 회로 규모를 작게 할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 제2 리프्रेस 동작의 실행 시간은 액세스 동작의 실행 시간보다 짧다. 이 때문에, 제2 리프्रेस 동작의 실행 후, 다음 액세스 동작을 실행할 때까지 타이밍에 여유가 생긴다. 따라서, 코어 제어 회로 등의 동작 여유를 향상시킬 수 있고, 이들 회로의 타이밍 설계가 용이해진다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 시험 제어 회로는 시험 모드 중에 외부 시험 단자를 통해 공급되는 시험 리프्रेस 요구 신호로부터 제1 및 제2 리프्रेस 신호를 생성한다. 이 때문에, 제1 리프्रेस 동작 후에 실행되는 제2 리프्रेस 동작을 원하는 타이밍에 시작할 수 있다. 제2 리프्रेस 동작은 제1 리프्रेस 동작에 의해 메모리 셀에 유지되어야 할 데이터를 재차 메모리 셀에 재기록한다. 따라서, 제1 리프्रेस 동작의 동작 마진을 용이하게 평가할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 시험 제어 회로는 제1 및 제2 리프्रेस 신호의 생성 간격을 시험 리프्रेस 요구 신호의 펄스폭에 따라 설정한다. 이 때문에, 하나의 외부 시험 단자에 의해 제1 및 제2 리프्रेस 신호의 생성 간격을 자유자재로 설정할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 메모리 코어는 복수의 메모리 셀, 메모리 셀에 접속된 비트선 및 비트선에 접속된 감지 증폭기를 갖고 있다. 커맨드 제어 회로는 커맨드 단자를 통해 공급되는 액세스 요구에 응답하여 메모리 셀을 액세스하기 위한 액세스 제어 신호를 출력한다. 동작 제어 회로는 액세스 제어 신호에 응답하여 메모리 코어에 액세스 동작을 실행시킨다.

리프्रेस 타이머는 소정의 주기로 내부 리프्रेस 요구를 생성한다. 리프्रेस 제어 회로는 액세스 요구 및 내부 리프्रेस 요구의 발생 타이밍에 따라 제1 리프्रेस 제어 신호 및 제2 리프्रेस 제어 신호 중 어느 하나를 출력한다. 즉, 리프्रेस 제어 회로는 액세스 요구 및 내부 리프्रेस 요구의 발생 타이밍에 따라 제1 및 제2 리프्रेस 제어 신호의 출력을 전환한다. 감지 증폭기는 제1 리프्रेस 제어 신호에 의해 제1 기간 활성화되고, 제2 리프्रेस 제어 신호에 의해 제1 기간보다 긴 제2 기간 활성화된다. 동작 제어 회로는 제1 및 제2 리프्रेस 제어 신호에 응답하여 메모리 코어에 제1 및 제2 리프्रेस 동작을 실행시킨다. 이와 같이, 반도체 메모리는 자신이 발생하는 리프्रेस 요구에 따라 외부로 인식되는 일없이 2종류의 리프्रेस 동작을 자동적으로 실행한다.

검출 회로는 시험 모드 중에 동작하고, 제1 리프्रेस 제어 신호를 검출했을 때에 검출 신호를 출력한다. 이 때문에, 검출 신호의 출력에 의해 리프्रेस 제어 회로에 의한 제1 및 제2 리프्रेस 제어 신호의 전환 타이밍을 검출할 수 있다. 즉, 반도체 메모리가 2종류의 리프्रेस 동작 기능을 가질 때에도 각각의 리프्रेस 동작이 실행되는 타이밍 조건을 평가할 수 있다. 또한, 예컨대, 제1 리프्रेस 제어 신호가 연속해서 발생하면 동작 불량이 발생하는 경우에, 불량이 발생하는 타이밍을 검출 신호에 의해 확실하게 평가할 수 있다.

반도체 메모리 내에서 자동적으로 실행되는 2종류의 리프्रेस 동작을 용이하게 검출할 수 있기 때문에, 이들 리프्रेस 동작에 관련되는 반도체 메모리의 동작 특성을 간이한 수법으로 정확히 평가할 수 있다. 이 결과, 평가 시간을 단축할 수 있고, 반도체 메모리의 개발 기간을 단축할 수 있다. 즉, 개발 비용을 삭감할 수 있다. 혹은, 양산하고 있는 반도체 메모리에 있어서, 제조 조건의 변동 등에 의해 불량이 발생했을 때에, 불량 해석을 신속하게 실시할 수 있고, 수율의 저하 기간을 최소한으로 할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 검출 회로에 의해 검출되는 검출 신호는 외부 단자를 통해 반도체 메모리의 외부에 출력된다. 이 때문에, 예컨대, 반도체 메모리의 리프्रेस 특성을 평가하기 위한 평가 장치에 의해 검출 신호를 검출함으로써, 리프्रेस 동작에 관련되는 반도체 메모리의 동작 특성을 정확히 평가할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 트라이스태이트 출력 버퍼는 메모리 셀로부터의 판독 데이터를 데이터 단자에 출력한다. 출력 마스크 회로는 시험 모드 중에, 트라이스태이트 출력 버퍼를 제어함으로써, 검출 신호에 응답하여 판독 데이터의 데이터 단자에 출력을 금지하고, 데이터 단자를 하이 임피던스 상태로 설정한다. 이 때문에, 반도체 메모리에 접속되는 평가 장치는 데이터 단자의 하이 임피던스 상태를 측정함으로써 검출 신호를 검출할 수 있다. 예컨대, 평가 장치로서 LSI 테스트를 사용하고, 액세스 시간의 평가용 프로그램을 이용하여 패스/페일 판정을 함으로써, 용이하게 검출 신호의 발생을 검출할 수 있다. 즉, 반도체 메모리의 리프्रेस 동작에 관련되는 동작 특성을 용이하게 평가할 수 있다. 또한, 데이터 단자를 외부 단자로서 사용함으로써, 새로운 단자를 형성할 필요가 없게 되어 칩 사이즈의 증가를 방지할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 리프레시 선택 회로는 시험 모드 중에, 외부 시험 단자를 통해 공급되는 시험 리프레시 요구를 내부 리프레시 요구 대신에 리프레시 제어 회로에 출력한다. 이 때, 리프레시 타이머로부터 출력되는 내부 리프레시 요구는 마스크된다. 이 때문에, 원하는 타이밍을 갖는 리프레시 요구를 반도체 메모리의 외부로부터 공급할 수 있다. 리프레시 요구 및 액세스 요구를, 하나의 평가 장치로부터 공급할 수 있기 때문에, 액세스 요구와 리프레시 요구의 편차(시간차)를 높은 정밀도로 제어할 수 있다. 이 결과, 반도체 메모리의 리프레시 동작에 관련되는 동작 특성을 상세히 평가할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 리프레시 타이머는 시험 모드 중에, 리프레시 요구의 생성 주기를 변경하기 위한 리프레시 조정 신호를 받는다. 이 때문에, 통상의 동작시에 동작하는 회로를 이용하여 반도체 메모리 칩의 내부에서 원하는 타이밍을 갖는 리프레시 요구를 발생시킬 수 있다. 따라서, 반도체 메모리의 실제의 회로 동작과 동일한 상태에서 리프레시 특성을 평가할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 리프레시 제어 회로내의 재정(裁定) 회로는 액세스 요구와 내부 리프레시 요구가 경합할 때에, 액세스 요구에 응답하는 액세스 동작 및 리프레시 요구에 응답하는 리프레시 동작의 우선순위를 결정한다. 재정 회로는 액세스 요구를 내부 리프레시 요구보다 우선시킬 때에, 액세스 제어 신호를 출력한 후에, 제2 리프레시 제어 신호를 출력한다. 또한, 재정 회로는 내부 리프레시 요구를 액세스 요구보다 우선시킬 때에, 제1 리프레시 제어 신호, 액세스 제어 신호 및 제2 리프레시 제어 신호를 순차적으로 출력한다.

제1 리프레시 제어 신호에 응답하는 리프레시 동작은 단기간에 종료한다. 이 때문에, 내부 리프레시 요구가 액세스 요구보다 우선되는 경우에도 액세스 요구에 대응하는 액세스 동작을 빠르게 시작할 수 있다. 즉, 액세스 시간을 단축할 수 있다. 제1 리프레시 제어 신호에 응답하는 리프레시 동작(제1 리프레시 동작) 후에, 제2 리프레시 제어 신호에 응답하는 리프레시 동작이 반드시 실행되기 때문에, 제1 리프레시 동작에 의한 메모리 셀의 재기록이 충분하지 않아도, 그 후의 리프레시 동작으로 충분한 신호량의 데이터가 메모리 셀에 재기록된다. 이 때문에, 액세스 요구와 리프레시 요구가 경합하여, 액세스 요구를 우선하는 경우에도, 메모리 셀의 데이터를 확실하게 유지할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 제1 리프레시 동작의 실행 시간은 제1 리프레시 동작에 의해 메모리 셀에 재기록되는 데이터를, 제2 리프레시 동작을 실행할 때까지 잃지 않고 유지할 수 있는 신호량으로 증폭하는 시간이다. 즉, 제1 리프레시 동작의 실행 시간은 최소한으로 설정되어 있다. 제1 리프레시 동작의 실행 시간을 최소한으로 함으로써, 액세스 동작을 보다 빠르게 시작할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 메모리 코어는 복수의 메모리 셀을 갖고 있다. 외부 단자는 메모리 셀을 액세스하기 위한 액세스 요구를 수신한다. 리프레시 타이머는 소정의 주기로 리프레시 요구를 생성한다. 코어 제어 회로는 액세스 요구와 리프레시 요구가 경합하고, 또한 리프레시 요구가 우선될 때에, 리프레시 요구에 응답하는 리프레시 동작의 종료 시각을, 액세스 요구의 공급 타이밍에 따라 제1 시각과 제1 시각보다 느린 제2 시각 사이에 설정한다. 예컨대, 코어 제어 회로는 액세스 요구의 수신 시각과 리프레시 요구의 발생 시각의 차가 작을 때에, 종료 시각을 빠르게 설정한다. 또한, 코어 제어 회로는 액세스 요구의 수신 시각과 리프레시 요구의 발생 시각의 차가 클 때에, 종료 시각을 느리게 설정한다. 리프레시 동작의 종료 시각은 고정적이지 아니라, 액세스 요구의 공급 타이밍에 따라 가변적이다. 이 때문에, 리프레시 요구와 액세스 요구가 경합했을 때에, 리프레시 동작후의 액세스 동작을 더욱 빠르게 시작할 수 있다. 즉, 액세스 시간을 더욱 단축할 수 있다.

리프레시 동작의 종료 시각이 액세스 요구의 공급 타이밍에 따라 변화되기 때문에, 액세스 요구가 리프레시 요구에 대하여 서서히 어긋나도 액세스 시간은 변화하지 않는다. 이 때문에, 리프레시 요구와 액세스 요구의 시간차에 의해 액세스 시간이 변동되는 것을 방지할 수 있다. 액세스 시간이 불균일해지지 않기 때문에, 액세스 시간의 최대치(최악의 값)를 작게 할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 재정 회로는 액세스 요구와 내부 리프레시 요구가 경합할 때에, 액세스 요구에 응답하는 액세스 동작 및 리프레시 요구에 응답하는 리프레시 동작의 우선순위를 결정한다. 재정 회로는 액세스 요구를 리프레시 요구보다 우선시킬 때에, 코어 제어 회로에, 액세스 동작을 시작하기 위한 액세스 제어 신호를 출력한 후에 리프레시 동작을 시작하기 위한 리프레시 제어 신호를 출력한다. 또한, 재정 회로는 리프레시 요구를 액세스 요구보다 우선시킬 때에, 코어 제어 회로에, 리프레시 제어 신호를 출력한 후에 액세스 제어 신호를 출력한다. 코어 제어 회로는 액세스 제어 신호 및 리프레시 제어 신호에 따라 액세스 동작 및 리프레시 동작을 각각 실행한다. 이 때문에, 액세스 요구와 리프레시 요구가 경합할 때에도 액세스 동작 및 리프레시 동작을 확실하게 실행할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 메모리 코어는 메모리 셀에 각각 접속된 복수의 워드선을 갖고 있다. 리프레시 동작의 종료 시각은 워드선의 비활성화 시각에 대응한다. 즉, 코어 제어 회로는 액세스 요구의 공급 타이밍에 따라 워드선을 비활성화함으로써, 리프레시 동작을 종료한다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 메모리 코어는 메모리 셀에 접속된 비트선과 비트선에 접속된 감지 증폭기를 갖고 있다. 리프레시 동작의 종료 시각은 감지 증폭기의 비활성화 시각에 대응한다. 즉, 코어 제어 회로는 액세스 요구의 공급 타이밍에 따라 워드선을 비활성화하는 동시에, 감지 증폭기를 비활성화함으로써, 리프레시 동작을 종료한다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 코어 제어 회로는 제1 시각을 통지하는 제1 시각 신호, 제2 시각을 통지하는 제2 시각 신호를 생성하는 타이밍 생성 회로를 갖고 있다. 코어 제어 회로는 종료 시각을 제1 및 제2 시각 신호의 생성 타이밍에 대한 액세스 요구의 공급 타이밍에 따라 설정한다. 이 때문에, 간단한 논리 회로에 의해 액세스 요구의 공급 타이밍에 따라 리프레시 동작을 종료할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 액세스 요구가 제1 시각보다 전에 공급될 때에, 종료 시각이 제1 시각으로 설정되고, 제1 쇼트 리프레시 동작이 실행된다. 액세스 요구가 제1 시각에서 제2 시각 사이에 공급될 때에, 종료 시각이 액세스 요구의 공급 시각으로 설정되고, 제2 쇼트 리프레시 동작이 실행된다. 액세스 요구가 제2 시각 후에 공급될 때에, 종료 시각이 제2 시각으로 설정되고, 통상 리프레시 동작이 실행된다.

리프레시 동작의 종료는 항상 제1 시각 이후가 된다. 최저한의 리프레시 동작 기간을 확보함으로써(제1 쇼트 리프레시 동작), 리프레시 동작에 의해 메모리 셀내의 데이터가 파괴되는 것을 방지할 수 있다. 또한, 리프레시 동작의 종료는 항상 제2 시각 이전이 된다. 액세스 요구가 공급되지 않을 때에도, 리프레시 동작을 항상 제2 시각에서 종료함으로써, 메모리 코어의 불필요한 동작을 방지할 수 있다. 이 결과, 불필요한 코어 동작 전류의 소비를 막을 수 있다. 더욱이, 리프레시 동작의 종료를 제1 시각에서 제2 시각 사이에 설정함으로써, 액세스 요구의 공급 타이밍에 동기하여 리프레시 동작을 완료할 수 있다. 이 때, 액세스 시간을 악화시키는 일없이 재기록할 수 있는 최대한의 전하가 메모리 셀에 기록되기 때문에, 제1 쇼트 리프레시 동작의 경우에 비하여 데이터 유지 특성에 여유를 갖게 할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 메모리 코어는 메모리 셀에 접속된 복수의 워드선을 갖고 있다. 반도체 메모리는 리프레시 타이머가 출력하는 리프레시 요구의 생성 간격이 긴 제1 동작 모드와, 리프레시 요구의 생성 간격이 짧은 제2 동작 모드를 갖고 있다. 리프레시 요구에 대응하여 워드선의 하나가 선택된다.

반도체 메모리는 제1 동작 모드 중에 리프레시 요구에 대응하여 제1 또는 제2 쇼트 리프레시 동작이 실행될 때, 이 제1 또는 제2 쇼트 리프레시 동작 후에, 선택된 워드선에 대하여 통상 리프레시 동작을 시도한다. 반도체 메모리는 다음 리프레시 요구가 발생할 때까지, 액세스 요구가 우선되고, 선택된 워드선에 대한 통상 리프레시 동작을 실행할 수 없을 때에, 제2 동작 모드로 이행한다. 제2 동작 모드로의 이행의 판단을 소정 기간 대기함으로써 액세스 요구의 공급 빈도가 일시적으로 높아졌는지, 계속해서 높은지를 확실하게 판단할 수 있다. 이 때문에, 액세스 빈도에 따른 최적의 동작 모드로 이행할 수 있다. 이 결과, 제2 동작 모드로 이행하고 있는 기간을 최소한으로 할 수 있고, 리프레시 동작에 의한 소비 전력을 필요 최소한으로 할 수 있다. 즉, 반도체 메모리의 소비 전력을 삭감할 수 있다.

본 발명의 반도체 메모리의 다른 일 형태에서는, 리프레시 카운터는 워드선을 순차적으로 선택하기 위해서, 리프레시 요구에 응답하여 카운트 동작한다. 반도체 메모리는 제2 동작 모드 중에, 통상 리프레시 동작만이 실행되어 리프레시 카운터가 일주했을 때에, 제1 동작 모드로 이행한다. 액세스 요구의 빈도가 소정 기간 낮아졌을 때에, 제1 동작 모드로 이행함으로써, 리프레시 요구의 빈도가 낮아지기 때문에, 소비 전력을 삭감할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 반도체 메모리의 제1 실시 형태를 도시한 블록도.

도 2는 도 1에 도시된 리프레시 제어 회로를 상세하게 도시한 블록도.

도 3은 도 1에 도시된 코어 제어 회로의 주요부를 상세하게 도시한 회로도.

도 4는 도 1에 도시된 리프레시 어드레스 입력 회로, 외부 어드레스 입력 회로 및 스위치 회로를 상세하게 도시한 회로도.

도 5는 제1 실시 형태에 있어서의 메모리 셀 어레이의 기본 동작을 도시한 타이밍도.

도 6은 제1 실시 형태의 동작예를 도시한 타이밍도.

도 7은 제1 실시 형태의 다른 동작예를 도시한 타이밍도.

도 8은 제1 실시 형태의 다른 동작예를 도시한 타이밍도.

도 9는 본 발명의 반도체 메모리의 제2 실시 형태를 도시한 블록도.

도 10은 도 9에 도시된 코어 제어 회로의 주요부를 상세하게 도시한 회로도.

도 11은 제2 실시 형태의 동작예를 도시한 타이밍도.

도 12는 제2 실시 형태의 다른 동작예를 도시한 타이밍도.

도 13은 본 발명의 반도체 메모리의 제3 실시 형태를 도시한 블록도.

도 14는 도 13에 도시된 리프레시 제어 회로를 상세하게 도시한 블록도.

도 15는 도 13에 도시된 코어 제어 회로를 상세하게 도시한 회로도.

도 16은 제3 실시 형태의 동작예를 도시한 타이밍도.

- 도 17은 제3 실시 형태의 다른 동작예를 도시한 타이밍도.
- 도 18은 본 발명의 반도체 메모리의 제4 실시 형태를 도시한 블록도.
- 도 19는 도 18에 도시된 리프레시 판정 회로를 상세하게 도시한 회로도.
- 도 20은 도 18에 도시된 데이터 출력 회로를 상세하게 도시한 회로도.
- 도 21은 제4 실시 형태에 있어서의 메모리 셀 어레이의 기본 동작을 도시한 타이밍도.
- 도 22는 제4 실시 형태에 있어서의 통상 동작 모드에 의한 동작예를 도시한 타이밍도.
- 도 23은 제4 실시 형태에 있어서의 통상 동작 모드에 의한 다른 동작예를 도시한 타이밍도.
- 도 24는 제4 실시 형태에 있어서의 통상 동작 모드에 의한 다른 동작예를 도시한 타이밍도.
- 도 25는 제4 실시 형태에 있어서의 제1 시험 모드에 의한 동작예를 도시한 타이밍도.
- 도 26은 제4 실시 형태에 있어서의 제2 시험 모드에 의한 동작예를 도시한 타이밍도.
- 도 27은 제4 실시 형태에 있어서의 제2 시험 모드에 의한 동작예를 도시한 타이밍도.
- 도 28은 본 발명의 반도체 메모리의 제5 실시 형태를 도시한 블록도.
- 도 29는 본 발명의 반도체 메모리의 제6 실시 형태를 도시한 블록도.
- 도 30은 제6 실시 형태에 있어서의 시험 모드 중의 동작예를 도시한 타이밍도.
- 도 31은 본 발명의 반도체 메모리의 제7 실시 형태를 도시한 블록도.
- 도 32는 도 31에 도시된 코어 제어 회로(158)의 주요부를 상세하게 도시한 회로도.
- 도 33은 코어 제어 회로(158)내에 형성되는 선착 판정 회로(160)를 도시한 블록도.
- 도 34는 제7 실시 형태의 동작예를 도시한 타이밍도.
- 도 35는 제7 실시 형태의 다른 동작예를 도시한 타이밍도.
- 도 36은 제7 실시 형태의 다른 동작예를 도시한 타이밍도.
- 도 37은 액세스 요구와 리프레시 요구의 경합시에 있어서의 액세스 시간을 도시한 특성도.
- 도 38은 제7 실시 형태에 있어서의 제1 동작 모드에서 제2 동작 모드로의 이행을 도시한 타이밍도.
- 도 39는 제7 실시 형태에 있어서의 제2 동작 모드에서 제1 동작 모드로의 이행을 도시한 타이밍도.

실시예

이하, 본 발명의 실시 형태를 도면을 이용하여 설명한다. 도면 중, 굵은선으로 도시한 신호선은 복수 비트로 구성되어 있다. 도면의 ◎는 외부 단자를 나타내고 있다. 선두에 "/"가 붙어 있는 신호 및 말미에 "X"가 붙어 있는 신호는 부논리를 나타내고 있다. 말미에 "Z"가 붙어 있는 신호는 정논리를 나타내고 있다.

도 1은 본 발명의 반도체 메모리의 제1 실시 형태를 나타내고 있다. 이 반도체 메모리는 DRAM의 메모리 셀을 가지며, SRAM의 인터페이스를 갖는 의사 SRAM으로서 형성되어 있다. 의사 SRAM은 외부로부터 리프레시 커맨드를 받는 일없이 칩 내부에서 정기적으로 리프레시 동작을 실행하여, 메모리 셀에 기록된 데이터를 유지한다. 이 의사 SRAM은 예컨대 휴대 전하에 탑재되는 워크 메모리에 사용된다.

의사 SRAM은 커맨드 제어 회로(10), 리프레시 타이머(12), 리프레시 제어 회로(14), 리프레시 카운터(16), 리프레시 어드레스 입력 회로(18), 외부 어드레스 입력 회로(20), 스위치 회로(22), 데이터 입출력 회로(24), 코어 제어 회로(26) 및 메모리 코어(28)를 갖고 있다.

커맨드 제어 회로(10)는 커맨드 단자를 통해 외부로부터 커맨드 신호(칩 인에이블 신호 /CE, 출력 인에이블 신호 /OE 및 기록 인에이블 신호 /WE)를 받아, 받은 커맨드를 해독하여, 판독 제어 신호 RDZ, 기록 제어 신호 WRZ(액세스 신호) 및 판

독/기록 제어 신호 RWZ, RWIZ(엑세스 신호)를 출력한다. 판독 제어 신호 RDZ 및 기록 제어 신호 WRZ(고레벨)는 판독 커맨드 및 기록 커맨드가 각각 공급되었을 때에 출력된다. 판독/기록 제어 신호 RWZ, RWIZ(고레벨)는 판독 커맨드 및 기록 커맨드가 공급되었을 때에 출력된다. 판독/기록 제어 신호 RWIZ는 판독/기록 제어 신호 RWZ보다도 빠르게 출력된다.

리프래시 타이머(12)는 리프래시 요구 신호 REFIOZ(리프래시 커맨드)를 소정의 주기로 출력한다. 리프래시 요구 신호 REFIOZ는 메모리 셀 MC에 유지된 데이터를 잃지 않고 메모리 셀 MC를 순차적으로 리프래시할 수 있는 주기로 생성된다. 예컨대, 모든 메모리 셀 MC가 64 ms 이내에 한 번 리프래시되도록, 리프래시 요구 신호 REFIOZ의 생성 주기가 설정되어 있다. 구체적으로는, 리프래시 요구마다 순차적으로 선택되는 2048개의 워드선 WL이 배선되어 있는 경우, 리프래시 요구 신호 REFIOZ는 31 μ s마다 생성된다.

리프래시 제어 회로(14)는 판독/기록 제어 신호 RWZ, RWIZ 및 리프래시 요구 신호 REFIOZ에 따라 리프래시 신호 REFSZ(제1 리프래시 신호) 및 리프래시 신호 REFZ(제2 리프래시 신호)를 출력한다. 리프래시 카운터(16)는 리프래시 신호 REFZ의 상승 에지로부터 일정 기간 후에 카운트 동작하고, 리프래시 어드레스 신호 RAZ를 순차적으로 출력한다.

리프래시 어드레스 입력 회로(18)는 리프래시 어드레스 신호 RAZ를 리프래시 어드레스 신호 REFAD로서 출력한다. 외부 어드레스 입력 회로(20)는 어드레스 단자를 통해 어드레스 신호 ADD를 수신하고, 수신한 신호를 로우 어드레스 신호 RAD(상위 어드레스) 및 컬럼 어드레스 신호 CAD(하위 어드레스)로서 출력한다. 또, 의사 SRAM은 상위 어드레스와 하위 어드레스를 동시에 수신하는 어드레스 비다중식 메모리이다.

스위치 회로(22)는 리프래시 신호 REFZ 또는 REFSZ가 고레벨일 때, 리프래시 어드레스 신호 REFAD를 내부 로우 어드레스 신호 IRAD로서 출력하고, 리프래시 신호 REFZ 및 REFSZ가 모두 저레벨일 때, 로우 어드레스 신호 RAD를 로우 어드레스 신호 IRAD로서 출력한다.

데이터 입출력 회로(24)는 판독 데이터를 공통 데이터 버스 CDB를 통해 수신하고, 수신한 데이터를 데이터 단자 DQ에 출력하며, 기록 데이터를 데이터 단자 DQ를 통해 수신하고, 수신한 데이터를 공통 데이터 버스 CDB에 출력한다. 데이터 단자 DQ의 비트수는 예컨대 16비트이다.

코어 제어 회로(26)는 제1 및 제2 타이밍 제어 회로(30, 32) 및 OR 회로(34)를 갖고 있다.

제1 타이밍 제어 회로(30)는 판독/기록 제어 신호 RWZ 및 리프래시 신호 REFZ에 동기하여 제1 워드 타이밍 신호 TWX1을 출력한다. 제2 타이밍 제어 회로(32)는 리프래시 신호 REFSZ에 동기하여 제2 워드 타이밍 신호 TWX2를 출력한다. OR 회로(34)는 제1 또는 제2 워드 타이밍 신호 TWX1, TWX2를 워드 타이밍 신호 TWZ로서 출력한다.

또, 코어 제어 회로(26)는 도시하지 않은 감지 증폭기 제어 회로 및 프리차지 제어 회로를 갖고 있다. 감지 증폭기 제어 회로는 판독/기록 제어 신호 RWZ 및 리프래시 신호 REFZ, REFSZ 중 어느 하나를 받았을 때, 후술하는 감지 증폭기부 SA의 감지 증폭기를 활성화하기 위한 감지 증폭기 활성화 신호 LEZ를 출력한다. 프리차지 제어 회로는 비트선 BL, /BL이 사용되지 않을 때에, 비트선 리셋 신호 BRS를 출력한다.

메모리 코어(28)는 메모리 셀 어레이 ARY, 워드 디코더부 WDEC, 감지 증폭기부 SA, 컬럼 디코더부 CDEC, 감지 버퍼부 SB 및 라이트 앰프부 WA를 갖고 있다. 메모리 셀 어레이 ARY는 복수의 휘발성 메모리 셀 MC(다이내믹 메모리 셀)와, 메모리 셀 MC에 접속된 복수의 워드선 WL 및 복수의 비트선 BL, /BL을 갖고 있다. 각 메모리 셀 MC는 일반적인 DRAM의 메모리 셀과 동일하며, 데이터를 전하로서 유지하기 위한 커패시터와, 이 커패시터와 비트선 BL 또는 /BL 사이에 배치된 전송 트랜지스터를 갖고 있다. 전송 트랜지스터의 게이트는 워드선 WL에 접속되어 있다. 워드선 WL의 선택에 의해 판독 동작, 기록 동작 및 리프래시 동작 중 어느 하나가 실행된다. 메모리 셀 어레이 ARY는 판독 동작, 기록 동작 및 리프래시 동작 중 어느 하나를 실행한 후, 비트선 리셋 신호 BRS에 응답하여 비트선 BL, /BL을 소정의 전압으로 프리차지하는 프리차지 동작을 실행한다.

워드 디코더부 WDEC는 고레벨의 워드선 제어 신호 TWZ를 받았을 때, 내부 로우 어드레스 신호 IRAD에 따라 워드선 WL 중 어느 하나를 선택하고, 선택한 워드선 WL을 고레벨로 변화시킨다. 컬럼 디코더부 CDEC는 컬럼 어드레스 신호 CAD에 따라 비트선 BL, /BL과 데이터 버스 DB를 각각 접속하는 컬럼 스위치를 온시키는 컬럼선 신호를 출력한다.

감지 증폭기부 SA는 복수의 감지 증폭기를 갖고 있다. 각 감지 증폭기는 감지 증폭기 활성화 신호 LEZ에 응답하여 동작하고, 비트선 BL, /BL 상의 데이터의 신호량을 증폭한다. 감지 증폭기로 증폭된 데이터는 판독 동작시에 컬럼 스위치를 통해 데이터 버스 DB에 전달되고, 기록 동작시에 비트선을 통해 메모리 셀 MC에 기록된다.

감지 버퍼부 SB는 데이터 버스 DB 상의 판독 데이터의 신호량을 증폭하여, 공통 데이터 버스 CDB에 출력한다. 라이트 앰프부 WA는 공통 데이터 버스 CDB 상의 기록 데이터의 신호량을 증폭하여, 데이터 버스 DB에 출력한다.

도 2는 도 1에 도시된 리프래시 제어 회로(14)를 상세하게 나타내고 있다.

리프래시 제어 회로(14)는 리프래시 요구 신호 REFIOZ 및 판독/기록 제어 신호 RWIZ를 받아, 리프래시 요구 신호 REFIZ를 출력하는 제정 회로 ARB, 리프래시 신호 REFZ를 생성하는 제1 리프래시 생성 회로(36) 및 리프래시 신호 REFSZ를 생성하는 제2 리프래시 생성 회로(38)를 갖고 있다.

제정 회로 ARB는 리프래시 요구 신호 REFIOZ를 판독/기록 제어 신호 RWIZ에 대하여 소정 시간 지연되어 수신했을 때, 리프래시 요구 신호 REFIOZ를 일시 유지하고, 판독/기록 제어 신호 RWIZ의 출력 후에 리프래시 요구 신호 REFIOZ를 리프래시 요구 신호 REFIZ로서 출력한다.

제1 리프्रेस시 생성 회로(36)는 판독/기록 제어 신호 RWZ, RWIZ가 모두 저레벨일 때에, 고레벨의 리프्रेस시 요구 신호 REFIZ에 응답하여 고레벨의 리프्रेस시 신호 REFZ를 출력한다. 제2 리프्रेस시 생성 회로(38)는 판독/기록 제어 신호 RWIZ가 고레벨일 때에, 고레벨의 리프्रेस시 요구 신호 REFIZ에 응답하여 고레벨의 리프्रेस시 신호 REFSZ를 출력한다.

도 3은 도 1에 도시된 코어 제어 회로(26)의 주요부를 상세하게 나타내고 있다.

제1 타이밍 제어 회로(30)는 판독/기록 제어 신호 RWZ 또는 리프्रेस시 신호 REFZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제1 워드 타이밍 신호 TWX1(저레벨의 펄스)을 출력한다. 제2 타이밍 제어 회로(32)는 리프्रेस시 신호 REFSZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제2 워드 타이밍 신호 TWX2(저레벨의 펄스)를 출력한다. OR 회로(34)는 전술한 바와 같이, 제1 또는 제2 워드 타이밍 신호 TWX1, TWX2를 워드 타이밍 신호 TWZ로서 출력한다.

도 4는 도 1에 도시된 리프्रेस시 어드레스 입력 회로(18), 외부 어드레스 입력 회로(20) 및 스위치 회로(22)를 상세하게 나타내고 있다. 또, 도 4에 도시된 회로는 1비트의 어드레스 신호에 대응하는 회로이다. 실제로는 어드레스 신호의 비트수에 대응하는 수의 회로가 존재한다.

리프्रेस시 어드레스 입력 회로(18)는 기수단의 인버터로 구성되어 있다. 리프्रेस시 어드레스 입력 회로(18)는 리프्रेस시 어드레스 신호 RAZ를 반전하여, 리프्रेस시 어드레스 신호 REFAD로서 출력한다. 외부 어드레스 입력 회로(20)는 기수단의 인버터로 구성되어 있는 2개의 버퍼 회로를 갖고 있다. 버퍼 회로는 어드레스 신호 ADD를 로우 어드레스 신호 RAD 및 컬럼 어드레스 신호 CAD로서 각각 출력한다.

스위치 회로(22)는 리프्रेस시 신호 REFZ 또는 REFSZ가 고레벨일 때에, 리프्रेस시 어드레스 신호 REFAD의 반전 논리를 내부 로우 어드레스 신호 IRAD로서 출력하고, 리프्रेस시 신호 REFZ 또는 REFSZ가 저레벨일 때에, 로우 어드레스 신호 RAD의 반전 논리를 로우 어드레스 신호 IRAD로서 출력한다.

도 5는 제1 실시 형태에 있어서의 메모리 셀 어레이 ARY의 기본 동작을 나타내고 있다.

이 실시 형태에서는, 메모리 셀 어레이 ARY는 2개의 기본 타이밍 A, B 중 어느 하나에 따라 동작한다. 기본 타이밍 A, B 모두 판독 공정 RP, 증폭 공정 AP 및 프리차지 공정 PP로 구성된다. 판독 공정 RP는 워드선 WL의 활성화(선택)에 응답하여 선택되는 메모리 셀 MC로부터 비트선 BL 또는 /BL에 데이터를 판독하는 기간이다.

증폭 공정 AP는 비트선 BL 또는 /BL에 데이터가 판독된 후에, 감지 증폭기 활성화 신호 LEZ에 응답하여 감지 증폭기가 활성화되어 비트선 BL, /BL의 전압차(데이터)가 증폭되고, 증폭된 비트선 BL, /BL의 전압이 데이터를 판독한 메모리 셀 MC에 재기록되는 기간이다. 프리차지 공정 PP는 워드선 WL을 비활성화(비선택)하고, 비트선 BL, /BL을 소정의 전압으로 프리차지하는 기간이다.

기록 동작 WR, 판독 동작 RD 및 통상의 리프्रेस시 동작 REF(제2 리프्रेस시 동작)는 기본 타이밍 A를 사용하여 실행된다. 즉, 통상의 리프्रेस시 동작 REF의 실행 시간은 기록 동작 WR 및 판독 동작 RD의 실행 시간과 동일하다. 워드선 WL은 기본 시간 T의 7배(7T)의 기간 활성화된다. 이 때의 사이클 시간 tRC는 기간 8T가 된다. 기록 동작 WR에서는, 메모리 셀 MC로부터 판독되고, 비트선 BL, /BL 상에서 증폭된 데이터를 기록 데이터로 반전해야 한다. 이 때문에, 기록 동작 WR의 사이클 시간 tRC가 가장 길어진다. 판독 동작 RD에서는, 사용자의 사용성을 고려하여 기록 동작 WR과 동일한 기본 타이밍이 사용된다.

통상의 리프्रेस시 동작 REF에서는 비트선 BL, /BL을 데이터 버스 DB에 접속할 필요가 없고, 비트선 BL, /BL 상에서 데이터를 반전할 필요도 없다. 이 때문에, 워드선 WL의 활성화 기간을 기간 6T로 하여도, 메모리 셀 MC에 유지되어 있던 데이터를 다시 메모리 셀 MC에 풀기록할 수 있다(도 5의 기본 타이밍 C로 도시한 단축 리프्रेस시 동작 REFr). 그러나, 이 실시 형태에서는, 코어 제어 회로(26)를 간이하게 구성하기 위해서, 통상의 리프्रेस시 동작 REF에서는, 기록 동작 WR과 동일한 기본 타이밍이 사용된다. 리프्रेस시 동작 REF는 리프्रेस시 신호 REFZ가 출력되었을 때에 실행된다.

리프्रेस시 동작 REF에 의해 데이터가 메모리 셀 MC에 풀기록됨으로써, 각 메모리 셀 MC의 데이터 유지 시간(포즈 시간)은 64 ms 이상이 된다.

또, 기본 타이밍 C를 사용하는 리프्रेस시 동작 REFr의 사이클 시간 tRCr은 종래 기술에서 설명한 리프्रेस시 동작의 사이클 시간과 동일하고, 기간 7T이다.

쇼트 리프्रेस시 동작 REFi(제1 리프्रेस시 동작)는 기본 타이밍 B를 사용하여 실행된다. 여기서, 쇼트 리프्रेस시 동작 REFi는 액세스 요구(판독 커맨드 또는 기록 커맨드)와 리프्रेस시 요구가 경합했을 때에, 리프्रेस시 동작을 최소한의 기간 실행하기 위해서 사용된다. 쇼트 리프्रेस시 동작 REFi의 후에 곧 액세스 동작(판독 동작 RD 또는 기록 동작 WR)을 실행함으로써, 액세스 시간을 단축할 수 있다. 쇼트 리프्रेस시 동작 REFi에서는, 워드선 WL의 활성화 기간은 기간 3T로 설정된다. 쇼트 리프्रेस시 동작 REFi의 사이클 시간 tRCf는 기간 4T이다.

쇼트 리프्रेस시 동작 REFi에서는, 감지 증폭기의 활성화 기간(LEZ 신호의 고레벨 기간)이 짧기 때문에, 비트선 BL, /BL의 전압차는 충분히 증폭되지 않는다. 메모리 셀 MC에 재기록되는 데이터의 신호량(리스토어 레벨)이 작기 때문에, 쇼트 리프्रेस시 동작 REFi의 후, 예컨대 200 ns 이내에 재차 기본 타이밍 A를 사용하여 통상의 리프्रेस시 동작 REF를 해야 한다. 바꾸어 말하면, 200 ns 이내에 통상의 리프्रेस시 동작 REF를 실행할 수 있다면, 쇼트 리프्रेस시 동작 REFi를 우선 실행함으로써 메모리 셀 MC의 데이터가 없어지는 것을 방지할 수 있다. 이와 같이, 쇼트 리프्रेस시 동작 REFi의 실행 시간(데이터의 증폭과 재기록 시간)은 쇼트 리프्रेस시 동작 REFi의 실행 후, 통상의 리프्रेस시 동작 REF를 실행할 때까지의 기간에, 메모리 셀 MC 내의 데이터를 잃지 않고 유지할 수 있는 시간이다.

기본 타이밍 A, B의 사이클 시간의 차는 감지 증폭기의 활성화 시간에 대응하는 증폭 공정 AP의 시간차에 의해 생긴다. 판독 공정 RP 및 프리차지 공정 PP의 시간은 각각 기본 타이밍 A, B와도 동일하다.

도 6은 제1 실시 형태에 있어서의 의사 SRAM의 동작을 나타내고 있다.

이 예에서는, 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드와 리프레시 요구 신호 REFIOZ가 거의 동시에 발생한다.

우선, 도 1에 도시된 커맨드 제어 회로(10)는 저레벨의 칩 인에이블 신호 /CE 및 도시하지 않은 저레벨의 출력 인에이블 신호 /OE, 고레벨의 기록 인에이블 신호 /WE를 받아, 판독 커맨드(판독 액세스 요구)가 공급된 것을 검출한다{도 6(a)}. 커맨드 제어 회로(10)는 판독 커맨드에 응답하여, 판독/기록 제어 신호 RWIZ 및 판독/기록 제어 신호 RWZ를 출력한다{도 6(b, c)}. 판독/기록 제어 신호 RWZ는 판독/기록 제어 신호 RWIZ가 저레벨로 변화하기 전에 출력된다.

도 2에 도시된 리프레시 타이머(12)는 판독 커맨드의 공급과 거의 동시에 리프레시 요구 신호 REFIOZ를 출력한다. 리프레시 제어 회로(14)의 재정 회로 ARB는 리프레시 요구 신호 REFIOZ에 응답하여 리프레시 요구 신호 REFIZ를 출력한다{도 6(d)}.

판독/기록 제어 신호 RWIZ의 고레벨 기간에 리프레시 요구 신호 REFIZ가 생성되기 때문에, 리프레시 제어 회로(14)의 제2 리프레시 생성 회로(38)는 고레벨의 리프레시 신호 REFSZ를 출력한다{도 6(e)}. 도 4에 도시된 스위치 회로(22)는 고레벨의 리프레시 신호 REFSZ에 응답하여 리프레시 어드레스 신호 RAZ(RA1)를 로우 어드레스 신호 IRAD로서 출력한다{도 6(f)}.

도 3에 도시한 제2 타이밍 제어 회로(32)는 리프레시 신호 REFSZ에 동기하여 제2 워드 타이밍 신호 TWX2를 출력한다{도 6(g)}. 제2 워드 타이밍 신호 TWX2의 출력에 의해 워드 타이밍 신호 TWZ가 출력되고{도 6(h)}, 도 5에 도시된 쇼트 리프레시 동작 REFf(제1 리프레시 동작)가 실행된다.

다음에, 제2 리프레시 생성 회로(38)는 판독/기록 제어 신호 RWIZ의 저레벨로의 변화에 응답하여 리프레시 신호 REFSZ의 출력을 정지한다{도 6(i)}. 스위치 회로(22)는 저레벨의 리프레시 신호 REFSZ에 응답하여 1회재의 판독 커맨드에 대응하는 외부 어드레스 신호 ADD(AD1)를 로우 어드레스 신호 IRAD로서 출력한다{도 6(j)}.

도 3에 도시한 제1 타이밍 제어 회로(30)는 판독/기록 제어 신호 RWZ의 상승 에지에 동기하여 제1 워드 타이밍 신호 TWX1을 출력한다{도 6(k)}. 제1 워드 타이밍 신호 TWX1의 출력에 의해 워드 타이밍 신호 TWZ가 출력되고{도 6(l)}, 도 5에 도시된 판독 동작 RD가 실행된다. 또, 워드 타이밍 신호 TWZ의 출력 간격은 비트선 BL, /BL의 프리차지 동작이 올바르게 실행되도록, 프리차지 동작 시간 tRP로 설정되어 있다. 판독 동작 RD에 의해 비트선 BL, /BL 상에서 증폭된 판독 데이터(DO)는 공통 데이터 버스 CDB를 통해 데이터 단자 DQ에 출력된다{도 6(m)}.

판독 요구와 경합하는 리프레시 요구에 대응하여 쇼트 리프레시 동작 REFf를 실행함으로써, 칩 인에이블 신호 /CE의 하강 에지로부터 데이터 단자 DQ에 데이터가 출력될 때까지의 칩 인에이블 액세스 시간 tCE는 종래에 비하여 시간 T1만큼 단축된다.

다음에, 도 2에 도시된 리프레시 제어 회로(14)의 제1 리프레시 생성 회로(36)는 판독/기록 제어 신호 RWZ, RWIZ의 저레벨을 검출하여 리프레시 신호 REFZ를 출력한다{도 6(n)}. 도 1에 도시된 리프레시 카운터(16)는 리프레시 신호 REFZ의 상승 에지로부터 소정 시간 후에, 카운트업하고, 리프레시 어드레스 신호 RAZ를 "1" 증가한다{도 6(o)}. 스위치 회로(22)는 고레벨의 리프레시 신호 REFZ에 응답하여 쇼트 리프레시 동작 REFf의 실행시와 동일한 리프레시 어드레스 신호 RAZ(RA1)를 로우 어드레스 신호 IRAD로서 출력한다{도 6(p)}.

제1 타이밍 제어 회로(30)는 리프레시 신호 REFZ에 동기하여 제1 워드 타이밍 신호 TWX1을 출력한다{도 6(q)}. 제1 워드 타이밍 신호 TWX2의 출력에 의해 워드 타이밍 신호 TWZ가 출력된다{도 6(r)}, 도 5에 도시한 통상의 리프레시 동작 REF(제2 리프레시 동작)가 실행된다.

또, 어드레스 AD1에 대응하는 판독 동작 RD는 종래에 비하여 빠르게 실행된다. 이 때문에, 통상 리프레시 동작 REF도 종래에 비하여 빠르게 실행된다.

다음에, 저레벨의 칩 인에이블 신호 /CE 및 도시하지 않은 저레벨의 출력 인에이블 신호 /OE, 고레벨의 기록 인에이블 신호 /WE가 다시 공급된다{도 6(s)}. 커맨드 제어 회로(10)는 판독 커맨드에 응답하여 판독/기록 제어 신호 RWIZ 및 판독/기록 제어 신호 RWZ를 출력한다{도 6(t, u)}.

스위치 회로(22)는 리프레시 신호 REFSZ의 하강 에지에 동기하여 2회재의 판독 커맨드에 대응하는 외부 어드레스 신호 ADD(AD2)를 로우 어드레스 신호 IRAD로서 출력한다{도 6(v)}. 제1 타이밍 제어 회로(30)는 판독/기록 제어 신호 RWZ의 상승 에지에 동기하여 제1 워드 타이밍 신호 TWX1을 출력한다{도 6(w)}.

제1 워드 타이밍 신호 TWX1의 출력에 의해 워드 타이밍 신호 TWZ가 출력되고{도 6(x)}, 도 5에 도시된 판독 동작 RD가 실행된다. 판독 동작 RD에 의해 비트선 BL, /BL 상에서 증폭된 판독 데이터(DO)는 공통 데이터 버스 CDB를 통해 데이터 단자 DQ에 출력된다{도 6(y)}.

쇼트 리프래시 동작 REFf의 영향에 의해 판독 동작 RD 및 통상 리프래시 동작 REF는 종래보다 빠르게 실행된다. 이 결과, 어드레스 AD2에 대응하는 판독 동작 RD도 빠르게 실행되고, 칩 인에이블 액세스 시간 tCE는 전술과 마찬가지로 종래에 비하여 시간 T1만큼 단축된다.

또, 이 의사 SRAM은 도 6에 도시한 바와 같이, 쇼트 리프래시 동작 REFf 및 통상의 리프래시 동작 REF의 실행 시간과 2회의 판독 동작 RD의 실행 시간의 합이 액세스 요구의 최소 공급 간격인 외부 액세스 사이클 시간 tERC의 2회분보다 작아지도록 설계되어 있다. 이 때문에, 2회의 외부 액세스 사이클 시간 tERC 동안에, 쇼트 리프래시 동작 REFf 및 통상의 리프래시 동작 REF와, 2회의 판독 동작 RD를 실행할 수 있다. 본 발명에서는, 전술한 바와 같이, 쇼트 리프래시 동작 REFf의 실행 시간이 짧기 때문에, 외부 액세스 사이클 tERC를 종래보다 단축할 수 있다.

도 7은 제1 실시 형태에 있어서의 의사 SRAM 다른 동작을 나타내고 있다. 도 6과 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드의 공급 후에, 리프래시 요구 신호 REFIOZ가 발생한다.

도 2에 도시한 리프래시 제어 회로(14)의 재정 회로 ARB는 리프래시 요구 신호 REFIOZ를 일시 유지하고, 판독/기록 제어 신호 RWIZ의 출력 후에 리프래시 요구 신호 REFIOZ를 리프래시 요구 신호 REFIZ로서 출력한다{도 7(a)}. 재정 회로 ARB에 의해 리프래시 요구 신호 REFIZ의 출력을 지연시킴으로써 제2 리프래시 생성 회로(38)로부터 리프래시 신호 REFSZ가 출력되는 것이 방지된다. 리프래시 신호 REFSZ가 출력되지 않기 때문에, 판독 동작 RD 전의 쇼트 리프래시 동작 REFf는 실행되지 않는다. 이와 같이, 액세스 요구와 리프래시 요구가 경합하지 않을 때에, 리프래시 신호 REFSZ의 출력을 마스크함으로써, 쇼트 리프래시 동작 REFf를 필요할 때에만 실행할 수 있다. 이 결과, 동작시의 소비 전력을 삭감할 수 있다.

이 후, 도 6과 마찬가지로, 제1 워드 타이밍 신호 TWX1이 판독/기록 제어 신호 RWZ의 상승 에지에 동기하여 출력되고{도 7(b)}, 워드 타이밍 신호 TWZ가 출력되며{도 7(c)}, 판독 동작 RD가 실행된다. 판독 동작 RD 이후의 타이밍은 도 6과 동일하다. 판독 동작 RD시의 칩 인에이블 액세스 시간 tCE는 도 6과 마찬가지로 종래에 비하여 시간 T1만큼 단축된다.

도 8은 제1 실시 형태에 있어서의 의사 SRAM의 다른 동작을 나타내고 있다. 도 6과 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 판독 동작 RD 및 기록 동작 WR이 연속해서 실행되고, 판독 커맨드와 리프래시 요구 신호 REFIOZ가 거의 동시에 발생한다. 도 8에 도시한 타이밍은 도 6의 어드레스 AD2에 대응하는 판독 동작 RD가 기록 동작 WR을 대신한 것을 제외하고는, 도 6과 동일하다. 즉, 판독 동작 RD와 기록 동작 WR이 반복 실행되는 경우에 있어서도, 도 6과 마찬가지로 사이클 시간을 단축할 수 있다.

이상, 본 실시 형태에서는, 액세스 요구와 리프래시 요구가 경합할 때에 리프래시 신호 REFSZ의 출력을 정지하고, 쇼트 리프래시 동작 REFf를 중단한다. 이 때문에, 액세스 요구에 대응하는 액세스 동작을 빠르게 시작할 수 있다. 즉, 액세스 시간을 단축할 수 있다.

쇼트 리프래시 동작 REFf 후에 통상의 리프래시 동작 REF가 반드시 실행되기 때문에, 쇼트 리프래시 동작 REFf에 의한 메모리 셀 MC에의 재기록이 충분하지 않아도, 그 후의 리프래시 동작 REF에 의해 충분한 신호량의 데이터가 메모리 셀 MC에 재기록된다. 이 때문에, 액세스 요구와 리프래시 요구가 경합하여, 액세스 요구를 우선하는 경우에도, 메모리 셀 MC의 데이터를 확실하게 유지할 수 있다. 특히, 본 실시 형태에서는, 쇼트 리프래시 동작 REFf의 실행 시간을 최소한으로 하고 있기 때문에, 액세스 동작을 보다 빠르게 시작할 수 있다.

외부 어드레스 신호 ADD(RAD) 및 리프래시 어드레스 신호 REFAD를 리프래시 신호 REFSZ, REFZ에 의해 전환하기 위해서 스위치 회로(22)를 간단하게 구성할 수 있다.

쇼트 리프래시 동작 REFf 및 통상의 리프래시 동작 REF의 실행 시간은 증폭 공정 AP 시간의 변경만으로 조정된다. 이 때문에, 쇼트 리프래시 동작 REFf의 실행 시간을 용이하게 원하는 시간으로 조정할 수 있다. 또한, 리프래시 동작 REFf, REF의 실행 시간을 증폭 공정 AP만으로 조정함으로써, 메모리 코어(28)의 동작 제어가 용이해지고, 코어 제어 회로(26)의 회로를 간단하게 구성할 수 있다.

액세스 요구와 리프래시 요구가 경합하지 않을 때에, 쇼트 리프래시 동작 REFf를 실행하지 않음으로써, 동작시의 소비 전력을 삭감할 수 있다.

판독 동작 RD 및 기록 동작 WR 전에 실행되는 쇼트 리프래시 동작 REFf의 실행 시간이 최소한으로 설정되어 있기 때문에, 외부 액세스 사이클 시간 tERC를 종래보다 단축할 수 있다.

통상의 리프래시 동작 REF의 실행 시간과, 판독 동작 RD 및 기록 동작 WR의 실행 시간이 동일하기 때문에, 이들 동작을 실행하기 위한 제어 회로를 공통화할 수 있다. 구체적으로는, 제1 타이밍 제어 회로(30)를 공유할 수 있기 때문에, 의사 SRAM의 회로 규모를 작게 할 수 있다.

도 9는 본 발명의 반도체 메모리의 제2 실시 형태를 나타내고 있다. 제1 실시 형태에서 설명한 요소와 동일한 요소에 대해서는 동일한 부호를 붙여, 이들에 대해서는 상세한 설명을 생략한다.

이 실시 형태에서는, 제1 실시 형태의 코어 제어 회로(26) 대신에 코어 제어 회로(26A)가 형성되어 있다. 그 밖의 구성은 제1 실시 형태와 동일하다. 코어 제어 회로(26A)는 제1 및 제2 타이밍 제어 회로(30A, 32A) 및 OR 회로(34A)를 갖고 있다.

제1 타이밍 제어 회로(30A)는 판독/기록 제어 신호 RWZ에 동기하여 제1 워드 타이밍 신호 TWX1을 출력한다. 제2 타이밍 제어 회로(32A)는 리프레시 신호 REFZ, REFSZ에 동기하여 제3 워드 타이밍 신호 TWX3 및 제2 워드 타이밍 신호 TWX2를 각각 출력한다. OR 회로(34A)는 제1 또는 제2, 제3 워드 타이밍 신호 TWX1, TWX2, TWX3을 워드 타이밍 신호 TWZ로서 출력한다.

또, 코어 제어 회로(26A)는 제1 실시 형태와 마찬가지로 감지 증폭기 활성화 신호 LEZ를 출력하는 감지 증폭기 제어 회로 및 비트선 리셋 신호 BRS를 출력하는 프리차지 제어 회로를 갖고 있다.

도 10은 도 9에 도시한 코어 제어 회로(26A)의 주요부를 상세하게 나타내고 있다.

제1 타이밍 제어 회로(30A)는 판독/기록 제어 신호 RWZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제1 워드 타이밍 신호 TWX1(저레벨의 펄스)을 출력한다. 제2 타이밍 제어 회로(32A)는 리프레시 신호 REFZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제3 워드 타이밍 신호 TWX3(저레벨의 펄스)을 출력한다. 또한, 제2 타이밍 제어 회로(32A)는 리프레시 신호 REFSZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제2 워드 타이밍 신호 TWX2(저레벨의 펄스)를 출력한다. 타이밍 신호 TWX1-3의 펄스폭은 NAND 게이트에 접속되어 있는 인버터열의 단수에 따라 설정된다. 즉, 이 실시 형태에서는, 판독 동작 RD·기록 동작 WR, 통상의 리프레시 동작 REF 및 쇼트 리프레시 동작 REFf의 순으로 워드선 WL의 선택 기간이 짧아진다. OR 회로(34A)는 타이밍 신호 TWX1, TWX2, TWX3을 워드 타이밍 신호 TWZ로서 출력한다.

도 11은 제2 실시 형태에 있어서의 의사 SRAM의 동작을 나타내고 있다. 제1 실시 형태(도 6)와 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는 제1 실시 형태의 도 6과 마찬가지로 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드와 리프레시 요구 신호 REFIOZ가 거의 동시에 발생한다. 쇼트 리프레시 동작 REFf 및 1회째, 2회째의 판독 동작 RD의 타이밍은 제1 실시 형태와 동일하다.

1회째의 판독 동작 RD 후, 리프레시 제어 회로(14)의 제1 리프레시 생성 회로(36; 도 2)는 판독/기록 제어 신호 RWZ, RWIZ의 저레벨을 검출하여 리프레시 신호 REFSZ를 출력한다(도 11(a)). 스위치 회로(22)는 고레벨의 리프레시 신호 REFZ에 응답하여 쇼트 리프레시 동작 REFf의 실행시와 동일한 리프레시 어드레스 신호 RAZ(RA1)를 로우 어드레스 신호 IRAD로서 출력한다(도 11(b)).

도 10에 도시한 제2 타이밍 제어 회로(32A)는 리프레시 신호 REFZ에 동기하여 제3 워드 타이밍 신호 TWX3을 출력한다(도 11(c)). 제3 워드 타이밍 신호 TWX3의 펄스폭은 제1 워드 타이밍 신호 TWX1보다 짧고, 그 타이밍은 도 5에 도시한 기본 타이밍 C에 대응하고 있다. 제3 워드 타이밍 신호 TWX3의 출력에 의해 워드 타이밍 신호 TWZ가 출력되고(도 11(d)), 기본 타이밍 C에 대응하는 단축 리프레시 동작 REFf이 실행된다.

단축 리프레시 동작 REFf은 제1 실시 형태의 사이클 시간 tRC보다 짧은 사이클 시간 tRCr에 의해 실행된다. 이 때문에, 단축 리프레시 동작 REFf의 완료로부터 2회째의 판독 동작 RD의 시작까지의 기간에 여유 시간 tMRG가 생긴다. 여유 시간 tMRG에 의해 코어 제어 회로(26A) 등의 의사 SRAM의 내부 회로의 동작 여유를 향상시킬 수 있다. 바꾸어 말하면, 의사 SRAM의 타이밍 설계가 용이해진다.

도 12는 제2 실시 형태에 있어서의 의사 SRAM의 다른 동작을 나타내고 있다. 전술한 도 6, 도 7 및 도 11과 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드의 공급 후에, 리프레시 요구 신호 REFIOZ가 발생한다. 판독 동작 RD 동안에, 단축 리프레시 동작 REFf이 실행되는 것을 제외하고는, 제1 실시 형태(도 7)와 동일하다.

이상, 제2 실시 형태에 있어서도, 전술한 제1 실시 형태와 동일한 효과를 얻을 수 있다. 더욱이, 이 실시 형태에서는, 통상의 리프레시 동작 REF의 실행 시간은 판독 동작 RD 및 기록 동작 WR의 실행 시간보다 짧다. 이 때문에, 통상의 리프레시 동작 REF의 실행 후, 다음 액세스 동작 RD, WR을 실행할 때까지 타이밍 여유가 생긴다. 따라서, 코어 제어 회로(26A) 등의 동작 여유를 향상시킬 수 있고, 이들 회로의 타이밍 설계가 용이해진다.

도 13은 본 발명의 반도체 메모리의 제3 실시 형태를 나타내고 있다. 제1 실시 형태에서 설명한 요소와 동일한 요소에 대해서는 동일한 부호를 붙여, 이들에 대해서는 상세한 설명을 생략한다.

이 실시 형태에서는, 제1 실시 형태의 리프레시 제어부(14), 스위치 회로(22) 및 코어 제어 회로(26) 대신에 리프레시 제어부(14B), 스위치 회로(22B) 및 코어 제어 회로(26B)가 형성되어 있다. 그 밖의 구성은 제1 실시 형태와 동일하다.

리프레시 제어부(14B)는 판독/기록 제어 신호 RWIZ 및 리프레시 요구 신호 REFIOZ에 따라 리프레시 신호 REFZ(고레벨)를 출력한다. 스위치 회로(22B)는 리프레시 신호 REFZ가 고레벨일 때에, 리프레시 어드레스 신호 REFAD를 내부 로우 어드레스 신호 IRAD로서 출력하고, 리프레시 신호 REFZ가 저레벨일 때에, 로우 어드레스 신호 RAD를 로우 어드레스 신호 IRAD로서 출력한다. 후술하는 바와 같이, 리프레시 신호 REFZ는 통상 리프레시 동작 REF시뿐만 아니라, 쇼트 리프레시 동작 REFf에도 출력된다.

코어 제어 회로(26B)는 제1 및 제2 타이밍 제어 회로(30B, 32B) 및 OR 회로(34)를 갖고 있다. 제1 타이밍 제어 회로(30B)는 판독/기록 제어 신호 RWZ에 동기하여 제1 워드 타이밍 신호 TWX1을 출력한다. 제2 타이밍 제어 회로(32B)는 리프래시 신호 REFZ에 동기하여 제2 워드 타이밍 신호 TWX2를 출력한다. OR 회로(34)는 제1 또는 제2 워드 타이밍 신호 TWX1, TWX2를 워드 타이밍 신호 TWZ로서 출력한다.

도 14는 도 13에 도시된 리프래시 제어 회로(14B)를 상세하게 나타내고 있다.

리프래시 제어 회로(14B)는 리프래시 신호 REFZ, REFIZ를 생성하는 리프래시 생성 회로(40)와, 제1 실시 형태와 동일한 재정의 회로 ARB를 갖고 있다.

리프래시 생성 회로(40)는 리프래시 요구 신호 REFIZ가 고레벨일 때, 판독/기록 제어 신호 RWIZ의 상승 에지로부터 제1 소정 시간 후에 리프래시 신호 REFZ를 저레벨로 변화시키고, 판독/기록 제어 신호 RWIZ의 하강 에지로부터 제2 소정 시간 후에 리프래시 신호 REFZ를 고레벨로 변화시킨다. 제1 소정 시간은 제2 소정 시간보다 짧다. 제1 및 제2 소정 시간은 지연 회로 DLY1에 의해 설정된다. 지연 회로 DLY1은 예컨대 짝수개의 인버터를 직렬로 접속하여 구성되어 있다.

또한, 리프래시 생성 회로(40)는 리프래시 신호 REFZ의 펄스폭(고레벨의 펄스)이 소정 시간 이상일 때, 리프래시 카운트 신호 REFCZ를 출력한다. 리프래시 카운트 신호 REFCZ는 리프래시 타이머(12)에 피드백된다.

도 15는 도 13에 도시한 코어 제어 회로(26B)의 주요부를 상세하게 나타내고 있다.

제1 타이밍 제어 회로(30B)는 판독/기록 제어 신호 RWZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제1 워드 타이밍 신호 TWX1(저레벨의 펄스)을 출력한다. 제2 타이밍 제어 회로(32A)는 리프래시 신호 REFZ의 상승 에지에 동기하여 소정의 펄스폭을 갖는 제2 워드 타이밍 신호 TWX2(저레벨의 펄스)를 출력한다.

타이밍 신호 TWX1, TWX2의 펄스폭은 NAND 게이트에 접속되어 있는 인버터열의 단수에 따라 설정된다. 단, 리프래시 신호 REFZ가 판독/기록 제어 신호 RWIZ의 상승 에지에 동기하여 저레벨로 변화되었을 때(쇼트 리프래시 동작 REFf시), 타이밍 신호 TWX2의 펄스폭은 리프래시 신호 REFZ의 펄스폭과 동일해진다. OR 회로(34)는 타이밍 신호 TWX1, TWX2를 워드 타이밍 신호 TWZ로서 출력한다.

이 실시 형태에서는, 제1 실시 형태와 마찬가지로 워드선 WL의 선택 기간은 판독 동작 RD·기록 동작 WR 및 통상의 리프래시 동작 REF에서 동일해지고, 쇼트 리프래시 동작 REFf시에 짧아진다.

도 16은 제3 실시 형태에 있어서의 의사 SRAM의 동작을 나타내고 있다. 제1 실시 형태(도 6)와 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 제1 실시 형태의 도 6과 마찬가지로 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드와 리프래시 요구 신호 REFIOZ가 거의 동시에 발생한다. 쇼트 리프래시 동작 REFf 및 1회째, 2회째의 판독 동작 RD의 타이밍은 제1 실시 형태와 동일하며, 회로 동작만이 다르다.

우선, 도 14에 도시한 리프래시 제어 회로(14B)의 리프래시 생성 회로(40)는 리프래시 요구 신호 REFIZ의 상승 에지에 동기하여 리프래시 신호 REFZ를 고레벨로 변화시킨다(도 16(a)). 스위치 회로(22B)는 고레벨의 리프래시 신호 REFZ에 응답하여 리프래시 어드레스 신호 RAZ(RA1)를로우 어드레스 신호 IRAD로서 출력한다(도 16(b)). 제2 타이밍 제어 회로(32B)는 리프래시 신호 REFZ에 동기하여 제2 워드 타이밍 신호 TWX2를 출력한다(도 16(c)).

판독 커맨드의 공급에 응답하여 판독/기록 제어 신호 RWIZ가 고레벨로 변화된다(도 16(d)). 리프래시 생성 회로(40)는 판독/기록 제어 신호 RWIZ의 상승 에지로부터 제1 소정 시간 후에, 리프래시 신호 REFZ를 저레벨로 변화시킨다(도 16(e)). 제2 타이밍 제어 회로(32B)는 리프래시 신호 REFZ의 저레벨로의 변화에 응답하여 제2 워드 타이밍 신호 TWX2를 고레벨로 변화시킨다(도 16(f)). 즉, 쇼트 리프래시 동작 REFf에 대응하는 펄스폭을 갖는 제2 워드 타이밍 신호 TWX2가 생성된다.

OR 회로(34)는 제2 워드 타이밍 신호 TWX2의 논리 레벨을 반전하여, 워드 타이밍 신호 TWZ로서 출력한다(도 16(g)). 그리고, 쇼트 리프래시 동작 REFf가 실행된다. 스위치 회로(22B)는 리프래시 신호 REFZ의 저레벨로의 변화에 응답하여 1회째의 판독 커맨드에 대응하는 외부 어드레스 신호 ADD(AD1)를로우 어드레스 신호 IRAD로서 출력한다(도 16(h)).

이 후, 제1 실시 형태(도 6)와 마찬가지로 1회째의 판독 동작 RD가 실행된다.

다음에, 리프래시 생성 회로(40)는 1회째의 판독 커맨드에 응답하여 생성된 판독/기록 제어 신호 RWIZ의 하강 에지로부터 제2 소정 시간 후에, 리프래시 신호 REFZ를 고레벨로 변화시킨다(도 16(i)). 그리고, 제1 실시 형태(도 6)와 마찬가지로 통상의 리프래시 동작 REF가 시작된다(도 16(j)).

리프래시 생성 회로(40)는 리프래시 신호 REFZ의 고레벨 기간이 소정 기간을 넘은 것에 응답하여 리프래시 카운트 신호 REFCZ를 고레벨로 변화시킨다(도 16(k)). 리프래시 카운트 신호 REFCZ는 리프래시 타이머(12)에 피드백된다.

리프래시 생성 회로(40)는 리프래시 요구 신호 REFIOZ(REFIZ)의 저레벨로의 변화에 응답하여 리프래시 요구 신호 REFIZ를 고레벨로 변화시킨다(도 16(l)). 리프래시 카운터(16)는 리프래시 요구 신호 REFIZ의 상승 에지로부터 소정 시간 후에, 카운트업하고, 리프래시 어드레스 신호 RAZ를 "1" 증가한다(도 16(m)).

리프래시 생성 회로(40)는 2회째의 판독 커맨드에 응답하여 생성되는 판독/기록 제어 신호 RWIZ의 상승 에지로부터 제1 소정 시간 후에, 리프래시 신호 REFZ를 저레벨로 변화시킨다{도 16(n)}. 그리고, 통상의 리프래시 동작 REF가 완료된다. 스위치 회로(22B)는 리프래시 신호 REFZ의 저레벨로의 변화에 응답하여 2회째의 판독 커맨드에 대응하는 외부 어드레스 신호 ADD(AD2)를 로우 어드레스 신호 IRAD로서 출력한다{도 16(o)}.

이 후, 제1 실시 형태(도 6)와 마찬가지로 2회째의 판독 동작 RD가 실행된다.

도 17은 제3 실시 형태에 있어서의 의사 SRAM의 다른 동작을 나타내고 있다. 전술한 도 6 및 도 7과 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 제1 실시 형태(도 7)와 마찬가지로 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드의 공급 후에, 리프래시 요구 신호 REFIOZ가 발생한다. 이 때문에, 쇼트 리프래시 동작 REF는 실행되지 않는다. 또한, 리프래시 요구 신호 REFIOZ의 발생이 느리기 때문에, 리프래시 요구 신호 REFIX의 상승 에지가 지연된다{도 17(a)}. 이 때문에, 리프래시 카운터(16)는 2회째의 판독 동작 RD 후에 카운트업된다{도 17(b)}. 그 밖의 동작은 전술한 도 16과 동일하다.

제3 실시 형태에 있어서도, 전술한 제1 실시 형태와 동일한 효과를 얻을 수 있다.

도 18은 본 발명의 반도체 메모리의 제4 실시 형태를 나타내고 있다. 도면 중의 2중 사각은 시험 패드를 나타내고 있다. 시험 패드는 출하하는 제품의 외부 단자(리드 프레임 등)에는 접속되지 않는다. 시험 패드는 예컨대 프로브 시험에 있어서 프로버에 접속되어, 시험 패턴을 수신한다. 이 반도체 메모리는 DRAM의 메모리 셀(다이내믹 메모리 셀)을 가지며, SRAM의 인터페이스를 갖는 의사 SRAM으로서 형성되어 있다. 의사 SRAM은 외부로부터 리프래시 커맨드를 받는 일없이 칩 내부에서 정기적으로 리프래시 동작을 실행하여, 메모리 셀에 기록된 데이터를 유지한다. 이 의사 SRAM은 예컨대 휴대 전화에 탑재되는 워크 메모리에 사용된다.

의사 SRAM은 액세스 타이밍 생성 회로(110), 커맨드 디코더(112), 리프래시 선택 회로(114), 리프래시 타이머(116), 리프래시 카운터(118), 어드레스 입력 회로(120), 스위치 회로(122), 데이터 출력 회로(124), 데이터 입력 회로(126), 재정 회로(128), 리프래시 판정 회로(130), 로우 동작 제어 회로(132), 코어 제어 회로(134) 및 메모리 코어(136)를 갖고 있다.

액세스 타이밍 생성 회로(110)는 커맨드 단자 CMD를 통해 외부로부터 커맨드 신호 CMD(칩 인에이블 신호 /CE, 출력 인에이블 신호 /OE 및 기록 인에이블 신호 /WE 등)를 받아, 판독 동작 또는 기록 동작을 실행하기 위한 액세스 타이밍 신호 ATDPZ 등을 출력한다.

커맨드 디코더(112)는 커맨드 신호 CMD를 해독하여, 판독 동작을 실행하기 위한 판독 제어 신호 RDZ 또는 기록 동작을 실행하기 위한 기록 제어 신호 WRZ를 출력한다.

리프래시 선택 회로(114)는 통상 동작 모드 중에, 리프래시 타이머(116)로부터 출력되는 내부 리프래시 요구 신호 IREFZ를 리프래시 타이밍 신호 SRTPZ로서 출력한다. 리프래시 선택 회로(114)는 시험 모드 중에, 외부 시험 단자 SRC를 통해 의사 SRAM의 외부로부터 공급되는 시험 리프래시 요구 신호 EREFZ를 리프래시 타이밍 신호 SRTPZ로서 출력한다. 즉, 시험 모드 중, 리프래시 타이머(116)로부터 출력되는 내부 리프래시 요구 신호 IREFZ는 마스크되고, 내부 리프래시 요구 신호 IREFZ 대신에 시험 리프래시 요구 신호 EREFZ가 리프래시 타이밍 신호 SRTPZ로서 출력된다.

또, 의사 SRAM은 통상 동작에서는 사용하지 않는 조합의 복수의 커맨드 신호 CMD를 수신함으로써, 통상 동작 모드로부터 시험 모드(제1 시험 모드 또는 제2 시험 모드)로 이행한다. 의사 SRAM의 상태는 커맨드 신호 CMD의 논리값에 따라 제1 시험 모드 또는 제2 시험 모드로 설정된다. 의사 SRAM은 제1 시험 모드 중, 시험 신호 TES1Z를 고레벨로 유지하고, 제2 시험 모드 중, 시험 신호 TES2Z를 고레벨로 유지한다.

리프래시 타이머(116)는 내부 리프래시 요구 신호 IREFZ를 소정의 주기로 출력한다. 내부 리프래시 요구 신호 IREFZ는 메모리 셀 MC에 유지된 데이터를 잃지 않고 메모리 셀 MC를 순차적으로 리프래시할 수 있는 주기로 생성된다. 예컨대, 모든 메모리 셀 MC가 300 ms 이내에 1회 리프래시되도록 내부 리프래시 요구 신호 IREFZ의 생성 주기가 설정되어 있다. 보다 상세하게는, 리프래시 요구마다 순차적으로 선택되는 8 k개의 워드선 WL이 배선되어 있는 경우, 내부 리프래시 요구 신호 IREFZ는 36~37 μ s마다 생성된다. 리프래시 타이머(116)는 예컨대 발진 주기가 1 μ s의 링 발진기와, 링 발진기의 출력으로부터 내부 리프래시 요구 신호 IREFZ를 생성하기 위한 분주 회로로 구성되어 있다.

리프래시 카운터(118)는 내부 리프래시 요구 신호 IREFZ에 응답하여 카운트 동작하고, 리프래시 어드레스 신호 REFAD를 순차적으로 생성한다.

어드레스 입력 회로(120)는 어드레스 단자 ADD를 통해 어드레스 신호 ADD를 수신하고, 수신한 신호를 로우 어드레스 신호 RAD(상위 어드레스) 및 컬럼 어드레스 신호 CAD(하위 어드레스)로서 출력한다. 또, 의사 SRAM은 상위 어드레스와 하위 어드레스를 동시에 수신하는 어드레스 비다중식 메모리이다.

스위치 회로(122)는 리프래시 동작이 실행될 때에 리프래시 어드레스 신호 REFAD를 내부 로우 어드레스 신호 IRAD로서 출력하고, 판독 동작 또는 기록 동작이 실행될 때에, 로우 어드레스 신호 RAD를 내부 로우 어드레스 신호 IRAD로서 출력한다.

데이터 출력 회로(124)는 메모리 셀 MC로부터의 판독 데이터를 공통 데이터 버스 CDB를 통해 수신하고, 수신한 데이터를 데이터 단자 DQ(DQ0-7)에 출력한다. 또한, 데이터 출력 회로(122)는 시험 모드 중에, 리프레시 판정 회로(128)로부터 출력되는 쇼트 리프레시 검출 신호 REFSSZ(검출 신호)를 받은 때에, 데이터 단자 DQ0-7을 하이 임피던스 상태로 설정한다.

데이터 입력 회로(126)는 기록 데이터를 데이터 단자 DQ(DQ0-7)를 통해 수신하고, 수신한 데이터를 공통 데이터 버스 CDB에 출력한다.

재정 회로(128)는 액세스 타이밍 신호 ATDPZ(액세스 요구)와 리프레시 타이밍 신호 SRTPZ(리프레시 요구)의 천이 에지를 비교함으로써, 이들 요구의 경합을 판단하여, 액세스 동작 및 리프레시 동작 중 어느 것을 우선시킬지를 결정한다. 재정 회로(128)는 액세스 동작이 우선되는 경우, 리프레시 타이밍 신호 SRTPZ를 일시 유지하고, 판독 제어 신호 RDZ 또는 기록 제어 신호 WRZ에 응답하여 판독 타이밍 신호 RDPZ 또는 기록 타이밍 신호 WRPZ를 출력한다. 이 후, 재정 회로(128)는 코어 사이클 상태 신호 ICSX의 비활성화(고레벨로의 변화)에 의해 액세스 동작의 완료를 검출하고, 유지하고 있는 리프레시 타이밍 신호 SRTPZ에 따라 리프레시 개시 신호 REFPZ 및 리프레시 상태 신호 REF1Z(제2 리프레시 제어 신호)를 출력한다. 리프레시 상태 신호 REF1Z는 리프레시 동작이 실행중인 것을 나타내는 신호이다.

또한, 재정 회로(128)는 리프레시 동작이 우선되는 경우, 액세스 타이밍 신호 ATDPZ를 일시 유지하고, 리프레시 타이밍 신호 SRTPZ에 응답하여 리프레시 개시 신호 REFPZ 및 리프레시 상태 신호 REF1Z(제1 리프레시 제어 신호)를 출력한다. 이 후, 재정 회로(128)는 코어 사이클 상태 신호 ICSX의 비활성화(고레벨로의 변화)에 의해 리프레시 동작의 완료를 검출하고, 유지하고 있는 액세스 타이밍 신호 ATDPZ에 따라 판독 타이밍 신호 RDPZ 또는 기록 타이밍 신호 WRPZ를 출력한다.

또, 리프레시 판정 회로(130)로부터 쇼트 리프레시 신호 REFS2Z가 출력되는 경우, 재정 회로(128)는 리프레시 개시 신호 REFPZ 및 리프레시 상태 신호 REF1Z를 출력하고, 리프레시 동작이 실행된 후에도 리프레시 타이밍 신호 SRTPZ를 일시 유지한다. 그리고, 코어 사이클 상태 신호 ICSX의 비활성화에 의해 액세스 동작의 완료를 검출한 후, 다시, 리프레시 개시 신호 REFPZ 및 리프레시 상태 신호 REF1Z(제2 리프레시 제어 신호)를 출력하고, 리프레시 동작을 실행한다. 즉, 쇼트 리프레시 신호 REFS2Z가 출력될 때, 1회의 리프레시 요구에 응답하여 2회의 리프레시 동작이 실행된다.

쇼트 리프레시 신호 REFS2Z가 출력되는 경우, 재정 회로(128)는 1회째의 리프레시 동작에 대응하는 리프레시 상태 신호 REF1Z(제1 리프레시 제어 신호)를 통상의 리프레시 동작에 비하여 짧은 기간(후술하는 제1 기간에 대응) 출력한다. 재정 회로(128)는 2회째의 리프레시 동작에 대응하는 리프레시 상태 신호 REF1Z(제2 리프레시 제어 신호)를 통상의 리프레시 동작과 동일한 기간(후술하는 제2 기간에 대응) 출력한다.

리프레시 판정 회로(130)는 액세스 타이밍 신호 ATDPZ와 리프레시 상태 신호 REF1Z의 천이 에지의 간격이 소정 기간보다 짧을 때, 쇼트 리프레시 신호 REFS2Z를 출력한다. 또한, 리프레시 판정 회로(130)는 제1 시험 모드 중(TES1Z=고레벨)에, 쇼트 리프레시 신호 REFS2Z를 쇼트 리프레시 검출 신호 REFSSZ(검출 신호)로서 출력한다. 리프레시 판정 회로(130)는 제2 시험 모드 중(TES2Z=고레벨)에, 쇼트 리프레시 신호 REFS2Z가 2회 연속해서 출력되었을 때에, 쇼트 리프레시 검출 신호 REFSSZ를 출력한다.

액세스 타이밍 생성 회로(110), 커맨드 디코더(112) 및 재정 회로(128)는 커맨드 단자 CMD를 통해 공급되는 액세스 요구 신호(판독 커맨드 또는 기록 커맨드)에 응답하여 후술하는 메모리 셀 MC를 액세스하기 위한 액세스 제어 신호(판독 타이밍 신호 RDPZ 또는 기록 타이밍 신호 WRPZ)를 출력하는 커맨드 제어 회로로서 동작한다.

재정 회로(128) 및 리프레시 판정 회로(130)는 액세스 요구 및 내부 리프레시 요구의 발생 타이밍에 따라 감지 증폭기를 제1 기간 활성화하기 위한 제1 리프레시 제어 신호(REF1Z), 또는 감지 증폭기를 제1 기간보다 긴 제2 기간 활성화하기 위한 제2 리프레시 제어 신호(REF1Z)를 출력하는 리프레시 제어 회로로서 동작한다.

로우 동작 제어 회로(132)는 판독 타이밍 신호 RDPZ, 기록 타이밍 신호 WRPZ, 또는 리프레시 타이밍 신호 SRTPZ를 받았을 때에, 메모리 코어(136)를 동작시키는 기본 타이밍 신호인 로우 제어 신호 RASZ를 출력한다. 또한, 메모리 코어(136)의 동작 중에, 코어 사이클 상태 신호 ICSX를 저레벨로 유지한다. 또, 로우 동작 제어 회로(132)는 쇼트 리프레시 신호 REFS2Z를 받는 일없이 리프레시 타이밍 신호 SRTPZ를 받을 때에, 통상의 리프레시 동작(제2 리프레시 동작)을 실행하고, 쇼트 리프레시 신호 REFS2Z와 함께 리프레시 타이밍 신호 SRTPZ를 받을 때에, 통상의 리프레시 동작보다 짧은 쇼트 리프레시 동작(제1 리프레시 동작)을 실행한다.

코어 제어 회로(134)는 도시하지 않은 워드선 제어 회로, 감지 증폭기 제어 회로 및 프리차지 제어 회로를 갖고 있다. 워드선 제어 회로는 후술하는 워드선 WL을 선택하는 워드선 제어 신호 TWZ를 로우 제어 신호 RASZ에 응답하여 출력한다. 감지 증폭기 제어 회로는 후술하는 감지 증폭기부 SA의 감지 증폭기를 활성화하기 위한 감지 증폭기 활성화 신호 LEZ를 로우 제어 신호 RASZ에 응답하여 출력한다. 프리차지 제어 회로는 비트선 BL, /BL이 사용되지 않을 때에, 비트선 리셋 신호 BRS를 출력한다.

로우 동작 제어 회로(132) 및 코어 제어 회로(134)는 판독 타이밍 신호 RDPZ(액세스 제어 신호) 또는 기록 타이밍 신호 WRPZ(액세스 제어 신호)에 응답하여 메모리 코어(136)에 액세스 동작을 실행시키고, 제1 및 제2 리프레시 제어 신호 REF1Z에 응답하여 메모리 코어(136)에 제1 및 제2 리프레시 동작을 실행시키는 동작 제어 회로로서 동작한다.

메모리 코어(136)는 메모리 셀 어레이 ARY, 워드 디코더부 WDEC, 감지 증폭기부 SA, 컬럼 디코더부 CDEC, 감지 버퍼부 SB 및 라이트 앰프부 WA를 갖고 있다. 메모리 셀 어레이 ARY는 복수의 휘발성 메모리 셀(MC; 다이내믹 메모리 셀)과, 메모리 셀 MC에 접속된 복수의 워드선 WL 및 복수의 비트선 BL, /BL(상보의 비트선)을 갖고 있다. 각 메모리 셀 MC는 일반적인 DRAM의 메모리 셀과 동일하며, 데이터를 전하로서 유지하기 위한 커패시터와, 이 커패시터와 비트선 BL 또는 /

BL 사이에 배치된 전송 트랜지스터를 갖고 있다. 전송 트랜지스터의 게이트는 워드선 WL에 접속되어 있다. 워드선 WL의 선택에 의해 판독 동작, 기록 동작 및 리프्रेस리 동작 중 어느 하나가 실행된다. 메모리 셀 어레이 ARY는 판독 동작, 기록 동작 및 리프्रेस리 동작 중 어느 하나를 실행한 후, 비트선 리셋 신호 BRS에 응답하여 비트선 BL, /BL을 소정의 전압으로 프리차지하는 프리차지 동작을 실행한다.

워드 디코더부 WDEC는 고레벨의 워드선 제어 신호 TWZ를 받았을 때, 내부 로우 어드레스 신호 IRAD에 따라 워드선 WL 중 어느 하나를 선택하고, 선택한 워드선 WL을 고레벨로 변화시킨다. 컬럼 디코더부 CDEC는 컬럼 어드레스 신호 CAD에 따라 비트선 BL, /BL과 데이터 버스 DB를 각각 접속하는 컬럼 스위치를 온시키는 컬럼선 신호를 출력한다.

감지 증폭기부 SA는 복수의 감지 증폭기를 갖고 있다. 각 감지 증폭기는 감지 증폭기 활성화 신호(LEZ)에 응답하여 동작하고, 비트선 BL, /BL 상의 데이터의 신호량을 증폭한다. 감지 증폭기로 증폭된 데이터는 판독 동작시에 컬럼 스위치를 통해 데이터 버스 DB에 전달되고, 기록 동작시에 비트선을 통해 메모리 셀 MC에 기록된다.

감지 버퍼부 SB는 데이터 버스 DB 상의 판독 데이터의 신호량을 증폭하여, 공통 데이터 버스 CDB에 출력한다. 라이트 앰프부 WA는 공통 데이터 버스 CDB 상의 기록 데이터의 신호량을 증폭하여, 데이터 버스 DB에 출력한다.

도 19는 도 18에 도시된 리프्रेस리 판정 회로(130)를 상세하게 나타내고 있다. 리프्रेस리 판정 회로(130)는 비교 신호 생성 회로(138), 쇼트 리프्रेस리 판정 회로(140), 쇼트 리프्रेस리 래치 회로(142) 및 선택 회로(144)를 갖고 있다.

비교 신호 생성 회로(138)는 액세스 타이밍 신호 ATDPZ에 따라 비교 신호 ATDREFZ를 생성한다. 쇼트 리프्रेस리 판정 회로(140)는 리프्रेस리 상태 신호 REF1Z의 천이 에지와 비교 신호 ATDREFZ의 천이 에지를 비교하여, 리프्रेस리 상태 신호 REF1Z가 나타내는 리프्रेस리 동작을 통상의 리프्रेस리 동작으로 할 것인지, 쇼트 리프्रेस리 동작으로 할 것인지를 판정한다. 쇼트 리프्रेस리 판정 회로(140)는 쇼트 리프्रेस리 동작을 실행해야 한다고 판정했을 때, 쇼트 리프्रेस리 신호 REFS2Z를 출력한다.

쇼트 리프्रेस리 래치 회로(142)는 리프्रेस리 상태 신호 REF1Z의 하강 에지에 동기하여 쇼트 리프्रेस리 신호 REFS2Z의 논리 레벨을 래치하고, 래치한 논리 레벨을 쇼트 리프्रेस리 신호 REFSCZ로서 출력한다. 이 때문에, 쇼트 리프्रेस리 신호 REFSCZ는 쇼트 리프्रेस리 동작이 실행될 때에 고레벨로 변화되고, 통상의 리프्रेस리 동작이 실행될 때에 저레벨로 변화된다. 또한, 쇼트 리프्रेस리 래치 회로(142)는 리셋 신호 RESET2Z의 고레벨 기간에 리셋되고, 쇼트 리프्रेस리 검출 신호 REFSSZ를 저레벨로 변화시킨다. 리셋 신호 RESET2Z는 제2 시험 모드 중에, 리셋 커맨드를 커맨드 신호 CMD로서 받았을 때에 소정의 기간 고레벨로 변화된다.

선택 회로(144)는 시험 신호 TES1Z가 고레벨일 때(제1 시험 모드), 쇼트 리프्रेस리 신호 REFS2Z를 쇼트 리프्रेस리 검출 신호 REFSSZ로서 출력하고, 시험 신호 TES2Z가 고레벨일 때(제2 시험 모드), 쇼트 리프्रेस리 신호 REFS2Z 및 쇼트 리프्रेस리 신호 REFSCZ의 AND 논리를 쇼트 리프्रेस리 검출 신호 REFSSZ로서 출력한다. 후술하는 바와 같이, 제1 시험 모드에서는, 쇼트 리프्रेस리 동작이 실행될 때마다 쇼트 리프्रेस리 검출 신호 REFSSZ가 출력되고, 제2 시험 모드에서는, 2회의 쇼트 리프्रेस리 동작이 연속해서 실행될 때에 쇼트 리프्रेस리 검출 신호 REFSSZ가 출력된다. 이와 같이, 선택 회로(144)는 시험 모드 중에 동작하고, 쇼트 리프्रेस리 동작을 실행하기 위한 리프्रेस리 상태 신호 REF1Z(제1 리프्रेस리 제어 신호)를 검출했을 때에 쇼트 리프्रेस리 검출 신호 REFSSZ를 출력하는 검출 회로로서 동작한다.

도 20은 도 18에 도시한 데이터 출력 회로(124)를 상세하게 나타내고 있다.

데이터 출력 회로(124)는 출력 마스크 회로(146) 및 출력 버퍼 회로(148)를 갖고 있다. 또, 도 20에서는, 데이터 단자 DQ0에 대응하는 출력 버퍼 회로(148)를 나타낸다. 다른 데이터 단자 DQ1~7에 대응하는 출력 버퍼 회로는 출력 버퍼 회로(148)와 동일하다. 출력 마스크 회로(146)는 데이터 단자 DQ0~7에 대응하는 출력 버퍼 회로(148)에 공통인 회로이다.

출력 마스크 회로(146)는 고레벨의 리셋 신호 RESET1Z에 의해 리셋되고, 판독 타이밍 신호 READZ를 반전하여 출력 인에이블 신호 ODEX로서 출력한다. 출력 마스크 회로(146)는 고레벨의 쇼트 리프्रेस리 검출 신호 REFSSZ를 받았을 때에, 판독 타이밍 신호 READZ의 출력을 금지한다. 즉, 출력 인에이블 신호 ODEX는 고레벨의 쇼트 리프्रेस리 검출 신호 REFSSZ에 의해 고레벨로 유지된다.

출력 버퍼 회로(148)는 출력 인에이블 신호 ODEX가 저레벨일 때에, 판독 데이터 DATAOX의 논리 레벨에 따라 트라이스테이트 출력 버퍼(148a)를 동작시키고, 데이터 단자 DQ0에 고레벨 또는 저레벨을 출력한다. 출력 버퍼 회로(148)는 출력 인에이블 신호 ODEX가 고레벨일 때, 트라이스테이트 출력 버퍼(148a)의 출력을 하이 임피던스 상태로 한다. 즉, 출력 마스크 회로(146)는 시험 모드 중에, 쇼트 리프्रेस리 검출 신호 REFSSZ에 응답하여 판독 데이터 DATAOX의 데이터 단자 DQ0에의 출력을 금지하는 동시에 데이터 단자 DQ0을 하이 임피던스 상태로 설정하기 위해서, 트라이스테이트 출력 버퍼(148a)를 제어한다.

도 21은 제4 실시 형태에 있어서의 메모리 셀 어레이 ARY의 기본 동작을 나타내고 있다.

이 실시 형태에서는, 기록 동작 WR, 판독 동작 RD 및 통상의 리프्रेस리 동작 REF(제2 리프्रेस리 동작)는 동일한 사이클 시간 tRC에 의해 실행된다. 쇼트 리프्रेस리 동작 REFf(제1 리프्रेस리 동작)는 사이클 시간 tRC보다 짧은 사이클 시간 tRCf에 의해 실행된다. 기록 동작 WR, 판독 동작 RD, 통상의 리프्रेस리 동작 REF 및 쇼트 리프्रेस리 동작 REFf는 판독 공정 RP, 증폭 공정 AP1 또는 AP2 및 프리차지 공정 PP로 구성된다.

판독 공정 RP는 워드선 WL의 활성화(선택)에 응답하여 선택되는 메모리 셀 MC로부터 비트선 BL 또는 /BL에 데이터를 판독하는 기간이다. 증폭 공정 AP1, AP2는 비트선 BL 또는 /BL에 데이터가 판독된 후에, 감지 증폭기 활성화 신호 LEZ에 응답하여 감지 증폭기가 활성화되어 비트선 BL, /BL의 전압차(데이터)가 증폭되고, 증폭된 비트선 BL, /BL의 전압이 데이터를 판독한 메모리 셀 MC에 재기록되는 기간이다. 증폭 공정 AP2의 기간(통상의 리프्रेस리 동작 REF에 있어서의 감지

증폭기 활성화 신호 LEZ의 고레벨 기간)은 제2 기간에 대응한다. 증폭 공정 AP1(쇼트 리프레시 동작 REFf에 있어서의 감지 증폭기 활성화 신호 LEZ의 고레벨 기간)은 제1 기간에 대응한다. 프리차지 공정 PP는 워드선 WL을 비활성화(비선택)하고, 비트선 BL, /BL을 소정의 전압으로 프리차지하는 기간이다.

기록 동작 WR에서는, 메모리 셀 MC로부터 판독되어 비트선 BL, /BL 상에서 증폭된 데이터를 기록 데이터로 반전할 필요가 있다. 이 때문에, 기록 동작 WR의 사이클 시간은 다른 동작에 비하여 길어진다. 그러나, 이 실시 형태에서는, 사용자의 사용성을 고려하여 판독 동작 RD의 사이클 시간을 기록 동작 WR의 사이클 시간과 동일한 값으로 설정하고 있다.

또한, 통상의 리프레시 동작 REF에서는, 비트선 BL, /BL을 데이터 버스 DB에 접속할 필요가 없고, 비트선 BL, /BL 상에서 데이터를 반전할 필요도 없다. 이 때문에, 사이클 시간이 tRC보다 짧아도 메모리 셀 MC에 유지되어 있던 데이터를 다시 메모리 셀 MC에 풀기록할 수 있다. 풀기록에 의해 각 메모리 셀 MC의 데이터 유지 시간(포즈 시간)은 64 ms 이상이 된다. 그러나, 이 실시 형태에서는, 로우 동작 제어 회로(132) 및 코어 제어 회로(134)를 간이하게 구성하기 위해서, 통상의 리프레시 동작 REF의 사이클 시간을 기록 동작 WR의 사이클 시간과 동일한 시간으로 설정하고 있다.

쇼트 리프레시 동작 REFf는 액세스 요구(판독 커맨드 또는 기록 커맨드)와 리프레시 요구가 겹쳤을 때에, 리프레시 동작을 최소한의 기간 실행하기 위해서 사용된다. 쇼트 리프레시 동작 REFf 후에 곧 액세스 동작(판독 동작 RD 또는 기록 동작 WR)을 실행함으로써, 액세스 시간을 단축할 수 있다.

쇼트 리프레시 동작 REFf에서는, 감지 증폭기의 활성화 기간(LEZ 신호의 고레벨 기간)이 짧기 때문에, 비트선 BL, /BL의 전압차는 충분히 증폭되지 않는다. 메모리 셀 MC에 재기록되는 데이터의 신호량(리스토어 레벨)이 작기 때문에, 쇼트 리프레시 동작 REFf 후, 예컨대 200 ns 이내에 통상의 리프레시 동작 REF를 해야 한다. 바꾸어 말하면, 200 ns 이내에 통상의 리프레시 동작 REF를 실행할 수 있다면, 쇼트 리프레시 동작 REFf를 우선 실행함으로써 메모리 셀 MC의 데이터가 없어지는 것을 방지할 수 있다. 이와 같이, 쇼트 리프레시 동작 REFf의 실행 시간(데이터의 증폭과 재기록 시간)은 쇼트 리프레시 동작 REFf의 실행 후, 통상의 리프레시 동작 REF를 실행할 때까지의 기간에, 메모리 셀 MC 내의 데이터를 잃지 않고 유지할 수 있는 시간이다.

도 22는 제4 실시 형태에 있어서의 통상 동작 모드에서의 동작예를 나타내고 있다. 이 예에서는 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드 RD와 내부 리프레시 요구 신호 IREFZ가 거의 동시에 발생한다.

우선, 도 18에 도시한 액세스 타이밍 생성 회로(110)는 저레벨의 칩 인에이블 신호 /CE 및 도시하지 않은 저레벨의 출력 인에이블 신호 /OE를 받아, 액세스 타이밍 신호 ATDPZ를 출력한다{도 22(a)}. 커맨드 디코더(112)는 저레벨의 칩 인에이블 신호 /CE 및 도시하지 않은 저레벨의 출력 인에이블 신호 /OE, 고레벨의 기록 인에이블 신호 /WE를 받아, 판독 커맨드 RD(판독 액세스 요구)가 공급된 것을 검출하고, 판독 제어 신호 RDZ를 출력한다{도 22(b)}.

도 19에 도시된 리프레시 타이머(116)는 판독 커맨드 RD의 공급과 거의 동시에 내부 리프레시 요구 신호 IREFZ를 출력한다. 리프레시 선택 회로(114)는 내부 리프레시 요구 신호 IREFZ에 응답하여 리프레시 타이밍 신호 SRTPZ를 출력한다{도 22(c)}.

재정 회로(128)는 리프레시 동작을 판독 동작보다 우선하여 실행하는 것을 판정하고, 리프레시 개시 신호 REFPZ 및 리프레시 상태 신호 REF1Z(제1 리프레시 제어 신호)를 순차적으로 출력한다{도 22(d)}. 리프레시 판정 회로(130)는 액세스 타이밍 신호 ATDPZ가 리프레시 상태 신호 REF1Z보다 소정 시간 빠르게 생성된 것을 검출하고, 쇼트 리프레시 신호 REFS2Z를 출력한다{도 22(e)}. 스위치 회로(122)는 쇼트 리프레시를 실행하기 위해서 리프레시 어드레스 신호 REFAD(RA1)를 로우 어드레스 신호 IRAD로서 출력한다{도 22(f)}.

로우 동작 제어 회로(132)는 리프레시 개시 신호 REFPZ에 동기하여 로우 제어 신호 RASZ를 출력한다{도 22(g)}. 코어 제어 회로(134)는 로우 제어 신호 RASZ에 응답하여 워드선 제어 신호 TWZ 등을 출력한다. 그리고, 도 21에 도시된 쇼트 리프레시 동작 REFf(제1 리프레시 동작)가 실행된다{도 22(h)}. 로우 동작 제어 회로(132)는 쇼트 리프레시 동작 REFf의 실행 중에 코어 사이클 상태 신호 ICSX를 저레벨로 변화시킨다{도 22(i)}.

재정 회로(128)는 쇼트 리프레시 동작 REFf의 실행 후, 리프레시 상태 신호 REF1Z를 저레벨로 변화시킨다{도 22(j)}. 스위치 회로(122)는 판독 동작을 실행하기 위해서 어드레스 신호 ADD(AD1)를 로우 어드레스 신호 IRAD로서 출력한다{도 22(k)}.

재정 회로(128)는 코어 사이클 상태 신호 ICSX의 상승 에지에 응답하여 판독 타이밍 신호 RDPZ를 출력한다{도 22(l)}. 로우 동작 제어 회로(132)는 판독 타이밍 신호 RDPZ에 동기하여 로우 제어 신호 RASZ를 출력한다{도 22(m)}. 코어 제어 회로(134)는 로우 제어 신호 RASZ에 응답하여 워드선 제어 신호 TWZ 등을 출력한다. 그리고, 도 21에 도시된 판독 동작 RD가 실행된다{도 22(n)}. 판독 동작 RD에 의해 비트선 BL, /BL 상에서 증폭된 판독 데이터 D0은 공통 데이터 버스 CDB를 통해 데이터 단자 DQ에 출력된다{도 22(o)}.

쇼트 리프레시 동작 REFf는 도 21에 도시한 바와 같이 단기간에 종료한다. 이 때문에, 리프레시 요구가 액세스 요구와 겹쳐서, 리프레시 요구가 우선되는 경우에도 액세스 요구에 대응하는 액세스 동작을 빠르게 시작할 수 있다. 즉, 칩 인에이블 신호(/CE)의 하강 에지로부터 데이터 단자 DQ에 데이터가 출력될 때까지의 칩 인에이블 액세스 시간을 단축할 수 있다.

다음에, 재정 회로(128)는 코어 사이클 상태 신호 ICSX의 상승 에지에 응답하여 리프레시 개시 신호 REFPZ 및 리프레시 상태 신호 REF1Z(제2 리프레시 제어 신호)를 순차적으로 출력한다{도 22(p)}. 리프레시 판정 회로(130)는 액세스 타이밍 신호(ATDPZ)의 생성을 검출할 수 없기 때문에, 쇼트 리프레시 신호 REFS2Z를 출력하지 않는다{도 22(q)}. 스위치 회로(22)는 쇼트 리프레시 동작 후의 통상의 리프레시를 실행하기 위해서 리프레시 어드레스 신호 REFAD(RA1)를 로우 어드레스 신호 IRAD로서 출력한다{도 22(r)}.

로우 동작 제어 회로(132)는 리프्रेस시 개시 신호 REFPZ에 동기하여 로우 제어 신호 RASZ를 출력한다{도 22(s)}. 코어 제어 회로(134)는 로우 제어 신호 RASZ에 응답하여 워드선 제어 신호 TWZ 등을 출력한다. 그리고, 도 21에 도시한 통상의 리프्रेस시 동작 REF(제2 리프्रेस시 동작)가 실행된다{도 22(t)}. 제1 리프्रेस시 제어 신호에 응답하는 리프्रेस시 동작(제1 리프्रेस시 동작) 후에, 제2 리프्रेस시 제어 신호에 응답하는 리프्रेस시 동작이 반드시 실행되기 때문에, 제1 리프्रेस시 동작에 의한 메모리 셀에의 재기록이 충분하지 않아도, 그 후의 리프्रेस시 동작으로 충분한 신호량의 데이터가 메모리 셀에 재기록된다. 이 때문에, 액세스 요구와 리프्रेस시 요구가 경합하여, 액세스 요구를 우선하는 경우에도, 메모리 셀의 데이터를 확실하게 유지할 수 있다.

의사 SRAM은 리프्रेस시 동작 REF의 실행 중에, 판독 커맨드(저레벨의 칩 인에이블 신호 /CE 및 도시하지 않은 저레벨의 출력 인에이블 신호 /OE, 고레벨의 기록 인에이블 신호 /WE)를 수신한다{도 22(u)}. 액세스 타이밍 생성 회로(110) 및 커맨드 디코더(112)는 판독 커맨드에 응답하여 액세스 타이밍 신호 ATDPZ 및 판독 제어 신호 RDZ를 출력한다{도 22(v)}.

재정 회로(128)는 통상의 리프्रेस시 동작 REF의 코어 사이클 상태 신호 ICSX의 상승 에지에 응답하여 판독 타이밍 신호 RDPZ를 출력한다{도 22(w)}. 로우 동작 제어 회로(132)는 판독 타이밍 신호 RDPZ에 동기하여 로우 제어 신호 RASZ를 출력한다{도 22(x)}. 코어 제어 회로(134)는 로우 제어 신호 RASZ에 응답하여 워드선 제어 신호 TWZ 등을 출력한다. 그리고, 어드레스 신호 AD2에 대응하는 판독 동작 RD가 실행된다{도 22(y)}. 판독 동작 RD에 의해 비트선 BL, /BL 상에서 증폭된 판독 데이터 D1은 공통 데이터 버스 CDB를 통해 데이터 단자 DQ에 출력된다{도 22(z)}.

도 22에 도시한 바와 같이, 재정 회로(128)는 내부 리프्रेस시 요구 신호 IREFZ를 판독 커맨드 RD(액세스 요구)보다 우선시킬 때에, 리프्रेस시 상태 신호 REF1Z(제1 리프्रेस시 제어 신호), 판독 타이밍 신호 RDPZ 및 리프्रेस시 상태 신호 REF1Z(제2 리프्रेस시 제어 신호)를 순차적으로 출력한다.

또, 이 의사 SRAM은 쇼트 리프्रेस시 동작 REff 및 통상의 리프्रेस시 동작 REF의 실행 시간과 2회의 판독 동작 RD의 실행 시간의 합이 액세스 요구의 최소 공급 간격인 외부 액세스 사이클 시간의 2회분보다 작아지도록 설계되어 있다. 이 때문에, 2회의 외부 액세스 사이클 시간 동안에, 쇼트 리프्रेस시 동작 REff 및 통상의 리프्रेस시 동작 REF와, 2회의 판독 동작 RD(또는 기록 동작)를 실행할 수 있다. 즉, 의사 SRAM은 리프्रेस시 동작을 외부로부터 인식되는 일없이 실행할 수 있다.

도 23은 제4 실시 형태에 있어서의 통상 동작 모드에서의 다른 동작예를 도시하고 있다. 도 22와 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 기록 동작 WR 및 판독 동작 RD가 연속해서 실행되고, 기록 커맨드와 내부 리프्रेस시 요구 신호 IREFZ가 거의 동시에 발생한다.

리프्रेस시 타이머(116)는 기록 커맨드 WR의 공급과 거의 동시에 내부 리프्रेस시 요구 신호 IREFZ를 출력한다{도 23(a)}. 재정 회로(128)는 리프्रेस시 동작을 기록 동작보다 우선하여 실행하는 것을 판정하여, 리프्रेस시 개시 신호 REFPZ 및 리프्रेस시 상태 신호 REF1Z(제1 리프्रेस시 제어 신호)를 순차적으로 출력한다{도 23(b)}. 리프्रेस시 판정 회로(130)는 액세스 타이밍 신호 ATDPZ가 리프्रेस시 상태 신호 REF1Z보다 소정 시간 빠르게 생성된 것을 검출하여, 쇼트 리프्रेस시 신호 REFS2Z를 출력한다{도 23(c)}.

그리고, 도 22와 마찬가지로, 쇼트 리프्रेस시 동작 REff(제1 리프्रेस시 동작), 기록 동작 WR(액세스 동작) 및 통상의 리프्रेस시 동작 REF(제2 리프्रेस시 동작)가 순차적으로 실행된다{도 23(d), (e), (f)}. 리프्रेस시 동작의 실행 후, 어드레스 AD2에 대응하는 판독 동작이 실행된다{도 23(g)}.

도 23에 도시한 바와 같이, 재정 회로(128)는 내부 리프्रेस시 요구 신호 IREFZ를 기록 커맨드 WR(액세스 요구)보다 우선시킬 때에, 리프्रेस시 상태 신호 REF1Z(제1 리프्रेस시 제어 신호), 기록 타이밍 신호 WRPZ 및 리프्रेस시 상태 신호 REF1Z(제2 리프्रेस시 제어 신호)를 순차적으로 출력한다.

도 24는 제4 실시 형태에 있어서의 통상 동작 모드에서의 다른 동작예를 도시하고 있다. 도 22와 동일한 동작에 대해서는 상세한 설명을 생략한다.

이 예에서는, 2회의 판독 동작 RD가 연속해서 실행되고, 최초의 판독 커맨드 RD의 공급 후에 내부 리프्रेस시 요구 신호 IREFZ가 발생한다.

재정 회로(128)는 리프्रेस시 타이밍 신호 SRTPZ를 수신하기 전에 액세스 타이밍 신호 ATDPZ를 수신한다. 이 때문에, 재정 회로(128)는 판독 동작을 리프्रेस시 동작보다 우선하여 실행하는 것을 판정한다. 그리고, 재정 회로(128)는 리프्रेस시 개시 신호 REFPZ 및 리프्रेस시 상태 신호 REF1Z를 출력하지 않고, 판독 타이밍 신호 RDPZ를 출력한다{도 24(a)}.

리프्रेस시 판정 회로(130)는 리프्रेस시 상태 신호 REF1Z를 받는 일없이 액세스 타이밍 신호 ATDPZ를 받기 때문에, 쇼트 리프्रेस시 신호 REFS2Z를 출력하지 않는다{도 24(b)}. 이와 같이, 판독 커맨드 RD(또는, 기록 커맨드 WR)가 리프्रेस시 커맨드(내부 리프्रेस시 요구 신호 IREFZ)보다 우선되는 경우, 쇼트 리프्रेस시 동작은 실행되지 않는다. 판독 커맨드 RD의 공급 후, 내부 리프्रेस시 요구 신호 IREFZ가 생성된다{도 24(c)}. 그리고, 어드레스 AD1에 대응하는 판독 동작 RD가 리프्रेस시 동작에 우선하여 실행된다{도 24(d)}.

재정 회로(128)는 판독 동작 RD의 완료에 따르는 코어 사이클 상태 신호 ICSX의 상승 에지에 동기하여 리프्रेस시 개시 신호 REFPZ 및 리프्रेस시 상태 신호 REF1Z를 출력한다{도 24(e)}. 그리고, 도 22와 마찬가지로 통상의 리프्रेस시 동작 REF(제2 리프्रेस시 동작) 및 어드레스 AD2에 대응하는 판독 동작 RD가 순차적으로 실행된다{도 24(f), (g)}. 이와 같이, 재정 회로(128)는 판독 커맨드 RD(액세스 요구)를 내부 리프्रेस시 요구 신호 IREFZ보다 우선시킬 때에, 판독 타이밍 신호 RDPZ를 출력한 후에, 리프्रेस시 상태 신호 REF1Z(제2 리프्रेस시 제어 신호)를 출력한다.

도 25는 제4 실시 형태에 있어서의 제1 시험 모드에서의 동작예를 나타내고 있다. 도 22와 동일한 동작에 대해서는 상세한 설명을 생략한다. 의사 SRAM은 미리 통상 동작 모드로부터 제1 시험 모드로 이행하고 있다. 제1 시험 모드는 예컨대 의사 SRAM의 개발시의 특성 평가에 있어서 사용된다. 특성 평가는 웨이퍼 상태의 의사 SRAM을 프로버에 접속하고, LSI 테스터로부터 의사 SRAM에 시험 패턴을 입력함으로써 실시된다.

이 예는 판독 커맨드 RD에 대한 시험 리프레이시 요구 신호 EREFZ의 공급 타이밍을 서서히 빠르게 해나가고, 쇼트 리프레이시 동작이 발생하는 타이밍이 발견되었을 때의 타이밍을 나타내고 있다. 즉, 리프레이시 요구와 액세스 요구가 경합하는 타이밍을 나타내고 있다. 도 25의 직전 타이밍(쇼트 리프레이시 동작이 발생하기 전의 타이밍)은 전술한 도 24와 동일하다.

제1 시험 모드에서는, 도 18에 도시된 리프레이시 선택 회로(114)는 리프레이시 타이머(116)로부터 출력되는 내부 리프레이시 요구 신호 IREFZ를 마스크하고, 시험 단자 SRC를 통해 LSI 테스터로부터 공급되는 시험 리프레이시 요구 신호 EREFZ를 내부 리프레이시 요구 신호 IREFZ 대신에 수신하여 리프레이시 타이밍 신호 SRTPZ로서 출력한다{도 25(a)}. 원하는 타이밍을 갖는 리프레이시 요구 및 액세스 요구를 LSI 테스터 등을 사용하여 의사 SRAM의 외부로부터 공급할 수 있기 때문에, 액세스 요구와 리프레이시 요구의 편차(시간차)를 높은 정밀도로 제어할 수 있다.

제1 시험 모드에서는, LSI 테스터는 예컨대 시험 리프레이시 요구 신호 EREFZ의 공급 타이밍을 액세스 커맨드(예컨대, 판독 커맨드 RD)에 대하여 서서히 빠르게 해나간다. 그리고, 리프레이시 동작이 판독 동작보다 우선되고, 쇼트 리프레이시 동작이 실행되는 타이밍이 발견된다. 즉, 쇼트 리프레이시 동작 REFf와 통상의 리프레이시 동작 REF가 전환되는 타이밍을 검출할 수 있다.

제1 시험 모드에 있어서, 도 19에 도시한 리프레이시 판정 회로(130)의 선택 회로(144)는 고레벨의 시험 신호 TES1Z를 받아 쇼트 리프레이시 신호 REFS2Z를 쇼트 리프레이시 신호 REFSSZ로서 출력한다{도 25(b)}. 도 20에 도시된 데이터 출력 회로(124)의 출력 마스크 회로(146)는 쇼트 리프레이시 신호 REFSSZ에 응답하여 판독 타이밍 신호 READZ를 마스크하고, 출력 인에이블 신호 ODEX를 고레벨로 고정한다. 이 때문에, 도 20에 도시된 데이터 출력 회로(124)의 출력 버퍼 회로(148)는 비활성화되고, 트라이스테이트 출력 버퍼(148a)는 판독 동작 RD에 따르는 판독 데이터 D0의 데이터 단자 DQ에의 출력을 금지하는 동시에, 데이터 단자 DQ를 하이 임피던스 상태 Hi-Z로 설정한다{도 25(c)}. 즉, 제1 시험 모드에서는, 쇼트 리프레이시 동작 REFf가 실행될 때에, 데이터 단자 DQ가 하이 임피던스 상태 Hi-Z가 된다. 그리고, 하이 임피던스 상태 Hi-Z가 검출되는지의 여부에 의해 리프레이시 요구와 액세스 요구가 경합하고 있는지의 여부가 판단된다. 상기 평가를 하기 위해서 전용의 시험 단자를 형성하지 않아도 좋기 때문에, 의사 SRAM의 칩 사이즈가 증가하는 것을 방지할 수 있다.

실제의 평가에서는, 데이터 단자 DQ가 풀업된(논리 "1") 평가 기관 또는 프로브 카드가 LSI 테스터에 장착되고, 어드레스 AD1에 대응하는 메모리 셀 MC에 미리 논리 "0"이 기록된다. 그리고, 상기 시험에 있어서, 논리 "0"을 판독할 수 없어, 예러가 되었을 때, 리프레이시 요구와 액세스 요구의 경합에 의해 쇼트 리프레이시 동작 REFf가 실행되었다고 판단된다.

데이터 단자 DQ의 하이 임피던스 상태 Hi-Z는 출력 마스크 회로(146)에 리셋 신호 RESETZ1이 공급될 때까지 계속된다. 이 때문에, 쇼트 리프레이시 동작 REFf가 실행되는 경우, 어드레스 AD2에 대응하는 판독 동작 RD에 있어서도, 판독 예러가 발생한다{도 25(d)}.

또, 도 25에서는, 어드레스 AD1에 대응하는 판독 동작 RD를 실행함으로써, 판독 커맨드와 리프레이시 요구의 경합을 평가하는 예를 나타내고 있다. 그러나, 도 23에 도시한 바와 같이, 어드레스 AD1에 대응하는 기록 동작 WR을 실행함으로써, 기록 커맨드와 리프레이시 요구의 경합을 평가하여도 좋다.

제1 시험 모드에 있어서, 쇼트 리프레이시 동작이 발생하는 타이밍이 평가된 후, 의사 SRAM은 제2 시험 모드로 이행되고, 제1 시험 모드에서의 평가 결과에 기초한 다른 평가가 행해진다.

도 26 및 도 27은 제4 실시 형태에 있어서의 제2 시험 모드에서의 동작예를 나타내고 있다. 도 22와 동일한 동작에 대해서는 상세한 설명을 생략한다. 의사 SRAM은 미리 통상 동작 모드 또는 제1 시험 모드로부터 제2 시험 모드로 이행하고 있다. 제2 시험 모드는 제1 시험 모드와 마찬가지로 예컨대 의사 SRAM의 개발시의 특성 평가에 있어서 사용된다. 특성 평가는 웨이퍼 상태의 의사 SRAM을 프로버에 접속하고, LSI 테스터로부터 의사 SRAM에 시험 패턴을 입력함으로써 실시된다.

제2 시험 모드에서는, 도 18에 도시된 리프레이시 선택 회로(14)는 리프레이시 타이머(116)로부터 출력되는 내부 리프레이시 요구 신호 IREFZ를 마스크하고, 시험 단자 SRC를 통해 LSI 테스터로부터 공급되는 시험 리프레이시 요구 신호 EREFZ를 내부 리프레이시 요구 신호 IREFZ 대신에 수신하여, 리프레이시 타이밍 신호 SRTPZ로서 출력한다{도 26(a), 도 27(a)}.

LSI 테스터는 제2 시험 모드에 있어서, 제1 시험 모드에서 평가한 타이밍 조건을 바꾸지 않고서, 사이클 시간(예컨대, 판독 사이클 시간)을 서서히 짧게 해나간다. 그리고, 쇼트 리프레이시 동작 REFf 후에 실행되는 통상의 리프레이시 동작 REF가 쇼트 리프레이시 동작 REFf로 변화되는 타이밍이 발견된다. 즉, 의사 SRAM이 올바르게 동작하기 위한 최소 사이클 시간이 평가된다.

도 26에 도시된 기본적인 타이밍은 도 22와 동일하다. 이 때, 의사 SRAM은 올바르게 동작하고 있고, 쇼트 리프레이시 동작 REFf, 판독 동작 RD 및 통상의 리프레이시 동작 REF가 순차적으로 실행된다{도 26(b), (c), (d)}. 도 19에 도시된 리프레이시 판정 회로(130)의 쇼트 리프레이시 래치 회로(142)는 쇼트 리프레이시 동작 REFf가 실행될 때에, 리프레이시 상태 신호 REF1Z의 하강 에지에 동기하여 고레벨의 쇼트 리프레이시 신호 REFS2Z를 래치하고, 쇼트 리프레이시 신호 REFSCZ로서 출력한다{도 26(e)}.

또한, 쇼트 리프래시 래치 회로(142)는 쇼트 리프래시 동작 REFf 후에 통상의 리프래시 동작 REF가 실행될 때에, 리프래시 상태 신호 REF1Z의 하강 에지에 동기하여 저레벨의 쇼트 리프래시 신호 REFS2Z를 래치하고, 쇼트 리프래시 신호 REFSCZ로서 출력한다{도 26(f)}. 즉, 쇼트 리프래시 신호 REFSCZ는 고레벨에서 저레벨로 변화된다.

도 26에 도시한 바와 같이, 쇼트 리프래시 신호 REFS2Z, REFSSZ의 고레벨 기간이 오버랩하는 일은 없기 때문에, 쇼트 리프래시 신호 REFSSZ가 저레벨을 유지한다{도 26(g)}. 따라서, 도 20에 도시된 출력 버퍼 회로(148)는 쇼트 리프래시 신호 REFSSZ에 의해 비활성화되는 일은 없다. 이 결과, 판독 동작 RD에 따르는 판독 데이터 D1은 데이터 단자 DQ를 통해 의사 SRAM의 외부에 출력된다{도 26(h)}. 즉, 리프래시 요구와 액세스 요구가 경합하는 경우에 있어서, 의사 SRAM이 정상적으로 동작할 때, 올바른 데이터 D1이 판독된다.

한편, 도 27은 사이클 시간이 너무 짧아져 의사 SRAM이 올바르게 동작하지 않는 예를 나타내고 있다. 이 때, 쇼트 리프래시 동작 REFf, 판독 동작 RD 및 쇼트 리프래시 동작 REFf가 순차적으로 실행된다{도 27(b), (c), (d)}. 도 27에서는 통상의 리프래시 동작 REF 대신에 쇼트 리프래시 동작 REFf{도 27(d)}가 실행되기 때문에, 메모리 셀 MC에 충분한 전하량이 재기록되지 않고, 메모리 셀 MC에 유지되어 있는 데이터는 소실된다.

이 예에서는, 어드레스 AD1에 대응하는 판독 동작 RD 후의 쇼트 리프래시 동작 REFf에 대응하여 쇼트 리프래시 신호 REFS2Z가 출력된다{도 27(e)}. 쇼트 리프래시 래치 회로(142)는 쇼트 리프래시 동작 REFf가 실행될 때에, 리프래시 상태 신호 REF1Z의 하강 에지에 동기하여 고레벨의 쇼트 리프래시 신호 REFS2Z를 다시 래치하고, 쇼트 리프래시 신호 REFSCZ로서 출력한다{도 27(f)}. 이 때문에, 쇼트 리프래시 신호 REFS2Z, REFSSZ의 고레벨 기간이 오버랩하여, 쇼트 리프래시 신호 REFSSZ는 고레벨로 변화된다{도 27(g)}.

도 20에 도시된 데이터 출력 회로(124)의 출력 마스크 회로(146)는 쇼트 리프래시 신호 REFSSZ에 응답하여 판독 타이밍 신호 READZ를 마스크하고, 출력 인에이블 신호 ODEX를 고레벨로 고정한다. 이 때문에, 도 20에 도시된 데이터 출력 회로(124)의 출력 버퍼 회로(148)는 비활성화된다. 트라이스태이트 출력 버퍼(148a)는 어드레스 신호 AD2에 대응하는 판독 동작 RD에 따르는 판독 데이터 D1의 데이터 단자 DQ에의 출력을 금지하고, 데이터 단자 DQ를 하이 임피던스 상태 Hi-Z로 설정한다{도 27(h)}.

이 때문에, 도 25와 마찬가지로 데이터 단자 DQ가 풀업되고 있는 경우(논리 "1"), 메모리 셀 MC에 미리 기록된 논리 "0"을 판독할 수 없어 에러가 되었을 때, 쇼트 리프래시 동작의 실행에 따라 출력 버퍼 회로(148)가 비활성화되어 있다고 판단된다. 즉, 쇼트 리프래시 신호 REFS2Z가 2회 연속해서 생성된 것이 검출됨으로써, 의사 SRAM의 리프래시 동작이 정상적으로 실행되는 최소의 사이클 시간이 평가된다.

도 26 및 도 27에서는, 어드레스 AD1에 대응하는 판독 동작 RD를 실행함으로써, 판독 커맨드와 리프래시 요구의 경합을 평가하는 예를 나타내고 있다. 그러나, 도 23에 도시한 바와 같이, 어드레스 AD1에 대응하는 기록 동작 WR을 실행함으로써, 기록 커맨드와 리프래시 요구의 경합을 평가하여도 좋다.

또, 쇼트 리프래시 기능을 갖는 의사 SRAM에 있어서 리프래시 동작이 정상적으로 실행되는지의 여부는 메모리 셀 MC에 기록된 데이터가 실제로 소실되는 것을 확인함으로써 평가 가능하다. 구체적으로는, 리프래시 요구를 액세스 요구에 대하여 서서히 어긋나게 하면서, 메모리 셀 MC의 데이터 유지 특성을 평가하는 시험(일반적으로 포즈 시험이라 칭해짐)을 실시하면 좋다. 그러나, DRAM의 메모리 셀 MC에 기록된 데이터는 수백 밀리 초 ~ 수 초 유지된다. 이 때문에, 리프래시 동작이 올바르게 실행되는 것을 포즈 시험에 의해 확인하는 경우, 방대한 시험 시간이 필요하게 된다.

이상, 제4 실시 형태에서는, 리프래시 요구가 액세스 요구와 경합하여, 쇼트 리프래시 동작 REFf가 실행될 때에, 데이터 단자 DQ를 하이 임피던스 상태로 설정하였다. 이 때문에, 의사 SRAM을 평가하는 LSI 테스터 등의 평가 장치는 쇼트 리프래시 동작 REFf가 삽입되는 타이밍을 용이하고도 정확하게 평가할 수 있다. 즉, 리프래시 요구와 액세스 요구가 경합하는 타이밍을 용이하게 평가할 수 있다. 이 결과, 의사 SRAM의 개발 기간을 단축할 수 있고, 개발 비용을 삭감할 수 있다. 의사 SRAM의 양산에 있어서는, 제조 조건의 변동 등에 의해 불량률이 발생했을 때에, 불량 해석을 신속히 실시할 수 있고, 수율의 저하 기간을 최소한으로 할 수 있다.

또한, 쇼트 리프래시 동작 REFf가 연속해서 발생하면 동작 불량률이 발생하는 경우에, 불량률이 발생하는 타이밍을 검출 신호 REFSSZ에 의해 확실하게 평가할 수 있다.

트라이스태이트 출력 버퍼(148a)에 접속되는 데이터 단자 DQ를 시험 모드 중에, 외부 시험 단자로서 사용하였다. 이 때문에, 평가용의 새로운 단자를 형성할 필요가 없게 되어 의사 SRAM의 칩 사이즈의 증가를 방지할 수 있다.

액세스 요구와 리프래시 요구가 경합했을 때에, 액세스 동작 전에, 단기간에 종료하는 쇼트 리프래시 동작 REFf가 실행된다. 이 때문에, 리프래시 요구가 액세스 요구보다 우선되는 경우에도 액세스 요구에 대응하는 액세스 동작을 빠르게 시작할 수 있다. 즉, 액세스 시간을 단축할 수 있다.

쇼트 리프래시 동작 REFf가 실행될 때, 액세스 동작 후에 반드시 통상의 리프래시 동작 REF가 실행된다. 이 때문에, 액세스 요구와 리프래시 요구가 경합하여, 액세스 요구를 우선하는 경우에도, 메모리 셀 MC의 데이터를 확실하게 유지할 수 있다.

도 28은 본 발명의 반도체 메모리의 제5 실시 형태를 나타내고 있다. 제4 실시 형태에서 설명한 요소와 동일한 요소에 대해서는 동일한 부호를 붙여, 이들에 대해서는 상세한 설명을 생략한다.

이 실시 형태에서는, 제4 실시 형태의 커맨드 디코더(112) 및 리프레시 타이머(116) 대신에 커맨드 디코더(112A) 및 리프레시 타이머(116A)가 형성되어 있다. 또한, 이 실시 형태에서는, 리프레시 선택 회로(114) 및 외부 시험 단자 SRC는 형성되어 있지 않다. 그 밖의 구성은 제4 실시 형태와 거의 동일하다.

커맨드 디코더(112A)는 커맨드 신호 CMD를 해독하여, 판독 동작을 실행하기 위한 판독 제어 신호 RDZ 또는 기록 동작을 실행하기 위한 기록 제어 신호 WRZ를 출력한다. 또한, 커맨드 디코더(112A)는 제1 및 제2 시험 모드시에 커맨드 단자 CMD에 공급되는 커맨드 신호 CMD(시험 커맨드)에 따라 리프레시 타이머(116A)의 주기를 변경하기 위한 리프레시 조정 신호 REFADJ를 출력한다.

리프레시 타이머(116A)는 내부 리프레시 요구 신호 IREFZ를 소정의 주기로 출력한다. 내부 리프레시 요구 신호 IREFZ는 통상 동작 모드시에 메모리 셀 MC에 유지된 데이터를 잃지 않고 메모리 셀 MC를 순차적으로 리프레시할 수 있는 주기로 생성된다. 또한, 내부 리프레시 요구 신호 IREFZ는 제1 및 제2 시험 모드시에 리프레시 조정 신호 REFADJ의 논리값에 대응하는 주기로 생성된다.

이 실시 형태에서는, 제1 및 제2 시험 모드시에 커맨드 단자 CMD를 통해 공급되는 시험 커맨드에 의해 리프레시 타이머(116A)의 주기를 바꾸면서 제4 실시 형태와 동일한 평가가 실시된다.

이상, 제5 실시 형태에 있어서도, 전술한 제4 실시 형태와 동일한 효과를 얻을 수 있다. 흔히, 이 실시 형태에서는, 리프레시 타이머(116A)는 제1 및 제2 시험 모드 중에, 리프레시 요구의 생성 주기를 변경하기 위한 리프레시 조정 신호 REFADJ를 받는다. 이 때문에, 통상의 동작 시에 동작하는 회로를 이용하여 의사 SRAM의 내부에서 원하는 타이밍을 갖는 리프레시 요구를 발생시킬 수 있다. 따라서, 의사 SRAM의 실제 회로 동작과 동일한 상태에서 리프레시 특성을 평가할 수 있다.

도 29는 본 발명의 반도체 메모리의 제6 실시 형태를 나타내고 있다. 전술한 제1 및 제2 실시 형태에서 설명한 요소와 동일한 요소에 대해서는 동일한 부호를 붙여, 이들에 대해서는 상세한 설명을 생략한다. 도면 중의 2중 사각은 시험 패드(외부 시험 단자 SRC)를 나타내고 있다. 시험 패드는 출하하는 제품의 외부 단자(리드 프레임 등)에는 접속되지 않는다. 시험 패드는, 예컨대, 프로브 시험에 있어서 프로버에 접속되어, 시험 패턴을 수신한다. 이 반도체 메모리는 DRAM의 메모리 셀(다이내믹 메모리 셀)을 가지며, SRAM의 인터페이스를 갖는 의사 SRAM으로서 형성되어 있다.

이 실시 형태에서는, 제2 실시 형태의 커맨드 제어 회로(10), 리프레시 제어 회로(14) 및 리프레시 카운터(16) 대신에 커맨드 제어 회로(10B), 리프레시 제어 회로(14B) 및 리프레시 카운터(16B)가 형성되어 있다. 또한, 시험 제어 회로(42)가 새롭게 형성되어 있다. 그 밖의 구성은 제2 실시 형태와 거의 동일하다.

커맨드 제어 회로(10B)는 통상 동작에서는 사용하지 않는 조합의 복수의 커맨드 신호 /CE, /OE, /WD를 수신했을 때에, 의사 SRAM을 통상 동작 모드로부터 시험 모드로 이행하기 위해서 시험 모드 신호 TMDZ(고레벨)를 출력한다. 커맨드 제어 회로(10B)는 시험 모드 중, 판독/기록 제어 신호 RWZ, RWIZ, 판독 제어 신호 RDZ 및 기록 제어 신호 WRZ의 출력을 금지한다. 즉, 판독 동작 및 기록 동작은 시험 모드 중, 실행되지 않는다.

리프레시 제어 회로(14B)는 고레벨의 시험 모드 신호 TMDZ를 받았을 때에 동작을 정지한다. 즉, 시험 모드 중, 리프레시 제어 회로(14B)는 리프레시 신호 REFZ, REFSZ를 출력하지 않는다.

리프레시 카운터(16B)는 고레벨의 시험 모드 신호 TMDZ를 받았을 때에, 리프레시 신호 REFZ의 입력을 마스크하고, 외부 시험 단자 SRC를 통해 의사 SRAM의 외부로부터 공급되는 시험 리프레시 요구 신호 EREFZ를 수신한다.

시험 제어 회로(42)는 고레벨의 시험 모드 신호 TMDZ를 받았을 때에 활성화되고, 시험 리프레시 요구 신호 EREFZ에 응답하여 리프레시 신호 REFSZ(제1 리프레시 신호) 및 리프레시 신호 REFZ(제2 리프레시 신호)를 출력한다. 즉, 시험 모드 중에는 시험 제어 회로(42)로부터 출력되는 리프레시 신호 REFSZ(제1 시험 리프레시 신호) 및 리프레시 신호 REFZ(제2 시험 리프레시 신호)에 의해 리프레시 동작이 실행된다.

시험 제어 회로(42)가 시험 모드 중에 생성하는 리프레시 신호 REFSZ, REFZ의 생성 간격은 후술하는 바와 같이, 시험 리프레시 요구 신호 EREFZ의 펄스폭에 대응하고 있다. 또, 통상 동작 모드 중의 리프레시 신호 REFSZ, REFZ의 생성 간격은 제1 실시 형태와 마찬가지로 약 200 ns로 설정되어 있다.

도 30은 제6 실시 형태에 있어서의 시험 모드 중의 동작예를 나타내고 있다.

우선, 시험 모드로 이행하기 전에 의사 SRAM의 메모리 셀 MC에는 소정의 데이터(기대치)가 기록된다. 다음에, 시험 커맨드가 의사 SRAM에 공급되고, 의사 SRAM은 통상 동작 모드로부터 시험 모드로 이행한다. 커맨드 제어 회로(10B)는 시험 모드 신호 TMDZ를 고레벨로 유지한다{도 30(a)}.

다음에, 외부 시험 단자 SRC로부터 펄스 파형을 갖는 시험 리프레시 요구 신호 EREFZ가 공급된다{도 30(b)}. 시험 제어 회로(42)는 시험 리프레시 요구 신호 EREFZ의 상승 에지에 동기하여 쇼트 리프레시 동작을 실행하기 위한 리프레시 신호 REFSZ를 출력한다{도 30(c)}. 또한, 시험 제어 회로(42)는 시험 리프레시 요구 신호 EREFZ의 하강 에지에 동기하여 통상의 리프레시 동작을 실행하기 위한 리프레시 신호 REFZ를 출력한다{도 30(d)}. 이와 같이, 시험 리프레시 요구 신호 EREFZ의 펄스폭은 리프레시 신호 REFSZ, REFZ의 생성 간격에 대응한다. 바꾸어 말하면, 시험 리프레시 요구 신호 EREFZ의 펄스폭은 쇼트 리프레시 동작의 개시 시각과 통상의 리프레시 동작의 개시 시각의 차 DIF에 대응한다.

리프래시 카운터(16B)는 시험 리프래시 요구 신호 EREFZ에 동기하여 카운트업하고, 리프래시 어드레스 신호 REFAD(RADZ)를 출력한다{도 30(e)}. 그리고, 워드선 WL이 리프래시 어드레스 신호 REFAD에 따라 순차적으로 전환되어, 하나의 워드선 WL에 대하여 쇼트 리프래시 동작 및 통상의 리프래시 동작이 순차적으로 실행된다.

쇼트 리프래시 동작에 의해 메모리 셀 MC에 재기록(리스토어)되는 데이터가 통상의 리프래시 동작까지 메모리 셀 MC 내에 유지되는 경우, 올바른 데이터가 통상의 리프래시 동작에 의해 메모리 셀 MC에 재기록된다. 한편, 쇼트 리프래시 동작에 의해 메모리 셀 MC에 재기록되는 데이터가 통상의 리프래시 동작까지 메모리 셀 MC 내에 유지되지 않는 경우, 메모리 셀 MC 내의 데이터는 파괴된다. 이 때, 잘못된 데이터가 통상의 리프래시 동작에 의해 메모리 셀 MC에 재기록된다.

도 30에 도시한 시험은 리프래시 카운터(16B)가 일주할 때까지 실시된다. 일주에 요하는 시간은 통상의 리프래시 동작 후, 메모리 셀 MC 내의 데이터가 없어지는 일없이 유지되는 시간보다 충분히 짧게 설정된다. 그 후, 의사 SRAM에 커맨드 신호가 입력됨으로써 의사 SRAM은 시험 모드로부터 통상 동작 모드로 이행한다. 그리고, 메모리 셀 MC로부터 데이터가 판독되고, 판독되는 데이터가 기대치인지 아닌지에 의해, 쇼트 리프래시 동작과 통상의 리프래시 동작의 간격이 충분한지의 여부가 판단된다.

실제로는 의사 SRAM을 시험하는 LST 테스터는 시험 리프래시 요구 신호 EREFZ의 펄스폭을 순차적으로 길게 하여 상기 시험을 반복하여 행한다. 예컨대, 차 DIF는 100 ns에서 300 ns까지 순차적으로 바뀌어진다. 그리고, 쇼트 리프래시 동작에 의해 메모리 셀 MC에 재기록된 데이터의 유지 시간이 측정된다. 바꾸어 말하면, 쇼트 리프래시 동작의 동작 마진이 평가된다.

이상, 제6 실시 형태에 있어서도, 전술한 제1 및 제2 실시 형태와 동일한 효과를 얻을 수 있다. 흔히, 이 실시 형태에서는, 시험 모드 중에 의사 SRAM의 외부로부터 쇼트 리프래시 동작 및 통상의 리프래시 동작의 리프래시 요구를 원하는 타이밍에 입력 가능하게 하였기 때문에, 쇼트 리프래시 동작의 동작 마진을 용이하게 평가할 수 있다.

리프래시 신호 REFSZ, REFZ의 생성 간격은 시험 리프래시 요구 신호 EREFZ의 펄스폭에 따라 설정된다. 이 때문에, 하나의 외부 시험 단자 SRC에 의해 리프래시 신호 REFSZ, REFZ의 생성 간격을 자유자재로 설정할 수 있다.

도 31은 본 발명의 반도체 메모리의 제7 실시 형태를 나타내고 있다. 제4 실시 형태에서 설명한 요소와 동일한 요소에 대해서는 동일한 부호를 붙여, 이들에 대해서는 상세한 설명을 생략한다. 이 반도체 메모리는 DRAM의 메모리 셀(다이내믹 메모리 셀)을 가지며, SRAM의 인터페이스를 갖는 의사 SRAM으로서 형성되어 있다. 의사 SRAM은 외부에서 리프래시 커맨드를 받는 일없이, 칩 내부에서 정기적으로 리프래시 동작을 실행하여, 메모리 셀에 기록된 데이터를 유지한다. 이 의사 SRAM은 예컨대, 휴대 전화에 탑재되는 워크 메모리에 사용된다.

의사 SRAM은 액세스 타이밍 생성 회로(110), 커맨드 디코더(112), 퓨즈 회로(FUS1, FUS2), 분주 전환 회로(150), 리프래시 타이머(152), 리프래시 카운터(118), 어드레스 입력 회로(120), 스위치 회로(122), 데이터 출력 회로(124), 데이터 입력 회로(126), 재정 회로(154), 재요구 타이머(156), 코어 제어 회로(158) 및 메모리 코어(136)를 갖고 있다. 커맨드 단자 CMD(외부 단자)는 메모리 셀 MC를 액세스하기 위한 커맨드 신호(액세스 요구)를 수신한다.

퓨즈 회로(FUS1, FUS2)는 리프래시 타이머(152)로부터 출력되는 내부 리프래시 요구 신호 IREFZ의 생성 주기를 조정하기 위한 퓨즈를 각각 갖고 있다.

분주 전환 회로(150)는 쇼트 플래그 신호 SFLGZ가 저레벨일 때에(제1 동작 모드), 퓨즈 회로(FUS1)의 출력을 선택한다. 분주 전환 회로(150)는 코어 제어 회로(158)로부터 출력되는 쇼트 플래그 신호 SFLGZ가 고레벨일 때에(제2 동작 모드), 퓨즈 회로(FUS2)의 출력을 선택한다. 분주 전환 회로(150)는 선택한 신호를 리프래시 타이머(152)의 분주기에 출력한다.

퓨즈 회로(FUS1)의 출력이 선택될 때, 내부 리프래시 요구 신호 IREFZ의 생성 주기는 길어진다(약 73 μ s). 퓨즈 회로(FUS2)의 출력이 선택될 때, 내부 리프래시 요구 신호 IREFZ의 생성 주기는 짧아진다(약 7.3 μ s).

리프래시 타이머(152)는 발진기 OSC와 분주기를 갖고 있다. 분주기는 발진기 OSC로부터 출력되는 클럭 신호를 분주 전환 회로(150)의 출력에 따라 분주하고, 분주한 신호를 내부 리프래시 요구 신호 IREFZ(리프래시 요구)로서 출력한다.

재정 회로(154)는 액세스 타이밍 신호 ATDPZ(액세스 요구)와 내부 리프래시 요구 신호 IREFZ(리프래시 요구)의 천이 에지, 또는 액세스 타이밍 신호 ATDPZ와 리프래시 동작의 재요구 신호 RREQZ(리프래시 요구)의 천이 에지를 비교함으로써, 액세스 요구와 리프래시 요구의 경합을 판단하여, 액세스 동작 및 리프래시 동작 중 어느 것을 우선시할지를 결정한다. 재정 회로(154)는 액세스 동작이 우선되는 경우, 리프래시 요구를 일시 유지하고, 판독 제어 신호 RDZ 또는 기록 제어 신호 WRZ에 응답하여 액세스 개시 신호 CMDPZ(액세스 제어 신호)를 출력한다. 이 후, 재정 회로(154)는 코어 사이클 상태 신호 ICSX의 비활성화(고레벨로의 변화)에 의해 액세스 동작의 완료를 검출하고, 유지하고 있는 리프래시 요구에 따라 리프래시 개시 신호 REFPZ(리프래시 제어 신호)를 출력한다.

또한, 재정 회로(154)는 리프래시 동작이 우선되는 경우, 액세스 요구를 일시 유지하고, 리프래시 요구에 응답하여 리프래시 개시 신호 REFPZ를 출력한다. 이 후, 재정 회로(154)는 코어 사이클 상태 신호 ICSX의 비활성화(고레벨로의 변화)에 의해 리프래시 동작의 완료를 검출하고, 유지하고 있는 액세스 요구에 따라 액세스 개시 신호 CMDPZ를 출력한다.

재요구 타이머(156)는 저레벨의 쇼트 플래그 신호 SFLGZ를 받고 있을 때에(제1 동작 모드), 활성화되어 동작한다. 활성화된 재요구 타이머(156)는 리프래시 개시 신호 REFPZ에 의해 코어 제어 회로(158)가 통상의 리프래시 동작을 실행할 수 없는 것을 판단하고, 통상의 리프래시 동작을 실행하기 위해서 재요구 신호 RREQZ를 출력한다. 재정 회로(154)는 전술한

바와 같이, 재요구 신호 RREQZ를 리프्रेस리 요구로서 수신한다. 즉, 의사 SRAM은 리프्रेस리 주기가 긴 제1 동작 모드 중에, 리프्रेस리 요구에 대응하여 후술하는 제1 또는 제2 쇼트 리프्रेस리 동작만이 실행되고, 통상의 리프्रेस리 동작을 실행할 수 없을 때, 선택된 워드선 WL에 대하여 통상의 리프्रेस리 동작을 시도한다.

코어 제어 회로(158)는 전술한 제4 실시 형태의 로우 동작 제어 회로(132) 및 코어 제어 회로(134)와 거의 동일한 기능을 갖고 있다. 코어 제어 회로(158)는 리프्रेस리 개시 신호 REFPZ 또는 액세스 개시 신호 CMDPZ를 받았을 때에, 메모리 코어(136)를 동작시키는 기본 타이밍 신호인 로우 제어 신호 RASZ(도시하지 않음)를 출력한다. 또한, 메모리 코어(136)의 동작 중에, 코어 사이클 상태 신호 ICSX를 저레벨로 유지한다. 또, 코어 제어 회로(158)는 리프्रेस리 요구에 응답하여 후술하는 제1 쇼트 리프्रेस리 동작, 제2 쇼트 리프्रेस리 동작 및 통상 리프्रेस리 동작 중 어느 하나를 실행한다.

또한, 코어 제어 회로(158)는 도시하지 않은 워드선 제어 회로, 감지 증폭기 제어 회로 및 프리차지 제어 회로를 갖고 있다. 워드선 제어 회로는 워드선 WL을 선택하는 워드선 제어 신호 TWZ를 로우 제어 신호 RASZ에 응답하여 출력한다. 감지 증폭기 제어 회로는 후술하는 감지 증폭기부 SA의 감지 증폭기를 활성화하기 위한 감지 증폭기 활성화 신호 LEZ를 로우 제어 신호 RASZ에 응답하여 출력한다. 프리차지 제어 회로는 비트선 BL, /BL을 소정의 전압으로 프리차지 하기 위한 프리차지 신호 PREPZ를 출력한다.

도 32는 도 31에 도시한 코어 제어 회로(158)의 주요부를 상세하게 나타내고 있다. 코어 제어 회로(158)는 플립플롭(158a), 과형 성형 회로(158b), 제1 지연 회로(158c), 제2 지연 회로(158d), 펄스 생성 회로(158e), 플립플롭(158f), 펄스 생성 회로(158g) 및 프리차지 생성 회로(158h)를 갖고 있다.

플립플롭(158a)은 액세스 개시 신호 CMDPZ 또는 리프्रेस리 개시 신호 REFPZ를 받았을 때에 로우 제어 신호 RASZ를 고레벨로 변화시키고, 스타터 신호 STTZ 또는 프리차지 신호 PREPZ를 받았을 때에 로우 제어 신호 RASZ를 저레벨로 변화시킨다. 로우 제어 신호 RASZ의 고레벨 기간은 워드선 WL의 활성화 기간, 감지 증폭기 SA의 활성화 기간에 대응한다.

과형 성형 회로(158b)는 로우 제어 신호 RASZ의 하강 에지(비활성화 에지)를 지연시켜, 워드선 온 신호 WONZ로서 출력한다. 제1 지연 회로(158c)는 워드선 온 신호 WONZ를 소정시간 지연시켜, 워드선 온 신호 WONBZ(제1 시각 신호)로서 출력한다. 제2 지연 회로(158d)는 워드선 온 신호 WONBZ를 소정 시간 지연시켜, 워드선 온 신호 WONDZ(제2 시각 신호)로서 출력한다. 펄스 생성 회로(158e)는 워드선 온 신호 WONDZ의 상승 에지에 동기하는 워드선 온 펄스 신호 WONDZP를 출력한다. 제1 지연 회로(158c) 및 제2 지연 회로(158d)는 제1 시각 신호 및 제2 시각 신호를 각각 생성하는 타이밍 생성 회로로서 동작한다.

플립플롭(158f)은 로우 제어 신호 RASZ가 고레벨 기간 중에 액세스 개시 신호 CMDPZ를 받았을 때에, 워드선 오프 신호 WOFFZ를 고레벨로 변화시키고, 프리차지 신호 PREPZ 또는 스타터 신호 STTZ를 받았을 때에, 워드선 오프 신호 WOFFZ를 저레벨로 변화시킨다. 펄스 생성 회로(158g)는 워드선 오프 신호 WOFFZ의 고레벨 기간 중에 워드선 온 신호 WONBZ의 상승 에지를 검출했을 때에, 워드선 오프 펄스 신호 WOFFPZ를 출력한다.

프리차지 생성 회로(158h)는 로우 제어 신호 RASZ의 고레벨 기간 중에 다음 어느 하나의 조건이 일치했을 때에, 프리차지 신호 PREPZ를 출력한다.

(1) 워드선 오프 펄스 신호 WOFFPZ가 출력될 때.

(2) 워드선 온 신호 WONBZ가 고레벨, 또한 워드선 온 신호 WONDZ가 저레벨의 기간에 액세스 개시 신호 CMDPZ가 공급될 때.

(3) 워드선 온 펄스 신호 WONDZP가 출력될 때.

도 33은 코어 제어 회로(158) 내에 형성되는 선착 판정 회로(160)를 나타내고 있다.

선착 판정 회로(160)는 내부 리프्रेस리 요구 신호 IREFZ를 받아 리셋되어, 쇼트 신호 SHRTZ를 저레벨로 변화시킨다. 선착 판정 회로(160)는 프리차지 신호 PREPZ를 워드선 온 펄스 신호 WONDZP보다 먼저 받았을 때에, 쇼트 신호 SHRTZ를 고레벨로 변화시킨다. 고레벨의 쇼트 신호 SHRTZ는 다음 내부 리프्रेस리 요구 신호 IREFZ에 동기하여 쇼트 플래그 신호 SFLGZ로서 출력된다.

후술하는 바와 같이, 리프्रेस리 요구에 응답하여 통상 리프्रेस리 동작이 실행되지 않고서 제1 또는 제2 쇼트 리프्रेस리 동작이 실행될 때, 리프्रेस리 동작의 완료를 나타내는 프리차지 신호 PREPZ는 워드선 온 펄스 신호 WONDZP보다 먼저 출력되고, 쇼트 신호 SHRTZ가 출력된다. 즉, 쇼트 플래그 신호 SFLGZ는 통상 리프्रेस리 동작이 실행되는 일없이, 리프्रेस리 타이머(153)로부터 다음 리프्रेस리 요구가 발생했을 때에 출력된다.

도 34는 제7 실시 형태의 동작예를 나타내고 있다. 이 예에서는, 액세스 커맨드(액세스 요구)가 리프्रेस리 개시 신호 REFPZ의 바로 뒤에 공급된다{도 34(a)}.

우선, 도 32에 도시한 플립플롭(158a)은 리프्रेस리 개시 신호 REFPZ에 동기하여 로우 제어 신호 RASZ를 출력한다{도 34(b)}. 로우 제어 신호 RASZ에 응답하여 워드선 온 신호 WONZ, WONBZ, WONDZ가 순차적으로 출력된다{도 34(c), (d), (e)}. 워드선 온 신호 WONBZ(제1 시각 신호)는 로우 제어 신호 RASZ의 출력 후, 제1 시각 TIME1에 항상 출력된다. 워드선 온 신호 WONDZ(제2 시각 신호)는 로우 제어 신호 RASZ의 출력 후, 제2 시각 TIME2에 항상 출력된다.

로우 제어 신호 RASZ에 동기하여 워드선 제어 신호 TWZ가 출력되고, 어드레스 신호 AD에 따른 워드선 WL이 활성화된다{도 34(f)}. 워드선 WL의 활성화에 의해 메모리 셀 MC로부터 비트선 BL, /BL에 데이터가 판독된다{도 34(g)}. 워드선

WL의 활성화 후, 감지 증폭기 활성화 신호 LEZ가 출력되고, 감지 증폭기 SA가 활성화된다. 감지 증폭기 SA의 활성화에 의해 비트선 BL, /BL 상의 데이터가 증폭된다{도 34(h)}. 즉, 워드선 WL에 접속된 메모리 셀 MC에 데이터를 재기록하는 리프래시 동작이 개시된다.

도 32에 도시한 플립플롭(158f)은 커맨드 요구에 응답하는 액세스 개시 신호 CMDPZ에 동기하여 워드선 오프 신호 WOFFZ를 출력한다{도 34(i)}. 워드선 오프 신호 WOFFZ의 고레벨 기간에 워드선 온 신호 WONBZ가 고레벨로 변화되기 때문에, 제1 시각 TIME1에 워드선 오프 펄스 신호 WOFFPZ가 출력된다{도 34(j)}.

도 32에 도시한 프리차지 생성 회로(158h)는 워드선 오프 펄스 신호 WOFFPZ에 동기하여 프리차지 신호 PREPZ를 출력한다{도 34(k)}. 프리차지 신호 PREPZ의 출력에 의해 로우 제어 신호 RASZ는 저레벨로 변화된다{도 34(l)}. 로우 제어 신호 RASZ의 저레벨로의 변화에 의해 워드선 WL은 비활성화되고, 감지 증폭기 활성화 신호 LEZ는 비활성화된다{도 34(m)}. 그리고, 비트선 BL, /BL이 프리차지되고, 리프래시 동작은 제1 시각 TIME1에 대응하여 종료한다.

로우 제어 신호 RASZ의 저레벨로의 변화에 응답하여 워드선 온 신호 WONZ, WONBZ, WONDZ가 순차적으로 저레벨로 변화된다. 도면 중의 파선은 액세스 요구가 리프래시 요구보다 지연되어 발생하는 경우의 파형(후술하는 도 36에 도시된 통상 리프래시 동작)을 나타내고 있다.

이와 같이, 액세스 개시 신호 CMDPZ가 리프래시 개시 신호 REFPZ로부터 제1 시각 TIME1 사이에 출력될 때, 즉, 액세스 요구가 제1 시각 TIME1보다 전에 공급될 때, 리프래시 동작은 제1 시각 TIME1에 대응하여 종료하고, 리프래시 동작으로서 가장 짧은 제1 쇼트 리프래시 동작이 실행된다.

도 35는 제7 실시 형태의 다른 동작예를 나타내고 있다. 도 34와 동일한 동작에 대해서는 상세한 설명을 생략한다. 이 예에서는 액세스 커맨드(액세스 요구)가 제1 시각 TIME1과 제2 시각 TIME2 사이에 공급된다{도 35(a)}.

우선, 로우 제어 신호 RASZ에 동기하여 워드선 제어 신호 TWZ(워드선 WL) 및 감지 증폭기 활성화 신호 LEZ가 순차적으로 출력되고, 리프래시 동작이 시작된다{도 35(b)}.

액세스 개시 신호 CMDPZ는 워드선 온 신호 WONBZ가 고레벨, 또한 워드선 온 신호 WONDZ가 저레벨일 때에 출력된다. 이 때문에, 프리차지 생성 회로(158h)는 액세스 개시 신호 CMDPZ에 동기하여 프리차지 신호 PREPZ를 출력한다{도 35(c)}.

프리차지 신호 PREPZ의 출력에 의해 로우 제어 신호 RASZ는 저레벨로 변화된다{도 35(d)}. 로우 제어 신호 RASZ의 저레벨로의 변화에 의해 워드선 WL은 비활성화되고, 감지 증폭기 활성화 신호 LEZ는 비활성화된다{도 35(e)}. 그리고, 비트선 BL, /BL이 프리차지되고, 리프래시 동작은 종료한다. 도면 중 파선은 액세스 요구가 리프래시 요구보다 지연되어 발생하는 경우의 파형(후술하는 도 36에 도시된 통상 리프래시 동작)을 나타내고 있다.

이와 같이, 액세스 개시 신호 CMDPZ가 제1 시각 TIME1과 제2 시각 TIME2 사이에 출력될 때, 리프래시 동작은 액세스 개시 신호 CMDPZ에 동기하여 종료한다. 제1 시각 TIME1과 제2 시각 TIME2 사이에 동작이 종료하는 리프래시 동작은 제2 쇼트 리프래시 동작이라 칭해진다. 제2 쇼트 리프래시 동작의 동작 시간은 제1 쇼트 리프래시 동작보다 길고, 통상 리프래시 동작보다 짧다. 제2 쇼트 리프래시 동작의 동작 시간은 액세스 개시 신호 CMDPZ의 생성 타이밍에 따라 가변적이다.

도 36은 제7 실시 형태의 다른 동작예를 나타내고 있다. 도 34와 동일한 동작에 대해서는 상세한 설명을 생략한다. 이 예에서는, 액세스 커맨드(액세스 요구)가 제2 시각 TIME2 후에 공급된다{도 36(a)}.

우선, 로우 제어 신호 RASZ에 동기하여 워드선 제어 신호 TWZ(워드선 WL) 및 감지 증폭기 활성화 신호 LEZ가 순차적으로 출력되고, 리프래시 동작이 시작된다{도 35(b)}. 또한, 도 34와 마찬가지로 리프래시 개시 신호 REFPZ에 응답하여 로우 제어 신호 RASZ, 워드선 온 신호 WONZ, WONBZ, WONDZ가 순차적으로 출력된다{도 34(c), (d), (e), (f)}. 워드선 온 신호 WONDZ에 응답하여 워드선 온 펄스 신호 WONDZ가 출력된다{도 36(g)}.

도 32에 도시된 프리차지 생성 회로(158h)는 워드선 온 펄스 신호 WONDZ에 동기하여 프리차지 신호 PREPZ를 출력한다{도 36(h)}. 프리차지 신호 PREPZ의 출력에 의해 로우 제어 신호 RASZ는 저레벨로 변화된다{도 36(i)}. 로우 제어 신호 RASZ의 저레벨로의 변화에 의해 워드선 WL은 비활성화되고, 감지 증폭기 활성화 신호 LEZ는 비활성화된다{도 36(j)}. 그리고, 비트선 BL, /BL이 프리차지되고, 리프래시 동작은 종료한다.

이와 같이, 액세스 개시 신호 CMDPZ가 제2 시각 TIME2 후에 출력될 때, 리프래시 동작은 제2 시각 TIME2에 동기하여 종료한다. 즉, 제1 및 제2 쇼트 리프래시 동작보다 동작 시간이 긴 통상 리프래시 동작이 실행된다.

또, 제1 및 제2 쇼트 리프래시 동작에 의해 메모리 셀 MC에 재기록되는 데이터의 유지 시간은 30 ms 이상이 된다. 통상 리프래시 동작에 의해 메모리 셀 MC에 재기록되는 데이터의 유지 시간은 300 ms 이상이 된다.

도 37은 액세스 요구와 리프래시 요구가 경합할 때의 액세스 시간을 나타내고 있다. 도면 중, ■표 및 ●표는 본 실시 형태의 적용전의 액세스 시간을 나타내고, △표는 본 실시 형태에서의 액세스 시간을 나타내고 있다.

도면 중의 1점 쇄선(REF)은 리프래시 요구가 발생하는 시각을 나타내고 있다. 1점 쇄선으로부터 좌측 영역은 액세스 요구가 리프래시 요구보다 빠른 것을 나타내고, 1점 쇄선으로부터 우측 영역은 액세스 요구가 리프래시 요구보다 느린 것을 나타내고 있다.

■표는 리프래시 동작이 액세스 동작에 대하여 우선될 때, 액세스 동작이 항상 리프래시 동작에서부터 소정 시간 후에 시작되는 의사 SRAM을 나타내고 있다. 이 경우, 리프래시 요구 직후에 액세스 요구가 있을 때, 액세스 시간이 최대가 된다{도 37(a)}.

●표는 액세스 요구가 리프래시 요구의 직후에 공급될 때, 동작 기간이 짧은 쇼트 리프래시 동작(동작 시간 고정)을 실행하고, 액세스 요구가 리프래시 요구후 잠시동안 공급될 때, 동작 기간이 긴 통상 리프래시 동작(동작 시간 고정)을 실행하는 의사 SRAM을 나타내고 있다. 이 의사 SRAM에서는, 2개의 지연 회로의 한쪽 패스를 사용함으로써, 리프래시 동작의 종료 시각을 전환하고 있다. 이 경우, 액세스 시간의 피크는 지연 회로의 전환 시각에 일치한다. 또한, 액세스 시간의 점프가 지연 회로의 지연 시간(양자화 오차)에 대응하여 생긴다. 도면 중의 좌측 피크는 쇼트 리프래시 동작이 우선하여 실행되는 경우를 나타내고{도 37(b)}, 도면 중의 우측 피크는 통상 리프래시 동작이 우선하여 실행되는 경우를 나타낸다{도 37(c)}. 또, 3개 이상의 지연 회로에 의해 리프래시 동작을 전환하는 경우, 지연 회로의 수와 동일한 수의 피크가 생긴다. 이 때, 액세스 시간의 최대치를 작게 하는 것이 가능하지만, 지연 회로의 전환 제어는 복잡해진다. 또한, 지연 회로의 지연 시간에 대응하는 액세스 시간의 점프가 생긴다. 즉, 액세스 시간의 특성은 톱니와 같이 된다.

한편, 본 실시 형태의 의사 SRAM에서는(△표), 액세스 요구가 제1 시각 TIME1보다 전에 공급될 때, 액세스 시간이 증가한다{도 37(d)}. 그러나, 그 후, 액세스 시간은 일정해진다{도 37(e)}. 이것은 제1 시각 TIME1로부터 제2 시각 TIME2에서는, 도 35에 도시한 바와 같이, 액세스 요구에 응답하여 리프래시 동작이 종료하기 때문이다. 이와 같이, 본 실시 형태에서는, 재정 회로(154)의 동작에 의한 액세스 시간의 변동이 최소한으로 된다. 액세스 시간의 점프도 1지점에서밖에 생기지 않는다.

도 38은 제7 실시 형태에 있어서의 제1 동작 모드로부터 제2 동작 모드로의 이행을 나타내고 있다. 도면 중의 수치는 리프래시 어드레스 REFAD를 나타내고 있다.

타이밍도의 시작에 있어서, 통상 리프래시 동작이 모든 메모리 셀 MC에 실행되고 있다. 제1 동작 모드 중, 내부 리프래시 요구 신호 IREFZ는 약 73 μ s마다 발생한다. 이 수치는 통상 리프래시 동작에 의해 메모리 셀 MC가 데이터를 유지할 수 있는 시간(300 ms)을 워드선 WL의 갯수(4096개)로 나눈 값이다. 제2 동작 모드 중, 내부 리프래시 요구 신호 IREFZ는 약 7.3 μ s마다 발생한다. 이 수치는 제1 또는 제2 쇼트 리프래시 동작에 의해 메모리 셀 MC가 데이터를 유지할 수 있는 시간(30 ms)을 워드선 WL의 갯수(4096개)로 나눈 값이다.

우선, 리프래시 어드레스 REFAD(="00")에 대응하는 내부 리프래시 요구 신호 IREFZ 직후에 액세스 요구에 따르는 액세스 타이밍 신호 ATDPZ가 출력된다{도 38(a)}. 이 때문에, 제1 또는 제2 쇼트 리프래시 동작(REFs)이 실행된다{도 38(b)}. 도 33에 도시한 코어 제어 회로(158)의 선착 판정 회로(160)는 워드선 온 펄스 신호 WONDZ보다 전에 공급되는 프리차지 신호 PREPZ에 응답하여 쇼트 신호 SHRTZ를 고레벨로 변화시킨다{도 38(c)}.

액세스 요구에 응답하는 액세스 동작(R/W)이 리프래시 동작 REFs 후에 실행된다{도 38(d)}. 여기서, 액세스 동작은 판독 동작 또는 기록 동작이다.

도 31에 도시한 재요구 타이머(156)는 제1 동작 모드 중(SFLGZ=저레벨)에 활성화되고 있다. 재요구 타이머(156)는 제1 또는 제2 쇼트 리프래시 동작을 도시하는 리프래시 개시 신호 REFPZ에 응답하여 재요구 신호 RREQZ를 출력한다{도 38(e)}. 그리고, 액세스 동작 후에, 리프래시 어드레스 "00"에 대한 리프래시 동작이 재차 시작된다.

리프래시 동작의 개시와 거의 같은 시각에 다음 액세스 요구가 공급된다{도 38(f)}. 이 때문에, 리프래시 동작으로서 제2 쇼트 리프래시 동작이 실행된다{도 38(g)}. 통상 리프래시 동작을 실행할 수 없기 때문에, 재요구 타이머(156)는 재요구 신호 RREQZ를 다시 출력한다{도 38(h)}. 이 후, 재요구 신호 RREQZ에 응답하는 제1 또는 제2 리프래시 동작이 반복된다.

리프래시 어드레스 "00"에 대한 통상 리프래시 동작이 실행되기 전에, 리프래시 어드레스 "01"에 대한 다음 내부 리프래시 요구 신호 IREFZ가 발생한다{도 38(i)}. 선착 판정 회로(160)는 내부 리프래시 요구 신호 IREFZ에 동기하여 쇼트 플래그 신호 SFLGZ를 고레벨로 변화시킨다{도 38(j)}. 쇼트 플래그 신호 SFLGZ의 고레벨로의 변화에 의해 의사 SRAM은 제1 동작 모드로부터 제2 동작 모드로 이행한다.

이와 같이, 의사 SRAM은 제1 동작 모드 중에 액세스 요구가 빈번히 공급되어 통상 리프래시 동작을 실행할 수 없을 때, 제2 동작 모드로 이행한다. 제2 동작 모드로의 이행의 판단은 내부 리프래시 요구 신호 IREFZ의 공급 간격(약 72 μ s)만큼 대기된다. 이 사이에, 액세스 요구가 중단되고, 통상 리프래시 동작이 실행되면, 의사 SRAM은 제2 동작 모드로 이행하지 않는다. 제2 동작 모드는 리프래시 요구 간격이 짧고, 소비 전력은 제1 동작 모드에 비하여 크다. 리프래시 요구의 1 주기 동안, 제2 동작 모드로의 이행의 판단을 대기함으로써 제2 동작 모드로의 불필요한 이행은 방지되고, 소비 전력의 증가가 방지된다.

도 31에 도시한 분주 전환 회로(150)는 고레벨의 쇼트 플래그 신호 SFLGZ를 받아 퓨즈 회로 FUS2를 선택한다. 퓨즈 회로 FUS2의 선택에 의해 리프래시 타이머(152)는 내부 리프래시 요구 신호 IREFZ를 약 7.3 μ s마다 출력한다. 즉, 제2 동작 모드 중에는 리프래시 요구의 발생 간격이 제1 동작 모드의 약 10분의 1이 된다.

제2 동작 모드에서는, 재요구 타이머(156)는 고레벨의 쇼트 플래그 신호 SFLGZ를 받아 비활성화된다. 이 때문에, 재요구 신호 RREQZ는 출력되지 않고{도 38(k)}, 재요구 신호 RREQZ에 응답하는 리프래시 동작은 실행되지 않는다{도 38(l)}. 제2 동작 모드 중, 리프래시 요구의 발생 간격은 줄어들기 때문에, 제1 또는 제2 리프래시 동작의 실행에 의해 메모리 셀 MC 내의 데이터는 리프래시 카운터(118)가 일주할 때까지 동안, 충분히 유지된다. 바꾸어 말하면, 재요구 신호 RREQZ에 응답하는 리프래시 동작은 필요 없게 된다. 불필요한 리프래시 동작을 금지함으로써, 소비 전력의 증가가 방지된다.

도 39는 제7 실시 형태에 있어서의 제2 동작 모드로부터 제1 동작 모드로의 이행을 나타내고 있다. 도면 중의 수치는 리프्रेस 어드레스 REFAD를 나타내고 있다.

제2 동작 모드 중에 제1 또는 제2 쇼트 리프्रेस 동작(REFs)이 실행되는 일없이, 통상 리프्रेस 동작 REF만이 실행되고, 리프्रेस 카운터(118)가 일주할 때, 코어 제어 회로(158)는 쇼트 플래그 신호 SFLGZ를 저레벨로 변화시킨다(도 39(a)).

분주 전환 회로(150)는 저레벨의 쇼트 플래그 신호 SFLGZ를 받아 퓨즈 회로 FUS1을 선택한다. 퓨즈 회로 FUS1의 선택에 의해 리프्रेस 타이머(152)는 내부 리프्रेस 요구 신호 IREFZ를 약 73 μ s마다 출력한다. 즉, 쇼트 플래그 신호 SFLGZ의 저레벨로의 변화에 의해 동작 모드는 제2 동작 모드로부터 제1 동작 모드로 되돌아가고, 리프्रेस 요구의 발생 간격은 다시 길어진다. 이와 같이, 의사 SRAM은 액세스 요구의 빈도가 낮고, 통상 리프्रेस 동작이 연속해서 실행할 수 있다고 판단했을 때, 제2 동작 모드로부터 제1 동작 모드로 이행한다. 제1 동작 모드로의 이행에 의해 소비 전력이 삭감된다.

이상, 제7 실시 형태에서는 리프्रेस 요구와 액세스 요구가 경합했을 때에, 리프्रेस 동작의 종료 시각을 고정적이지 아니라 액세스 요구의 공급 타이밍에 따라 가변으로 하였다. 이 때문에, 리프्रेस 요구와 액세스 요구가 경합했을 때에, 리프्रेस 동작후의 액세스 동작을 더욱 빠르게 시작할 수 있다. 즉, 액세스 시간을 더욱 단축할 수 있다.

구체적으로는, 액세스 요구가 제1 시각 TIME1보다 전에 공급될 때에, 리프्रेस 동작의 종료 시각은 제1 시각 TIME1로 설정된다. 이 때, 제1 쇼트 리프्रेस 동작이 실행된다. 이 때문에, 리프्रेस 동작의 종료는 항상 제1 시각 TIME1 이후가 된다. 최저한의 리프्रेस 동작 기간을 확보함으로써, 리프्रेस 동작에 의해 메모리 셀 MC 내의 데이터가 파괴되는 것을 방지할 수 있다.

액세스 요구가 제1 시각 TIME1로부터 제2 시각 TIME2 사이에 공급될 때에, 리프्रेस 동작의 종료 시각은 액세스 요구의 공급 시각으로 설정된다. 이 때, 제2 쇼트 리프्रेस 동작이 실행된다. 이 때문에, 액세스 요구의 공급 타이밍에 동기하여 리프्रेस 동작을 완료할 수 있다. 이 결과, 리프्रेस 동작후의 액세스 동작을 빠르게 개시할 수 있고, 액세스 시간을 단축할 수 있다.

액세스 요구가 제2 시각 TIME2 후에 공급될 때에, 리프्रेस 동작의 종료 시각은 제2 시각 TIME2로 설정된다. 이 때, 통상 리프्रेस 동작이 실행된다. 이 때문에, 리프्रेस 동작의 종료는 항상 제2 시각 TIME2 이전이 된다. 액세스 요구가 공급되지 않을 때에도, 리프्रेस 동작을 항상 제2 시각 TIME2에서 종료함으로써, 메모리 코어(136)의 불필요한 동작을 방지할 수 있다.

리프्रेस 동작의 종료 시각이 액세스 요구의 공급 타이밍에 따라 변화되기 때문에, 액세스 요구가 리프्रेस 요구에 대하여 서서히 어긋나도 액세스 시간은 변화하지 않는다. 이 때문에, 리프्रेस 요구와 액세스 요구의 시간차에 의해 액세스 시간이 변동되는 것(액세스 시간이 점프하는 것)을 방지할 수 있다. 액세스 시간이 변동되지 않기 때문에, 액세스 시간의 최대치(최악의 값)를 작게 할 수 있다.

제정 회로(154)에 의해 액세스 요구와 리프्रेस 요구가 경합할 때에도 액세스 동작 및 리프्रेस 동작을 확실하게 실행할 수 있다.

제1 시각 TIME1을 통지하는 워드선 온 신호 WONBZ 및 제2 시각 TIME2를 통지하는 워드선 온 신호 WONDZ를 생성하는 지연 회로(158c, 158d; 타이밍 생성 회로)를 코어 제어 회로(158)에 형성하였기 때문에, 간이한 논리 회로에 의해 액세스 요구의 공급 타이밍에 따라 리프्रेस 동작을 종료할 수 있다.

제1 동작 모드로부터 제2 동작 모드로의 이행의 판단을 다음 리프्रेस 요구가 발생할 때까지 대기함으로써 액세스 요구의 공급 빈도가 일시적으로 높아졌는지 계속해서 높은 것인지를 확실하게 판단할 수 있다. 이 때문에, 액세스 빈도에 따른 최적의 동작 모드로 이행할 수 있다. 이 결과, 제2 동작 모드로 이행하고 있는 기간을 최소한으로 할 수 있고, 리프्रेस 동작에 의한 소비 전력을 필요 최소한으로 할 수 있다. 즉, 반도체 메모리의 소비 전력을 삭감할 수 있다.

의사 SRAM은 제2 동작 모드 중에, 통상 리프्रेस 동작만이 실행되어 리프्रेस 카운터가 일주했을 때에, 액세스 요구의 빈도가 소정 기간 낮아졌다고 판단하여, 제2 동작 모드로부터 제1 동작 모드로 이행한다. 이 때문에, 액세스 요구의 빈도가 낮을 때에, 리프्रेस 요구의 빈도를 낮출 수 있고, 소비 전력을 삭감할 수 있다.

이와 같이, 액세스 요구의 빈도에 따라 리프्रेस 요구의 발생 간격을 자동적으로 조정함으로써, 리프्रेस 동작에 따르는 소비 전력을 최소한으로 할 수 있다. 즉, 의사 SRAM의 소비 전력을 삭감할 수 있다.

이상, 본 발명에 대해서 상세히 설명해 왔지만, 상기한 실시 형태 및 그 변형에는 발명의 일례에 불과하고, 본 발명은 이것에 한정되는 것이 아니다. 본 발명을 일탈하지 않는 범위에서 변형 가능한 것은 분명하다.

산업상 이용 가능성

본 발명의 반도체 메모리에서는, 제1 리프्रेस 동작 후에 제2 리프्रेस 동작이 반드시 실행되기 때문에, 제1 리프्रेस 동작에 의한 메모리 셀의 재기록이 충분하지 않아도, 그 후의 제2 리프्रेस 동작으로 충분한 신호량의 데이터가 메모리 셀에 재기록된다. 이 때문에, 액세스 요구와 리프्रेस 요구가 경합하고, 액세스 요구를 우선하는 경우에도, 메모리 셀의 데이터를 확실하게 유지할 수 있다.

본 발명의 반도체 메모리에서는, 제1 및 제2 리프्रेस 신호에 의해 스위치 회로를 동작시킴으로써, 어드레스 신호의 전환 제어를 용이하게 할 수 있다. 이 때문에, 스위치 회로를 간단하게 구성할 수 있다.

본 발명의 반도체 메모리에서는, 제1 리프्रेस 동작의 실행 시간을 최소한으로 함으로써, 액세스 동작을 보다 빠르게 시작할 수 있다.

본 발명의 반도체 메모리에서는, 제1 리프्रेस 동작의 실행 시간을 최소한으로 함으로써, 액세스 동작을 보다 빠르게 시작할 수 있다.

본 발명의 반도체 메모리에서는, 제1 및 제2 리프्रेस 동작에 있어서, 증폭 공정의 시간만을 조정함으로써, 제1 리프्रेस 동작의 실행 시간을 용이하게 최소한으로 할 수 있다. 즉, 코어 제어 회로 등의 회로를 간단하게 구성할 수 있다.

본 발명의 반도체 메모리에서는, 제1 리프्रेस 동작을 필요할 때에만 실행함으로써, 동작시의 소비 전력을 삭감할 수 있다.

본 발명의 반도체 메모리에서는, 2회의 외부 액세스 사이클 시간 동안에, 제1 및 제2 리프्रेस 동작과, 2회의 액세스 동작을 실행할 수 있다. 제1 리프्रेस 동작의 실행 시간이 짧기 때문에, 외부 액세스 사이클을 종래보다 단축할 수 있다.

본 발명의 반도체 메모리에서는, 제2 리프्रेस 동작의 실행 시간은 제2 리프्रेस 동작 및 액세스 동작을 실행하기 위한 제어 회로를 공통화할 수 있다. 이 결과, 코어 제어 회로 등의 회로 규모를 작게 할 수 있다.

본 발명의 반도체 메모리에서는 제2 리프्रेस 동작의 실행 후, 다음 액세스 동작을 실행할 때까지 타이밍 여유가 생긴다. 따라서, 코어 제어 회로 등의 동작 여유를 향상시킬 수 있어, 이들 회로의 타이밍 설계가 용이해진다.

본 발명의 반도체 메모리에서는, 시험 모드 중에 외부 시험 단자를 통해 공급되는 시험 리프्रेस 요구 신호로부터 제1 및 제2 리프्रेस 신호를 생성함으로써, 제1 리프्रेस 동작의 동작 마진을 용이하게 평가할 수 있다.

본 발명의 반도체 메모리에서는, 하나의 외부 시험 단자에 의해 제1 및 제2 리프्रेस 신호의 생성 간격을 자유자재로 설정할 수 있다.

본 발명의 반도체 메모리에서는, 검출 회로가 검출 신호를 출력함으로써, 리프्रेस 제어 회로에 의한 제1 및 제2 리프्रेस 제어 신호의 전환 타이밍을 검출할 수 있다. 즉, 반도체 메모리가 2종류의 리프्रेस 동작 기능을 가질 때에도 각각의 리프्रेस 동작이 실행되는 타이밍 조건을 평가할 수 있다. 또한, 제1 리프्रेस 제어 신호가 연속해서 발생하면 동작 불량일 일어나는 경우에도, 불량이 발생하는 타이밍을 검출 신호에 의해 확실하게 평가할 수 있다.

반도체 메모리 내에서 자동적으로 실행되는 2종류의 리프्रेस 동작을 용이하게 검출할 수 있기 때문에, 이들 리프्रेस 동작에 관련되는 반도체 메모리의 동작 특성을 간단히 수법으로 정확히 평가할 수 있다. 이 결과, 평가 시간을 단축할 수 있고, 반도체 메모리의 개발 기간을 단축할 수 있다. 즉, 개발 비용을 삭감할 수 있다. 혹은 양산하고 있는 반도체 메모리에 있어서, 제조 조건의 변동 등에 의해 불량이 발생했을 때에, 불량 해석을 신속히 실시할 수 있고, 수율의 저하 기간을 최소한으로 할 수 있다.

본 발명의 반도체 메모리에서는, 반도체 메모리의 리프्रेस 특성을 평가하기 위한 평가 장치에 의해 검출 신호를 검출할 수 있어, 리프्रेस 동작에 관련되는 반도체 메모리의 동작 특성을 정확히 평가할 수 있다.

본 발명의 반도체 메모리에서는, 반도체 메모리에 접속되는 평가 장치는 데이터 단자의 하이 임피던스 상태를 측정함으로써 검출 신호를 검출할 수 있고, 반도체 메모리의 리프्रेस 동작에 관련되는 동작 특성을 용이하게 평가할 수 있다. 또한, 데이터 단자를 외부 단자로서 사용함으로써, 데이터 단자를 시험 단자로서 검출할 수 있다. 이 때문에, 새로운 단자를 형성할 필요가 없게 되어 칩 사이즈의 증가를 방지할 수 있다.

본 발명의 반도체 메모리에서는, 원하는 타이밍을 갖는 리프्रेस 요구 및 액세스 요구를 반도체 메모리의 외부로부터 공급할 수 있기 때문에, 액세스 요구와 리프्रेस 요구의 편차(시간차)를 높은 정밀도로 제어할 수 있다. 이 결과, 반도체 메모리의 리프्रेस 동작에 관련되는 동작 특성을 상세히 평가할 수 있다.

본 발명의 반도체 메모리에서는, 통상의 동작시에 동작하는 회로를 이용하여 반도체 메모리 칩의 내부에서 원하는 타이밍을 갖는 리프्रेस 요구를 발생시킬 수 있다. 따라서, 반도체 메모리의 실제의 회로 동작과 동일한 상태에서 리프्रेस 특성을 평가할 수 있다.

본 발명의 반도체 메모리에서는, 내부 리프्रेस 요구가 액세스 요구보다 우선되는 경우에도 액세스 요구에 대응하는 액세스 동작을 빠르게 개시할 수 있다. 즉, 액세스 시간을 단축할 수 있다. 제1 리프्रेस 동작에 의한 메모리 셀의 재기록이 충분하지 않아도, 그 후의 리프्रेस 동작으로 충분한 신호량의 데이터가 메모리 셀에 재기록된다. 이 때문에, 액세스 요구와 리프्रेस 요구가 경합하여, 액세스 요구를 우선하는 경우에도, 메모리 셀의 데이터를 확실하게 유지할 수 있다.

본 발명의 반도체 메모리에서는, 제1 리프्रेस 동작의 실행 시간을 최소한으로 함으로써, 액세스 동작을 보다 빠르게 시작할 수 있다.

본 발명의 반도체 메모리에서는, 리프레시 동작의 종료 시각은 고정적이 아니라, 액세스 요구의 공급 타이밍에 따라 가변적이다. 이 때문에, 리프레시 요구와 액세스 요구가 경합했을 때에, 리프레시 동작후의 액세스 동작을 더욱 빠르게 시작할 수 있다. 즉, 액세스 시간을 더욱 단축할 수 있다. 리프레시 요구와 액세스 요구의 시간차에 의해 액세스 시간이 변동되는 것을 방지할 수 있다. 액세스 시간이 변동되지 않기 때문에, 액세스 시간의 최악의 값을 작게 할 수 있다.

본 발명의 반도체 메모리에서는, 재정 회로에 의해 액세스 요구와 리프레시 요구가 경합할 때에도 액세스 동작 및 리프레시 동작을 확실하게 실행할 수 있다.

본 발명의 반도체 메모리에서는, 타이밍 생성 회로에 의해 제1 시각 신호 및 제2 시각 신호를 생성함으로써, 간이한 논리 회로에 의해 액세스 요구의 공급 타이밍에 따라 리프레시 동작을 종료할 수 있다.

본 발명의 반도체 메모리에서는, 리프레시 동작의 종료는 항상 제1 시각 이후이기 때문에, 최저한의 리프레시 동작 기간을 확보할 수 있고, 리프레시 동작에 의해 메모리 셀 내의 데이터가 파괴되는 것을 방지할 수 있다. 또한, 리프레시 동작의 종료는 항상 제2 시각 이전이기 때문에, 액세스 요구가 공급되지 않을 때에도, 메모리 코어의 불필요한 동작을 방지할 수 있다. 이 결과, 그 후의 액세스 요구에 응답하는 액세스 동작을 신속히 시작할 수 있다. 또한, 리프레시 동작의 종료를 제1 시각에서 제2 시각 사이에 설정함으로써, 액세스 요구의 공급 타이밍에 동기하여 리프레시 동작을 완료할 수 있다. 이 결과, 리프레시 동작후의 액세스 동작을 빠르게 시작할 수 있고, 액세스 시간을 단축할 수 있다.

본 발명의 반도체 메모리에서는, 제1 동작 모드로부터 제2 동작 모드로의 이행의 판단을 소정의 기간 대기함으로써 액세스 요구의 공급 빈도가 일시적으로 높아졌는지, 계속해서 높은 것인지를 확실하게 판단할 수 있다. 이 때문에, 액세스 빈도에 따른 최적의 동작 모드로 이행할 수 있다. 이 결과, 제2 동작 모드로 이행하고 있는 기간을 최소한으로 할 수 있고, 리프레시 동작에 의한 소비 전력을 필요 최소한으로 할 수 있다. 즉, 반도체 메모리의 소비 전력을 삭감할 수 있다.

본 발명의 반도체 메모리에서는, 액세스 요구의 빈도가 소정 기간 낮아졌을 때에, 제2 동작 모드로부터 제1 동작 모드로 이행함으로써, 리프레시 요구의 빈도가 낮아져 소비 전력을 삭감할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 메모리 셀을 갖는 메모리 코어와,

커맨드 단자를 통해 공급되는 액세스 요구에 응답하여 상기 메모리 셀을 액세스하기 위한 액세스 신호를 출력하는 커맨드 제어 회로와,

상기 메모리 셀을 리프레시하기 위해서 소정의 주기로 리프레시 요구를 생성하는 리프레시 타이머와,

리프레시 동작을 시작하기 위해서 상기 리프레시 요구에 응답하여 제1 리프레시 신호를 출력하고, 상기 액세스 요구와 상기 리프레시 요구가 경합할 때에 상기 제1 리프레시 신호의 출력을 정지하며, 상기 액세스 요구에 대응하는 액세스 동작후에 상기 리프레시 요구에 응답하는 제2 리프레시 신호를 출력하는 리프레시 제어 회로와,

상기 액세스 신호에 응답하여 상기 액세스 동작을 실행하고, 상기 제1 및 제2 리프레시 신호에 응답하여 제1 및 제2 리프레시 동작을 각각 실행하는 코어 제어 회로

를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 2.

제1항에 있어서, 어드레스 단자를 통해 외부 어드레스 신호를 수신하는 외부 어드레스 입력 회로와,

상기 메모리 셀 중 리프레시하는 메모리 셀을 나타내는 리프레시 어드레스 신호를 생성하는 리프레시 카운터와,

상기 제1 및 제2 리프레시 신호의 출력에 응답하여 상기 리프레시 어드레스를 선택하고, 상기 제1 및 제2 리프레시 신호의 미출력시에 상기 외부 어드레스 신호를 선택하며, 선택한 어드레스 신호를 상기 메모리 코어에 출력하는 스위치 회로를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 3.

제1항에 있어서, 상기 제1 리프레시 동작의 실행 시간은 상기 제2 리프레시 동작의 실행 시간보다 짧은 것을 특징으로 하는 반도체 메모리.

청구항 4.

제3항에 있어서, 상기 제1 리프레시 동작의 실행 시간은 상기 제1 리프레시 동작에 의해 상기 메모리 셀에 재기록되는 데이터를 상기 제2 리프레시 동작을 실행할 때까지 잃지 않고 유지할 수 있는 신호량으로 증폭하는 시간인 것을 특징으로 하는 반도체 메모리.

청구항 5.

제1항에 있어서, 상기 메모리 코어는,

상기 메모리 셀에 각각 접속되어 있는 복수의 워드선과,

상기 메모리 셀에 접속되어 있는 비트선과,

상기 비트선에 접속되어 있는 감지 증폭기를 구비하고,

상기 제1 및 제2 리프레시 동작은,

상기 워드선 중 어느 하나의 선택에 응답하여 액세스되는 메모리 셀로부터 상기 비트선에 데이터를 판독하는 판독 공정과,

상기 비트선에 데이터가 판독된 후에 상기 감지 증폭기를 활성화하여, 상기 비트선 상의 데이터를 증폭하는 동시에, 증폭한 데이터를 액세스되어 있는 메모리 셀에 재기록하는 증폭 공정과,

상기 워드선을 비선택으로 하고, 상기 비트선을 소정의 전압으로 프리차지하는 프리차지 공정으로 구성되며,

상기 제1 및 제2 리프레시 동작에 있어서의 상기 판독 공정의 시간은 서로 같고,

상기 제1 및 제2 리프레시 동작에 있어서의 상기 프리차지 공정의 시간은 서로 같으며,

상기 제1 리프레시 동작의 상기 증폭 공정의 시간은 상기 제2 리프레시 동작의 상기 증폭 공정의 시간보다 짧은 것을 특징으로 하는 반도체 메모리.

청구항 6.

제1항에 있어서, 상기 리프레시 제어 회로는 상기 액세스 요구와 상기 리프레시 요구가 경합하지 않을 때에, 상기 제1 리프레시 신호의 출력을 마스크하고, 상기 제2 리프레시 신호만 출력하는 것을 특징으로 하는 반도체 메모리.

청구항 7.

제1항에 있어서, 상기 제1 및 제2 리프레시 동작의 실행 시간과 2회의 상기 액세스 동작의 실행 시간의 합은 상기 액세스 요구의 최소 공급 간격인 외부 액세스 사이클 시간의 2회분보다 작은 것을 특징으로 하는 반도체 메모리.

청구항 8.

제1항에 있어서, 상기 제2 리프레시 동작의 실행 시간은 상기 액세스 동작의 실행 시간과 같은 것을 특징으로 하는 반도체 메모리.

청구항 9.

제1항에 있어서, 상기 제2 리프레시 동작의 실행 시간은 상기 액세스 동작의 실행 시간보다 짧은 것을 특징으로 하는 반도체 메모리.

청구항 10.

제1항에 있어서, 시험 모드 중에, 시험 리프레시 요구 신호를 수신하는 외부 시험 단자와,

상기 외부 시험 단자에 공급되는 상기 시험 리프레시 요구 신호에 응답하여 제1 시험 리프레시 신호 및 제2 시험 리프레시 신호를 생성하고, 생성한 제1 및 제2 시험 리프레시 신호를 상기 제1 및 제2 리프레시 신호로서 순차적으로 출력하는 시험 제어 회로를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 11.

제10항에 있어서, 상기 외부 시험 단자는 시험 모드 중에, 펄스 파형을 갖는 상기 시험 리프레시 요구 신호를 수신하고,

상기 시험 제어 회로는 상기 제1 및 제2 리프레시 신호의 생성 간격을 상기 시험 리프레시 요구 신호의 펄스폭에 따라 설정하는 것을 특징으로 하는 반도체 메모리.

청구항 12.

복수의 메모리 셀, 상기 메모리 셀에 접속된 비트선 및 상기 비트선에 접속된 감지 증폭기를 갖는 메모리 코어와,

커맨드 단자를 통해 공급되는 액세스 요구에 응답하여 상기 메모리 셀을 액세스하기 위한 액세스 제어 신호를 출력하는 커맨드 제어 회로와,

소정의 주기로 내부 리프레시 요구를 생성하는 리프레시 타이머와,

상기 액세스 요구 및 상기 내부 리프레시 요구의 발생 타이밍에 따라 상기 감지 증폭기를 제1 기간 활성화하기 위한 제1 리프레시 제어 신호 및 상기 감지 증폭기를 상기 제1 기간보다 긴 제2 기간 활성화하기 위한 제2 리프레시 제어 신호 중 어느 하나를 출력하는 리프레시 제어 회로와,

상기 액세스 제어 신호에 응답하여 상기 메모리 코어에 액세스 동작을 실행시키고, 상기 제1 및 제2 리프레시 제어 신호에 응답하여 상기 메모리 코어에 제1 및 제2 리프레시 동작을 실행시키는 동작 제어 회로와,

시험 모드 중에 동작하고, 상기 제1 리프레시 제어 신호를 검출했을 때에 검출 신호를 출력하는 검출 회로

를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 13.

제12항에 있어서, 상기 검출 신호를 반도체 메모리의 외부에 출력하는 외부 단자를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 14.

제13항에 있어서, 상기 외부 단자인 데이터 단자와,

상기 메모리 셀로부터의 판독 데이터를 상기 데이터 단자에 출력하는 트라이스태이트 출력 버퍼와,

상기 시험 모드 중에, 상기 검출 신호에 응답하여 상기 판독 데이터의 상기 데이터 단자에의 출력을 금지하는 동시에 상기 데이터 단자를 하이 임피던스 상태로 설정하기 위해서, 상기 트라이스태이트 출력 버퍼를 제어하는 출력 마스크 회로를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 15.

제12항에 있어서, 상기 시험 모드 중에, 상기 리프레시 타이머로부터 출력되는 상기 내부 리프레시 요구를 마스크하고, 외부 시험 단자를 통해 공급되는 시험 리프레시 요구를 상기 내부 리프레시 요구 대신에 상기 리프레시 제어 회로에 출력하는 리프레시 선택 회로를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 16.

제12항에 있어서, 상기 리프래시 타이머는 상기 시험 모드 중에, 상기 리프래시 요구의 생성 주기를 변경하기 위한 리프래시 조정 신호를 받는 것을 특징으로 하는 반도체 메모리.

청구항 17.

제12항에 있어서, 상기 리프래시 제어 회로는 상기 액세스 요구와 상기 내부 리프래시 요구가 경합할 때에, 상기 액세스 요구에 응답하는 액세스 동작 및 상기 리프래시 요구에 응답하는 리프래시 동작의 우선순위를 결정하는 재정 회로를 구비하고,

상기 재정 회로는,

상기 액세스 요구를 상기 내부 리프래시 요구보다 우선시할 때에, 상기 액세스 제어 신호를 출력한 후에, 상기 제2 리프래시 제어 신호를 출력하며,

상기 내부 리프래시 요구를 상기 액세스 요구보다 우선시할 때에, 상기 제1 리프래시 제어 신호, 상기 액세스 제어 신호 및 상기 제2 리프래시 제어 신호를 순차적으로 출력하는 것을 특징으로 하는 반도체 메모리.

청구항 18.

제17항에 있어서, 상기 제1 리프래시 동작의 실행 시간은 상기 제1 리프래시 동작에 의해 상기 메모리 셀에 재기록되는 데이터를 상기 제2 리프래시 동작을 실행할 때까지 잃지 않고 유지할 수 있는 신호량으로 증폭하는 시간인 것을 특징으로 하는 반도체 메모리.

청구항 19.

복수의 메모리 셀을 갖는 메모리 코어와,

상기 메모리 셀을 액세스하기 위한 액세스 요구를 수신하는 외부 단자와,

소정의 주기로 리프래시 요구를 생성하는 리프래시 타이머와,

상기 액세스 요구와 상기 리프래시 요구가 경합하고, 또한 리프래시 요구가 우선될 때에, 상기 리프래시 요구에 응답하는 리프래시 동작의 종료 시각을 상기 액세스 요구의 공급 타이밍에 따라 제1 시각과 상기 제1 시각보다 느린 제2 시각 사이에 설정하는 코어 제어 회로를 구비하고 있는 것을 특징으로 하는 반도체 메모리.

청구항 20.

제19항에 있어서, 상기 코어 제어 회로는,

상기 액세스 요구의 수신 시각과 상기 리프래시 요구의 발생 시각의 차가 작을 때에, 상기 종료 시각을 빠르게 설정하고,

상기 액세스 요구의 수신 시각과 상기 리프래시 요구의 발생 시각의 차가 클 때에, 상기 종료 시각을 느리게 설정하는 것을 특징으로 하는 반도체 메모리.

청구항 21.

제19항에 있어서, 상기 액세스 요구와 상기 리프래시 요구가 경합할 때에, 상기 액세스 요구에 응답하는 액세스 동작 및 상기 리프래시 요구에 응답하는 리프래시 동작의 우선순위를 결정하는 재정 회로를 구비하고,

상기 재정 회로는,

상기 액세스 요구를 상기 리프래시 요구보다 우선시할 때에, 상기 코어 제어 회로에, 액세스 동작을 시작하기 위한 액세스 제어 신호를 출력한 후에 리프래시 동작을 시작하기 위한 리프래시 제어 신호를 출력하고,

상기 리프래시 요구를 상기 액세스 요구보다 우선시할 때에, 상기 코어 제어 회로에, 상기 리프래시 제어 신호를 출력한 후에 상기 액세스 제어 신호를 출력하며,

상기 코어 제어 회로는 상기 액세스 제어 신호 및 상기 리프레시 제어 신호에 따라 상기 액세스 동작 및 상기 리프레시 동작을 각각 실행하는 것을 특징으로 하는 반도체 메모리.

청구항 22.

제19항에 있어서, 상기 메모리 코어는 상기 메모리 셀에 각각 접속된 복수의 워드선을 구비하고,

상기 리프레시 동작의 상기 종료 시각은 상기 워드선의 비활성화 시각에 대응하는 것을 특징으로 하는 반도체 메모리.

청구항 23.

제22항에 있어서, 상기 메모리 코어는 상기 메모리 셀에 접속된 비트선과 상기 비트선에 접속된 감지 증폭기를 구비하고,

상기 리프레시 동작의 상기 종료 시각은 상기 감지 증폭기의 비활성화 시각에 대응하는 것을 특징으로 하는 반도체 메모리.

청구항 24.

제19항에 있어서, 상기 코어 제어 회로는 상기 제1 시각을 통지하는 제1 시각 신호, 상기 제2 시각을 통지하는 제2 시각 신호를 생성하는 타이밍 생성 회로를 구비하고,

상기 코어 제어 회로는 상기 종료 시각을 상기 제1 및 제2 시각 신호의 생성 타이밍에 대한 상기 액세스 요구의 공급 타이밍에 따라 설정하는 것을 특징으로 하는 반도체 메모리.

청구항 25.

제19항에 있어서, 상기 코어 제어 회로는,

상기 액세스 요구가 상기 제1 시각보다 전에 공급될 때에, 상기 종료 시각을 상기 제1 시각으로 설정함으로써 상기 메모리 코어에 제1 쇼트 리프레시 동작을 실행시키고,

상기 액세스 요구가 상기 제1 시각에서 상기 제2 시각 사이에 공급될 때에, 상기 종료 시각을 상기 액세스 요구의 공급 시각으로 설정함으로써 상기 메모리 코어에 제2 쇼트 리프레시 동작을 실행시키며,

상기 액세스 요구가 상기 제2 시각 후에 공급될 때에, 상기 종료 시각을 상기 제2 시각으로 설정함으로써 상기 메모리 코어에 통상 리프레시 동작을 실행시키는 것을 특징으로 하는 반도체 메모리.

청구항 26.

제19항에 있어서, 상기 메모리 코어는 상기 메모리 셀에 접속된 복수의 워드선을 구비하고,

반도체 메모리는 상기 리프레시 타이머가 출력하는 상기 리프레시 요구의 생성 간격이 긴 제1 동작 모드와, 상기 리프레시 요구의 생성 간격이 짧은 제2 동작 모드를 가지며,

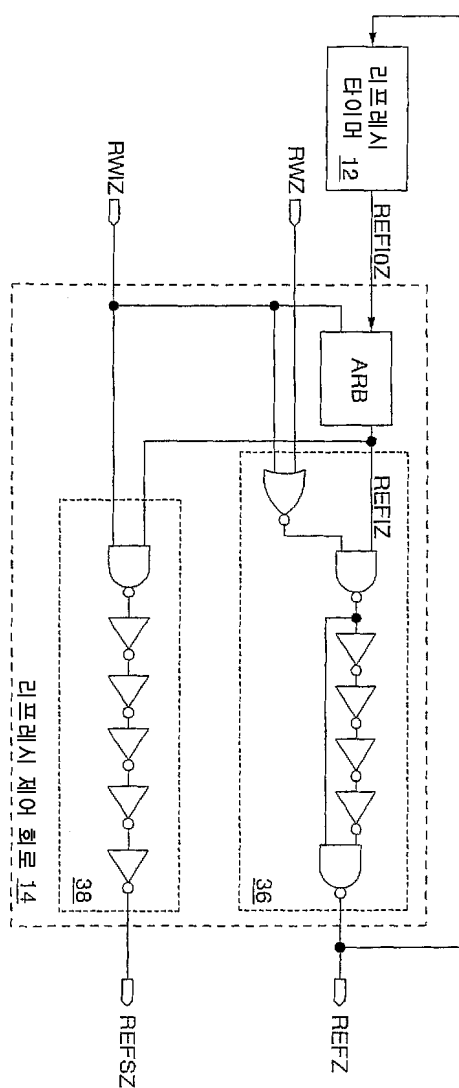
상기 리프레시 요구에 대응하여 상기 워드선의 하나가 선택되고,

상기 제1 동작 모드 중에, 상기 리프레시 요구에 대응하여 상기 제1 또는 제2 쇼트 리프레시 동작이 실행될 때, 이 제1 또는 제2 쇼트 리프레시 동작 후에, 선택된 워드선에 대하여 상기 통상 리프레시 동작을 시도하며,

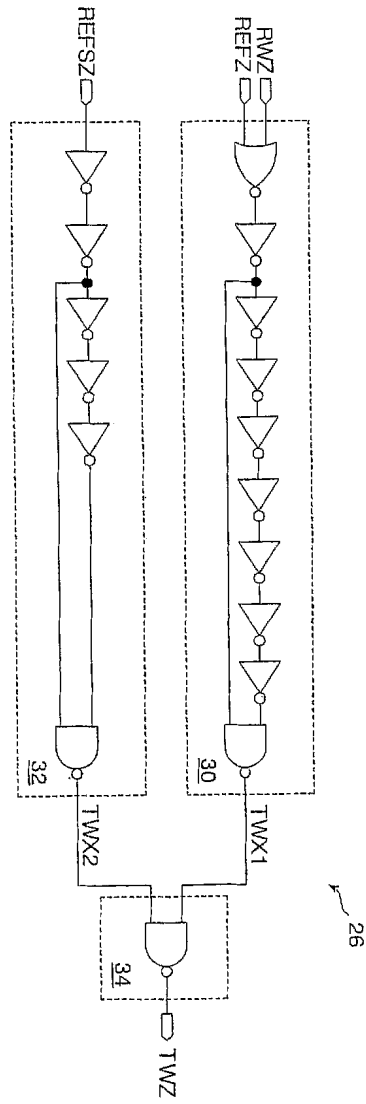
다음 리프레시 요구가 발생할 때까지, 상기 액세스 요구가 우선되고, 상기 선택된 워드선에 대한 상기 통상 리프레시 동작을 실행할 수 없을 때에, 상기 제2 동작 모드로 이행하는 것을 특징으로 하는 반도체 메모리.

청구항 27.

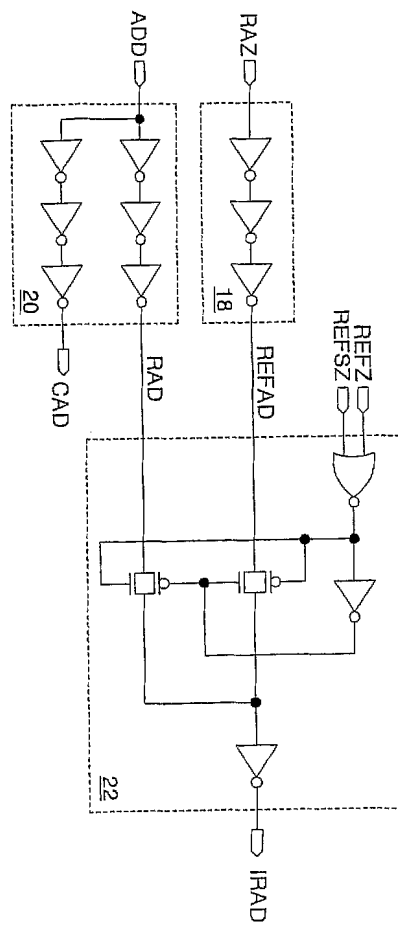
도면2



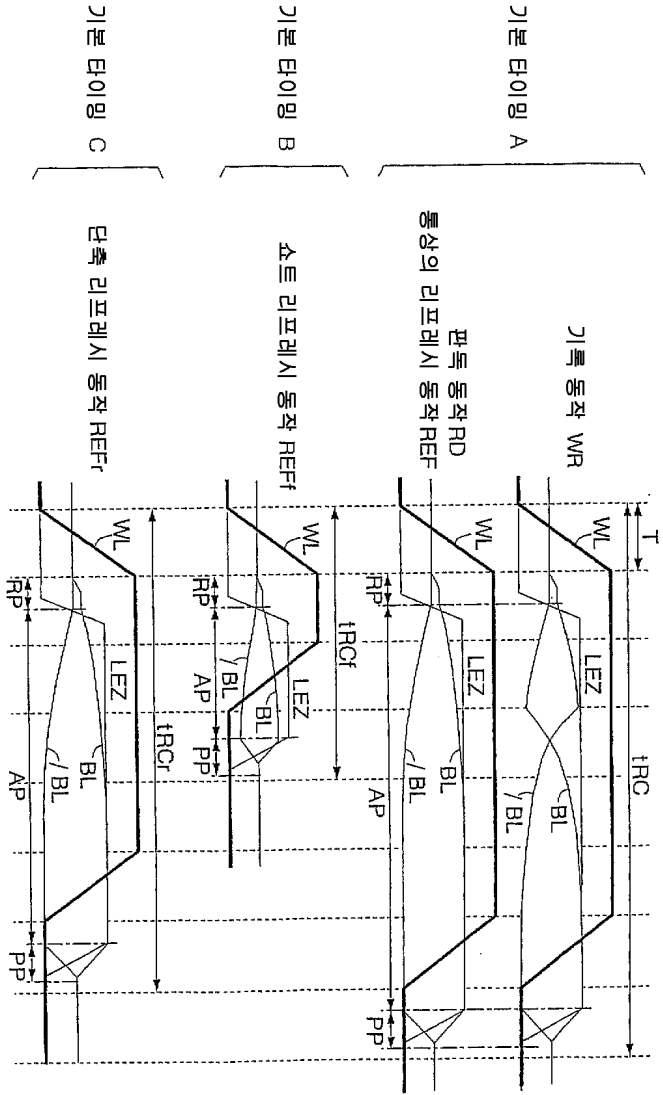
도면3



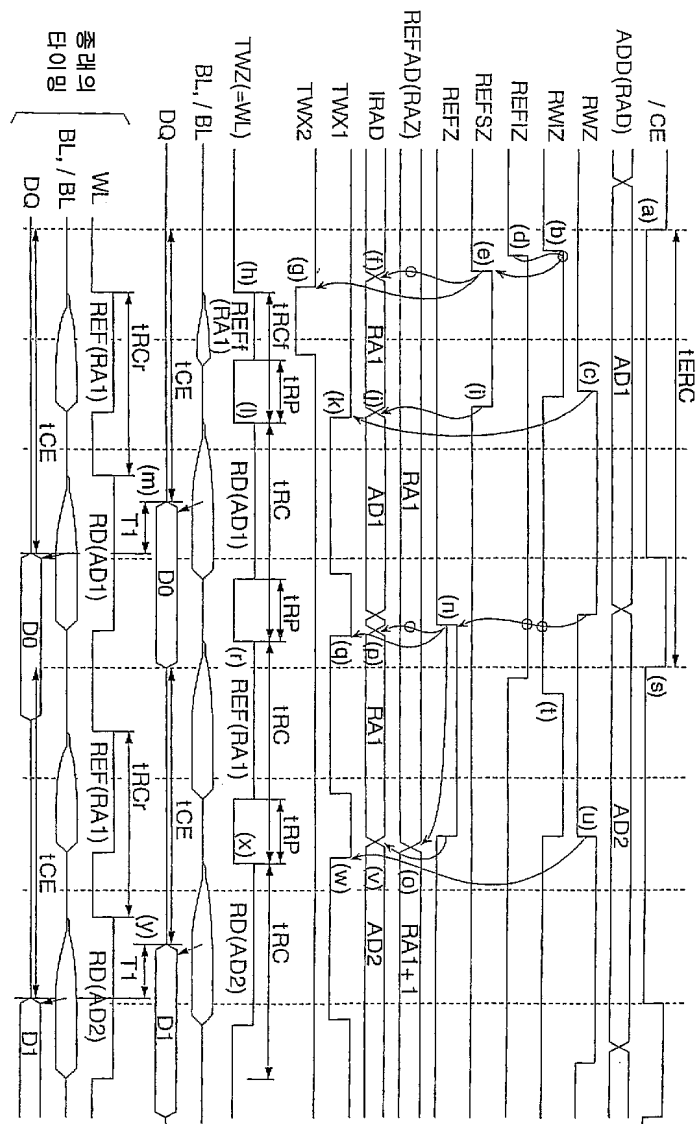
도면4



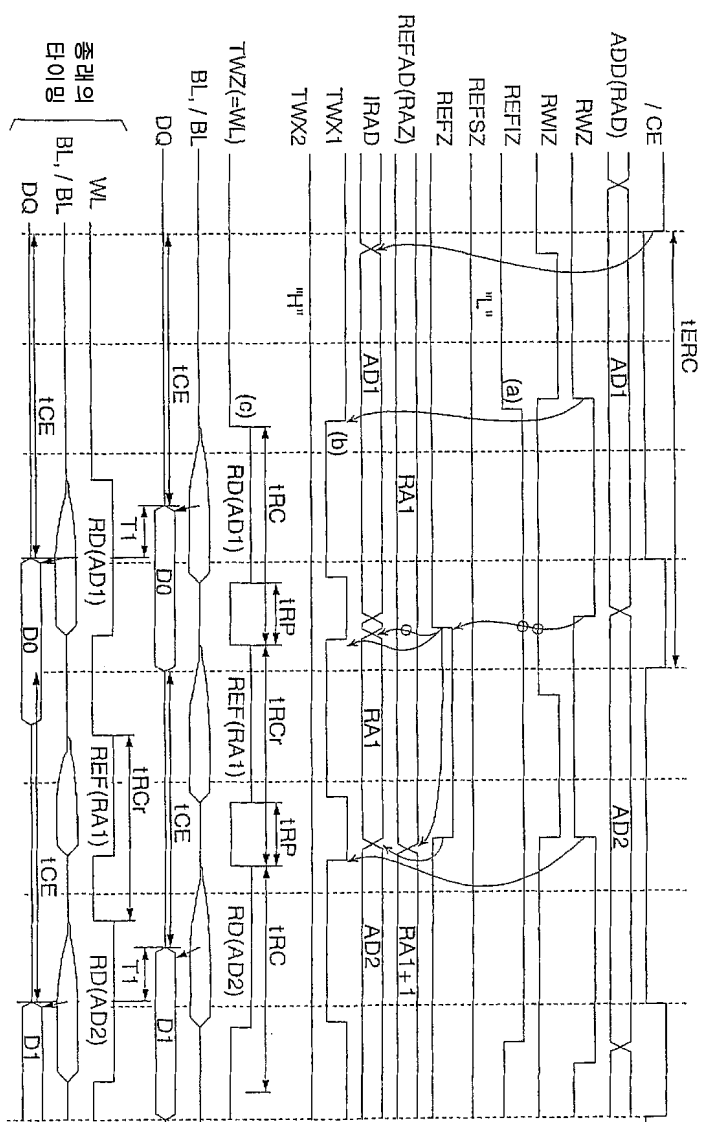
도면5



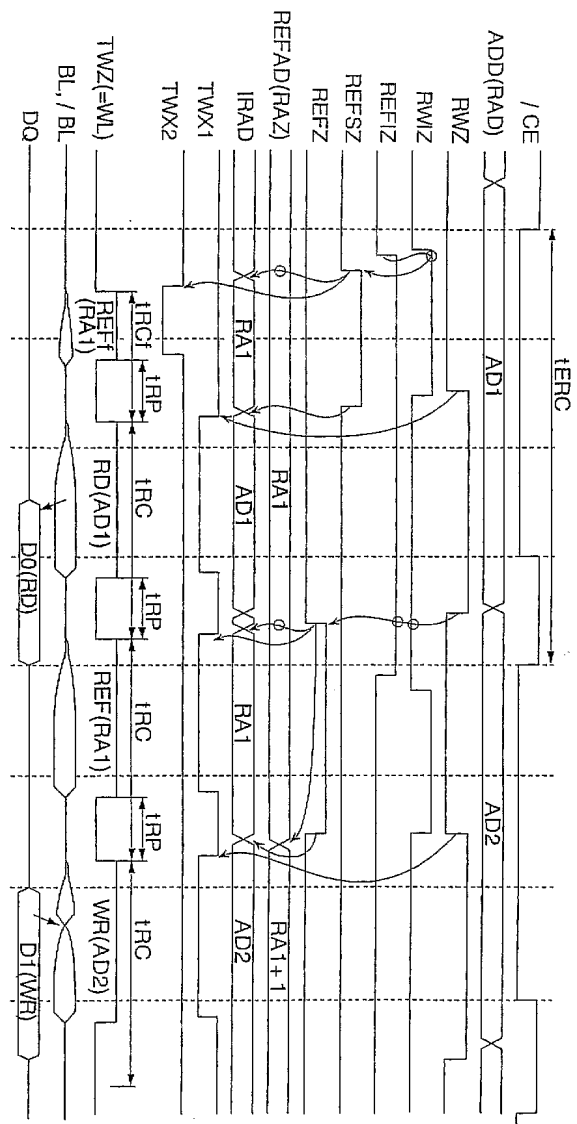
도면6



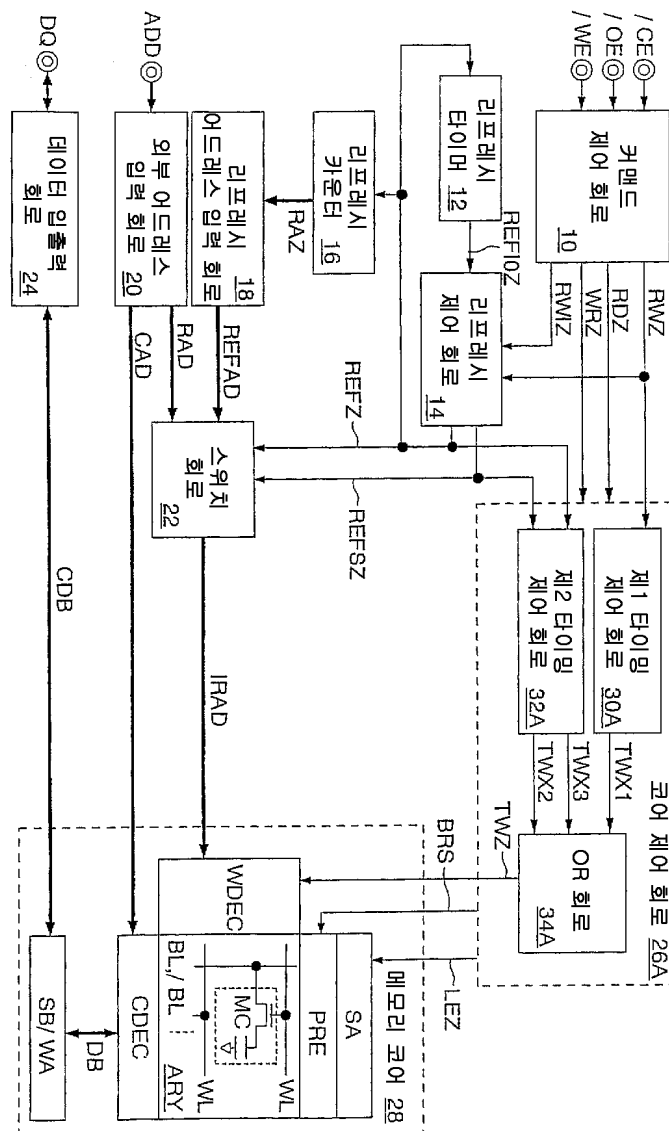
도면7



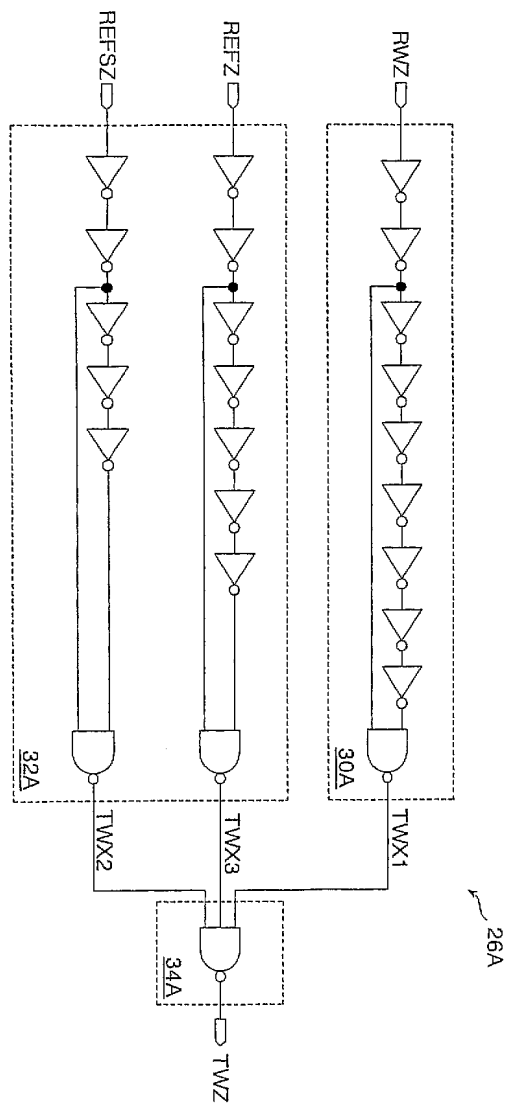
도면8



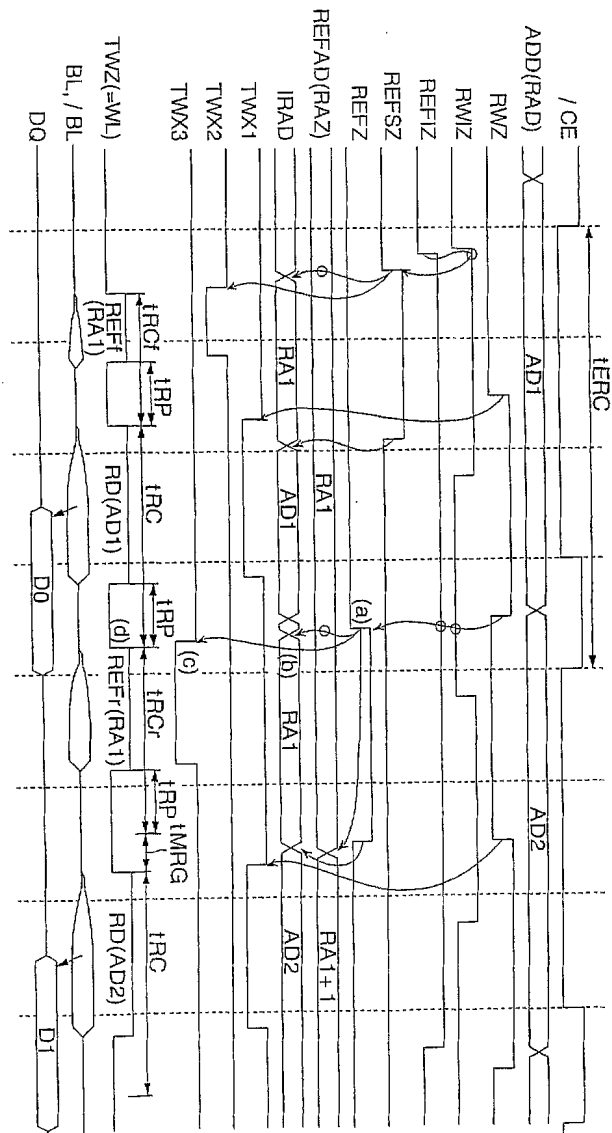
도면9



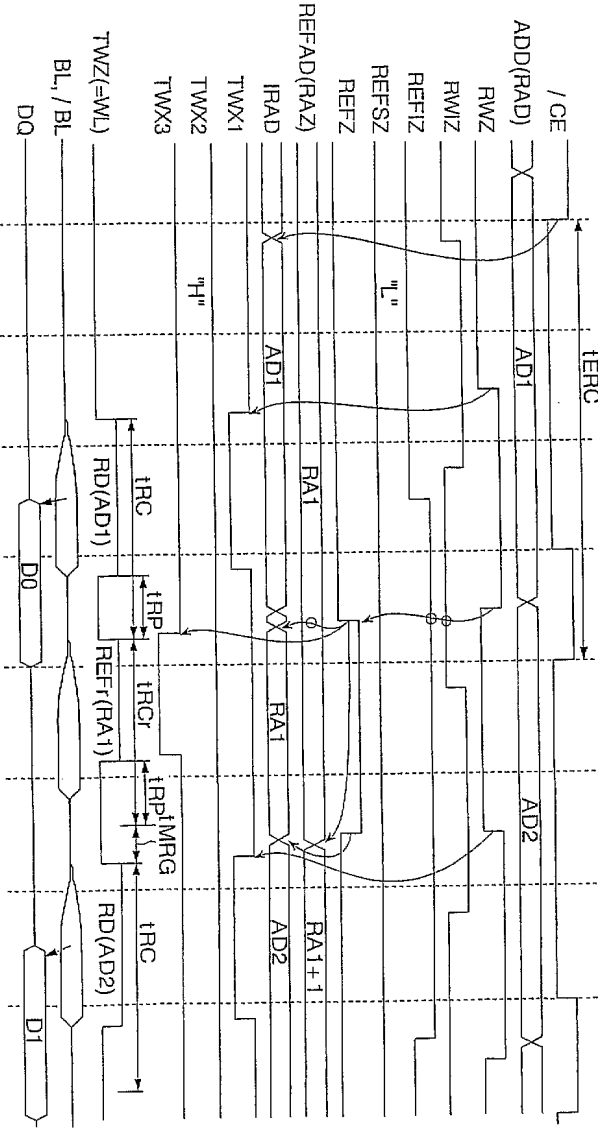
도면10



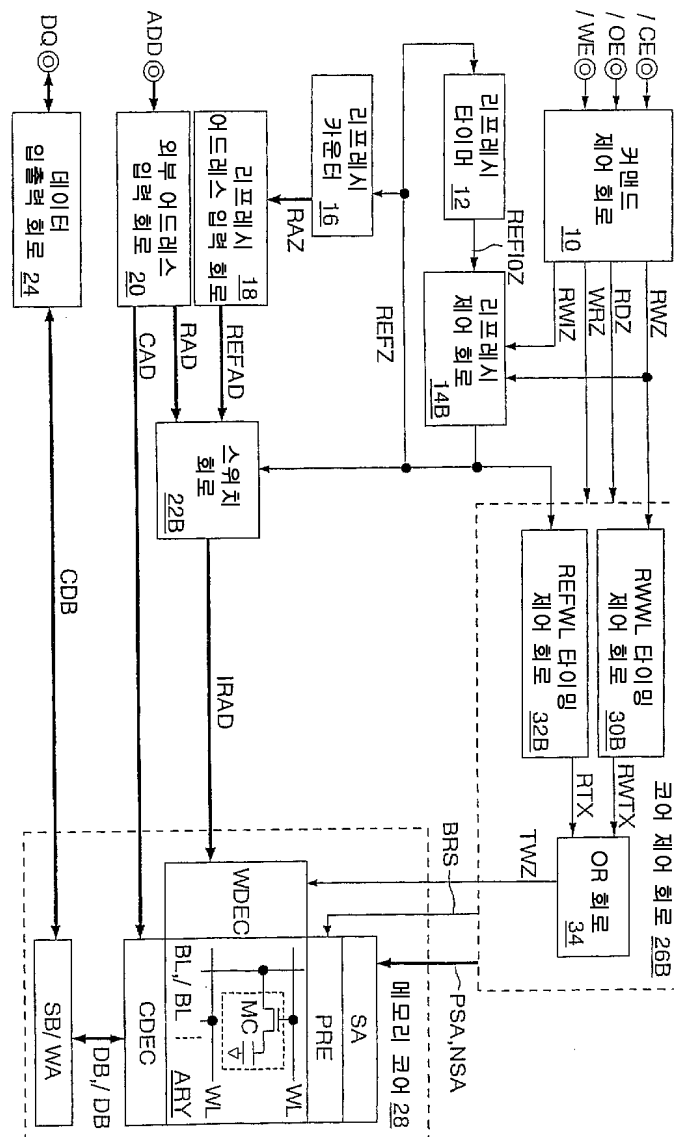
도면11



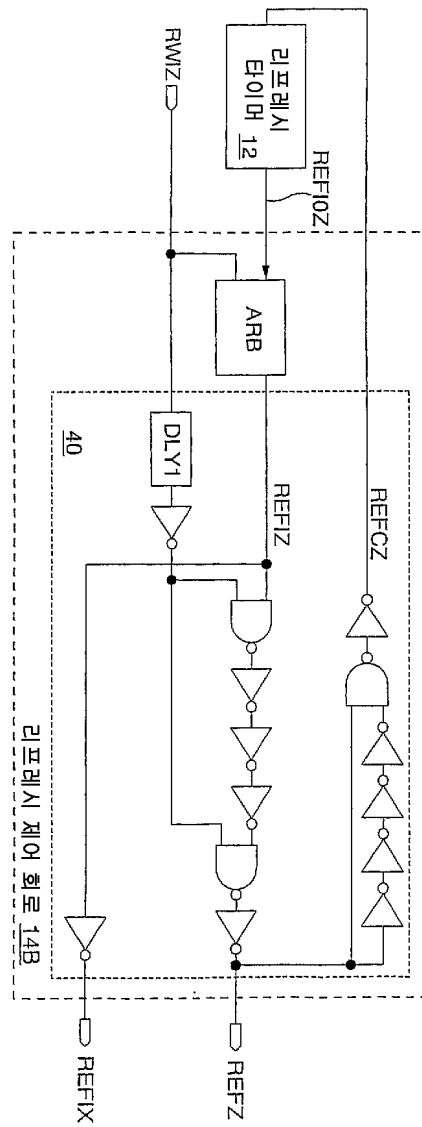
도면12



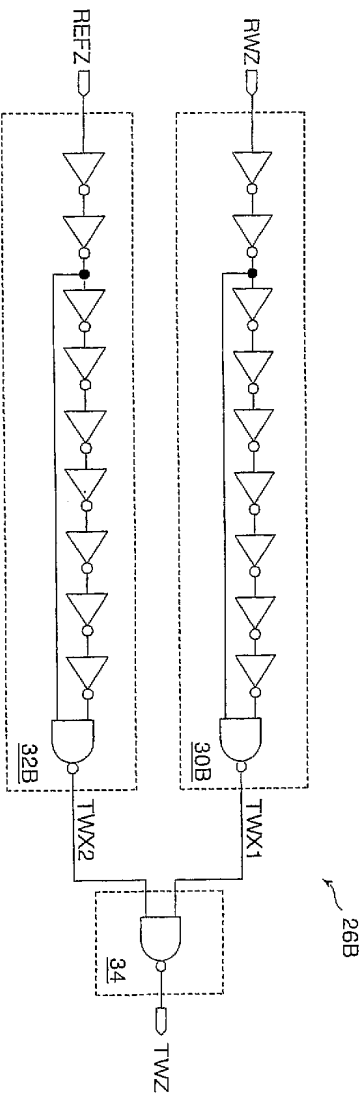
도면13



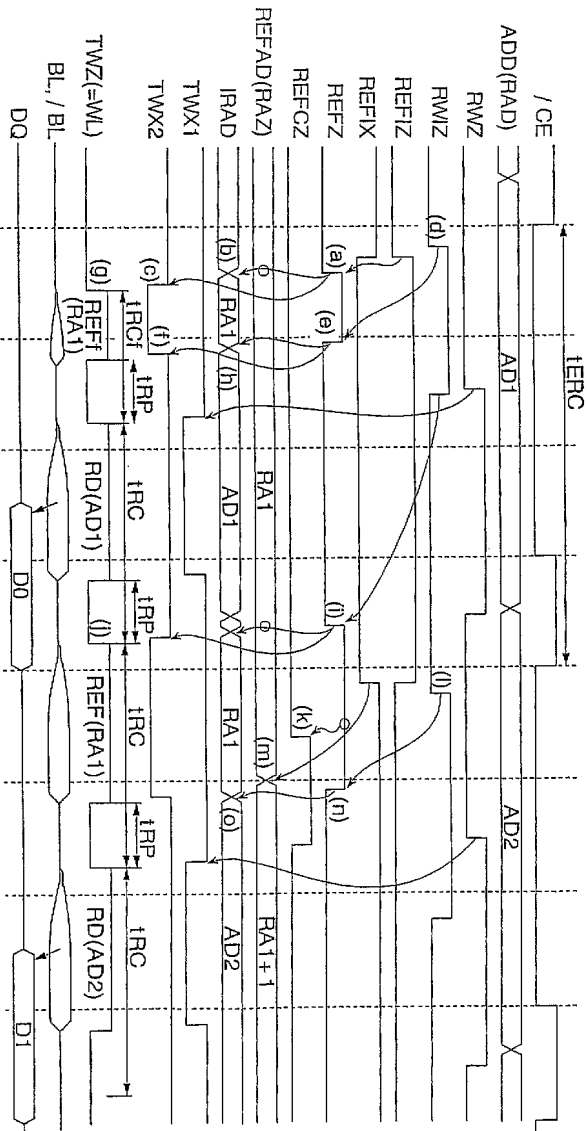
도면14



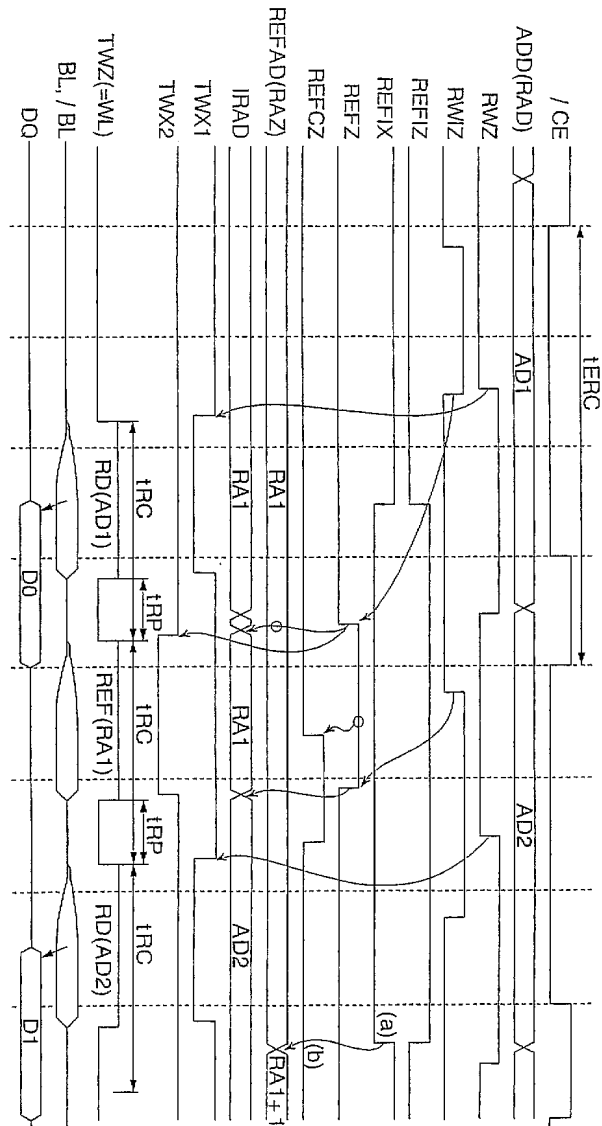
도면15



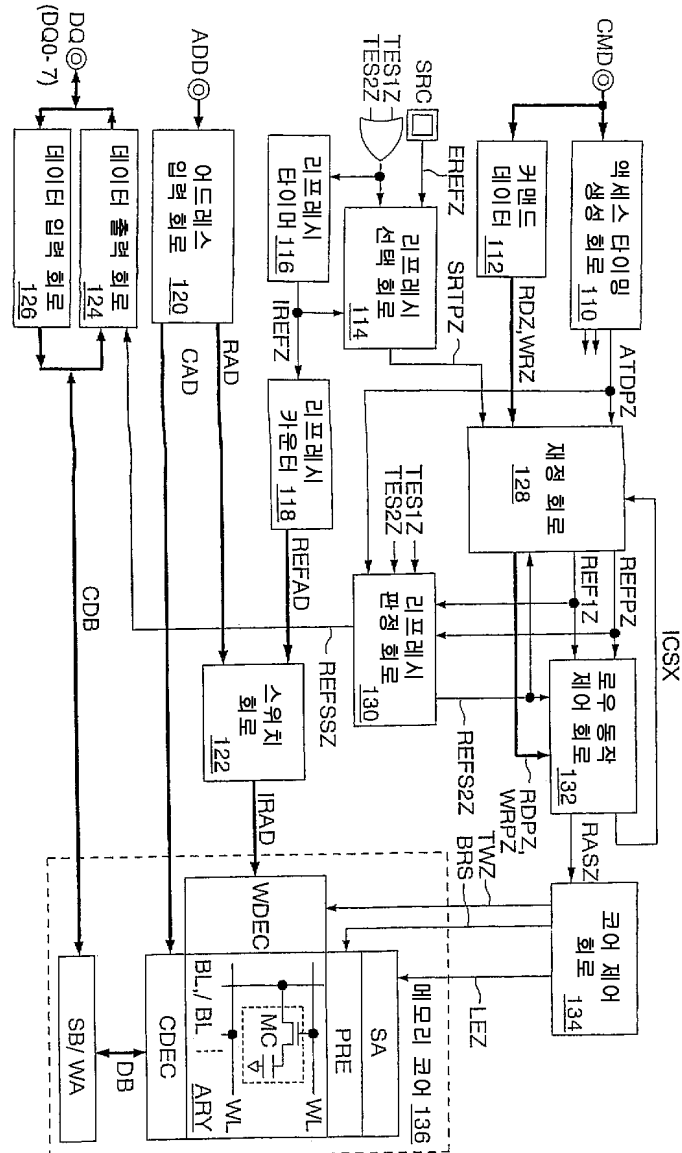
도면16



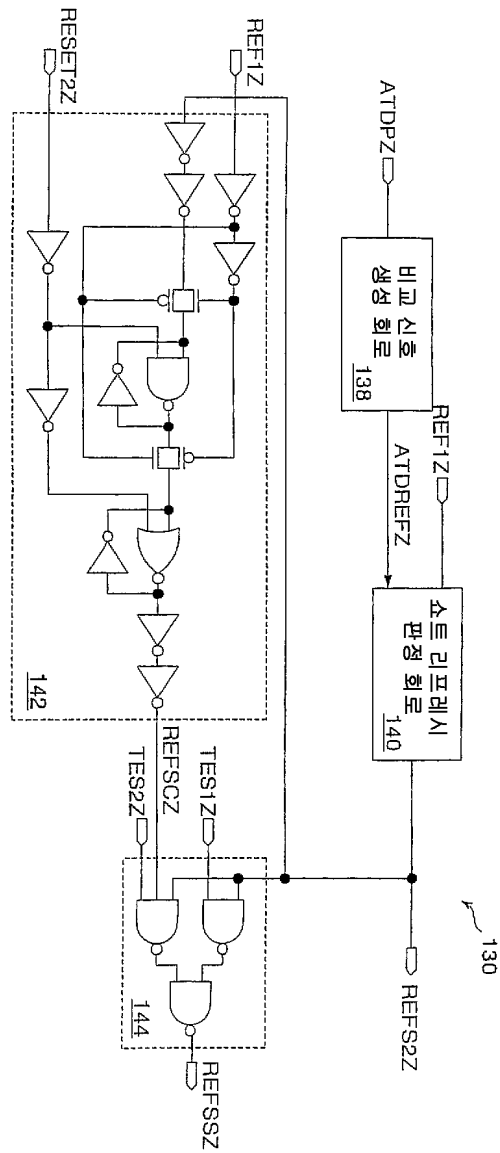
도면17



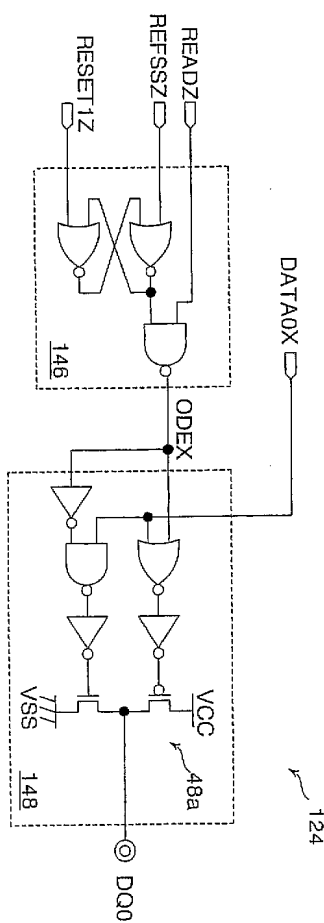
도면18



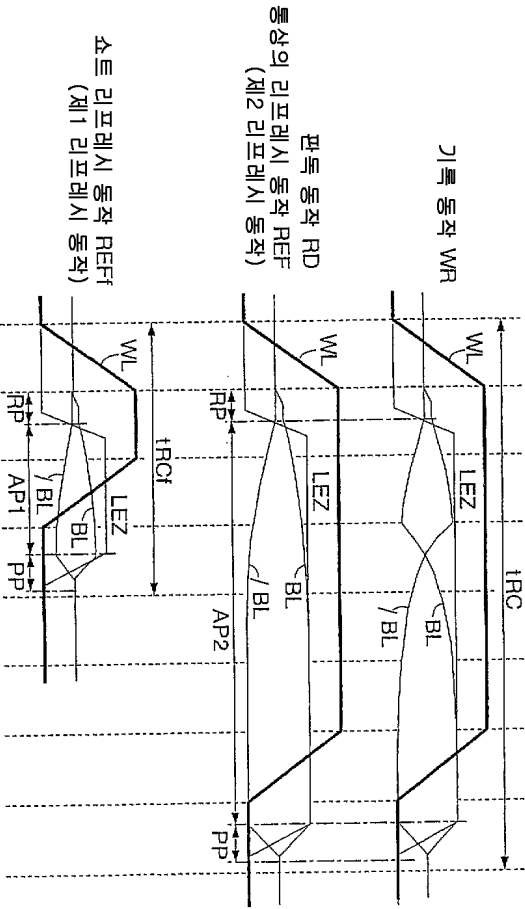
도면19



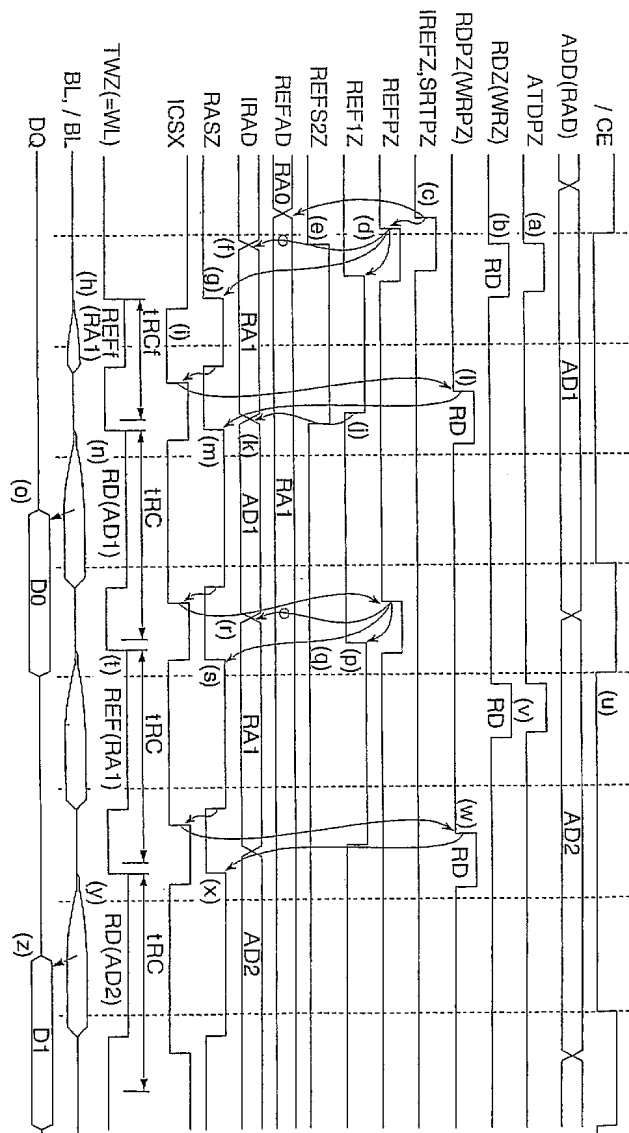
도면20



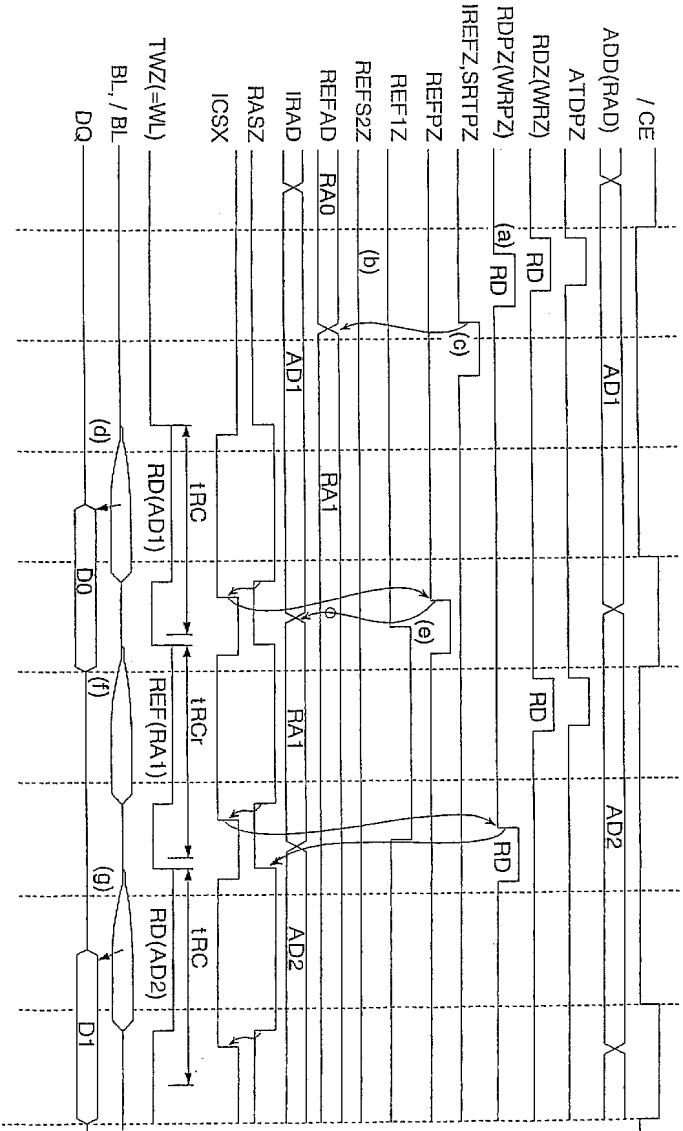
도면21



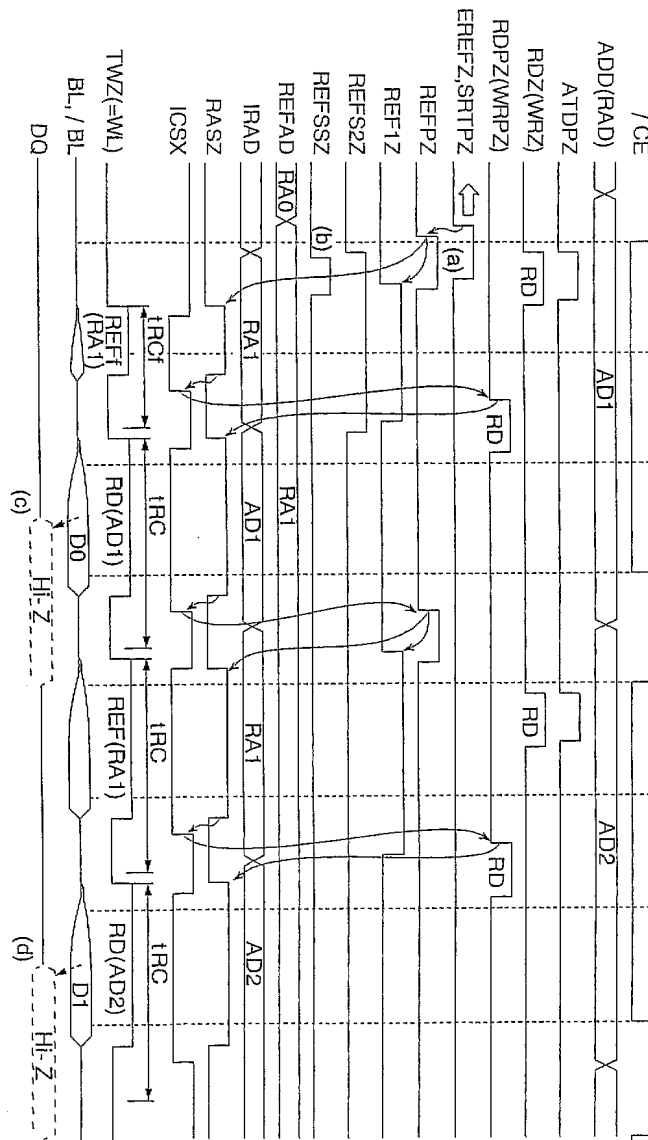
도면22



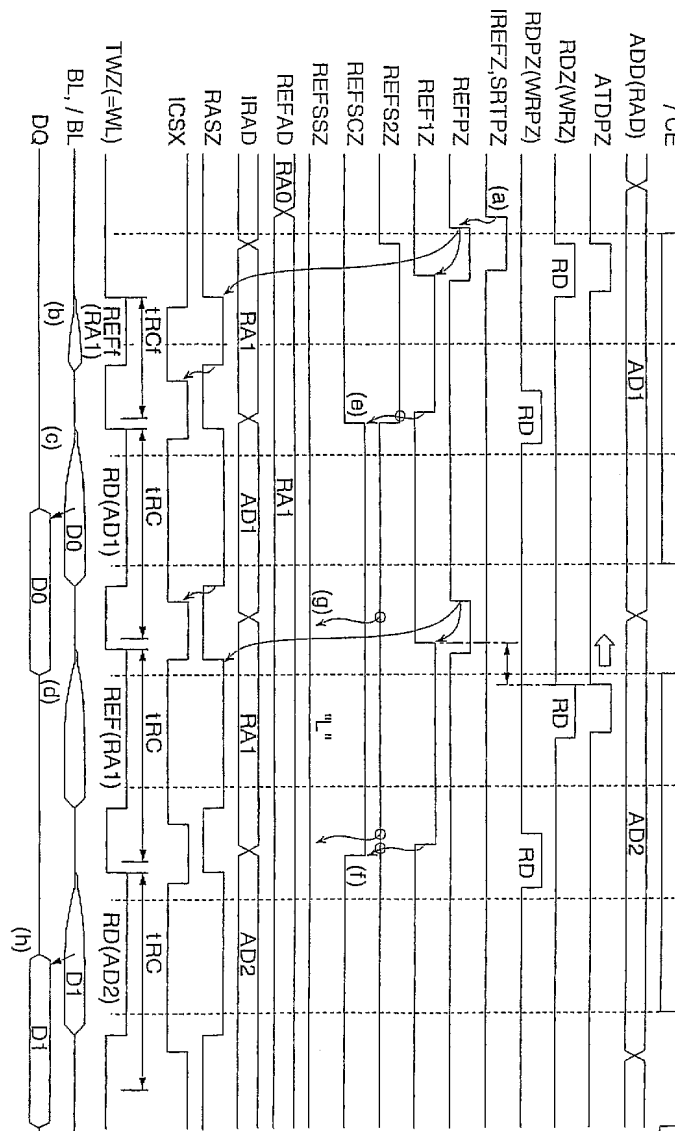
도면24



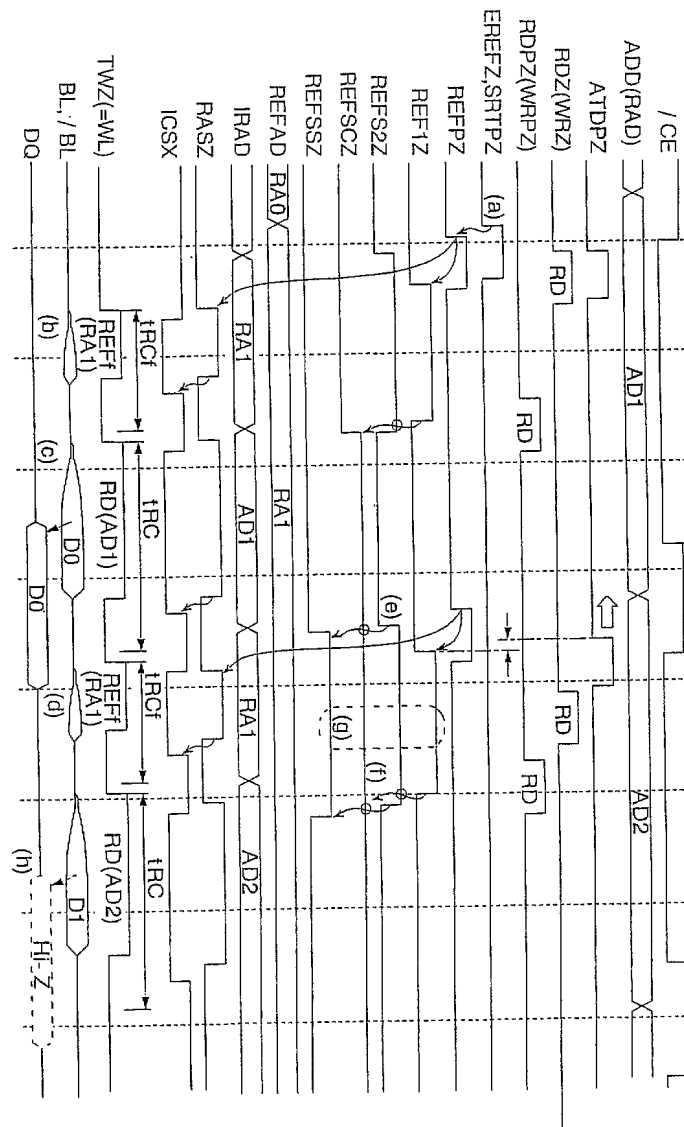
도면25



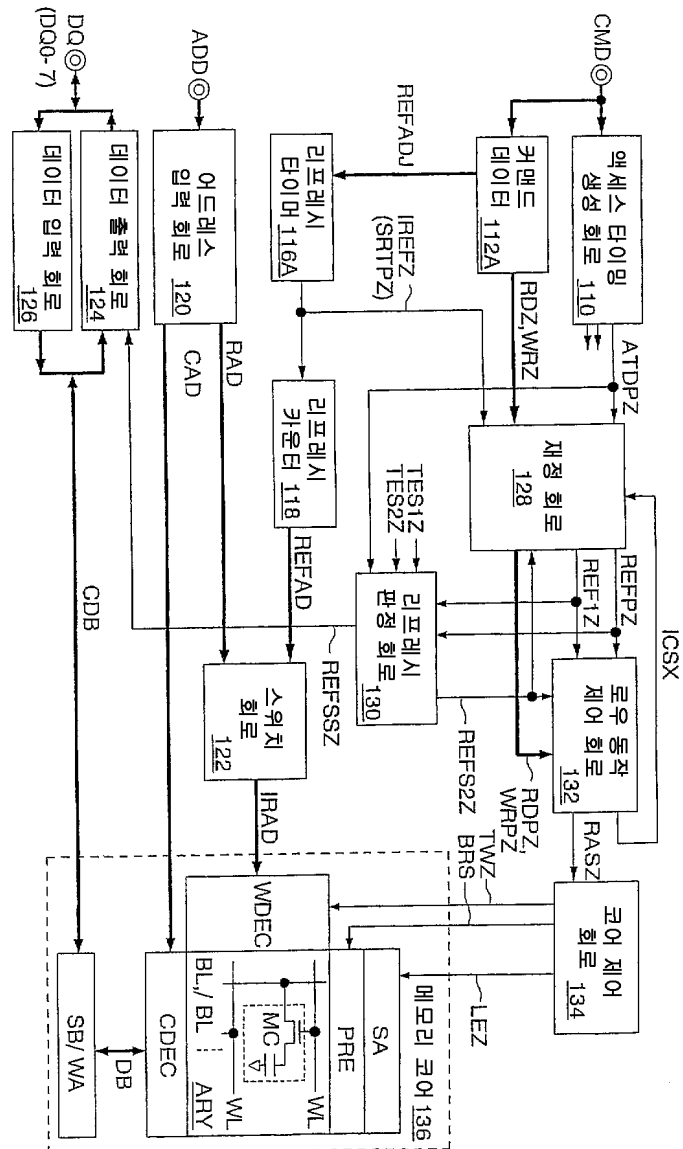
도면26



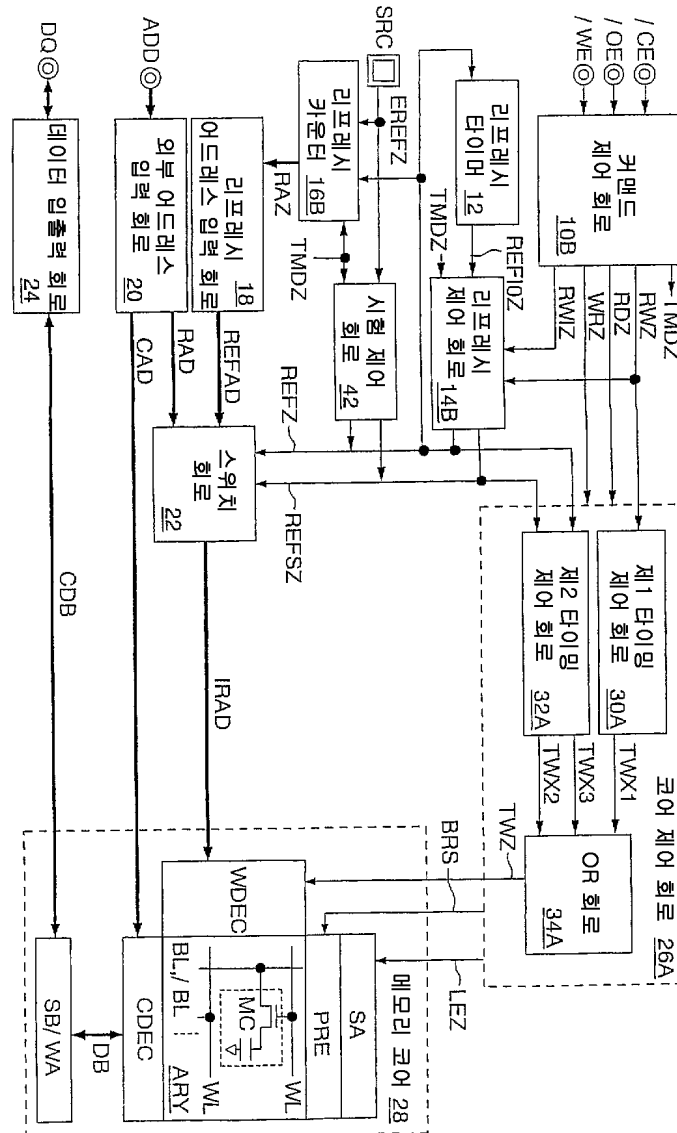
도면27



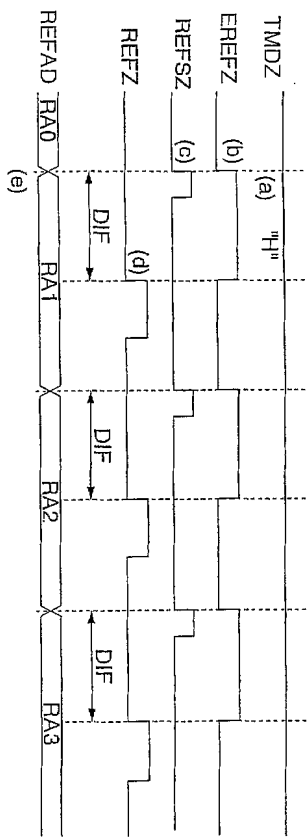
도면28



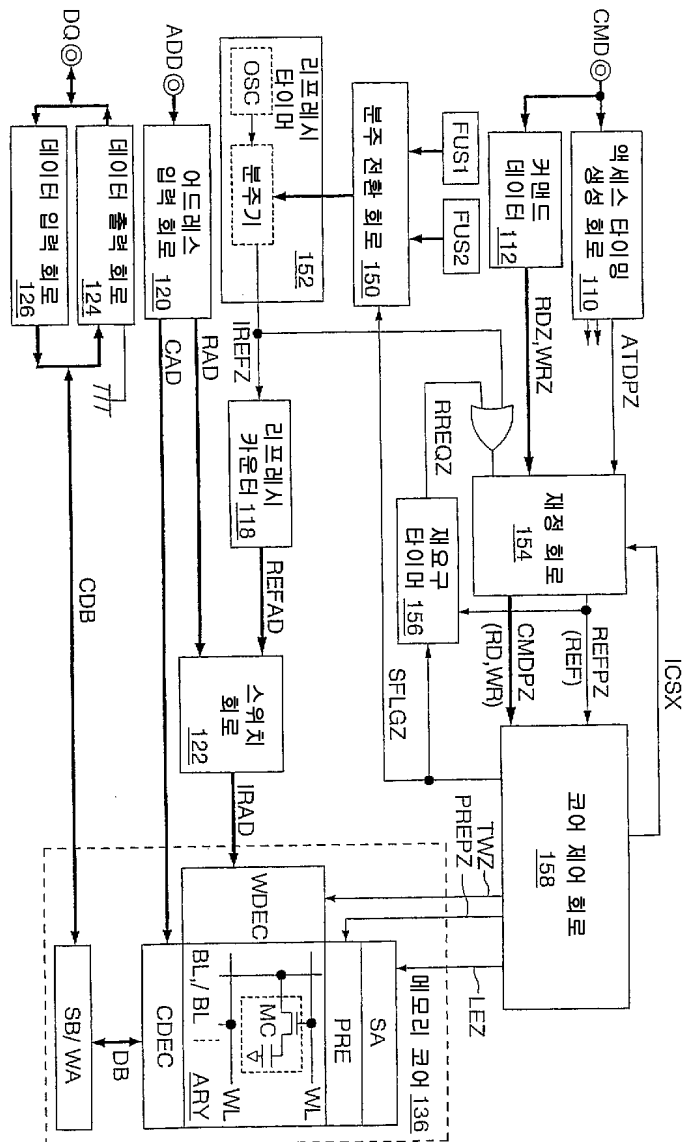
도면29



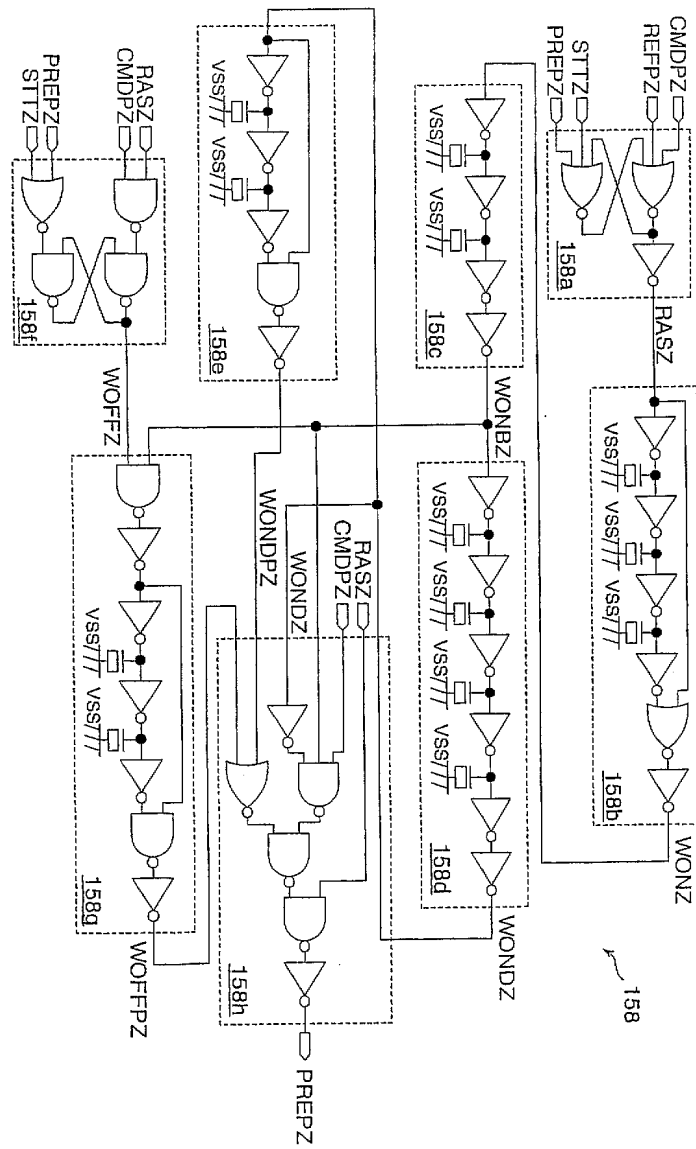
도면30



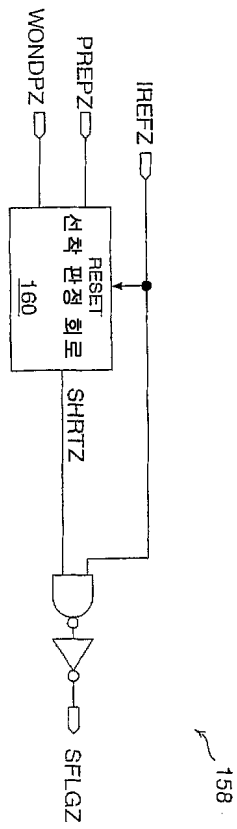
도면31



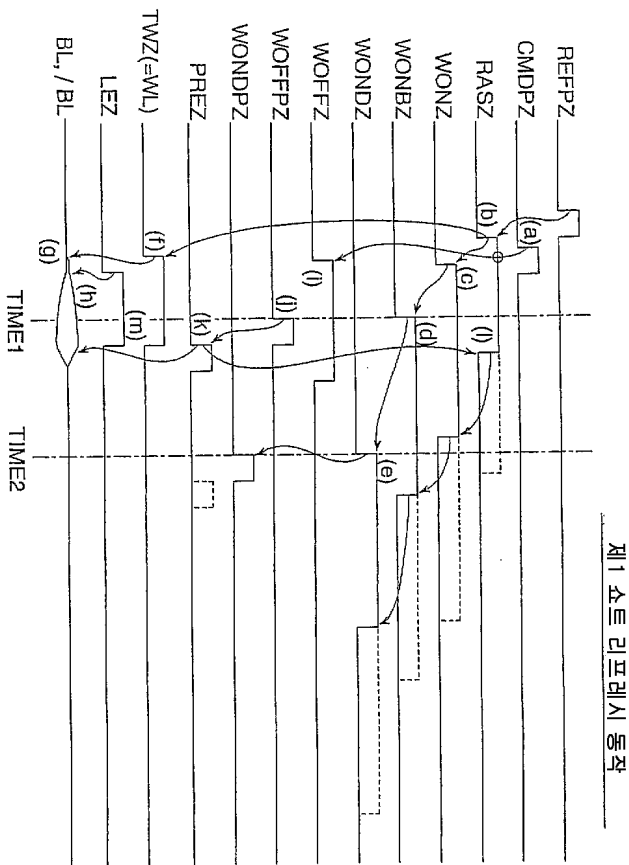
도면32



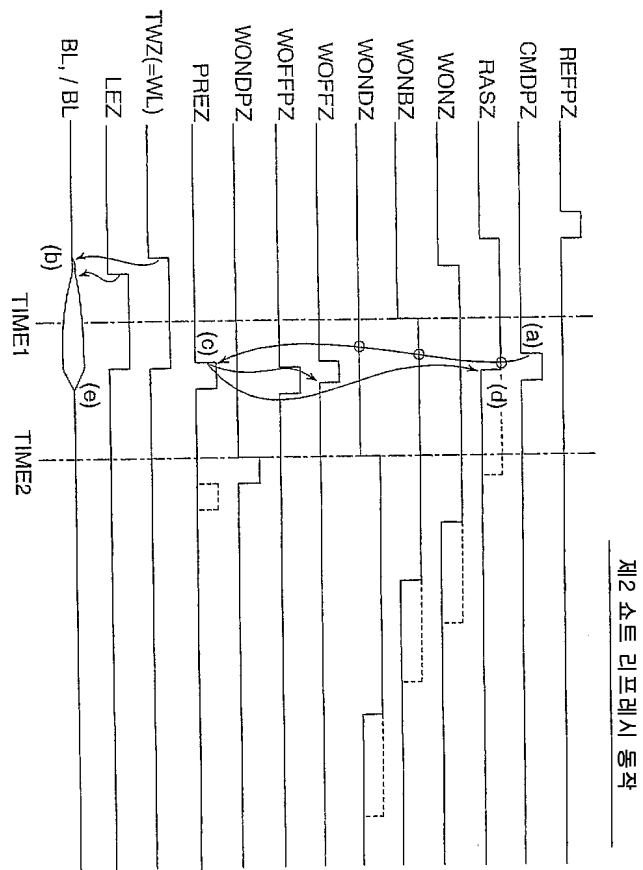
도면33



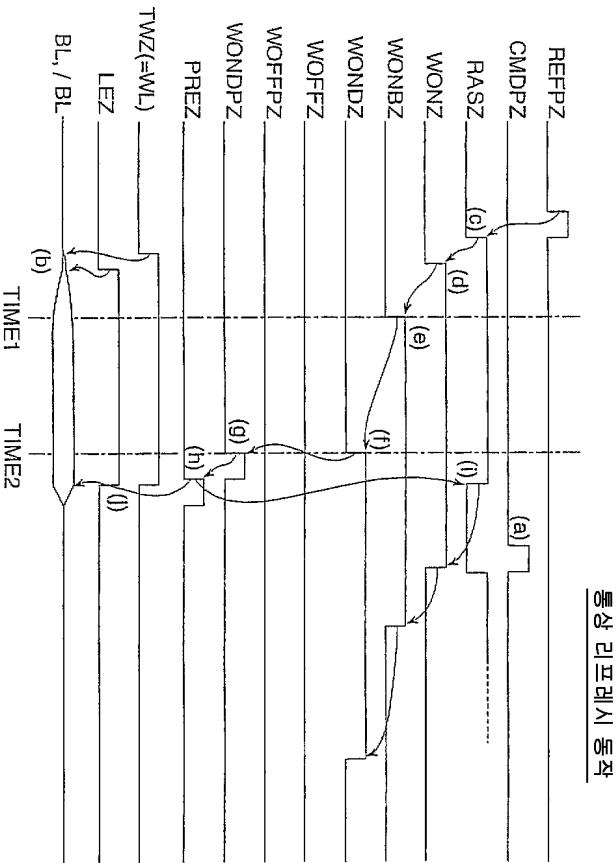
도면34



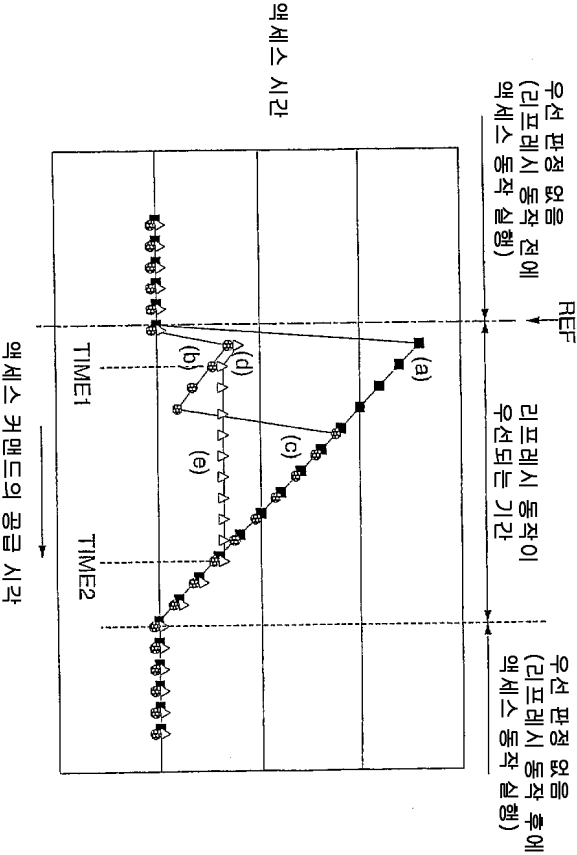
도면35



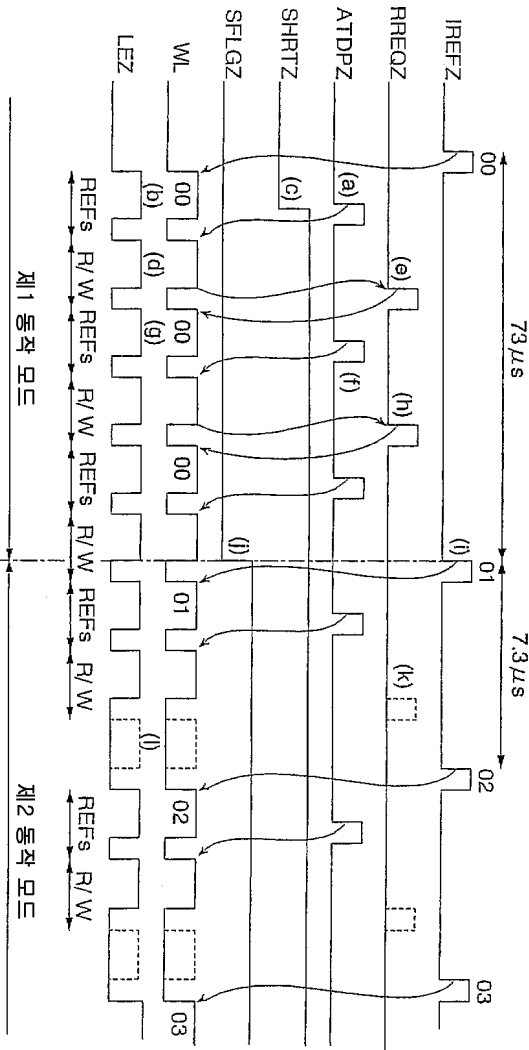
도면36



도면37



도면38



도면39

